



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년09월30일
(11) 등록번호 10-2449218
(24) 등록일자 2022년09월26일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/00 (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2022.01)
H01L 27/3262 (2013.01)
(21) 출원번호 10-2017-0120517
(22) 출원일자 2017년09월19일
심사청구일자 2020년09월15일
(65) 공개번호 10-2019-0032711
(43) 공개일자 2019년03월28일
(56) 선행기술조사문헌
KR1020130020068 A*
KR1020140056421 A*
US20160343777 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
조승환
경기도 용인시 기흥구 삼성로 1 (농서동)
최종현
경기도 용인시 기흥구 삼성로 1 (농서동)
(74) 대리인
리엔목록특허법인

전체 청구항 수 : 총 20 항

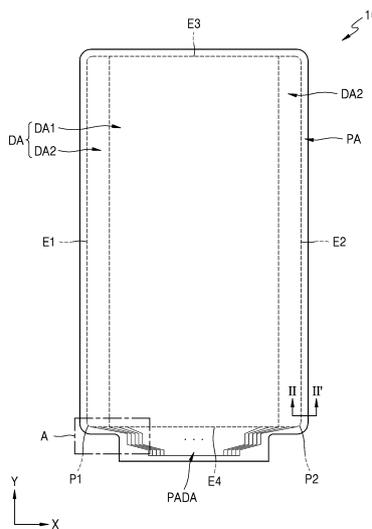
심사관 : 구분재

(54) 발명의 명칭 **디스플레이 장치**

(57) 요약

본 발명의 일 실시예는, 디스플레이영역과 상기 디스플레이영역 외측에 위치하는 주변영역을 포함하는 기관; 상기 주변영역 내에 위치하는 패드 영역; 및 상기 디스플레이영역과 상기 패드 영역 사이에 위치하여 상기 디스플레이영역으로 전기적 신호를 인가하는 복수의 배선들;을 포함하고, 상기 디스플레이영역은 메인 디스플레이영역, 및 상기 메인 디스플레이영역의 측면에 배치된 적어도 하나의 엣지 디스플레이영역을 포함하고, 상기 복수의 배선들 중, 상기 메인 디스플레이영역으로 상기 전기적 신호를 인가하는 제1 배선들 각각의 단위길이당 저항이, 상기 엣지 디스플레이영역으로 상기 전기적 신호를 인가하는 제2 배선들 각각의 단위길이당 저항보다 큰 디스플레이 장치를 개시한다.

대표도 - 도1



(52) CPC특허분류

H01L 51/0097 (2013.01)

H01L 51/5237 (2013.01)

(72) 발명자

김경훈

경기도 용인시 기흥구 삼성로 1 (농서동)

심동환

경기도 용인시 기흥구 삼성로 1 (농서동)

최선영

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

디스플레이영역과 상기 디스플레이영역 외측에 위치하는 주변영역을 포함하는 기판;

상기 주변영역 내에 위치하는 패드 영역; 및

상기 디스플레이영역과 상기 패드 영역 사이에 위치하여 상기 디스플레이영역으로 데이터 신호를 인가하는 복수의 배선들;을 포함하고,

상기 디스플레이영역은 메인 디스플레이영역, 및 상기 메인 디스플레이영역의 측면에 배치된 적어도 하나의 엷지 디스플레이영역을 포함하고,

상기 복수의 배선들은 상기 패드 영역에서 상기 메인 디스플레이영역으로 제1 데이터 신호를 인가하며 제1 전기 저항 물질을 포함하는 제1 배선들과, 상기 패드 영역에서 상기 엷지 디스플레이영역으로 제2 데이터 신호를 인가하며 제2 전기 저항 물질을 포함하는 제2 배선들을 포함하며, 상기 제1 전기 저항 물질의 전기 저항은 상기 제2 전기 저항 물질의 전기 저항보다 큰 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 디스플레이영역 내에 위치하며, 게이트전극과, 상기 게이트전극을 덮는 제1층간절연막 상에 위치한 소스전극 및 드레인전극을 포함하는 박막트랜지스터를 더 구비하고,

상기 제2배선들은 상기 소스전극 및 상기 드레인전극과 동일 물질을 포함하고, 상기 제1 배선들은 상기 게이트전극과 동일 물질을 포함하는 디스플레이 장치.

청구항 3

제2항에 있어서,

상기 제2배선들은 상기 소스전극 및 상기 드레인전극과 동일 층에 배치되는 디스플레이 장치.

청구항 4

제2항에 있어서,

상기 소스전극 및 상기 드레인전극을 덮는 제2 층간절연층과, 상기 제2 층간절연층 상에 위치하고 상기 소스전극 또는 상기 드레인전극과 연결된 중간도전층을 더 포함하는 디스플레이 장치.

청구항 5

제4항에 있어서,

상기 제2배선들 중 인접한 두 개의 제2배선들 중 어느 하나는 상기 소스전극 및 상기 드레인전극과 동일 층에 배치되고, 다른 하나는 상기 중간도전층과 동일 층에 배치된 디스플레이 장치.

청구항 6

제5항에 있어서,

상기 인접한 두 개의 제2배선들은 인접한 측면이 수직방향으로 정렬된 디스플레이 장치.

청구항 7

제1항에 있어서,

상기 디스플레이영역은 상기 메인 디스플레이 영역과 수직하게 절곡된 적어도 하나의 측면 디스플레이영역을 더

포함하고,

상기 측면 디스플레이영역은 상기 옛지 디스플레이영역과 연속적으로 이루어지거나, 상기 메인 디스플레이 영역과 연속적으로 이루어진 디스플레이 장치.

청구항 8

제7항에 있어서,

상기 측면 디스플레이영역은 상기 옛지 디스플레이영역과 연속적으로 이루어진 측면 디스플레이영역이고,

상기 복수의 배선들은 상기 패드 영역에서 상기 측면 디스플레이영역으로 제3 데이터 신호를 인가하며 제3 전기 저항 물질을 포함하는 제3 배선들을 더 포함하며,

상기 제3 전기 저항 물질의 전기 저항은 상기 제1 전기 저항 물질의 전기 저항보다 작은 디스플레이 장치.

청구항 9

제1항에 있어서,

상기 디스플레이영역 내에 위치하는 박막트랜지스터, 상기 박막트랜지스터와 전기적으로 접속된 디스플레이소자, 및 상기 디스플레이소자를 밀봉하는 봉지층을 더 포함하고,

상기 봉지층은 순차적으로 적층된 제1무기봉지층, 유기봉지층 및 제2무기봉지층을 포함하고,

상기 제2 배선들은 상기 제2무기봉지층 상에 위치하는 디스플레이 장치.

청구항 10

제1항에 있어서,

상기 기판은 제1 기판, 제2 기판 및, 제1 기판과 제2 기판 사이의 무기층을 포함하고,

상기 제2 배선들은 상기 제1 기판과 상기 무기층 사이 및, 상기 무기층과 상기 제2 기판 사이 중 적어도 어느 하나의 위치에 배치된 디스플레이 장치.

청구항 11

디스플레이영역과 상기 디스플레이영역 외측에 위치하는 주변영역을 포함하는 기판;

상기 주변영역 내에 위치하는 패드 영역; 및

상기 디스플레이영역과 상기 패드 영역 사이에 위치하여 상기 디스플레이영역으로 전기적 신호를 인가하는 복수의 배선들;을 포함하고,

상기 디스플레이영역은 메인 디스플레이영역, 상기 메인 디스플레이영역의 일측에 배치되며, 불록하게 휘어진 형상을 가지는 적어도 하나의 옛지 디스플레이영역, 및 상기 메인 디스플레이 영역과 수직하게 절곡된 적어도 하나의 측면 디스플레이영역을 포함하고,

상기 복수의 배선들은, 상기 메인 디스플레이영역으로 상기 전기적 신호를 인가하는 제1 배선들, 상기 적어도 하나의 옛지 디스플레이영역으로 상기 전기적 신호를 인가하는 제2 배선들, 및 상기 측면 디스플레이영역으로 상기 전기적 신호를 인가하는 제3 배선들을 포함하며,

상기 제2 배선들 각각의 단위 길이당 저항 및 상기 제3 배선들 각각의 단위 길이당 저항은 상기 제1 배선들 각각의 단위 길이당 저항보다 작은 디스플레이 장치.

청구항 12

제11항에 있어서,

상기 측면 디스플레이영역은 상기 적어도 하나의 옛지 디스플레이영역들 중 어느 하나와 연속적으로 이루어진 측면 디스플레이영역인 디스플레이 장치.

청구항 13

제11항에 있어서,

상기 적어도 하나의 측면 디스플레이영역은 상기 메인 디스플레이영역과 연속적으로 이루어진 다른 측면 디스플레이영역을 더 포함하고,

상기 제1 배선은 상기 다른 측면 디스플레이영역을 통해 상기 메인 디스플레이 영역으로 상기 전기적 신호를 인가하는 디스플레이 장치.

청구항 14

제11항에 있어서,

상기 디스플레이영역 내에 위치하며, 게이트전극과, 상기 게이트전극을 덮는 제1층간절연막 상에 위치한 소스전극 및 드레인전극을 포함하는 박막트랜지스터, 상기 소스전극 및 상기 드레인전극을 덮는 제2 층간절연층, 및 상기 제2 층간절연층 상에 위치하고 상기 소스전극 또는 상기 드레인전극과 연결된 중간도전층을 더 구비하고,

상기 제2배선들과 상기 제3배선들은 중간도전층 또는 상기 소스전극 및 상기 드레인전극과 동일 물질을 포함하는 디스플레이 장치.

청구항 15

제14항에 있어서,

상기 제2배선들 중 인접한 두 개의 제2배선들 중 어느 하나는 상기 소스전극 및 상기 드레인전극과 동일 층에 배치되고, 다른 하나는 상기 중간도전층과 동일 층에 배치된 디스플레이 장치.

청구항 16

제15항에 있어서,

상기 제3배선들 중 인접한 두 개의 제3배선들 중 어느 하나는 상기 소스전극 및 상기 드레인전극과 동일 층에 배치되고, 다른 하나는 상기 중간도전층과 동일 층에 배치된 디스플레이 장치.

청구항 17

제16항에 있어서,

상기 중간도전층과 동일층에 배치된 상기 제2배선과 상기 소스전극 및 상기 드레인전극과 동일 층에 배치된 상기 제3배선은 수직 방향으로 중첩된 디스플레이 장치.

청구항 18

제11항에 있어서,

상기 기판은 제1 기판, 제2 기판 및, 제1 기판과 제2 기판 사이의 무기층을 포함하고,

상기 제2 배선들 및 상기 제3 배선들은 상기 제1 기판과 상기 무기층 사이 및, 상기 무기층과 상기 제2 기판 사이 중 적어도 어느 하나의 위치에 배치된 디스플레이 장치.

청구항 19

제11항에 있어서,

상기 디스플레이영역 내에 위치하는 박막트랜지스터, 상기 박막트랜지스터와 전기적으로 접속된 디스플레이소자, 및 상기 디스플레이소자를 밀봉하는 봉지층을 더 포함하고,

상기 봉지층은 순차적으로 적층된 제1무기봉지층, 유기봉지층 및 제2무기봉지층을 포함하고,

상기 제2 배선들 및 상기 제3 배선들은 상기 제2무기봉지층 상에 위치하는 디스플레이 장치.

청구항 20

제19항에 있어서,

상기 제2 배선들 및 상기 제3 배선들은 보호막에 의해 덮히는 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 각종 전기적 신호정보를 시각적으로 표현하는 디스플레이 분야가 급속도로 발전함에 따라, 박형화, 경량화, 저 소비 전력화 등의 우수한 특성을 지닌 다양한 평판 디스플레이 장치가 소개되고 있다. 또한, 최근에는 디스플레이 장치의 전면에 물리적 버튼 등이 제거되어 디스플레이 영역이 최대화된 디스플레이 장치가 소개되고 있다. 그러나, 디스플레이 영역이 확대됨에 따라 디스플레이영역 내에 위치한 화소들에 신호를 인가하기 위한 배선들 간의 길이가 서로 다르게 형성되고, 이에 의한 배선들 간의 저항차이에 인하여 화소들 간에 휘도 차이가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들은, 디스플레이 영역의 중앙부와 엣지부 사이의 휘도 차이가 감소된 디스플레이 장치를 제공한다.

과제의 해결 수단

[0004] 본 발명의 일 실시예는, 디스플레이영역과 상기 디스플레이영역 외측에 위치하는 주변영역을 포함하는 기판; 상기 주변영역 내에 위치하는 패드 영역; 및 상기 디스플레이영역과 상기 패드 영역 사이에 위치하여 상기 디스플레이영역으로 전기적 신호를 인가하는 복수의 배선들;을 포함하고, 상기 디스플레이영역은 메인 디스플레이영역, 및 상기 메인 디스플레이영역의 측면에 배치된 적어도 하나의 엣지 디스플레이영역을 포함하고, 상기 복수의 배선들 중, 상기 메인 디스플레이영역으로 상기 전기적 신호를 인가하는 제1 배선들 각각의 단위길이당 저항이, 상기 엣지 디스플레이영역으로 상기 전기적 신호를 인가하는 제2 배선들 각각의 단위 길이당 저항보다 큰 디스플레이 장치를 개시한다.

[0005] 본 실시예에 있어서, 상기 디스플레이영역 내에 위치하며, 게이트전극과, 상기 게이트전극을 덮는 제1층간절연막 상에 위치한 소스전극 및 드레인전극을 포함하는 박막트랜지스터를 더 구비하고, 상기 제2배선들은 상기 소스전극 및 상기 드레인전극과 동일 물질을 포함하고, 상기 제1 배선들은 상기 게이트전극과 동일 물질을 포함할 수 있다.

[0006] 본 실시예에 있어서, 상기 제2배선들은 상기 소스전극 및 상기 드레인전극과 동일 층에 배치될 수 있다.

[0007] 본 실시예에 있어서, 상기 소스전극 및 상기 드레인전극을 덮는 제2 층간절연층과, 상기 제2 층간절연층 상에 위치하고 상기 소스전극 또는 상기 드레인전극과 연결된 중간도전층을 더 포함할 수 있다.

[0008] 본 실시예에 있어서, 상기 제2배선들 중 인접한 두 개의 제2배선들 중 어느 하나는 상기 소스전극 및 상기 드레인전극과 동일 층에 배치되고, 다른 하나는 상기 중간도전층과 동일 층에 배치될 수 있다.

[0009] 본 실시예에 있어서, 상기 인접한 두 개의 제2배선들은 인접한 측면이 수직방향으로 정렬될 수 있다.

[0010] 본 실시예에 있어서, 상기 디스플레이영역은 상기 메인 디스플레이 영역과 수직하게 절곡된 적어도 하나의 측면 디스플레이영역을 더 포함하고, 상기 측면 디스플레이영역은 상기 엣지 디스플레이영역과 연속적으로 이루어지거나, 상기 메인 디스플레이 영역과 연속적으로 이루어질 수 있다.

[0011] 본 실시예에 있어서, 상기 측면 디스플레이영역은 상기 엣지 디스플레이영역과 연속적으로 이루어진 측면 디스플레이영역이고, 상기 복수의 배선들은 상기 측면 디스플레이영역으로 상기 전기적 신호를 인가하는 제3 배선들을 더 포함하며, 상기 제3 배선들 각각의 단위길이당 저항이, 상기 제1 배선들 각각의 단위길이당 저항보다 작을 수 있다.

[0012] 본 실시예에 있어서, 상기 디스플레이영역 내에 위치하는 박막트랜지스터, 상기 박막트랜지스터와 전기적으로

접속된 디스플레이소자, 및 상기 디스플레이소자를 밀봉하는 봉지층을 더 포함하고, 상기 봉지층은 순차적으로 적층된 제1무기봉지층, 유기봉지층 및 제2무기봉지층을 포함하고, 상기 제2 배선들은 상기 제2무기봉지층 상에 위치할 수 있다.

- [0013] 본 실시예에 있어서, 상기 기판은 제1 기판, 제2 기판 및, 제1 기판과 제2 기판 사이의 무기층을 포함하고, 상기 제2 배선들은 상기 제1 기판과 상기 무기층 사이 및, 상기 무기층과 상기 제2 기판 사이 중 적어도 어느 하나의 위치에 배치될 수 있다.
- [0014] 본 발명의 다른 실시예는, 디스플레이영역과 상기 디스플레이영역 외측에 위치하는 주변영역을 포함하는 기판; 상기 주변영역 내에 위치하는 패드 영역; 및 상기 디스플레이영역과 상기 패드 영역 사이에 위치하여 상기 디스플레이영역으로 전기적 신호를 인가하는 복수의 배선들;을 포함하고, 상기 디스플레이영역은 메인 디스플레이영역, 상기 메인 디스플레이영역의 양측에 배치되며, 불록하게 휘어진 형상을 가지는 한 쌍의 엠티 디스플레이영역, 및 상기 메인 디스플레이 영역과 수직하게 절곡된 적어도 하나의 측면 디스플레이영역을 포함하고, 상기 복수의 배선들은, 상기 메인 디스플레이영역으로 상기 전기적 신호를 인가하는 제1 배선들, 상기 한 쌍의 엠티 디스플레이영역으로 상기 전기적 신호를 인가하는 제2 배선들, 및 상기 측면 디스플레이영역으로 상기 전기적 신호를 인가하는 제3 배선들을 포함하며, 상기 제2 배선들 각각의 단위 길이당 저항 및 상기 제3 배선들 각각의 단위 길이당 저항은 상기 제1 배선들 각각의 단위 길이당 저항보다 작은 디스플레이 장치를 개시한다.
- [0015] 본 실시예에 있어서, 상기 측면 디스플레이영역은 상기 한 쌍의 엠티 디스플레이영역들 중 어느 하나와 연속적으로 이루어진 측면 디스플레이영역일 수 있다.
- [0016] 본 실시예에 있어서, 상기 적어도 하나의 측면 디스플레이영역은 상기 메인 디스플레이영역과 연속적으로 이루어진 다른 측면 디스플레이영역을 더 포함하고, 상기 제1 배선은 상기 다른 측면 디스플레이영역을 통해 상기 메인 디스플레이 영역으로 상기 전기적 신호를 인가할 수 있다.
- [0017] 본 실시예에 있어서, 상기 디스플레이영역 내에 위치하며, 게이트전극과, 상기 게이트전극을 덮는 제1층간절연막 상에 위치한 소스전극 및 드레인전극을 포함하는 박막트랜지스터, 상기 소스전극 및 상기 드레인전극을 덮는 제2 층간절연층, 및 상기 제2 층간절연층 상에 위치하고 상기 소스전극 또는 상기 드레인전극과 연결된 중간도전층을 더 구비하고, 상기 제2배선들과 상기 제3배선들은 중간도전층 또는 상기 소스전극 및 상기 드레인전극과 동일 물질을 포함할 수 있다.
- [0018] 본 실시예에 있어서, 상기 제2배선들 중 인접한 두 개의 제2배선들 중 어느 하나는 상기 소스전극 및 상기 드레인전극과 동일 층에 배치되고, 다른 하나는 상기 중간도전층과 동일 층에 배치될 수 있다.
- [0019] 본 실시예에 있어서, 상기 제3배선들 중 인접한 두 개의 제3배선들 중 어느 하나는 상기 소스전극 및 상기 드레인전극과 동일 층에 배치되고, 다른 하나는 상기 중간도전층과 동일 층에 배치될 수 있다.
- [0020] 본 실시예에 있어서, 상기 중간도전층과 동일층에 배치된 상기 제2배선과 상기 소스전극 및 상기 드레인전극과 동일 층에 배치된 상기 제3배선은 수직 방향으로 중첩될 수 있다.
- [0021] 본 실시예에 있어서, 상기 기판은 제1 기판, 제2 기판 및, 제1 기판과 제2 기판 사이의 무기층을 포함하고, 상기 제2 배선들 및 상기 제3 배선들은 상기 제1 기판과 상기 무기층 사이 및, 상기 무기층과 상기 제2 기판 사이 중 적어도 어느 하나의 위치에 배치될 수 있다.
- [0022] 본 실시예에 있어서, 상기 디스플레이영역 내에 위치하는 박막트랜지스터, 상기 박막트랜지스터와 전기적으로 접속된 디스플레이소자, 및 상기 디스플레이소자를 밀봉하는 봉지층을 더 포함하고, 상기 봉지층은 순차적으로 적층된 제1무기봉지층, 유기봉지층 및 제2무기봉지층을 포함하고, 상기 제2 배선들 및 상기 제3 배선들은 상기 제2무기봉지층 상에 위치할 수 있다.
- [0023] 본 실시예에 있어서, 상기 제2 배선들 및 상기 제3 배선들은 보호막에 의해 덮힐 수 있다.
- [0024] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0025] 본 발명의 실시예들에 의하면, 메인 디스플레이 영역에 신호를 인가하는 배선의 단위 길이당 저항이, 엠티 디스플레이 영역에 신호를 인가하는 배선의 단위 길이당 저항보다 크므로, 디스플레이 영역이 전체적으로 균일한 휘

도를 가질 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시예에 따른 디스플레이 장치를 개략적으로 도시한 평면도이다.
- 도 2는 도 1의 A 부분을 개략적으로 도시한 개념도이다.
- 도 3은 도 2의 B 부분을 개략적으로 도시한 개념도이다.
- 도 4는 도 2 및 도 3의 부분들의 일 예를 개략적으로 도시하는 단면도이다.
- 도 5는 도 2 및 도 3의 부분들의 다른 예를 개략적으로 도시한 단면도이다.
- 도 6은 도 1의 II-II' 단면의 일 예를 개략적으로 도시한 단면도이다.
- 도 7은 도 1의 II-II' 단면의 다른 예를 개략적으로 도시한 단면도이다.
- 도 8은 도 1의 II-II' 단면의 또 다른 예를 개략적으로 도시한 단면도이다.
- 도 9는 본 발명의 다른 실시예에 따른 디스플레이 장치를 개략적으로 도시한 평면도이다.
- 도 10은 도 1의 C 부분을 개략적으로 도시한 개념도이다.
- 도 11은 도 10의 부분들의 일 예를 개략적으로 도시하는 단면도이다.
- 도 12는 도 10의 부분들의 다른 예를 개략적으로 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0028] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0029] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0030] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0031] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0032] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0033] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하기로 한다.
- [0035] 도 1은 본 발명의 일 실시예에 따른 디스플레이 장치를 개략적으로 도시한 평면도이고, 도 2는 도 1의 A 부분을 개략적으로 도시한 개념도이며, 도 3은 도 2의 B 부분을 개략적으로 도시한 개념도이고, 도 4는 도 2 및 도 3의 부분들의 일 예를 개략적으로 도시하는 단면도이다.
- [0036] 본 실시예에 따른 디스플레이 장치(10)는 도 1에 도시된 것과 같이 복수 개의 화소들이 위치하는 디스플레이영역(DA)과, 이 디스플레이영역(DA) 외측에 위치하는 주변영역(PA)을 갖는다. 이는 기판(100)이 그러한 디스플레이영역(DA) 및 주변영역(PA)을 갖는 것으로 이해될 수도 있다. 주변영역(PA)은 각종 전자소자나 인쇄회로기판

등이 전기적으로 부착되는 영역인 패드영역(PADA)을 포함한다.

- [0037] 또한, 도 1은 디스플레이 장치(10)의 제조 과정 중의 기관 등의 모습을 나타낸 평면도로 이해될 수도 있다. 최종적인 디스플레이 장치(10)나 디스플레이 장치(10)를 포함하는 스마트폰 등의 전자장치에 있어서는, 사용자에게 의해 인식되는 주변영역(PA)의 면적을 최소화하기 위해, 디스플레이영역(DA) 및 기관 등의 일부가 벤딩될 수 있다.
- [0038] 예컨대 도 1에 도시된 것과 같이, 디스플레이영역(DA)은 메인 디스플레이 영역(DA1)과, 상기 메인 디스플레이 영역(DA1)의 측면에 배치된 엣지 디스플레이 영역(DA2)을 포함할 수 있다. 일 예로, 메인 디스플레이 영역(DA1)의 양측에는 각각 엣지 디스플레이 영역(DA2)들이 배치될 수 있다. 이때, 엣지 디스플레이 영역(DA2)들은 외부로 볼록한 형상을 가지도록 휘어질 수 있다. 이에 의해 디스플레이 장치(10)를 정면에서 바라보았을 때, 디스플레이 장치(10)의 양측 가장자리는 베젤이 없는 상태로 인식되고, 디스플레이 영역(DA)이 확장될 수 있다.
- [0039] 또한, 도 2에 도시하는 바와 같이, 주변영역(PA)이 벤딩영역(BA)을 포함하여, 벤딩영역(BA)이 패드영역(PADA)과 디스플레이영역(DA) 사이에 위치하도록 할 수 있다. 이 경우 벤딩영역(BA)에서 기관이 벤딩되도록 하여, 패드영역(PADA)의 적어도 일부가 디스플레이영역(DA)과 중첩하여 위치하도록 할 수 있다. 물론 패드영역(PADA)이 디스플레이영역(DA)을 가리는 것이 아니라 패드영역(PADA)이 디스플레이영역(DA)의 뒤쪽에 위치하도록, 벤딩방향이 설정된다. 이에 따라 사용자는 디스플레이영역(DA)이 디스플레이 장치(10)의 대부분을 차지하는 것으로 인식하게 된다.
- [0040] 이러한 기관(100)은 플렉서블 또는 벤더블 특성을 갖는 다양한 물질을 포함할 수 있는데, 예컨대 기관(100)은 폴리에테르술폰(polyethersulphone, PES), 폴리아크릴레이트(polyacrylate), 폴리에테르 이미드(polyetherimide, PEI), 폴리에틸렌 나프탈레이트(polyethylene naphthalate, PEN), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET), 폴리페닐렌 설파이드(polyphenylene sulfide, PPS), 폴리아릴레이트(polyallylate, PAR), 폴리이미드(polyimide, PI), 폴리카보네이트(polycarbonate, PC) 또는 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate, CAP)와 같은 고분자 수지를 포함할 수 있다. 물론 기관(100)은 각각 이와 같은 고분자 수지를 포함하는 두 개의 층들과 그 층들 사이에 개재된 (실리콘옥사이드, 실리콘나이트라이드, 실리콘옥시나이트라이드 등의) 무기물을 포함하는 배리어층을 포함하는 다층구조를 가질 수도 있는 등, 다양한 변형이 가능하다.
- [0041] 디스플레이영역(DA)의 가장자리는 전체적으로는 직사각형 또는 정사각형과 유사한 형상을 가질 수 있다. 하지만 도 1 및 도 2에 도시된 것과 같이, 디스플레이영역(DA)은 가장자리의 제1부분(P1)이 라운드 형상을 갖는다. 구체적으로, 디스플레이영역(DA)은 상호 마주보는 제1가장자리(E1)와 제2가장자리(E2)와, 상호 마주보되 제1가장자리(E1)와 제2가장자리(E2) 사이에 위치한 제3가장자리(E3)와 제4가장자리(E4)를 포함할 수 있다. 패드영역(PADA)은 제1가장자리(E1) 내지 제4가장자리(E4) 중 제4가장자리(E4)에 인접한다. 이때 라운드 형상을 갖는 제1부분(P1)은 제1가장자리(E1)와 제4가장자리(E4)를 연결한다. 물론 디스플레이영역(DA)은 제1부분(P1) 외에 가장자리의 제2부분(P2)도 라운드 형상을 가질 수 있다. 제2부분(P2)은 제2가장자리(E2)와 제4가장자리(E4)를 연결한다. 또한, 디스플레이영역(DA)은 가장자리의 그 외의 부분에서도 라운드 형상을 가질 수도 있다.
- [0042] 참고로, 도 3은 도 2의 B 부분을 개략적으로 도시하는 개념도로서, 제1부분(P1)의 일부를 보여주고 있다. 도 1 및 도 2에 도시된 것과 같이 본 실시예에 따른 디스플레이 장치(10) 또는 이를 구비하는 전자장치를 사용하는 사용자가 통상적인 사용 환경에서 관찰할 시, 제1부분(P1)은 라운드 형상, 즉 곡선 형상을 갖는 것으로 인식된다. 하지만 제1부분(P1)을 확대하여 수 마이크로미터 또는 수십 마이크로미터의 폭을 갖는 배선들을 관찰할 수 있는 환경에서는, 도 3에 도시된 것과 같이 제1부분(P1)이 복수 회 절곡된 직선 형상을 갖는 것으로 나타날 수 있다. 이처럼 제1부분(P1)을 확대하여 도 3에 도시된 것과 같이 제1부분(P1)이 복수회 절곡된 직선 형상을 갖는 것으로 나타난다 하더라도, 통상적인 사용 환경에서는 제1부분(P1)이 라운드 형상, 즉 곡선 형상을 갖는 것으로 인식되기에, 이하에서는 제1부분(P1)이 라운드 형상을 갖는 것으로 설명한다. 라운드 형상인 제1부분(P1)을 따라서는 디스플레이영역(DA) 내에 복수개의 화소들(PX1, PX1-1, PX1-2, PX2, PX3)이 위치할 수 있다. 참고로 도 3에서는 편의상 디스플레이영역(DA) 내의 복수개의 화소들 중 일부만을 표시하였다.
- [0043] 디스플레이영역(DA)에는 다양한 전기적 신호가 인가될 수 있다. 예컨대 각 화소에서의 밝기를 조절하기 위한 데이터신호 등이 디스플레이영역(DA)에 인가될 수 있으며, 이를 위해 데이터배선과 같은 다양한 배선이 디스플레이영역(DA) 내외에 위치할 수 있다. 일 예로, 데이터배선들은 대부분이 디스플레이영역(DA) 내에 위치한다. 하지만 데이터배선들의 일단이 주변영역(PA)에 위치하여 배선(W1, W2, W3)들과 전기적으로 연결되기에, 데이터배선들이 디스플레이영역(DA) 내에만 위치하는 것은 아니다. 즉, 데이터배선들은 일단이 주변영역(PA)에서 배선

(W1,W2,W3)들과 전기적으로 연결되고 디스플레이영역(DA) 내부로 연장된 것으로 이해될 수 있다.

- [0044] 디스플레이 장치(10)는 디스플레이영역(DA)으로 전기적 신호를 인가하기 위한 배선들(W1,W2,W3)를 포함할 수 있다. 배선(W1,W2,W3)들은 패드영역(PADA)과 디스플레이 영역(DA) 사이에 위치하여, 메인 디스플레이영역(DA1)으로 데이터신호를 인가하는 제1 배선(W3)과, 엣지 디스플레이영역(DA2)으로 데이터신호를 인가하는 제2 배선(W1,W2)을 포함할 수 있다. 이하에서는 설명의 편의상 엣지 디스플레이영역(DA2)으로 데이터신호를 인가하는 제2 배선(W1,W2)을 제2-1배선(W1)과 제2-2배선(W2)으로 설명하고, 메인 디스플레이영역(DA1)으로 데이터신호를 인가하는 배선(W3)을 제1배선(W3)으로 설명한다.
- [0045] 제2-1배선(W1)은 엣지 디스플레이영역(DA2)에 배치된 일 열의 화소들(PX1,PX1-1,PX1-2, PX1-3)에 데이터신호 등의 전기적 신호를 전달할 수 있다. 제2-2배선(W2)은 엣지 디스플레이영역(DA2)에 배치된 다른 열의 화소(PX2)에 데이터신호 등의 전기적 신호를 전달할 수 있다. 한편, 제2-1배선(W1)과 제2-2배선(W2)은 일단이 패드영역(PADA)에 위치하기에 길이가 긴 배선일 수 있으며, 복수회 절곡된 형상을 가질 수 있다. 이에 반해, 제1배선(W3)은 제2-1배선(W1) 및 제2-2배선(W2)에 비하여 짧은 길이를 가질 수 있다. 따라서, 제2-1배선(W1), 제2-2배선(W2) 및 제1배선(W3)이 동일한 재질로 형성되는 경우, 제1배선(W3)의 저항이 제2-1배선(W1) 및 제2-2배선(W2)보다 작게 됨으로써, 엣지 디스플레이영역(DA2)의 휘도가 메인 디스플레이영역(DA1)의 휘도보다 감소될 수 있다. 그러나, 본 발명에 의하면, 제2-1배선(W1)과 제2-2배선(W2)은 제1배선(W3) 보다 저항이 작은 재질로 형성됨으로써, 제2-1배선(W1)과 제2-2배선(W2)의 길이가 길더라도, 제1배선(W3)과의 저항차이를 감소시킬 수 있다.
- [0046] 이하에서는 도 2 및 도 3의 부분들을 개략적으로 도시하는 단면도인 도 4를 참조하여, 본 실시예를 더욱 구체적으로 설명한다. 도 4는 도 2 및 도 3에서 서로 이격된 부분들을 도시하는 단면도로서, 서로 인접한 구성요소들을 도시하는 것은 아니다. 예컨대 도 4에서는 화소(PX1)와 화소(PX2)를 도시하고 있는바, 도 3에서 확인할 수 있는 것과 같이 화소(PX1)와 화소(PX2)는 서로 인접하여 위치한 화소들은 아니다. 또한, 제2-1배선(W1)과 제2-2배선(W2)을 함께 도시하는 단면은 도 3에서 y축 방향을 따라 취한 단면을 도시하고 있으며, 제1배선(W3)을 도시하는 단면은 도 2에서 y축 방향을 따라 취한 단면을 도시하고 있다.
- [0047] 도 4에 도시된 것과 같이, 기판(100)의 디스플레이영역(DA)에는 디스플레이소자들(310, 320) 외에도, 디스플레이소자들(310, 320)이 전기적으로 연결되는 박막트랜지스터들(210, 220)도 위치할 수 있다. 도 4에서는 디스플레이소자들(310, 320)로서 유기발광소자들이 디스플레이영역(DA)에 위치하는 것을 도시하고 있다. 이러한 유기발광소자들이 박막트랜지스터들(210, 220)에 전기적으로 연결된다는 것은, 화소전극들(311, 321)이 박막트랜지스터들(210, 220)에 전기적으로 연결되는 것으로 이해될 수 있다.
- [0048] 참고로 도 4에서는 제1박막트랜지스터(210)가 화소(PX1)에 위치하고, 제2박막트랜지스터(220)가 화소(PX2)에 위치하며, 제1디스플레이소자(310)가 제1박막트랜지스터(210)에 전기적으로 연결되고 제2디스플레이소자(320)가 제2박막트랜지스터(220)에 전기적으로 연결되는 것으로 도시하고 있다. 이하에서는 편의상 제1박막트랜지스터(210)와 제1디스플레이소자(310)에 대해 설명하며, 이는 제2박막트랜지스터(220)와 제2디스플레이소자(320)에도 적용될 수 있다. 즉, 제2박막트랜지스터(220)의 제2반도체층(221), 제2게이트전극(223), 제2소스전극(225a) 및 제2드레인전극(225b)에 대한 설명, 그리고 제2디스플레이소자(320)의 화소전극(321), 대향전극(325) 및 중간층(323)에 대한 설명은 생략한다. 참고로 제2디스플레이소자(320)의 대향전극(325)은 제1디스플레이소자(310)의 대향전극(315)과 일체(一體)일 수 있다.
- [0049] 제1박막트랜지스터(210)는 비정질실리콘, 다결정실리콘 또는 유기반도체물질을 포함하는 제1반도체층(211), 제1게이트전극(213), 제1소스전극(215a) 및 제1드레인전극(215b)을 포함할 수 있다. 제1반도체층(211)과 제1게이트전극(213)과의 절연성을 확보하기 위해, 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등의 무기물을 포함하는 제1게이트절연막(121)이 제1반도체층(211)과 제1게이트전극(213) 사이에 개재될 수 있다. 아울러 제1게이트전극(213)의 상부에는 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등의 무기물을 포함하는 제1층간절연막(131)이 배치될 수 있으며, 제1소스전극(215a) 및 제1드레인전극(215b)은 그러한 제1층간절연막(131) 상에 배치될 수 있다.
- [0050] 이러한 구조의 제1박막트랜지스터(210)와 기판(100) 사이에는 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등과 같은 무기물을 포함하는 버퍼층(110)이 개재될 수 있다. 이러한 버퍼층(110)은 기판(100)의 상면의 평활성을 높이거나 기판(100) 등으로부터의 불순물이 제1박막트랜지스터(210)의 제1반도체층(211)으로 침투하는 것을 방지하거나 최소화하는 역할을 할 수 있다.
- [0051] 그리고 제1박막트랜지스터(210) 상에는 평탄화층(140)이 배치될 수 있다. 예컨대 도 4에 도시된 것과 같이 제1

박막트랜지스터(210) 상부에 유기발광소자가 배치될 경우, 평탄화층(140)은 제1박막트랜지스터(210)를 덮는 보호막 상부를 대체로 평탄화하는 역할을 할 수 있다. 이러한 평탄화층(140)은 예컨대 아크릴, BCB(Benzocyclobutene) 또는 HMDSO(hexamethyldisiloxane) 등과 같은 유기물로 형성될 수 있다. 도 4에서는 평탄화층(140)이 단층으로 도시되어 있으나, 다층일 수도 있는 등 다양한 변형이 가능하다.

[0052] 기관(100)의 디스플레이영역(DA) 내에 있어서, 평탄화층(140) 상에는 제1디스플레이소자(310)가 위치할 수 있다. 제1디스플레이소자(310)는 예컨대 화소전극(311), 대향전극(315) 및 그 사이에 개재되며 발광층을 포함하는 중간층(313)을 갖는 유기발광소자일 수 있다. 화소전극(311)은 평탄화층(140) 등에 형성된 개구부를 통해 제1소스전극(215a) 및 제1드레인전극(215b) 중 어느 하나와 접촉하여 제1박막트랜지스터(210)와 전기적으로 연결된다.

[0053] 평탄화층(140) 상부에는 화소정의막(150)이 배치될 수 있다. 이 화소정의막(150)은 각 부화소들에 대응하는 개구, 즉 적어도 화소전극(311)의 중앙부가 노출되도록 하는 개구를 가짐으로써 화소를 정의하는 역할을 한다. 또한, 도 4에 도시된 바와 같은 경우, 화소정의막(150)은 화소전극(311)의 가장자리와 화소전극(311) 상부의 대향전극(315)과의 사이의 거리를 증가시킴으로써 화소전극(311)의 가장자리에서 아크 등이 발생하는 것을 방지하는 역할을 한다. 이와 같은 화소정의막(150)은 예컨대 폴리이미드 또는 HMDSO(hexamethyldisiloxane) 등과 같은 유기물로 형성될 수 있다.

[0054] 유기발광소자의 중간층(313)은 저분자 또는 고분자 물질을 포함할 수 있다. 중간층(313)이 저분자 물질을 포함할 경우, 중간층(313)은 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층된 구조를 가질 수 있으며, 진공증착의 방법으로 형성될 수 있다. 중간층(313)이 고분자 물질을 포함할 경우, 중간층(313)은 홀 수송층(HTL) 및 발광층(EML)을 포함하는 구조를 가질 수 있다. 이 때, 홀 수송층은 PEDOT을 포함하고, 발광층은 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 물질을 포함할 수 있다. 이러한 중간층(313)은 스크린 인쇄나 잉크젯 인쇄방법, 레이저열전사방법(LITI; Laser induced thermal imaging) 등으로 형성할 수 있다. 물론 중간층(313)은 반드시 이에 한정되는 것은 아니고, 다양한 구조를 가질 수도 있음은 물론이다. 그리고 중간층(313)은 복수개의 화소전극들(311, 321)들에 걸쳐서 일체인 층을 포함할 수도 있고, 복수개의 화소전극들(311, 321)들 각각에 대응하도록 패터닝된 층을 포함할 수도 있다.

[0055] 대향전극(315)은 디스플레이영역(DA) 상부에 배치되는데, 디스플레이영역(DA)을 덮도록 배치될 수 있다. 즉, 대향전극(315)은 복수개의 유기발광소자들에 있어서 일체(一體)로 형성되어 복수개의 화소전극들(311, 321)들에 대응할 수 있다.

[0056] 제2-1배선(W1)과 제2-2배선(W2)은 제1소스전극(215a) 및 제1드레인전극(215b)과 동일한 재질을 포함할 수 있다. 일 예로, 제2-1배선(W1)과 제2-2배선(W2)은 티타늄/알루미늄/티타늄의 3층구조를 가질 수 있다. 제2-1배선(W1)과 제2-2배선(W2)은 제1소스전극(215a) 및 제1드레인전극(215b)의 형성시 함께 형성되어, 제1층간절연막(131) 상에 위치할 수 있다. 다만, 본 발명은 이에 한하지 않으며, 제2-1배선(W1)과 제2-2배선(W2)의 위치는 다양하게 설정될 수 있다.

[0057] 제1배선(W3)은 제1게이트전극(213)과 동일한 재질을 포함할 수 있다. 일 예로, 제1배선(W3)은 제1게이트전극(213)을 형성할 시 제1게이트절연막(121) 상에 동일 물질로 동시에 형성될 수 있다. 이에 따라 제1배선(W3)은 제1게이트전극(213)과 동일 물질을 포함하게 되며 동일 층 상에 배치된다. 제1배선(W3)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디움(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.

[0058] 한편, 제2-1배선(W1)과 제2-2배선(W2)의 단위길이당 저항은 제1배선(W3)의 단위길이당 저항보다 작을 수 있다. 따라서, 제2-1배선(W1)과 제2-2배선(W2)의 길이가 제1배선(W3)의 길이보다 길다 하더라도, 제2-1배선(W1)과 제2-2배선(W2)의 저항과 제1배선(W3)의 저항 차이가 감소함으로써, 메인 디스플레이 영역(DA1)과 엣지 디스플레이 영역(DA2) 간의 휘도 차이가 감소하여 디스플레이 영역(DA)이 전체적으로 균일한 휘도를 가질 수 있다.

[0059] 도 5는 도 2 및 도 3의 부분들의 다른 예를 개략적으로 도시한 단면도이다.

[0060] 도 5를 참조하면, 제1박막트랜지스터(210)의 제1소스전극(215a)과 제1드레인전극(215b) 중 어느 하나가 화소전극(311)에 전기적으로 연결될 시, 중간도전층(311a)이 제1소스전극(215a)과 제1드레인전극(215b) 중 어느 하나

와 화소전극(311) 사이에 개재되도록 할 수도 있다. 즉, 중간도전층(311a)이 제1소스전극(215a)과 제1드레인전극(215b) 중 어느 하나와 콘택하고, 화소전극(311)이 중간도전층(311a)에 콘택하도록 할 수 있다.

- [0061] 이러한 중간도전층(311a)은 제1소스전극(215a) 및 제1드레인전극(215b)과 동일한 재질을 포함할 수 있다. 일 예로, 중간도전층(311a)은 티타늄/알루미늄/티타늄의 3층구조를 가질 수 있다.
- [0062] 제2박막트랜지스터(220)의 제2소스전극(225a) 및 제2드레인전극(225b)과 동일 물질을 포함하며 동일 층 상에 위치할 수 있다. 즉, 중간도전층(311a)은 제2소스전극(225a) 및 제2드레인전극(225b)을 형성할 시 동시에 형성될 수 있다.
- [0063] 한편, 도 5를 참조하면, 서로 이웃한 제2-1배선(W1)과 제2-2배선(W2) 중 제2-1배선(W1)은 중간도전층(311a)과 동일 물질을 포함하여 제2층간절연막(132) 상에 위치할 수 있으며, 제2-2배선(W2)은 제1박막트랜지스터(210)의 제1소스전극(215a) 및 제1드레인전극(215b)과 동일 물질을 포함하며 제1층간절연막(131) 상에 위치할 수 있다. 즉, 제2-1배선(W1)과 제2-2배선(W2)은 제2층간절연막(132)을 사이에 두고 위치할 수 있다. 이때, 제2-1배선(W1)의 가장자리와 제2-2배선(W2)의 가장자리는 수직 방향으로 증첩하도록 정렬될 수 있다. 여기서 제2-1배선(W1)의 가장자리는 제2-2배선(W2) 측의 가장자리를 의미하며, 제2-2배선(W2)의 가장자리는 제2-1배선(W1) 측의 가장자리를 의미한다. 따라서, 제2-1배선(W1)과 제2-2배선(W2)이 동일 층에 배치되는 경우에 비하여, 제2-1배선(W1)과 제2-2배선(W2) 사이의 수평 간격이 감소할 수 있다. 한편, 제1부분(도 1의 P1)의 외측은 복수의 제2-1배선(W1)과 제2-2배선(W2)들이 배치되는 영역이므로, 상기와 같이 제2-1배선(W1)과 제2-2배선(W2) 사이의 간격이 감소하면, 제1부분(도 1의 P1)에서 제2-1배선(W1)과 제2-2배선(W2)들이 배치되는 면적이 감소하는바, 제1부분(도 1의 P1) 외측의 데드스페이스가 감소될 수 있다.
- [0064] 도 6은 도 1의 II-II' 단면의 일 예를 개략적으로 도시한 단면도이고, 도 7은 도 1의 II-II' 단면의 다른 예를 개략적으로 도시한 단면도이며, 도 8은 도 1의 II-II' 단면의 또 다른 예를 개략적으로 도시한 단면도이다.
- [0065] 먼저, 도 6을 참조하면, 디스플레이 장치(도 1의 10)는 주변영역(PA)에 대향전극(315)과 전기적으로 접속된 전극전원공급라인(410)과, 유기발광소자를 덮어 외부의 수분이나 산소 등으로부터 이를 보호하기 위한 봉지층(500)을 포함한다.
- [0066] 전극전원공급라인(410)은 디스플레이영역(도 1의 DA) 내의 다양한 도전층을 형성할 시 동일 물질로 동시에 형성할 수 있다. 일 예로, 전극전원공급라인(410)은 제1소스전극(도 4의 215a) 및 제1드레인전극(도 4의 215b)의 형성시 함께 형성되어, 제1층간절연막(도 4의 131) 상에 위치할 수 있다. 다만, 본 발명은 이에 한정되는 것은 아니며, 전극전원공급라인(410)은 제1게이트전극(도 4의 213)을 형성할 시 제1게이트절연막(도 4의 121) 상에 동일 물질로 동시에 형성될 수 있는 등, 다양한 변형이 가능하다.
- [0067] 전극전원공급라인(410)은 대향전극(315)에 직접 콘택할 수도 있고, 도 6에 도시된 것과 같이 보호도전층(420)을 통해 대향전극(315)에 전기적으로 연결될 수 있다. 즉, 평탄화층(140) 상에 위치하여 대향전극(315)과 접속된 보호도전층(420)이 전극전원공급라인(410) 상으로 연장되어 전극전원공급라인(410)에 전기적으로 연결되도록 할 수 있다. 보호도전층(420)은 일 예로, 화소전극(도 4의 311)을 평탄화층(140) 상에 형성할 시, 동일 물질로 동시에 형성될 수 있다.
- [0068] 한편, 외부로부터의 산소나 수분 등의 불순물이 평탄화층(140)을 통해 디스플레이영역(도 1의 DA) 내로 침투하는 것을 방지하기 위해, 도 6에 도시된 것과 같이 평탄화층(140)이 주변영역(도 1의 PA)에서 개구(140b)를 갖도록 할 수 있다. 또한, 보호도전층(420)을 형성할 시 보호도전층(420)이 이 개구(140b)를 채우도록 할 수 있다. 이를 통해 주변영역(도 1의 PA)의 평탄화층(140)에 침투한 불순물이 디스플레이영역(도 1의 DA) 내의 평탄화층(140)으로 침투하는 것을 효과적으로 방지할 수 있다.
- [0069] 평탄화층(140)이 갖는 개구(140b)는 다양한 형상을 가질 수 있다. 예컨대 평탄화층(140)이 디스플레이영역(도 1의 DA) 외측에서 그 가장자리를 따라 디스플레이영역(도 1의 DA)을 꿰뚫어 둘러싸는 개구(140b)를 가질 수 있다. 그리고 디스플레이영역(도 1의 DA)을 꿰뚫어 둘러싸는 개구(140b)를 복수 개 가질 수도 있다.
- [0070] 대향전극(315) 상에는 유기발광소자에서 발생된 광의 효율을 향상시키는 역할을 하는 캡핑층(160)이 위치한다. 캡핑층(160)은 대향전극(315)을 덮으며, 대향전극(315) 외측으로 연장되어 캡핑층(160)의 끝단이 평탄화층(140) 상에 위치한다. 이러한 캡핑층(160)은 유기물을 포함한다.
- [0071] 캡핑층(160) 상부에는 봉지층(500)이 위치한다. 봉지층(500)은 외부로부터의 수분이나 산소 등으로부터 유기발광소자를 보호하는 역할을 한다. 이를 위해 봉지층(500)은 유기발광소자가 위치하는 디스플레이영역(도 1의 D

A)은 물론 디스플레이영역(도 1의 DA) 외측의 주변영역(도 1의 PA)에까지 연장된 형상을 갖는다. 이러한 봉지층(500)은 도 6에 도시된 것과 같이 다층구조를 가질 수 있다. 구체적으로, 봉지층(500)은 순차적으로 적층된 제1무기봉지층(510), 유기봉지층(520) 및 제2무기봉지층(530)을 포함할 수 있다.

- [0072] 제1무기봉지층(510)은 캡핑층(160)을 덮으며, 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등을 포함할 수 있다. 이러한 제1무기봉지층(510)은 그 하부의 구조물을 따라 형성될 수 있다.
- [0073] 유기봉지층(520)은 제1무기봉지층(510)을 덮으며 충분한 두께를 가져, 유기봉지층(520)의 상면은 실질적으로 평탄할 수 있다. 이러한 유기봉지층(520)은 폴리에틸렌테레프탈레이트, 폴리에틸렌나프탈레이트, 폴리카보네이트, 폴리이미드, 폴리에틸렌설포네이트, 폴리옥시메틸렌, 폴리아릴레이트, 헥사메틸디실록산으로 이루어지는 군으로부터 선택된 하나 이상의 재료를 포함할 수 있다.
- [0074] 제2무기봉지층(530)은 유기봉지층(520)을 덮으며, 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등을 포함할 수 있다. 제1무기봉지층(510)과 제2무기봉지층(530)은 유기봉지층(520) 보다 큰 면적을 가지며, 유기봉지층(520) 외측으로 서로 접할 수 있다. 즉, 제1무기봉지층(510)과 제2무기봉지층(530)에 의해 유기봉지층(520)이 외부로 노출되지 않도록 할 수 있다.
- [0075] 이와 같이 봉지층(500)은 제1무기봉지층(510), 유기봉지층(520) 및 제2무기봉지층(530)을 포함하는바, 이와 같은 다층 구조를 통해 봉지층(500) 내에 크랙이 발생한다고 하더라도, 제1무기봉지층(510)과 유기봉지층(520) 사이에서 또는 유기봉지층(520)과 제2무기봉지층(530) 사이에서 그러한 크랙이 연결되지 않도록 할 수 있다. 이를 통해 외부로부터의 수분이나 산소 등이 디스플레이영역(DA)으로 침투하게 되는 경로가 형성되는 것을 방지하거나 최소화할 수 있다.
- [0076] 한편, 이와 같은 봉지층(500)을 형성하는 과정에서 그 하부의 구조물들이 손상될 수도 있다. 예컨대 제1무기봉지층(510)은 화학기상증착법을 이용하여 형성할 수 있는데, 이러한 화학기상증착법을 이용하여 제1무기봉지층(510)을 형성할 시 제1무기봉지층(510)이 형성되는 그 직하의 층이 손상될 수 있다. 따라서 제1무기봉지층(510)을 캡핑층(160) 상에 직접 형성하게 되면, 유기발광소자에서 발생된 광의 효율을 향상시키는 역할을 하는 캡핑층(160)이 손상되어 디스플레이 장치의 광효율이 저하될 수 있다. 따라서 봉지층(500)을 형성하는 과정에서 캡핑층(160)이 손상되는 것을 방지하기 위해, 캡핑층(160)과 봉지층(500) 사이에 보호층(170)이 개재되도록 할 수 있다. 이러한 보호층(170)은 LiF를 포함할 수 있다.
- [0077] 한편, 봉지층(500)을 형성할 시, 구체적으로 유기봉지층(520)을 형성할 시 유기봉지층(520) 형성용 물질이 사전 설정된 영역 내에 위치하도록 한정하는 것이 필요하다. 이를 위해 도 6에 도시된 것과 같이 제1댐(610)이 주변영역(도 1의 PA)에 위치하도록 할 수 있다. 제1댐(610)은 평탄화층(140)으로부터 이격되도록 주변영역(도 1의 PA)에 위치한다.
- [0078] 제1댐(610)은 다층구조를 가질 수 있다. 일 예로, 제1댐(610)은 제1층(611), 제2층(613) 및 제3층(615)이 적층된 구조를 가질 수 있다. 제1층(611)은 평탄화층(140)을 형성할 시 동일 물질로 동시에 형성될 수 있고, 제2층(613)은 화소정의막(150)을 형성할 시 동일 물질로 동시에 형성될 수 있다. 제3층(615)은 제2층(613)과 동일 물질로 제2층(613) 상에 추가로 형성될 수 있다.
- [0079] 제1댐(610)은 제조과정에서 유기발광소자의 중간층(도 4의 313)이나 대향전극(315)을 형성할 시, 또는 그 이후의 캡핑층(160)이나 보호층(170)을 형성할 시 사용되는 마스크들을 지지하는 역할을 하며, 이 과정에서 그 전에 형성된 구성요소들이 마스크에 컨택하여 손상되는 것을 방지할 수 있다. 또한, 제1댐(610)은 제1무기봉지층(510) 상의 유기봉지층(520)의 형성시 유기봉지층(520) 형성용 물질이 기관(100) 가장자리 방향으로 이동하지 않도록 할 수 있다. 뿐만 아니라, 제1댐(610)이 평탄화층(140)과 이격되어 위치함으로써, 외부로부터 수분이 유기 물질로 이루어진 평탄화층(140)을 따라 디스플레이영역(DA) 내로 침투하는 것을 방지할 수 있다.
- [0080] 한편, 봉지층(500)의 제1무기봉지층(510)과 제2무기봉지층(530)은 도 2에 도시된 것처럼 제1댐(610)을 덮어 제1댐(610) 외측까지 연장되어, 외부의 수분 및 산소의 침투를 더욱 효과적으로 방지할 수 있다.
- [0081] 제1댐(610) 내측에는 제2댐(620)이 더 형성될 수 있다. 제2댐(620)은 전극전원공급라인(410) 상의 보호도전층(420) 부분 상에 위치할 수 있다. 제2댐(620)은 제1댐(610)의 제2층(613)과 동일 물질로 동시에 형성될 수 있는 하층(623)과, 하층(623) 상에 위치하며 제1댐(610)의 제3층(615)과 동일 물질로 동시에 형성될 수 있는 상층(625)을 포함할 수 있으므로써, 제1댐(610)보다 낮은 높이를 가질 수 있다.
- [0082] 도 7은 제1배선(W1)과 제2배선(W2)이 도 4 및 도 5와는 상이한 위치에 위치하는 예를 도시한다. 도 7에 도시하

는 바와 같이, 제2-1배선(W1)과 제2-2배선(W2)은 제2무기봉지층(530) 상에 위치할 수 있으며, 컨택홀 또는 브릿지 전극에 의해 데이터배선 등과 연결될 수 있다. 한편, 제2무기봉지층(530) 상에 제2-1배선(W1)과 제2-2배선(W2)이 위치하는 경우, 보호막(540)에 의해 제2-1배선(W1)과 제2-2배선(W2)을 덮을 수 있다. 즉, 보호막(540)은 제2무기봉지층(530) 상에 형성될 수 있다. 보호막(540)은 유기재질로 형성될 수 있다.

[0083] 한편, 도 7에서는 제2-1배선(W1)과 제2-2배선(W2)은 제2무기봉지층(530) 상에 위치하는 예를 도시하고 있으나, 본 발명은 이에 한하지 않으며, 제2-1배선(W1)과 제2-2배선(W2)은 다양한 위치에 위치할 수 있다. 예를 들어, 제2-1배선(W1)과 제2-2배선(W2)은 보호막(540) 상에 위치할 수도 있다. 선택적 실시예로써, 제2-1배선(W1)과 제2-2배선(W2)은 제1 댄(610) 또는 제2 댄(620)과 중첩하는 위치에서 제2무기봉지층(530) 상에 위치할 수 있으며, 또는 제1 댄(610)의 외곽에서 제2무기봉지층(530) 상에 위치할 수도 있다.

[0084] 도 8은 제2-1배선(W1)과 제2-2배선(W2)이 다양한 위치에 위치할 수 있는 예를 설명하기 위한 도면이다.

[0085] 도 8을 참조하면, 기관(100)은 제1 기관(101), 제2 기관(102) 및, 제1 기관(101)과 제2 기관(102) 사이의 무기층(103)을 포함할 수 있다. 제1 기관(101)과 제2 기관(102)은 도 4에서 설명한 기관(도 4의 100)과 동일한 재질을 포함할 수 있고, 서로 동일하거나 다른 두께를 가질 수 있다. 예를 들어, 제1 기관(101)과 제2 기관(102) 각각은 폴리이미드(polyimide)를 포함하고, 3 μ m 내지 20 μ m의 두께를 가질 수 있다.

[0086] 무기층(103)은 외부 이물질의 침투를 방지하는 배리어층으로서, 질화규소(SiNx) 및/또는 산화규소(SiOx)와 같은 무기물을 포함하는 단층 또는 다층일 수 있다. 무기층은 약 6000Å의 두께를 가질 수 있으나, 본 발명은 이에 한정되지 않는다.

[0087] 한편, 도 8에 구체적으로 도시하지는 않았으나, 본 발명에 따른 제2-1배선(도 4의 W1)과 제2-2배선(도 4의 W2)은 제1 기관(101)과 무기층(103) 사이 및, 무기층(103)과 제2 기관(102) 중 적어도 어느 하나의 위치에 배치될 수 있다. 즉, 제2-1배선(도 4의 W1)과 제2-2배선(도 4의 W2)은 동일 층에 위치하거나, 또는 서로 다른 층에 배치될 수 있다.

[0088] 또한, 제2-1배선(도 4의 W1)과 제2-2배선(도 4의 W2)은 제2 기관(102) 상에 적층된 복수의 무기층들 사이에 배치될 수도 있다. 여기서 복수의 무기층들은, 버퍼층(도 4의 110), 제1게이트절연막(도 4의 121), 제1층간절연막(도 4의 131) 등일 수 있다. 즉, 제2-1배선(도 4의 W1)과 제2-2배선(도 4의 W2)은 제2 기관(102)과 제2 기관(102) 상에 적층된 복수의 무기층들 사이의 임의의 위치에 배치될 수 있다.

[0089] 도 9는 본 발명의 다른 실시예에 따른 디스플레이 장치를 개략적으로 도시한 평면도이고, 도 10은 도 1의 C 부분을 개략적으로 도시한 개념도이며, 도 11은 도 10의 부분들의 일 예를 개략적으로 도시하는 단면도이고, 도 12는 도 10의 부분들의 다른 예를 개략적으로 도시하는 단면도이다.

[0090] 도 9의 디스플레이 장치(20)는, 디스플레이영역(DA1~DA3)과, 디스플레이영역(DA1~DA3) 외측에 위치하는 주변영역(PA)을 포함한다. 여기서, 디스플레이영역(DA1~DA3)은 메인 디스플레이영역(DA1), 메인 디스플레이 영역(DA1)의 양측에 배치된 엡지 디스플레이 영역(DA2) 및, 적어도 하나의 측면 디스플레이 영역(DA3)을 포함할 수 있다. 즉, 도 9의 디스플레이 장치(20)는 도 1의 디스플레이 장치(10)에서 적어도 하나의 측면 디스플레이 영역(DA3)이 제1 방향(x) 또는/및 제2 방향(y)을 따라 연장된 것으로 이해할 수 있다. 따라서, 엡지 디스플레이 영역(DA2)은 메인 디스플레이 영역(DA1)의 양측에서 외부로 볼록하게 휘어진 형상을 가질 수 있고, 가장자리의 제1부분(P1)과 제2부분(P2)에서 라운드 형상을 가질 수 있다.

[0091] 적어도 하나의 측면 디스플레이 영역(DA3)이 제1 방향(x)을 따라 연장된 경우는 엡지 디스플레이 영역(DA2)과 연속적으로 형성될 수 있다. 또한, 적어도 하나의 측면 디스플레이 영역(DA3)이 제2 방향(y)을 따라 연장된 경우는 메인 디스플레이 영역(DA1)과 연속적으로 형성될 수 있다.

[0092] 측면 디스플레이 영역(DA3)은 메인 디스플레이 영역(DA1)과 대략 수직하게 절곡되는 영역으로, 디스플레이 장치(20)나 디스플레이 장치(20)를 포함하는 스마트폰 등의 전자장치의 측면에 배치된다. 일 예로, 도 9에서는 디스플레이 장치(20)는 네 개의 측면 디스플레이 영역(DA3)을 포함하는 예를 도시하고 있으며, 이와 같은 경우 스마트폰 등의 전자장치가 육면체의 형상을 가질 때, 바닥면을 제외한 나머지 5면에서 디스플레이가 가능하게 된다.

[0093] 한편, 벤딩영역(BA)은 어느 하나의 측면 디스플레이 영역(DA3) 외곽에 위치하며, 패드영역이 메인 디스플레이영역(DA1)의 뒤쪽에 위치하도록 벤딩방향이 설정된다.

[0094] 도 10은 도 1의 C 부분을 개략적으로 도시한 개념도로써, 엡지 디스플레이 영역(DA2)과 측면 디스플레이 영역

(DA3)으로 데이터신호 등과 같은 전기적 신호를 인가하기 위한 배선들(W11,W21,W12,W22,W3)을 도시하고 있다.

[0095] 이하에서는 설명의 편의상 메인 디스플레이영역(DA1)으로 데이터신호를 인가하는 배선(W3)을 제1배선(W3)으로 지칭하고, 옛지 디스플레이영역(DA2)으로 데이터신호를 인가하는 배선(W11,W21)을 제2-1배선(W11)과 제2-2배선(W21)으로 지칭하고, 옛지 디스플레이영역(DA2)과 연속적으로 형성된 측면 디스플레이 영역(DA3)으로 데이터신호를 인가하는 배선(W12,W22)을 제3-1배선(W12)과 제3-2배선(W22)으로 지칭한다. 한편, 메인 디스플레이영역(DA1)으로 인가되는 데이터신호는 메인 디스플레이영역(DA1)과 연속적으로 형성된 측면 디스플레이 영역(DA3)을 통하여 메인 디스플레이영역(DA1)으로 인가될 수 있다.

[0096] 도 10에서 알 수 있는 바와 같이, 제2-1배선(W11)과 제2-2배선(W21)의 길이가 제1배선(W3)보다 길고, 제3-1배선(W12)과 제3-2배선(W22)의 길이가 제2-1배선(W11)과 제2-2배선(W21)의 길이보다 길게 형성되는 것을 알 수 있다. 따라서, 적어도 제2-1배선(W11) 내지 제3-2배선(W22)은 단위 길이당 저항이 제1배선(W3) 보다 작게 형성되어야 한다. 일 예로, 도 11에 도시된 바와 같이, 제2-1배선(W11)과 제2-2배선(W21)은 중간도전층(도 5의 311a)과 동일 물질을 포함할 수 있으며, 제3-1배선(W12)과 제3-2배선(W22)은 제1소스전극(도 5의 215a) 및 제1드레인전극(도 5의 215b)과 동일한 물질을 포함할 수 있다. 이때, 제1배선(W5)은 제1게이트전극(도 5의 213)과 동일한 재질을 포함할 수 있다.

[0097] 다른 예로, 도 12에 도시하는 바와 같이, 옛지 디스플레이영역(DA2)으로 데이터신호를 인가하는 제2-1배선(W11)과, 옛지 디스플레이영역(DA2)과 연속적으로 형성된 측면 디스플레이 영역(DA3)으로 데이터신호를 인가하는 제3-1배선(W12)은 제1소스전극(도 5의 215a) 및 제1드레인전극(도 5의 215b)과 동일한 물질을 포함하고, 제2-2배선(W21)과 제3-2배선(W22)은 중간도전층(도 5의 311a)과 동일 물질을 포함할 수 있다.

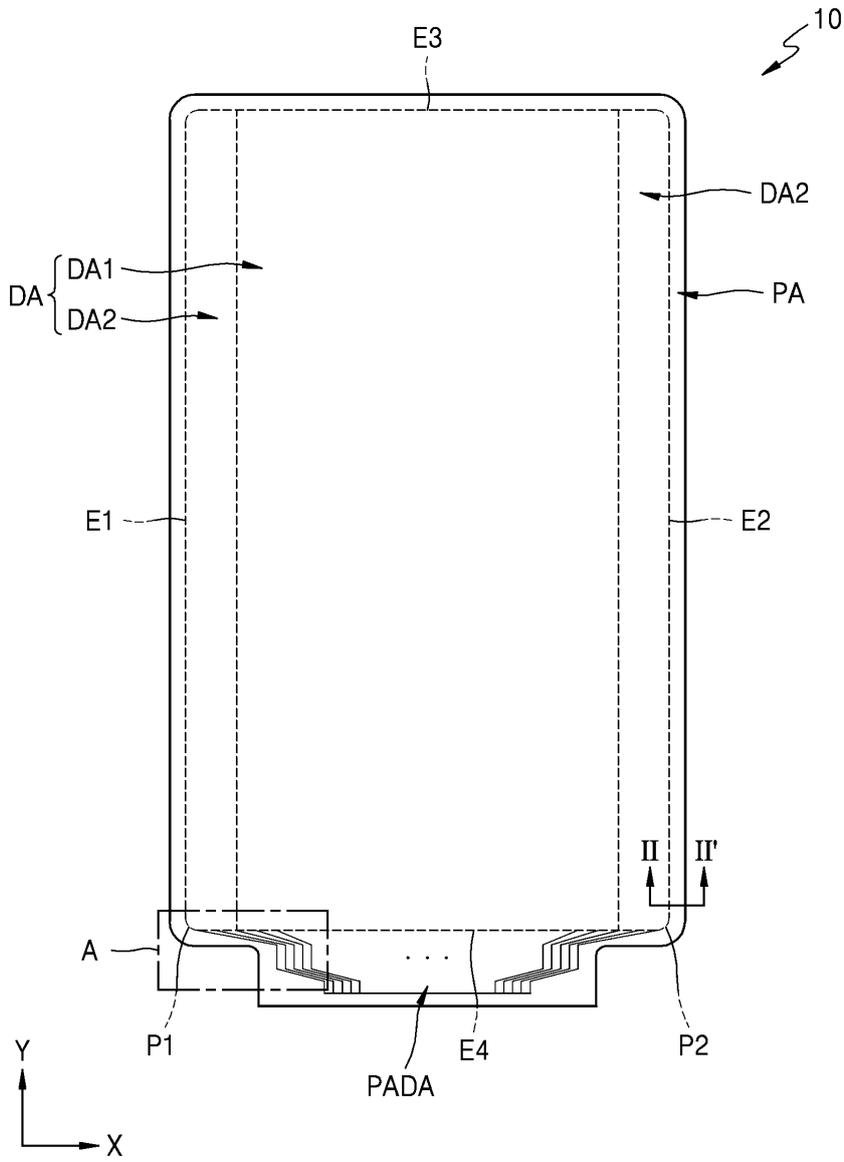
[0098] 즉, 제2-1배선(W11)과 제2-2배선(W21)은 제2충간절연막(도 5의 132)을 사이에 두고 위치할 수 있으며, 이때, 제2-1배선(W11)의 가장자리와 제2-2배선(W21)의 가장자리는 수직 방향으로 정렬될 수 있다. 이와 마찬가지로, 제3-1배선(W12)과 제3-2배선(W22)도 수직 방향으로 가장자리가 정렬될 수 있다. 뿐만 아니라, 제2-1배선(W11)과 제3-2배선(W22), 또는 제2-2배선(W21)과 제3-1배선(W12)은 수직 방향으로 중첩될 수 있다. 따라서, 옛지 디스플레이 영역(DA2)의 가장자리의 제1부분(P1)과 제2부분(P2)의 외곽에서 제2-1배선(W11) 내지 제3-2배선(W22)이 배치되는 면적이 감소하는바, 제1부분(P1)과 제2부분(P2)의 외곽의 데드스페이스가 감소될 수 있다.

[0099] 한편, 제2-1배선(W11) 내지 제3-2배선(W22)의 위치는 도 11 및 도 12에 도시된 예에 한정되지 않으며, 도 6 및 도 7에서 설명한 바와 같이 다양한 위치에 배치될 수 있다.

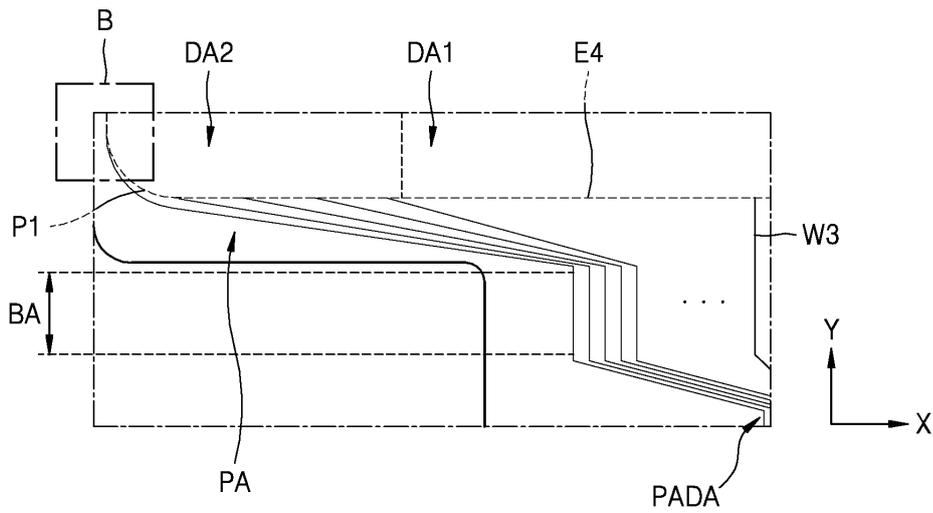
[0100] 이상에서는 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

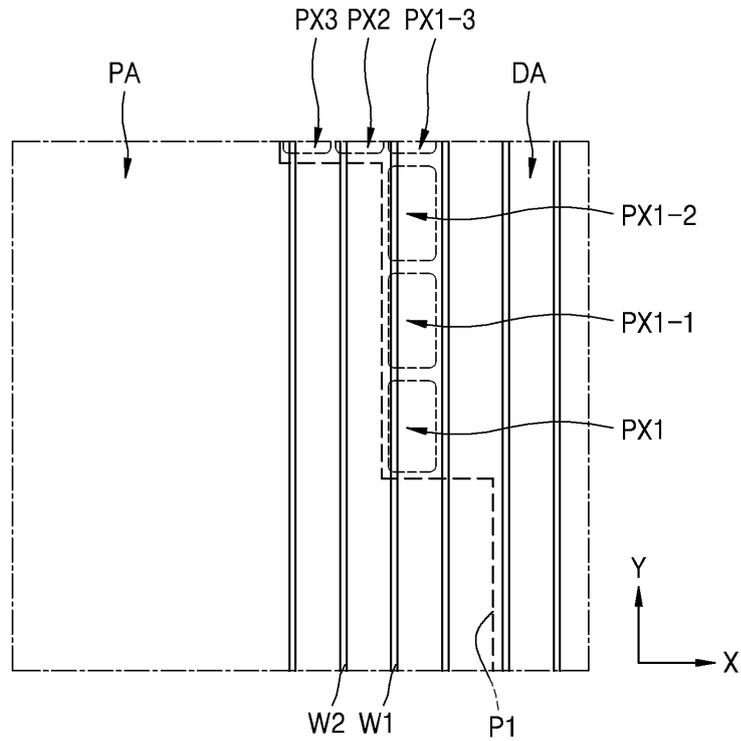
도면1



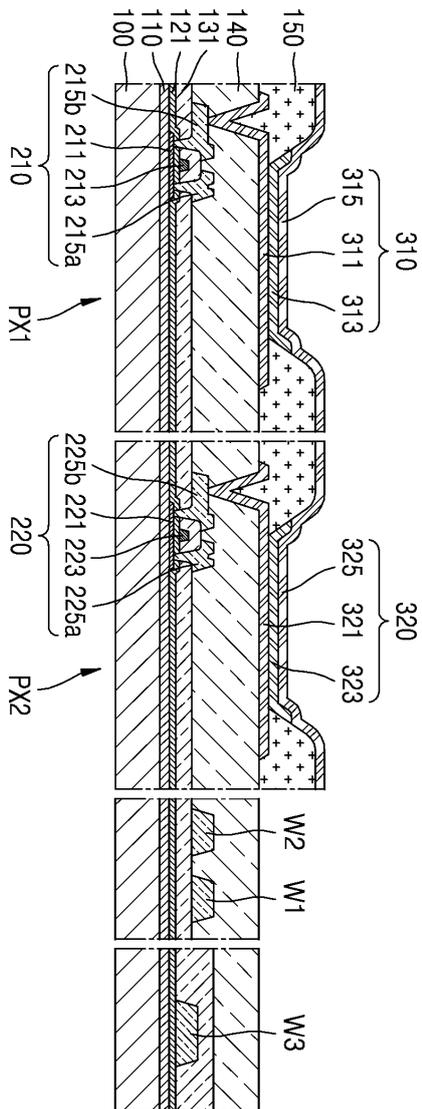
도면2



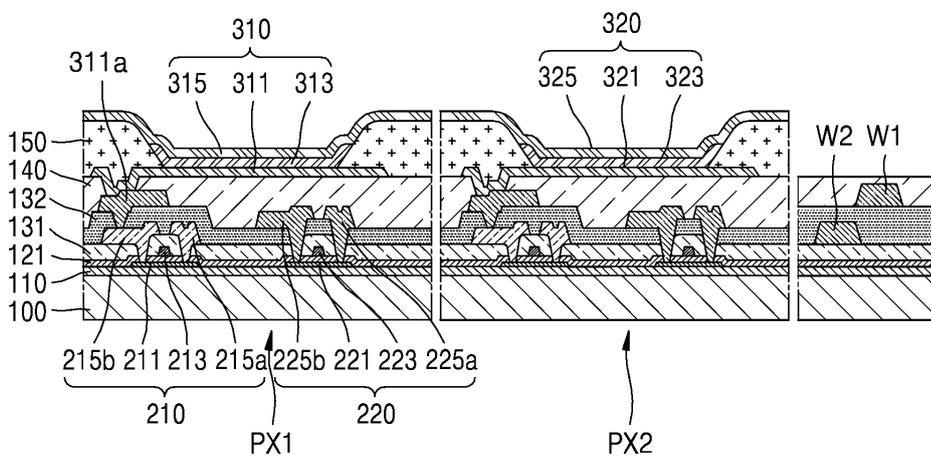
도면3



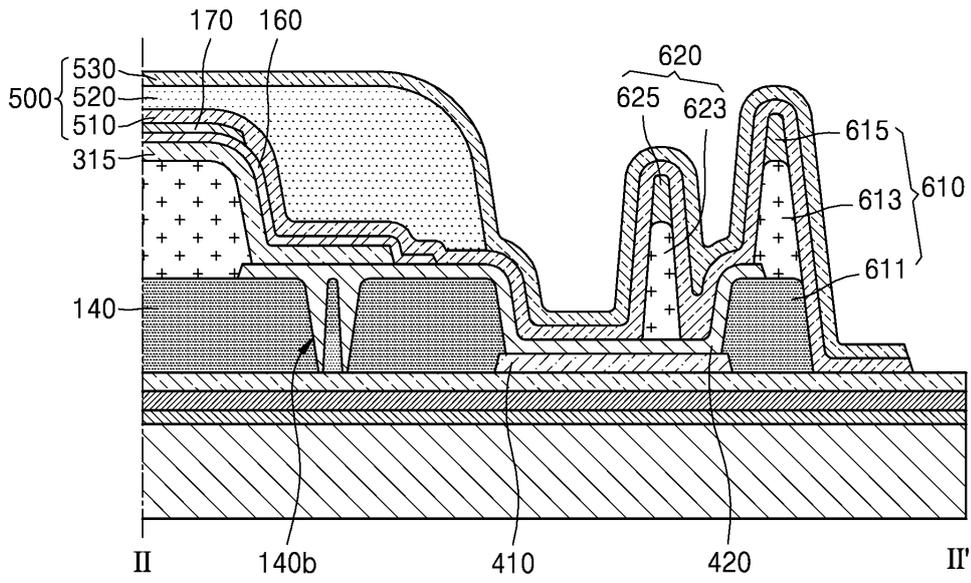
도면4



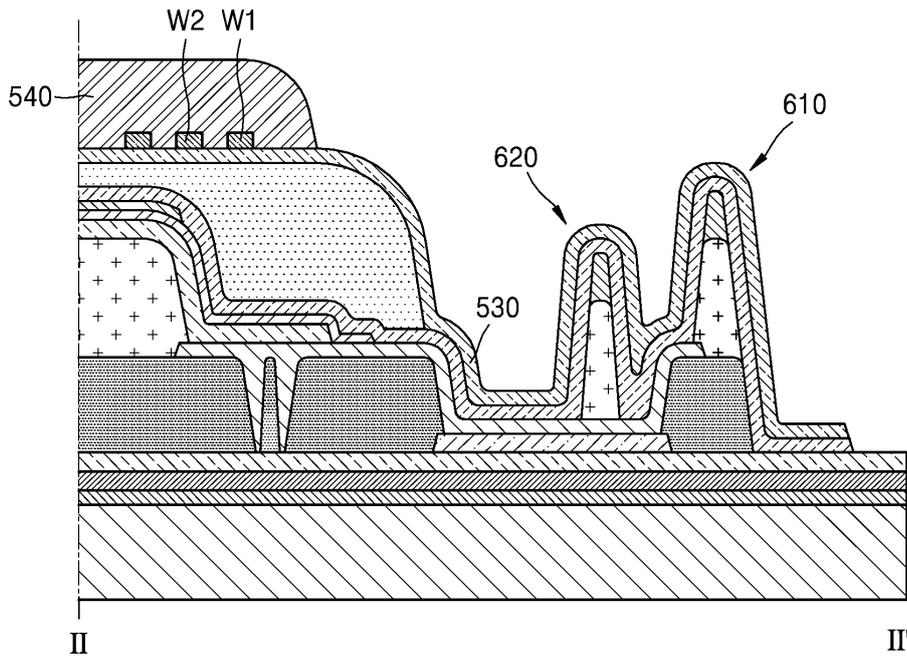
도면5



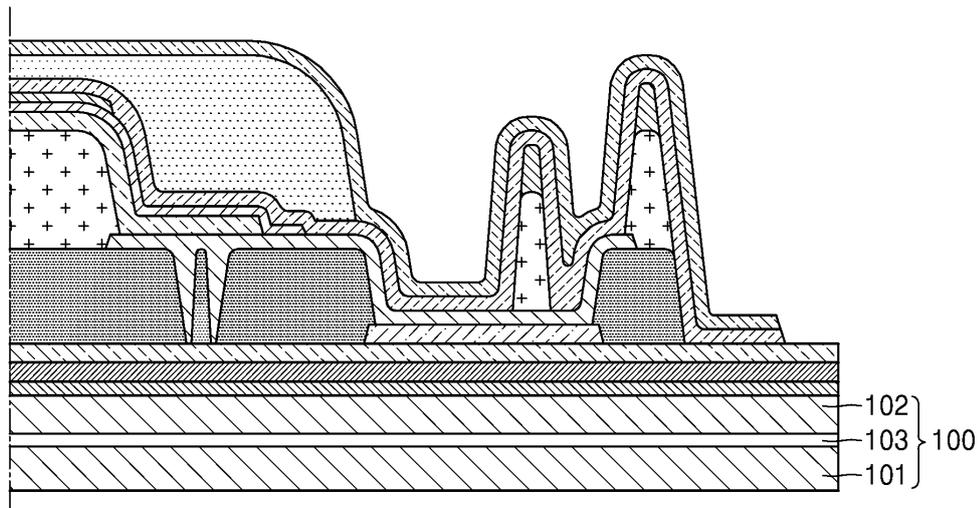
도면6



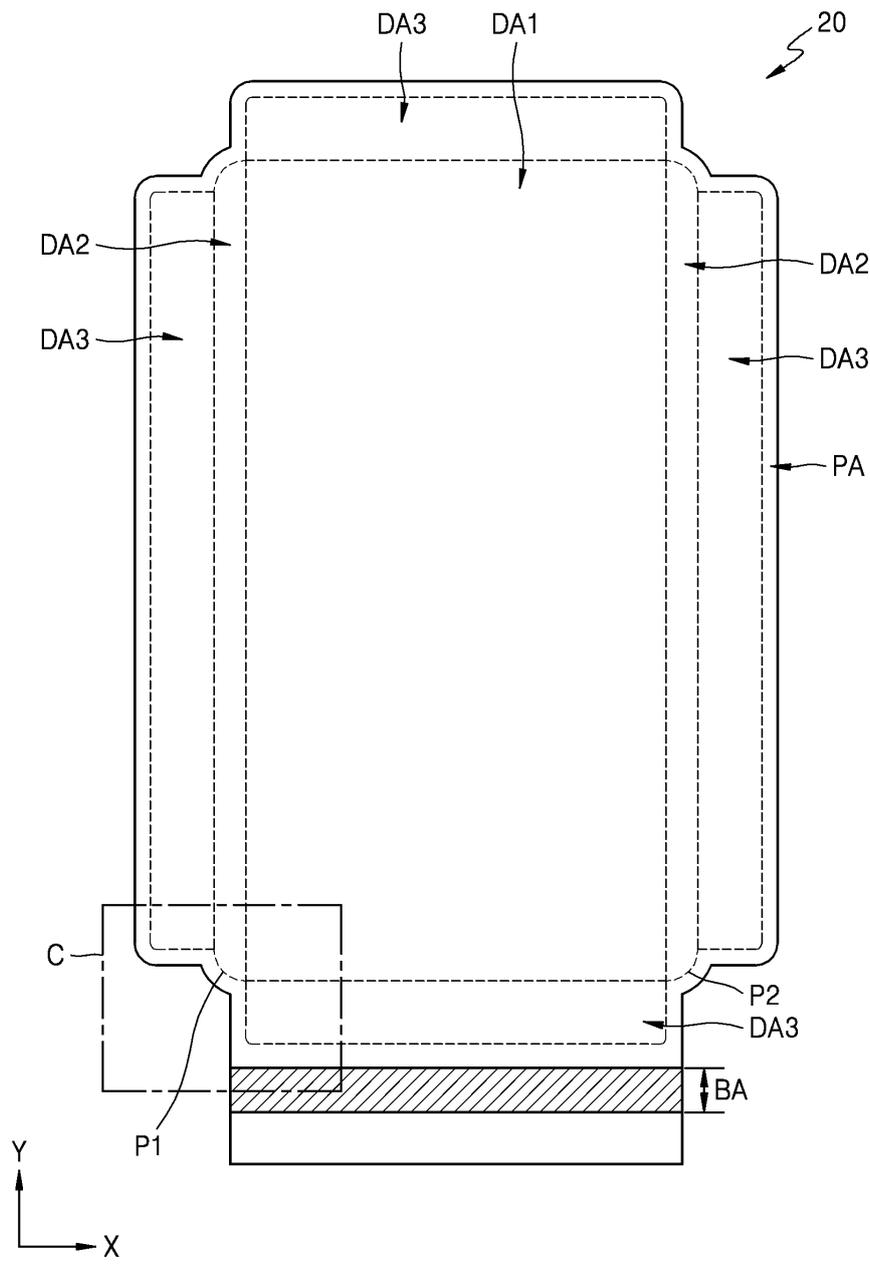
도면7



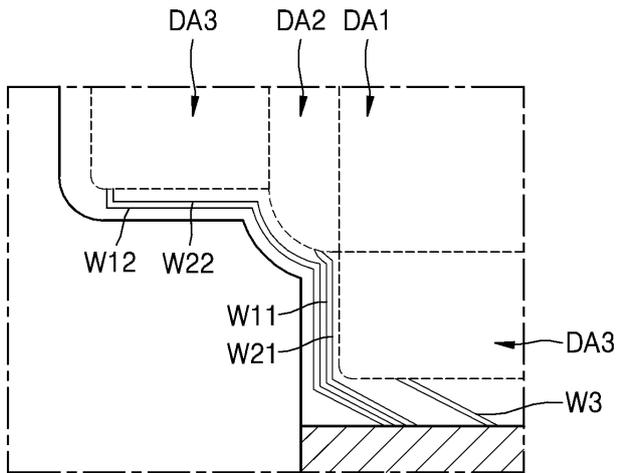
도면8



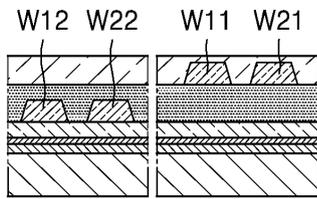
도면9



도면10



도면11



도면12

