



(12) 发明专利

(10) 授权公告号 CN 101803022 B

(45) 授权公告日 2012. 09. 26

(21) 申请号 200880108156. 4  
 (22) 申请日 2008. 09. 26  
 (30) 优先权数据  
 2007-254288 2007. 09. 28 JP  
 (85) PCT申请进入国家阶段日  
 2010. 03. 22  
 (86) PCT申请的申请数据  
 PCT/JP2008/067392 2008. 09. 26  
 (87) PCT申请的公布数据  
 W02009/041558 JA 2009. 04. 02  
 (73) 专利权人 三洋电机株式会社  
 地址 日本国大阪府  
 (72) 发明人 藤原秀二  
 (74) 专利代理机构 中科专利商标代理有限责任  
 公司 11021  
 代理人 刘建

(51) Int. Cl.  
*H01L 27/06* (2006. 01)  
*H01L 21/822* (2006. 01)  
*H01L 21/8234* (2006. 01)  
*H01L 27/04* (2006. 01)  
*H01L 27/088* (2006. 01)  
 (56) 对比文件  
 US 2006/0255411 A1, 2006. 11. 16,  
 US 5932914 A, 1999. 08. 03,  
 审查员 曹毓涵

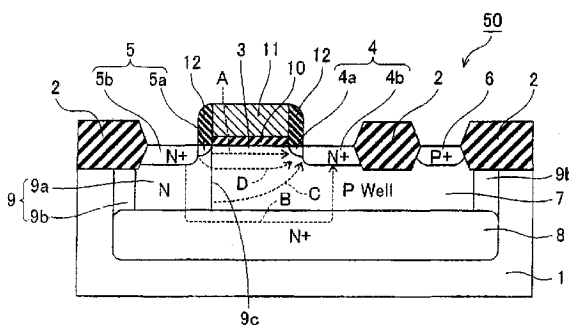
权利要求书 4 页 说明书 7 页 附图 5 页

(54) 发明名称

静电破坏保护元件、静电破坏保护电路、半导体装置及制法

(57) 摘要

本发明提供一种静电破坏保护元件、静电破坏保护电路、半导体装置及其制造方法。其中，所述静电破坏保护元件 (50)，具备：第二导电型的源极区域 (4) 及漏极区域 (5)，以夹持沟道区域 (3) 的方式隔着规定间隔形成在第一导电型的半导体基板 (1) 的表面上；第一导电型的阱区域 (7)，其形成为覆盖源极区域；第二导电型的嵌入层 (8)，其形成在第一导电型的阱区域的下方；第二导电型的第一杂质区域 (9a)，其形成为在漏极区域与嵌入层之间构成电流路径；和第二导电型的第二杂质区域 (9b)，其对阱区域和半导体基板进行分离。



1. 一种静电破坏保护元件,具备:

第二导电型的源极区域(4)及漏极区域(5),以夹持沟道区域(3)的方式隔着规定间隔形成于第一导电型的半导体基板(1)的表面;

第一导电型的阱区域(7),其形成为覆盖所述源极区域;

第二导电型的嵌入层(8),其形成在所述第一导电型的阱区域的下方;

第二导电型的第一杂质区域(9a),其形成为在所述漏极区域与所述嵌入层之间构成电流路径;和

第二导电型的第二杂质区域(9b),其对所述阱区域和所述半导体基板进行分离,

所述第二导电型的第一杂质区域被配置为与所述第二导电型的第二杂质区域邻接并接触。

2. 根据权利要求1所述的静电破坏保护元件,其中,

所述第一杂质区域形成为覆盖所述漏极区域,

所述第一杂质区域的杂质浓度比所述第二导电型的漏极区域的杂质浓度还低。

3. 根据权利要求2所述的静电破坏保护元件,其中,

所述第一杂质区域的所述沟道区域侧的端部(9c)被配置在与所述漏极区域的所述沟道区域侧的端部大致相同的位置处。

4. 一种静电破坏保护电路,具备:

静电破坏保护元件(50);和

与所述静电破坏保护元件电连接的电容元件(23)及电阻元件(24)中的至少一个,

其中,所述静电破坏保护元件(50)包括:第二导电型的源极区域(4)及漏极区域(5),以夹持沟道区域(3)的方式隔着规定间隔形成于第一导电型的半导体基板(1)的表面;第一导电型的阱区域(7),其形成为覆盖所述源极区域;第二导电型的嵌入层(8),其形成在所述第一导电型的阱区域的下方;第二导电型的第一杂质区域(9a),其形成为在所述漏极区域与所述嵌入层之间构成电流路径;和第二导电型的第二杂质区域(9b),其对所述阱区域和所述半导体基板进行分离,

所述第二导电型的第一杂质区域被配置为与所述第二导电型的第二杂质区域邻接并接触。

5. 根据权利要求4所述的静电破坏保护电路,其中,

所述第一杂质区域形成为覆盖所述漏极区域,

所述第一杂质区域的杂质浓度比所述第二导电型的漏极区域的杂质浓度还低。

6. 根据权利要求5所述的静电破坏保护电路,其中,

所述第一杂质区域的所述沟道区域侧的端部(9c)被配置在与所述漏极区域的所述沟道区域侧的端部大致相同的位置处。

7. 根据权利要求4所述的静电破坏保护电路,其中,

所述静电破坏保护电路还具备电源布线(21)及接地布线(22),

所述静电破坏保护元件(50)还包括用于固定所述阱区域的电位的阱电位固定端子(6),

所述电源布线、所述电容元件的一个端子及所述静电破坏保护元件的漏极区域电连接,

所述电容元件的另一端子、所述电阻元件的一个端子、所述静电破坏保护元件的栅电极 (11) 及所述静电破坏保护元件的阱电位固定端子电连接,

所述接地布线、所述电阻元件的另一端子及所述静电破坏保护元件的源极区域电连接。

8. 根据权利要求 4 所述的静电破坏保护电路,其中,

所述静电破坏保护电路还具备电源布线 (21) 及接地布线 (22),

所述静电破坏保护元件 (50) 还包括用于固定所述阱区域的电位的阱电位固定端子 (6),

所述电源布线、所述电容元件的一个端子及所述静电破坏保护元件的漏极区域电连接,

所述电容元件的另一端子、所述电阻元件的一个端子及所述静电破坏保护元件的栅电极电连接,

所述接地布线、所述电阻元件的另一端子、所述静电破坏保护元件的源极区域、及所述静电破坏保护元件的阱电位固定端子电连接。

9. 根据权利要求 4 所述的静电破坏保护电路,其中,

所述静电破坏保护电路还具备电源布线 (21) 及接地布线 (22),

所述静电破坏保护元件 (50) 还包括用于固定所述阱区域的电位的阱电位固定端子 (6),

所述电源布线、所述电容元件的一个端子及所述静电破坏保护元件的漏极区域电连接,

所述电容元件的另一端子、所述电阻元件的一个端子及所述静电破坏保护元件的阱电位固定端子电连接,

所述接地布线、所述电阻元件的另一端子、所述静电破坏保护元件的源极区域及所述静电破坏保护元件的栅电极电连接。

10. 一种半导体装置,包括静电破坏保护电路 (100),

其中,所述静电破坏保护电路 (100) 具备:

静电破坏保护元件 (50);和

与所述静电破坏保护元件电连接的电容元件 (23) 及电阻元件 (24) 中的至少一个,

所述静电破坏保护元件 (50) 包括:第二导电型的源极区域 (4) 及漏极区域 (5),以夹持沟道区域 (3) 的方式隔着规定间隔形成于第一导电型的半导体基板 (1) 的表面;第一导电型的阱区域 (7),其形成为覆盖所述源极区域;第二导电型的嵌入层 (8),其形成在所述第一导电型的阱区域的下方;第二导电型的第一杂质区域 (9a),其形成为在所述漏极区域与所述嵌入层之间构成电流路径;和第二导电型的第二杂质区域 (9b),其对所述阱区域和所述半导体基板进行分离,

所述第二导电型的第一杂质区域被配置为与所述第二导电型的第二杂质区域邻接并接触。

11. 根据权利要求 10 所述的半导体装置,其中,

所述第一杂质区域形成为覆盖所述漏极区域,

所述第一杂质区域的杂质浓度比所述第二导电型的漏极区域的杂质浓度还低。

12. 根据权利要求 11 所述的半导体装置,其中,  
所述第一杂质区域的所述沟道区域侧的端部 (9c) 被配置在与所述漏极区域的所述沟道区域侧的端部大致相同的位置处。

13. 根据权利要求 10 所述的半导体装置,其中,  
所述静电破坏保护电路 (100) 还具备电源布线 (21) 及接地布线 (22),  
所述静电破坏保护元件 (50) 还包括用于固定所述阱区域的电位的阱电位固定端子 (6),

所述电源布线、所述电容元件的一个端子及所述静电破坏保护元件的漏极区域电连接,

所述电容元件的另一端子、所述电阻元件的一个端子、所述静电破坏保护元件的栅电极 (11)、及所述静电破坏保护元件的阱电位固定端子电连接,

所述接地布线、所述电阻元件的另一端子及所述静电破坏保护元件的源极区域电连接。

14. 根据权利要求 10 所述的半导体装置,其中,  
所述静电破坏保护电路 (100) 还具备电源布线 (21) 及接地布线 (22),  
所述静电破坏保护元件 (50) 还包括用于固定所述阱区域的电位的阱电位固定端子 (6),

所述电源布线、所述电容元件的一个端子及所述静电破坏保护元件的漏极区域电连接,

所述电容元件的另一端子、所述电阻元件的一个端子、所述静电破坏保护元件的栅电极电连接,

所述接地布线、所述电阻元件的另一端子、所述静电破坏保护元件的源极区域及所述静电破坏保护元件的阱电位固定端子电连接。

15. 根据权利要求 10 所述的半导体装置,其中,  
所述静电破坏保护电路 (100) 还具备电源布线 (21) 及接地布线 (22),  
所述静电破坏保护元件 (50) 还包括用于固定所述阱区域的电位的阱电位固定端子 (6),

所述电源布线、所述电容元件的一个端子及所述静电破坏保护元件的漏极区域电连接,

所述电容元件的另一端子、所述电阻元件的一个端子及所述静电破坏保护元件的阱电位固定端子电连接,

所述接地布线、所述电阻元件的另一端子、所述静电破坏保护元件的源极区域及所述静电破坏保护元件的栅电极电连接。

16. 一种半导体装置的制造方法,半导体装置 (200) 在第一导电型的半导体基板 (1) 的表面形成静电破坏保护元件 (50) 和场效应晶体管 (60),

该半导体装置 (200) 的制造方法包括:

在所述半导体基板的形成有静电破坏保护元件的第一元件区域中形成第二导电型的嵌入层 (8) 的工序;

通过向所述半导体基板的第一元件区域及形成有所述场效应晶体管的第二元件区域

中导入杂质,从而在所述第二元件区域中形成第二导电型的阱区域(9d),并且在所述第一元件区域中形成第二导电型的第一杂质区域(9a)以及第二导电型的第二杂质区域(9b)的工序,其中该第二导电型的第一杂质区域和所述嵌入层一起构成电流路径,该第二导电型的第一杂质区域与所述第二导电型的第二杂质区域邻接并接触;和

在所述第一元件区域中以夹持沟道区域(3)的方式隔着规定间隔,形成在第二导电型的源极区域(4)、以及与所述嵌入层之间经由所述杂质区域而构成电流路径的第二导电型的漏极区域(5)的工序。

17. 根据权利要求16所述的半导体装置的制造方法,其中,

形成所述阱区域并且形成所述杂质区域的工序还包括通过向所述第一元件区域及所述第二元件区域中同时导入杂质来同时形成所述阱区域和所述杂质区域的工序。

18. 根据权利要求16所述的半导体装置的制造方法,其中,

形成所述漏极区域的工序还包括由所述杂质区域覆盖所述漏极区域并且以所述杂质区域的杂质浓度变得比所述漏极区域的杂质浓度还低的方式形成所述漏极区域的工序。

19. 根据权利要求18所述的半导体装置的制造方法,其中,

形成所述漏极区域的工序还包括以所述杂质区域的所述沟道区域侧的端部(9c)被配置在与所述漏极区域的所述沟道区域侧的端部大致相同的位置处的方式形成所述漏极区域的工序。

## 静电破坏保护元件、静电破坏保护电路、半导体装置及制法

### 技术领域

[0001] 本发明涉及静电破坏保护元件、静电破坏保护电路、半导体装置及半导体装置的制造方法,特别是涉及具备场效应晶体管的静电破坏保护元件、静电破坏保护电路、利用了该静电破坏保护电路的半导体装置及半导体装置的制造方法。

### 背景技术

[0002] 以往公知一种具备场效应晶体管的静电破坏保护电路。这种静电破坏保护电路例如已经被“Haigang Feng et al. ‘A Mixed-Mode ESD Protection Circuit Simulation-Design Methodology’ IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 38, NO. 6, JUNE 2003”公开了。

[0003] 在上述文献中,已经公开了在电源端子与接地端子之间连接有具备场效应晶体管的静电破坏保护电路的结构。上述文献所述的静电破坏保护电路是具备 RC 触发器电路并且场效应晶体管的栅极端子与 RC 触发器电路连接的所谓 gcnMOS 晶体管 (gate-coupled nMOS 晶体管)。通过将该 gcnMOS 晶体管作为静电破坏保护电路加以利用,从而和栅极端子与接点端子连接的所谓的 ggnMOS 晶体管 (gate-grounded nMOS 晶体管) 不同而能快速地释放静电浪涌电流。

[0004] 另外,以往公知一种在 BiCMOS 型 LSI 中将上述 gcnMOS 晶体管作为静电破坏保护电路加以利用的结构。这种结构例如已经被“美国专利 US6, 455, 902B1”公开了。

[0005] 在上述的 US6, 455, 902B1 中,在半导体基板上形成有作为静电破坏保护元件的场效应晶体管、CMOS 晶体管和双极性晶体管。另外,在形成有双极性晶体管的区域中,形成作为集电极的嵌入  $n^+$  层。在上述的 US6, 455, 902B1 中,在形成有静电破坏保护元件的区域中,也与形成有双极性晶体管的区域同样地形成嵌入  $n^+$  层。另外,在上述的 US6, 455, 902B1 中,在越过与漏极区域相邻的绝缘分离层的位置设置有嵌入  $n^+$  层的电位固定端子,并且该电位固定端子与嵌入  $n^+$  层通过 n 型杂质层而电连接。另外,栅电极及 p 型杂质区域电位固定端子与 RC 触发器电路电连接,漏极区域及嵌入  $n^+$  层的电位固定端子与电源布线连接,源极区域与接地布线连接。

[0006] 在上述的 US6, 455, 902B1 中,基于上述的结构,静电浪涌电流作为源极与漏极间的沟道电流而流动,并且其中一部分也在源极区域与嵌入  $n^+$  层的电位固定端子之间流动。即, n 型源极区域、p 型杂质区域及嵌入  $n^+$  层分别作为寄生双极性晶体管的发射极、基极及集电极而起作用,从而静电浪涌电流的一部分从嵌入  $n^+$  层的电位固定端子依次经由 n 型杂质层、嵌入  $n^+$  层、p 型杂质区域而流动到 n 型源极区域。在上述的 US6, 455, 902B1 中,通过在源极区域与嵌入  $n^+$  层的电位固定端子之间流经静电浪涌电流的一部分,从而能减小作为沟道电流而在源极与漏极之间流动的电流 (静电浪涌电流),故减轻了源极与漏极间的负载。

[0007] 但是,在上述的 US6, 455, 902B1 中,由于在越过与漏极区域相邻的绝缘分离层所形成的嵌入  $n^+$  层的电位固定端子与源极区域之间流经静电浪涌电流的一部分,故静电浪涌

电流的一部分的电流路径增长了嵌入  $n^+$  层的电位固定端子和源极区域越过绝缘分离层的量,由此电阻增大。因此,由于在嵌入  $n^+$  层的电位固定端子与源极区域之间难以流动电流(静电浪涌电流的一部分),故有在源极与漏极间多会流动作为沟道电流的电流(静电浪涌电流)而导致不能充分减轻施加到源极与漏极间的负载的问题。

## 发明内容

[0008] 本发明是为了解决上述课题而进行的,本发明的一个目的在于提供一种可进一步减轻静电浪涌电流施加到源极与漏极间的负载的静电破坏保护元件、静电破坏保护电路、半导体装置及半导体装置的控制方法。

[0009] 本发明第一方案相关的静电破坏保护元件,具备:第二导电型的源极区域及漏极区域,以夹持沟道区域的方式隔着规定间隔形成在第一导电型的半导体基板的表面上;第一导电型的阱区域,其形成为覆盖源极区域;第二导电型的嵌入层,其形成在第一导电型的阱区域的下方;第二导电型的第一杂质区域,其形成为在漏极区域与嵌入层之间构成电流路径;和第二导电型的第二杂质区域,其对阱区域和半导体基板进行分离,所述第二导电型的第一杂质区域被配置为与所述第二导电型的第二杂质区域邻接并接触。

[0010] 本发明的第二方案相关的静电破坏保护电路,具备:静电破坏保护元件;以及与静电破坏保护元件电连接的电容元件及电阻元件中的至少一个,其中,所述静电破坏保护元件包括:第二导电型的源极区域及漏极区域,以夹持沟道区域的方式隔着规定间隔形成在第一导电型的半导体基板的表面上;第一导电型的阱区域,其形成为覆盖源极区域;第二导电型的嵌入层,其形成在第一导电型的阱区域的下方;第二导电型的第一杂质区域,其形成为在漏极区域与嵌入层之间构成电流路径;和第二导电型的第二杂质区域(9b),其对阱区域和半导体基板进行分离,所述第二导电型的第一杂质区域被配置为与所述第二导电型的第二杂质区域邻接并接触。

[0011] 本发明的第三方案相关的半导体装置,包括静电破坏保护电路,其中,所述静电破坏保护电路具备:静电破坏保护元件;以及与所述静电破坏保护元件电连接的电容元件(23)及电阻元件(24)中的至少一个,所述静电破坏保护元件包括:第二导电型的源极区域及漏极区域,以夹持沟道区域的方式隔着规定间隔形成在第一导电型的半导体基板的表面上;第一导电型的阱区域,其形成为覆盖源极区域;第二导电型的嵌入层,其形成在第一导电型的阱区域的下方;第二导电型的第一杂质区域,其形成为在漏极区域与嵌入层之间构成电流路径;和第二导电型的第二杂质区域,其对阱区域和半导体基板进行分离,所述第二导电型的第一杂质区域被配置为与所述第二导电型的第二杂质区域邻接并接触。

[0012] 本发明的第四方案相关的半导体装置的制造方法,所述半导体装置在第一导电型的半导体基板的表面形成静电破坏保护元件和场效应晶体管,该半导体装置的制造方法包括:在半导体基板的形成有静电破坏保护元件的第一元件区域中形成第二导电型的嵌入层的工序;通过向半导体基板的第一元件区域及形成有场效应晶体管的第二元件区域中同时导入杂质从而在第二元件区域中形成第二导电型的阱区域,并且在第一元件区域中形成和嵌入层一起构成电流路径的第二导电型的杂质区域的工序;和在第一元件区域中以夹持沟道区域的方式隔着规定间隔,形成在第二导电型的源极区域(4)以及与嵌入层之间经由杂质区域而构成电流路径的第二导电型的漏极区域的工序,所述第二导电型的第一杂质区

域被配置为与所述第二导电型的第二杂质区域邻接并接触。

[0013] 附图说明

[0014] 图 1 是表示本发明的第一实施方式相关的静电破坏保护元件的剖视图。

[0015] 图 2 是表示本发明的第二实施方式相关的静电破坏保护电路的剖视图。

[0016] 图 3 是表示本发明的第三实施方式相关的半导体装置的剖视图。

[0017] 图 4 是用于说明本发明的第三实施方式相关的半导体装置的制造工艺的剖视图。

[0018] 图 5 是用于说明本发明的第三实施方式相关的半导体装置的制造工艺的剖视图。

[0019] 图 6 是用于说明本发明的第三实施方式相关的半导体装置的制造工艺的剖视图。

[0020] 图 7 是用于说明本发明的第三实施方式相关的半导体装置的制造工艺的剖视图。

[0021] 图 8 是用于说明本发明的第三实施方式相关的半导体装置的制造工艺的剖视图。

[0022] 图 9 是表示本发明的第一实施方式的第一变形例相关的静电破坏保护元件的剖视图。

[0023] 图 10 是表示本发明的第一实施方式的第二变形例相关的静电破坏保护元件的剖视图。

[0024] 图 11 是表示本发明的第二实施方式的第一变形例相关的静电破坏保护电路的电路图。

[0025] 图 12 是表示本发明的第二实施方式的第二变形例相关的静电破坏保护电路的电路图。

[0026] 图 13 是表示本发明的第二实施方式的第三变形例相关的静电破坏保护电路的电路图。

[0027] 具体实施方式

[0028] 以下,基于附图对本发明的实施方式进行说明。

[0029] (第一实施方式)

[0030] 如图 1 所示,在第一实施方式相关的静电破坏保护元件 50 中,在 p 型硅基板 1 的表面的规定区域形成有绝缘分离层 2。另外,在硅基板 1 的表面以夹持沟道区域 3 的方式隔着规定间隔形成有源极区域 4 及漏极区域 5。源极区域 4 具有由低浓度的  $n^-$  型杂质区域 4a 和高浓度的  $n^+$  型杂质区域 4b 构成的 LDD(Light Doped Drain) 构造。另外,漏极区域 5 具有由低浓度的  $n^-$  型杂质区域 5a 和高浓度的  $n^+$  型杂质区域 5b 构成的 LDD 构造。另外,在经由绝缘分离层 2 而与硅基板 1 的表面的源极区域 4 相邻的区域中,形成有作为后述的 p 型阱区域 7 的电位固定端子起作用的高浓度的  $p^+$  型杂质区域 6。另外,按照覆盖源极区域 4 及杂质区域 6 的方式形成有 p 型阱区域 7。另外,在 p 型阱区域 7 的下方形形成有高浓度的  $n^+$  型嵌入层 8。另外,在 p 型阱区域 7 的两侧面形成有对 p 型硅基板 1 和 p 型阱区域 7 进行分离的 n 型层 9a 和 n 型层 9b。另外,形成在漏极区域 5 的下方的 n 型层 9 包括:n 型层 9a,其与嵌入层 8 和漏极区域 5 电连接并且在漏极区域 5 与嵌入层 8 之间构成电流路径;和 n 型层 9b,其对 p 型硅基板 1 与 p 型阱区域 7 进行分离。另外,在沟道区域 3 上隔着栅极绝缘膜 10 形成栅电极 11。在栅电极 11 的两侧面形成有侧壁(side-wall)绝缘膜 12。由上述的沟道区域 3、源极区域 4、漏极区域 5 及栅电极 11 构成了 n 型 MOS 晶体管。且有,n 型层 9b、n 型层 9a 及 p 型层阱区域 7 分别是本发明的“第二杂质区域”、“第一杂质区域”及“阱区域”的一个例子。



[0031] 另外, n 型层 9 的杂质浓度比构成漏极区域 5 的  $n^+$  型杂质区域 5b 的杂质浓度还低。另外, n 型层 9 (n 型层 9a) 的沟道区域 3 侧的端部 9c 的位置与漏极区域 5 的  $n^-$  型杂质区域 5a 的沟道区域 3 侧的端部的位置大致相同。

[0032] 另外, 第一实施方式相关的静电破坏保护元件 50 的 n 型源极区域 4、p 型阱区域 7 及 n 型嵌入层 8 分别作为寄生双极性晶体管的发射极、基极及集电极起作用。该寄生双极性晶体管可将流入漏极区域 5 的电流的一部分经由 p 型阱区域 7、嵌入层 8 及 n 型层 9 (n 型层 9a) 流到源极区域 4 中。即, 第一实施方式相关的静电破坏保护元件 50 可将流入漏极区域 5 的静电浪涌电流经由 n 型 MOS 晶体管的沟道电流流经的电流路径 A 而从漏极区域 5 流到源极区域 4, 并且将静电浪涌电流的一部分经过由 p 型阱区域 7、嵌入层 8 及 n 型层 9 (n 型层 9a) 构成的第一电流路径 B 而从漏极区域 5 流到源极区域 4。

[0033] 另外, 在静电破坏保护元件 50 中, 基于源极区域 4、p 型阱区域 7 及 n 型层 9 (n 型层 9a) 分别作为发射极、基极及集电极起作用的寄生双极性晶体管的电流经过由 n 型层 9 (n 型层 9a) 及 p 型阱区域 7 构成的第二电流路径 C 而从漏极区域 5 流到源极区域 4。另外, 在静电破坏保护元件 50 中, 基于源极区域 4、p 型阱区域 7 及漏极区域 5 分别作为发射极、基极及集电极起作用的寄生双极性晶体管的电流经过由 p 型阱区域 7 构成的第三电流路径 D 而从漏极区域 5 流到源极区域 4。

[0034] 如上所述, 在第一实施方式中, 通过使 n 型源极区域 4、p 型阱区域 7 及 n 型嵌入层 8 分别作为寄生双极性晶体管的发射极、基极及集电极起作用, 从而能使静电浪涌电流的一部分依次经由 p 型阱区域 7、嵌入层 8、n 型层 9 (n 型层 9a) 从漏极区域 5 流到源极区域 4。此时, 由于静电浪涌电流的一部分在作为电流路径的未越过绝缘分离层 2 的漏极区域 5 与源极区域 4 之间流动, 故能将静电浪涌电流的一部分的电流路径 (第一电流路径 B) 缩短未越过绝缘分离层 2 的程度。另外, 由于该电流路径的电阻也减小了静电浪涌电流的一部分的电流路径的缩短量, 故能增加流经第一电流路径 B 的电流 (静电浪涌电流的一部分)。结果, 由于能减少作为源极与漏极间的沟道电流而流动的静电浪涌电流, 故能进一步减轻静电浪涌电流施加到源极与漏极间的负载。另外, 由于能减轻施加到源极与漏极间的负载, 故能进一步减小栅电极 11 的宽度。因此, 能将静电破坏保护元件 50 的面积减小栅电极 11 的宽度的减小量。

[0035] 另外, 如上所述, 在第一实施方式中, 通过以覆盖漏极区域 5 的方式形成 n 型层 9 (n 型层 9a) 并且使 n 型层 9a 的杂质浓度比构成漏极区域 5 的  $n^+$  型杂质区域 5b 的杂质浓度还低, 从而能缓和漏极区域 5 附近的 pn 结的杂质浓度分布。因此, 由于能缓和漏极区域 5 附近的电场集中, 故能抑制碰撞电离的发生。

[0036] 另外, 如上所述, 在第一实施方式中, 通过将 n 型层 9 (n 型层 9a) 的沟道区域 3 侧的端部 9c 配置在与漏极区域 5 的  $n^-$  型杂质区域 5a 的沟道区域 3 侧的端部大致相同的位置, 从而与使 n 型层 9 (n 型层 9a) 的沟道区域 3 侧的端部比漏极区域 5 的沟道区域 3 侧的端部还靠近沟道区域 3 侧附近的情况进行比较, 能抑制由杂质浓度低的 n 型层 9 (n 型层 9a) 引起的源极区域 4 与漏极区域 5 之间的电阻的增加。

[0037] (第二实施方式)

[0038] 本发明的第二实施方式相关的静电破坏保护电路 100 利用了上述第一实施方式相关的静电破坏保护元件 50。

[0039] 如图 2 所示,静电破坏保护电路 100 具有以下的结构,电源端子 (Vdd)、接地端子 (Vss)、电容元件 23 及电阻元件 24 与上述第一实施方式相关的静电破坏保护元件 50 电连接。具体地说,电源端子 21 与电容元件 23 的一个端子 23a 连接。另外,电容元件 23 的另一端子 23b 与电阻元件 24 的一个端子 24a 连接。另外,电阻元件 24 的另一端子 24b 与接地端子 22 连接。

[0040] 另外,静电破坏保护元件 50 的栅电极 11 及作为 p 型阱区域 7 的电位固定端子的杂质区域 6 与电容元件 23 的另一端子 23b 及电阻元件 24 的一个端子 24a 连接。另外,漏极区域 5 与电源端子 21 连接。另外,源极区域 4 与接地端子 22 连接。

[0041] 接着,对静电破坏保护电路 100 的动作进行说明。

[0042] 在未施加静电浪涌电流的通常动作时,作为寄生双极性晶体管的集电极的漏极区域 5、n 型层 9(n 型层 9a) 及嵌入层 8 通过与电源端子 21 (Vdd) 连接,从而被偏置到作为寄生双极性晶体管的发射极的源极区域 4 的正方向上。另外,栅电极 11 及作为 p 型阱区域 7 的电位固定端子的杂质区域 6 由于在通常动作时成为与接地端子 22 相同的电位 (0V),故静电破坏保护元件 50 的 nMOS 晶体管被保持为非导通状态,所述非导通状态是在沟道区域 3 中未形成沟道反向层的状态。

[0043] 另外,在电源端子 21 中流入了正极性的静电浪涌电流的情况下,或者在接地布线 21 中流入了负极性的静电浪涌电流的情况下,栅电极 11 及 p 型阱区域 7 的电位被偏置到接地端子 22 的正方向上。因此,由于栅电极 11 的电位上升,故形成了静电破坏保护元件 50 的 nMOS 晶体管的沟道反向层,并且作为 nMOS 晶体管的沟道电流的静电浪涌电流从漏极区域 5 流到源极区域 4。另外,由于 p 型阱区域 7 的电位上升,故寄生双极性晶体管的基极电位上升,并且在源极区域 4 与漏极区域 5 之间形成了由 p 型阱区域 7、嵌入层 8、n 型层 9(n 型层 9a) 构成的第一电流路径 B,或由 p 型阱区域 7 及嵌入层 8 构成的第二电流路径 C,或由 p 型阱区域 7 构成的第三电流路径 D。静电浪涌电流的一部分经由这些电流路径从漏极区域 5 流到与接地端子 22 连接的源极区域 4。这样一来,进行了基于第二实施方式相关的静电破坏保护电路 100 的静电浪涌电流的放电。

[0044] 如上所述,在第二实施方式中,通过电连接电源端子 21、电容元件 23 的一个端子 23a 和静电破坏保护元件 50 的漏极区域 5、及电连接电容元件 23 的另一端子 23b、电阻元件 24 的一个端子 24a、静电破坏保护元件 50 的栅电极 11 及作为静电破坏保护元件 50 的 p 型阱区域 7 的电位固定端子的杂质区域 6、以及电连接接地端子 22、电阻元件 24 的另一端子 24b 及静电破坏保护元件 50 的源极区域 4,从而既能减轻静电浪涌电流施加在静电破坏保护元件 50 的源极与漏极间的负载,又能基于静电破坏保护元件 50 对电源端子 21 与接地端子 22 之间的静电浪涌电流进行放电。

[0045] (第三实施方式)

[0046] 如图 3 所示,该半导体装置 200 是在 p 型硅基板 1 上形成有 nMOS 晶体管 60 及 pMOS 晶体管 70 和双极性晶体管(未图示)的 BiCMOS 型的半导体装置。在该 BiCMOS 型的半导体装置 200 的 p 型硅基板 1 上形成有上述第一实施方式的静电破坏保护元件 50。另外,静电破坏保护元件 50 形成为与未图示的电源端子 (Vdd) 21、接地端子 (Vss) 22、电容元件 23 及电阻元件 24 一同构成图 2 所示的静电破坏保护电路 100。在该半导体装置 200 中,将作为双极性晶体管的集电极起作用的嵌入层用作静电破坏保护元件 50 的嵌入层 8。

[0047] 在第三实施方式中,通过将静电破坏保护电路 100 安装到半导体装置 200 上,从而既能减轻静电浪涌电流施加在静电破坏保护元件 50 的源极与漏极间的负载,又能基于静电破坏保护元件 50 对电源端子 21 与接地端子 22 之间的静电浪涌电流进行放电,从而能提高与半导体装置 200 的静电浪涌电流相对应的耐性。

[0048] 接着,参照图 3 ~ 图 8 对半导体装置 200 的制造工艺进行说明。

[0049] 首先,如图 4 所示,通过 LOCOS(Local Oxidation of Silicon) 法在 p 型硅基板 1 上形成绝缘分离层 2。接着,如图 5 所示,通过将 n 型杂质离子注入到硅基板 1 的表面的规定区域,从而形成作为 npn 双极性晶体管的集电极起作用的 n 型嵌入层(未图示)和静电破坏保护元件 50 的 n 型嵌入层 8。另外,通过将 n 型杂质离子注入到硅基板 1 的表面的另一区域,从而形成 pMOS 晶体管 60 的 n 型阱 9d、静电破坏保护元件 50 的 n 型层 9(n 型层 9a) 及 nMOS 晶体管 7 的 n 型层 9b。另外,通过将 p 型杂质离子注入到硅基板 1 的表面的其他区域,从而形成 nMOS 晶体管 70 的 p 型硅区域 7 和静电破坏保护元件 50 的 p 型阱区域 7。

[0050] 接着,如图 6 所示,在分别形成有静电破坏保护元件 50、pMOS 晶体管 60 及 nMOS 晶体管 70 的区域中,形成栅极绝缘膜 10 及栅电极 11。并且,如图 7 所示,通过将绝缘分离层 2 及栅电极 11 作为掩膜(mask)对 n 型杂质进行离子注入,从而在形成有静电破坏保护元件 50 及 nMOS 晶体管 70 的区域中形成低浓度的杂质区域 4a 及 5a。另外,通过离子注入 p 型杂质,从而在形成有 pMOS 晶体管 60 的区域中形成低浓度的杂质区域 13a 及 14a。

[0051] 其后,如图 8 所示,通过在堆积了绝缘膜(未图示)之后进行蚀刻,从而形成覆盖栅电极 11 的侧面的侧壁绝缘膜 12。并且,如图 13 所示,通过将侧壁绝缘膜 12 作为掩膜进行离子注入,从而形成静电破坏保护元件 50 及 nMOS 晶体管 70 的高浓度的杂质区域 4b 及 5b、和作为 pMOS 晶体管 60 的 n 型阱 9d 的电位固定端子的高浓度的杂质区域 15。另外,通过将侧壁绝缘膜 12 作为掩膜进行离子注入,从而形成作为静电破坏保护元件 50 及 nMOS 晶体管 70 的 p 型阱区域 7 的电位固定端子的高浓度的杂质区域 6、和 pMOS 晶体管 60 的高浓度的杂质区域 13b 及 14b。因此,在静电破坏保护元件 50 及 nMOS 晶体管 70 中形成有由 LDD 构造构成的源极区域 4 及漏极区域 5,并且在 pMOS 晶体管 60 中形成有由 LDD 构造构成的源极区域 13 及漏极区域 14。

[0052] 其后,通过形成图 2 所示的电源端子 21、接地端子 22、电容元件 23 及电阻元件 24 等,从而形成了第三实施方式相关的半导体装置 200。

[0053] 在第三实施方式中,通过在形成有静电破坏保护元件 50 的区域及形成有 pMOS 晶体管 60 的区域中同时离子注入 n 型杂质,从而在形成有 pMOS 晶体管 60 的区域中形成 n 型阱 9d 的同时,在形成有静电破坏保护元件 50 的区域中形成嵌入层 8 和构成电流路径的 n 型层 9(n 型层 9a),故不会另外追加用于在形成有静电破坏保护元件 50 的区域中形成 n 型层 9(n 型层 9a) 的工序,且能在形成有静电破坏保护区域 50 的区域中形成 n 型层 9(n 型层 9a)。

[0054] 且有,应认为这次公开的实施方式只是在所有方面的例示并不加以限制。本发明的范围并不是上述实施方式的说明而如请求保护的范范围所示,进而包括在与请求保护的范范围同等意思及范围内的所有变更。

[0055] 例如,在上述第一实施方式中,虽然示出了以使漏极区域 5 的低浓度的杂质区域 5a 的沟道区域 3 侧的端部的位置与 n 型层 9(n 型层 9a) 的沟道区域 3 侧的端部 9c 的位置

大致相同的方式形成的例子,但是本发明并不限于此,也可以如图 9 所示的第一实施方式的第一变形例,以使漏极区域 5 的高浓度的杂质区域 5b 的沟道区域 3 侧的端部的位置与 n 型层 9 的沟道区域 3 侧的端部 9e 的位置大致相同的方式形成,也可以如图 10 所示的第一实施方式的第二变形例所示,以 n 型层 9 的沟道区域 3 侧的端部 9f 的位置比漏极区域 5 的低浓度的杂质区域 5a 的沟道区域 3 侧的端部的位置还位于沟道区域 3 侧附近的方式形成。

[0056] 另外,在上述第一实施方式中,虽然示出了 n 型层 9 及 n 型沟道区域 5 连接且 n 型层 9 及 n 型嵌入层 8 连接的例子,但是本发明并不限于此,即使在 n 型层 9 与 n 型沟道区域 5 之间或者在 n 型层 9 与 n 型嵌入层 8 之间有间隙并且该间隙为 p 型的情况下,只要以漏极区域 5、n 型层 9 及嵌入层 8 构成电通路的方式在实质上电连接即可。

[0057] 另外,在上述第一实施方式中,虽然示出了形成有具备 nMOS 晶体管的静电破坏保护元件 50 的例子,但是本发明并不限于此,也可以形成具备 pMOS 晶体管的静电破坏保护元件。此时,静电破坏保护元件也可以连接在输入输出管脚与电源端子之间。

[0058] 另外,在上述第二实施方式中,虽然示出了将栅电极 11 及 p 型阱区域 7 的电位固定端子(杂质区域 6)与电容元件 23 及电阻元件 24 连接的例子,但是本发明并不限于此,也可以如图 11 所示的第二实施方式的第一变形例所示,将栅电极 11 与电容元件 23 及电阻元件 24 连接并且将 p 型阱区域 7 的电位固定端子(杂质区域 6)与接地端子 22 连接。另外,也可以如图 12 所示的第二实施方式的第二变形例所示,将栅电极 11 与接地端子 22 连接并且将 p 型阱区域 7 的电位固定端子(杂质区域 6)与电容元件 23 及电阻元件 24 连接。另外,也可以如图 13 所示的第二实施方式的第三变形例所示,将栅电极 11 及 p 型阱区域 7 的电位固定端子(杂质区域 6)与接地端子 22 连接。

[0059] 另外,在上述第二实施方式中,虽然示出了在电源端子 21 与接地端子 22 之间连接了静电破坏保护元件 50 的例子,但是本发明并不限于此,也可以在输入输出管脚与接地端子之间连接静电破坏保护元件 50。

[0060] 另外,在上述第三实施方式中,虽然示出了通过将 n 型杂质离子注入到 p 型硅基板 1 上而形成了嵌入层 8 的例子,但是本发明并不限于此,也可以通过在 p 型硅基板 1 的表面形成了 n 型杂质层之后使硅层外延生成(epitaxial growth)来形成嵌入层。此时,在形成了外延硅层之后,进行绝缘分离层、p 型阱及 n 型阱(n 型层)的形成。

[0061] 另外,在上述第三实施方式中,虽然示出了同时形成用于连接 pMOS 晶体管 60 的 n 型阱 9d、静电破坏保护元件 50 的漏极区域及嵌入层 8 的 n 型层 9(n 型层 9a)的例子,但是本发明并不限于此,也可以同时形成通常形成在纵型双极性晶体管的集电极部上的嵌入层的引出层和 n 型层 9。

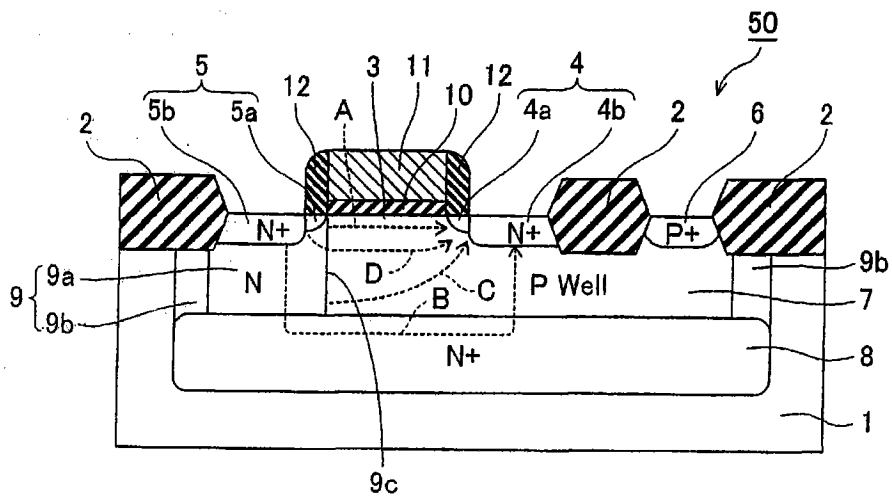


图 1

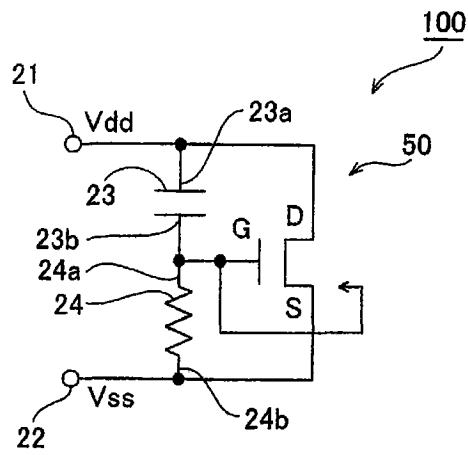


图 2

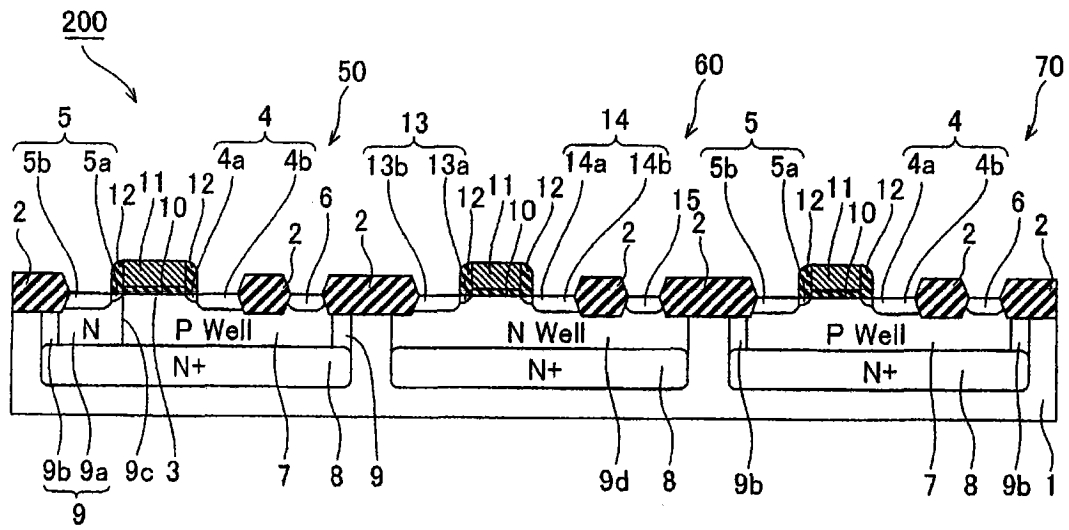


图 3

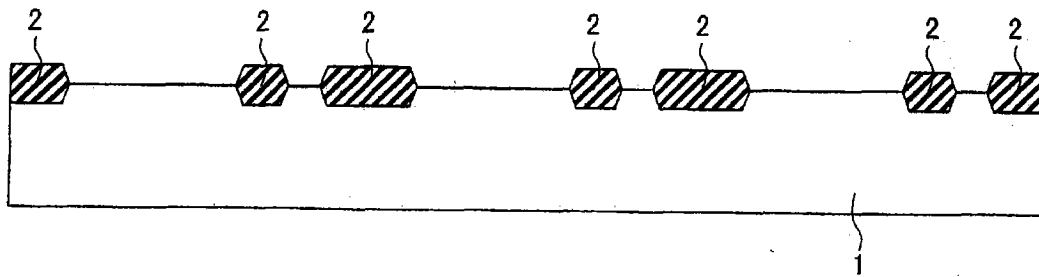


图 4

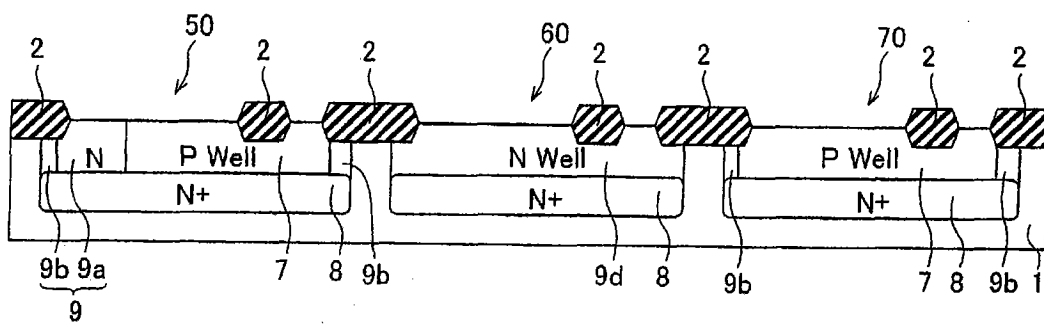


图 5

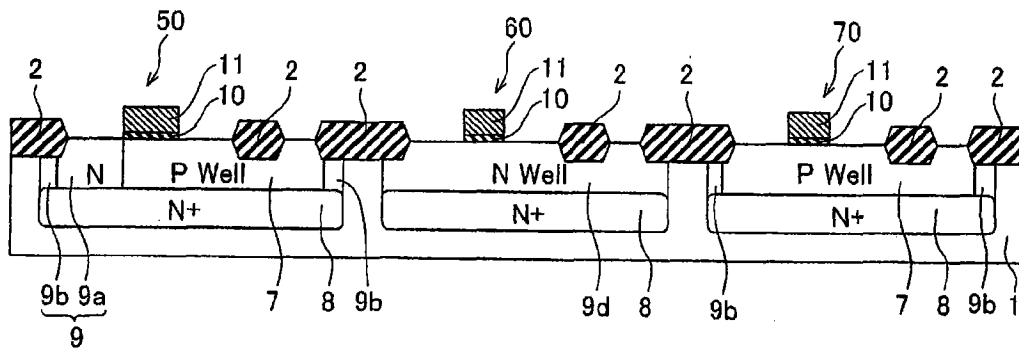


图 6

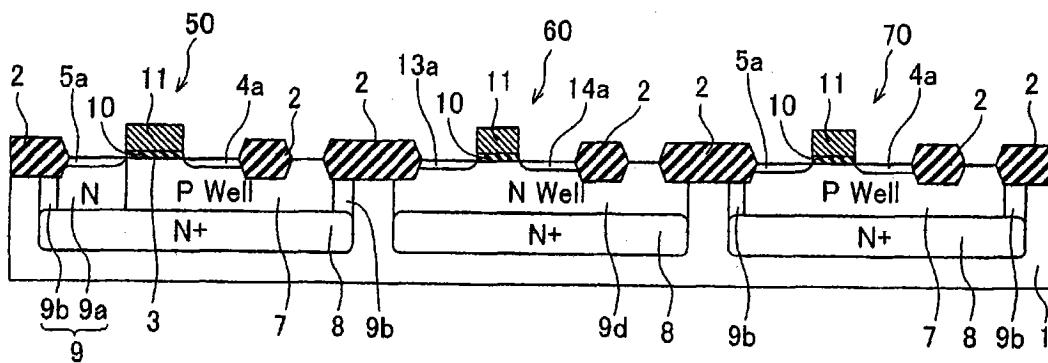


图 7

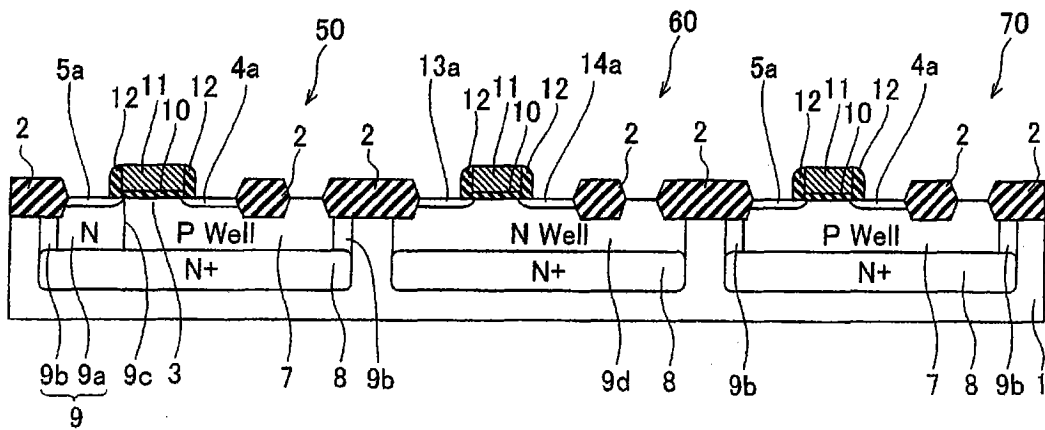


图 8

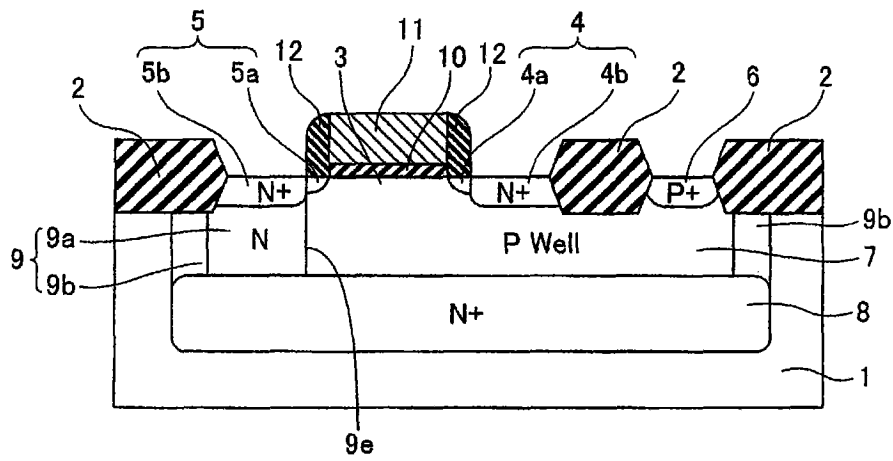


图 9

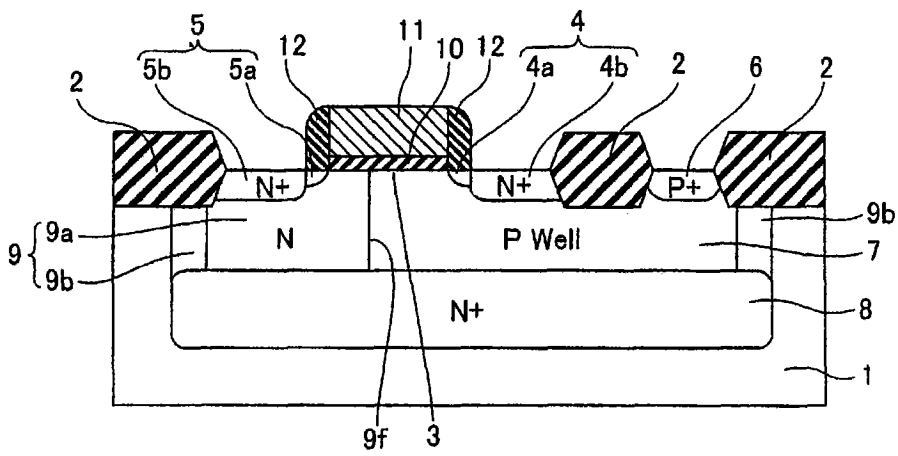


图 10

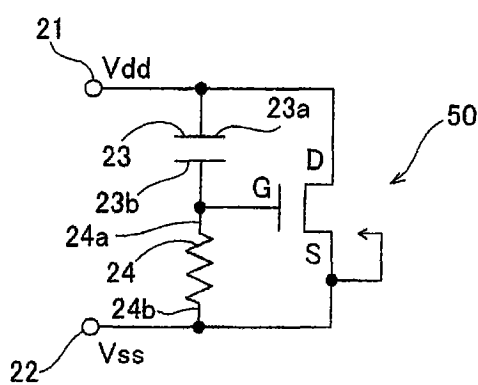


图 11

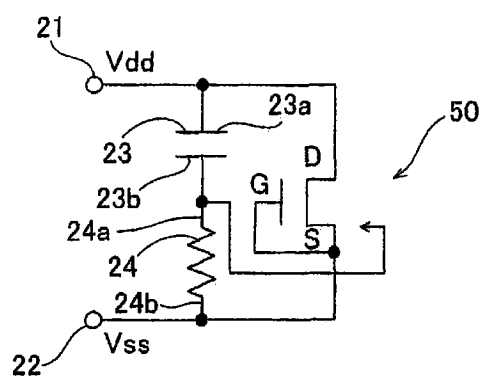


图 12



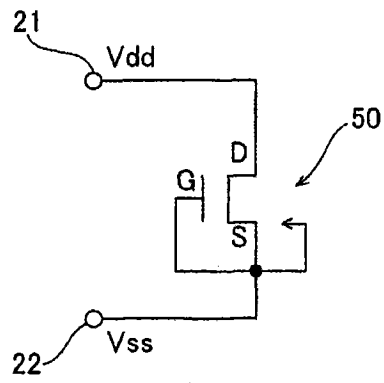


图 13