



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월11일
(11) 등록번호 10-0794287
(24) 등록일자 2008년01월07일

(51) Int. Cl.
H04N 5/335 (2006.01)
(21) 출원번호 10-2001-0019459
(22) 출원일자 2001년04월12일
심사청구일자 2006년04월06일
(65) 공개번호 10-2001-0098532
(43) 공개일자 2001년11월08일
(30) 우선권주장
2000-111424 2000년04월12일 일본(JP)
(56) 선행기술조사문헌
JP08265065 A
JP09252434 A
JP11164208 A

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
키무라하지메
일본국 가나가와켄 아쓰기시 하세 398번치가부시키
가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 61 항

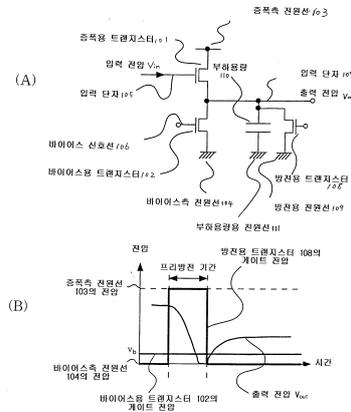
심사관 : 구대성

(54) 반도체장치 및 그의 구동방법

(57) 요약

신호 기입 시간이 길어지는 것을 방지하면서, 신호 진폭값을 크게 할 수 있고 또한 입출력 관계가 선형으로 동작하는 범위를 크게 할 수 있는 반도체장치 및 그의 구동방법을 제공한다. 증폭용 트랜지스터와 바이어스용 트랜지스터를 가진 반도체장치에서, 방전용 트랜지스터가 제공되고, 프리방전(pre-discharge)을 행하는 것을 특징으로 하는 반도체장치 및 그의 구동방법이다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 결정성 규소막을 활성층으로 사용한 증폭용 트랜지스터;

제2 결정성 규소막을 활성층으로 사용한 바이어스용 트랜지스터;

증폭측 전원선;

바이어스측 전원선;

바이어스 신호선;

제3 결정성 규소막을 활성층으로 사용한 방전용 트랜지스터; 및

방전용 전원선을 포함하고,

상기 증폭용 트랜지스터의 드레인 단자는 상기 증폭측 전원선에 전기적으로 접속되어 있고, 상기 바이어스용 트랜지스터의 소스 단자는 상기 바이어스측 전원선에 전기적으로 접속되어 있고, 상기 증폭용 트랜지스터의 소스 단자는 상기 바이어스용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있고, 상기 바이어스용 트랜지스터의 게이트 단자는 상기 바이어스 신호선에 전기적으로 접속되어 있고, 상기 증폭용 트랜지스터의 게이트 단자가 입력 단자로 되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 출력 단자로 되어 있고,

상기 출력 단자와 상기 방전용 전원선 중 하나가 상기 방전용 트랜지스터의 소스 단자에 전기적으로 접속되어 있고, 상기 출력 단자와 상기 방전용 전원선 중 다른 하나는 상기 방전용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 2

제 1 항에 있어서, 상기 반도체장치가 커패시터 소자를 더 포함하고, 상기 커패시터 소자의 한쪽 단자는 상기 출력 단자에 전기적으로 접속되어 있고, 상기 커패시터 소자의 다른쪽 단자는 부하 용량용 전원선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 3

제 1 항에 있어서, 상기 방전용 전원선이 상기 바이어스측 전원선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서, 상기 입력 단자에 광전 변환 소자가 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

제 1 항에 있어서, 상기 증폭용 트랜지스터, 상기 바이어스용 트랜지스터, 및 상기 방전용 트랜지스터가 동일한

극성을 가진 트랜지스터인 것을 특징으로 하는 반도체장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

제 2 항에 있어서, 상기 방전용 전원선, 상기 부하 용량용 전원선, 및 상기 바이어스측 전원선 중 적어도 2개가 서로 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 16

제 2 항에 있어서, 상기 부하 용량용 전원선이 상기 증폭측 전원선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 17

제 2 항에 있어서, 상기 증폭측 전원선 또는 상기 바이어스측 전원선으로부터 상기 커패시터 소자 또는 상기 출력 단자로 흐르는 전류를 제어하는 선택 스위치를 적어도 1개 더 포함하는 것을 특징으로 하는 반도체장치.

청구항 18

제 17 항에 있어서, 상기 선택 스위치가 N채널형 트랜지스터 또는 P채널형 트랜지스터를 적어도 1개 가지는 것을 특징으로 하는 반도체장치.

청구항 19

제 6 항에 있어서, 상기 광전 변환 소자가 X선 센서 또는 적외선 센서인 것을 특징으로 하는 반도체장치.

청구항 20

제 6 항에 있어서, 상기 광전 변환 소자가 포토 다이오드, 쇼트키(Schottky) 다이오드, 애벌란시(avalanche) 다이오드, 포토 컨덕터 중의 어느 하나인 것을 특징으로 하는 반도체장치.

청구항 21

제 20 항에 있어서, 상기 포토 다이오드가 PN형, PIN형, NPN 매립형 중의 어느 하나인 것을 특징으로 하는 반도체장치.

청구항 22

제 6 항에 있어서, 상기 반도체장치가 리셋용 트랜지스터를 더 포함하고, 그 리셋용 트랜지스터의 소스 단자 또는 드레인 단자가 광전 변환 소자에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 23

제1 결정성 규소막을 활성층으로 사용한 증폭용 트랜지스터;

제2 결정성 규소막을 활성층으로 사용한 바이어스용 트랜지스터;

증폭측 전원선;

바이어스측 전원선;

다른 결정성 규소막을 활성층으로 사용한 신호 발생 장치; 및

바이어스 신호선을 포함하고,

상기 증폭용 트랜지스터의 드레인 단자는 상기 증폭측 전원선에 전기적으로 접속되어 있고, 상기 바이어스용 트랜지스터의 소스 단자는 상기 바이어스측 전원선에 전기적으로 접속되어 있고, 상기 증폭용 트랜지스터의 소스 단자는 상기 바이어스용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있고, 상기 바이어스용 트랜지스터의 게이트 단자는 상기 바이어스 신호선에 전기적으로 접속되어 있고, 상기 증폭용 트랜지스터의 게이트 단자가 입력 단자로 되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 출력 단자로 되어 있고,

상기 신호 발생 장치는 상기 바이어스측 전원선의 전위를 상기 증폭측 전원선의 전위에 가깝게 하는 동작을 행하기 위해 상기 바이어스 신호선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 24

제 23 항에 있어서, 상기 반도체장치가 커패시터 소자를 더 포함하고, 상기 커패시터 소자의 한쪽 단자는 상기 출력 단자에 전기적으로 접속되어 있고, 상기 커패시터 소자의 다른쪽 단자는 부하 용량용 전원선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 25

제 1 항 또는 제 23 항에 있어서, 상기 증폭측 전원선 또는 상기 바이어스측 전원선으로부터 상기 출력 단자로 흐르는 전류를 제어하는 선택 스위치를 적어도 1개 더 포함하는 것을 특징으로 하는 반도체장치.

청구항 26

제 1 항 또는 제 23 항에 있어서, 상기 바이어스용 트랜지스터의 게이트와 소스 사이의 전압의 절대값이, 상기 바이어스용 트랜지스터를 도통 상태로 하는데 필요한 게이트와 소스 사이의 전압의 절대값의 최소값과 같은 것을 특징으로 하는 반도체장치.

청구항 27

제 23 항에 있어서, 상기 입력 단자에 광전 변환 소자가 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 28

제 1 항 또는 제 23 항에 있어서, 상기 입력 단자에 광전 변환 소자에서 생성된 신호가 공급되는 것을 특징으로 하는 반도체장치.

청구항 29

삭제

청구항 30

제 1 항 또는 제 23 항에 따른 반도체장치를 사용하는 것을 특징으로 하는 스캐너.

청구항 31

제 1 항 또는 제 23 항에 따른 반도체장치를 사용하는 것을 특징으로 하는 디지털 스틸 카메라.

청구항 32

제 1 항 또는 제 23 항에 따른 반도체장치를 사용하는 것을 특징으로 하는 X선 카메라.

청구항 33

제 1 항 또는 제 23 항에 따른 반도체장치를 사용하는 것을 특징으로 하는 휴대형 정보 단말기.

청구항 34

제 1 항 또는 제 23 항에 따른 반도체장치를 사용하는 것을 특징으로 하는 컴퓨터.

청구항 35

제1 결정성 규소막을 활성층으로 사용한 증폭용 트랜지스터, 제2 결정성 규소막을 활성층으로 사용한 바이어스용 트랜지스터, 증폭측 전원선, 바이어스측 전원선, 및 바이어스 신호선을 가지는 반도체장치의 구동방법으로서,

상기 증폭용 트랜지스터의 드레인 단자가 상기 증폭측 전원선에 전기적으로 접속되어 있고, 상기 바이어스용 트랜지스터의 소스 단자가 상기 바이어스측 전원선에 전기적으로 접속되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 상기 바이어스용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있고,

상기 바이어스용 트랜지스터의 게이트 단자가 상기 바이어스 신호선에 전기적으로 접속되어 있고, 상기 증폭용 트랜지스터의 게이트 단자가 입력 단자로 되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 출력 단자로 되어 있으며,

상기 구동방법이, 프리방전을 행한 후에 신호를 출력하는 것을 특징으로 하는 반도체장치 구동방법.

청구항 36

제 35 항에 있어서, 상기 반도체장치가 커패시터 소자를 더 포함하고, 상기 커패시터 소자의 한쪽 단자는 상기 출력 단자에 전기적으로 접속되어 있고, 상기 커패시터 소자의 다른쪽 단자는 부하 용량용 전원선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법.

청구항 37

삭제

청구항 38

삭제

청구항 39

제 35 항에 있어서, 상기 입력 단자에 광전 변환 소자가 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법.

청구항 40

삭제

청구항 41

삭제

청구항 42

제 36 항에 있어서, 상기 방전용 전원선, 상기 부하 용량용 전원선, 및 상기 바이어스측 전원선 중 적어도 2개가 서로 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법.

청구항 43

제 36 항에 있어서, 상기 부하 용량용 전원선이 상기 증폭측 전원선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법.

청구항 44

제 36 항에 있어서, 상기 반도체장치가, 상기 증폭측 전원선 또는 상기 바이어스측 전원선으로부터 상기 커패시터 소자 또는 상기 출력 단자로 흐르는 전류를 제어하는 선택 스위치를 적어도 1개 가지는 것을 특징으로 하는 반도체장치 구동방법.

청구항 45

제 44 항에 있어서, 상기 선택 스위치가 N채널형 트랜지스터 또는 P채널형 트랜지스터를 적어도 1개 가지는 것을 특징으로 하는 반도체장치 구동방법.

청구항 46

제 39 항에 있어서, 상기 광전 변환 소자가 X선 센서 또는 적외선 센서인 것을 특징으로 하는 반도체장치 구동방법.

청구항 47

제 39 항에 있어서, 상기 광전 변환 소자가 포토 다이오드, 쇼트키 다이오드, 애벌란시 다이오드, 포토 컨덕터 중의 어느 하나인 것을 특징으로 하는 반도체장치 구동방법.

청구항 48

제 47 항에 있어서, 상기 포토 다이오드가 PN형, PIN형, NPN 매립형 중의 어느 하나인 것을 특징으로 하는 반도체장치 구동방법.

청구항 49

제 39 항에 있어서, 상기 반도체장치가 리셋용 트랜지스터를 가지고 있고, 그 리셋용 트랜지스터는 상기 광전 변환 소자를 리셋시키는 것을 특징으로 하는 반도체장치 구동방법.

청구항 50

제1 결정성 규소막을 활성층으로 사용한 증폭용 트랜지스터, 제2 결정성 규소막을 활성층으로 사용한 바이어스용 트랜지스터, 증폭측 전원선, 바이어스측 전원선, 및 바이어스 신호선을 가지는 반도체장치의 구동방법으로서,

상기 증폭용 트랜지스터의 드레인 단자가 상기 증폭측 전원선에 전기적으로 접속되어 있고, 상기 바이어스용 트랜지스터의 소스 단자가 상기 바이어스측 전원선에 전기적으로 접속되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 상기 바이어스용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있고, 상기 바이어스용 트랜지스터의 게이트 단자가 상기 바이어스 신호선에 전기적으로 접속되어 있고, 상기 증폭용 트랜지스터의 게이트 단자가 입력 단자로 되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 출력 단자로 되어 있으며,

상기 구동방법이, 상기 바이어스 신호선의 전위를 상기 증폭측 전원선의 전위와 같게 함으로써 프리방전을 행한 후에 신호를 출력하는 것을 특징으로 하는 반도체장치 구동방법.

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

제1 결정성 규소막을 활성층으로 사용한 증폭용 트랜지스터, 제2 결정성 규소막을 활성층으로 사용한 바이어스용 트랜지스터, 증폭측 전원선, 바이어스측 전원선, 바이어스 신호선, 제3 결정성 규소막을 활성층으로 사용한 방전용 트랜지스터, 및 방전용 전원선을 가지는 반도체장치의 구동방법으로서,

상기 증폭용 트랜지스터의 드레인 단자가 상기 증폭측 전원선에 전기적으로 접속되어 있고, 상기 바이어스용 트랜지스터의 소스 단자가 상기 바이어스측 전원선에 전기적으로 접속되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 상기 바이어스용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있고, 상기 바이어스용 트랜지스터의 게이트 단자가 상기 바이어스 신호선에 전기적으로 접속되어 있고, 상기 증폭용 트랜지스터의 게이트 단자가 입력 단자로 되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 출력 단자로 되어 있고, 상기 출력 단자와 상기 방전용 전원선 중 하나가 상기 방전용 트랜지스터의 소스 단자에 전기적으로 접속되어 있고, 상기 출력 단자와 상기 방전용 전원선 중 다른 하나는 상기 방전용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있으며,

상기 구동방법이, 상기 방전용 트랜지스터를 도통 상태로 함으로써 프리방전을 행한 후에 신호를 출력하는 것을 특징으로 하는 반도체장치 구동방법.

청구항 58

제 57 항에 있어서, 상기 방전용 전원선의 전위값이, 상기 바이어스 신호선의 전위와 상기 바이어스측 전원선의 전위 사이의 값을 취하는 것을 특징으로 하는 반도체장치 구동방법.

청구항 59

제 50 항 또는 제 57 항에 있어서, 상기 반도체장치가 커패시터 소자를 더 포함하고, 상기 커패시터 소자의 한 쪽 단자는 상기 출력 단자에 전기적으로 접속되어 있고, 상기 커패시터 소자의 다른쪽 단자는 부하 용량용 전원선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법.

청구항 60

제 57 항에 있어서, 상기 방전용 전원선과 상기 바이어스측 전원선이 서로 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법.

청구항 61

제 35 항, 제 50 항, 제 57 항 중 어느 한 항에 있어서, 상기 반도체장치가 상기 증폭측 전원선 또는 상기 바이어스측 전원선으로부터 상기 출력 단자로 흐르는 전류를 제어하는 선택 스위치를 적어도 1개 가지는 것을 특징으로 하는 반도체장치 구동방법.

청구항 62

제 35 항, 제 50 항, 제 57 항 중 어느 한 항에 있어서, 상기 바이어스용 트랜지스터의 게이트와 소스 사이의 전압의 절대값이, 상기 바이어스용 트랜지스터를 도통 상태로 하는데 필요한 게이트와 소스 사이의 전압의 절대값의 최소값과 같은 것을 특징으로 하는 반도체장치 구동방법.

청구항 63

제 50 항 또는 제 57 항에 있어서, 상기 입력 단자에 광전 변환 소자가 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법.

청구항 64

제 35 항, 제 50 항, 제 57 항 중 어느 한 항에 있어서, 상기 입력 단자에 광전 변환 소자에서 생성된 신호가 공급되는 것을 특징으로 하는 반도체장치 구동방법.

청구항 65

삭제

청구항 66

제 57 항에 있어서, 상기 증폭용 트랜지스터, 상기 바이어스용 트랜지스터, 및 상기 방전용 트랜지스터가 동일한 극성을 가진 트랜지스터인 것을 특징으로 하는 반도체장치 구동방법.

청구항 67

제1 결정성 규소막을 활성층으로 사용한 방전용 트랜지스터, 제2 결정성 규소막을 활성층으로 사용한 n채널형의 증폭용 트랜지스터, 제3 결정성 규소막을 활성층으로 사용한 n채널형의 바이어스용 트랜지스터를 포함하는 반도체장치로서, 상기 n채널형의 증폭용 트랜지스터의 드레인 단자가 증폭측 전원선에 전기적으로 접속되어 있고, 상기 n채널형의 증폭용 트랜지스터의 소스 단자가 상기 n채널형의 바이어스용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있고, 상기 n채널형의 바이어스용 트랜지스터의 소스 단자가 바이어스측 전원선에 전기적으로 접속되어 있는 반도체장치를 구동하는 방법으로서,

제1 기간 중에는, 상기 n채널형의 증폭용 트랜지스터의 소스 단자에 전기적으로 접속된 출력 단자의 전위를 상기 방전용 트랜지스터를 통하여 감소시키고;

제2 기간 중에는 상기 출력 단자의 전위를 상기 n채널형의 증폭용 트랜지스터를 통하여 증가시키는 것을 포함하고;

상기 출력 단자와 방전용 전원선 중 하나가 상기 방전용 트랜지스터의 소스 단자에 전기적으로 접속되어 있고, 상기 출력 단자와 상기 방전용 전원선 중 다른 하나는 상기 방전용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법.

청구항 68

제1 결정성 규소막을 활성층으로 사용한 n채널형의 증폭용 트랜지스터와, 제2 결정성 규소막을 활성층으로 사용한 n채널형의 바이어스용 트랜지스터를 포함하는 반도체장치로서, 상기 n채널형의 증폭용 트랜지스터의 드레인 단자가 증폭측 전원선에 전기적으로 접속되어 있고, 상기 n채널형의 증폭용 트랜지스터의 소스 단자가 상기 n채널형의 바이어스용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있고, 상기 n채널형의 바이어스용 트랜지스터의 소스 단자가 바이어스측 전원선에 전기적으로 접속되어 있는 반도체장치를 구동하는 방법으로서,

제1 기간 중에는, 상기 n채널형의 증폭용 트랜지스터의 소스 단자에 전기적으로 접속된 출력 단자의 전위를 상기 n채널형의 바이어스용 트랜지스터를 통하여 감소시키고;

제2 기간 중에는 상기 출력 단자의 전위를 상기 n채널형의 증폭용 트랜지스터를 통하여 증가시키는 것을 포함하고;

상기 제1 기간 중의 상기 n채널형의 바이어스용 트랜지스터의 게이트 전위가 상기 제2 기간 중의 상기 n채널형의 바이어스용 트랜지스터의 게이트 전위보다 높은 것을 특징으로 하는 반도체장치 구동방법.

청구항 69

제1 결정성 규소막을 활성층으로 사용한 n채널형의 증폭용 트랜지스터와, 제2 결정성 규소막을 활성층으로 사용한 n채널형의 바이어스용 트랜지스터, 및 바이어스 신호선을 포함하는 반도체장치로서, 상기 n채널형의 증폭용 트랜지스터의 드레인 단자가 증폭측 전원선에 전기적으로 접속되어 있고, 상기 n채널형의 증폭용 트랜지스터의 소스 단자가 상기 n채널형의 바이어스용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있고, 상기 n채널형의 바이어스용 트랜지스터의 소스 단자가 바이어스측 전원선에 전기적으로 접속되어 있고, 상기 n채널형의 바이어스용 트랜지스터의 게이트 단자가 상기 바이어스 신호선에 전기적으로 접속되어 있는 반도체장치를 구동하는 방법으로서,

제1 기간 중에는, 상기 n채널형의 증폭용 트랜지스터의 소스 단자에 전기적으로 접속된 출력 단자의 전위를 상

기 n채널형의 바이어스용 트랜지스터를 통하여 감소시키고;

제2 기간 중에는 상기 출력 단자의 전위를 상기 n채널형의 증폭용 트랜지스터를 통하여 증가시키는 것을 포함하고;

상기 제1 기간 중의 상기 n채널형의 바이어스용 트랜지스터의 게이트 전위가, 상기 바이어스 신호선에 전기적으로 접속된 신호 발생 장치에 의해 상기 제2 기간 중의 상기 n채널형의 바이어스용 트랜지스터의 게이트 전위보다 높게 되는 것을 특징으로 하는 반도체장치 구동방법.

청구항 70

제1 결정성 규소막을 활성층으로 사용한 p채널형의 증폭용 트랜지스터와, 제2 결정성 규소막을 활성층으로 사용한 p채널형의 바이어스용 트랜지스터를 포함하는 반도체장치로서, 상기 p채널형의 증폭용 트랜지스터의 드레인 단자가 증폭측 전원선에 전기적으로 접속되어 있고, 상기 p채널형의 증폭용 트랜지스터의 소스 단자가 상기 p채널형의 바이어스용 트랜지스터의 드레인 단자에 전기적으로 접속되어 있고, 상기 p채널형의 바이어스용 트랜지스터의 소스 단자가 바이어스측 전원선에 전기적으로 접속되어 있는 반도체장치를 구동하는 방법으로서,

제1 기간 중에는, 상기 p채널형의 증폭용 트랜지스터의 소스 단자에 전기적으로 접속된 출력 단자의 전위를 상기 p채널형의 바이어스용 트랜지스터를 통하여 증기시키고;

제2 기간 중에는 상기 출력 단자의 전위를 상기 p채널형의 증폭용 트랜지스터를 통하여 감소시키는 것을 포함하고;

상기 제1 기간 중의 상기 p채널형의 바이어스용 트랜지스터의 게이트 전위가 상기 제2 기간 중의 상기 p채널형의 바이어스용 트랜지스터의 게이트 전위보다 낮은 것을 특징으로 하는 반도체장치 구동방법.

청구항 71

제1 트랜지스터를 포함하는 화소부;

제1 라인;

제2 트랜지스터;

제3 트랜지스터;

커패시터 소자;

제4 트랜지스터;

제5 트랜지스터;

제6 트랜지스터; 및

제2 라인을 포함하고,

상기 제1 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 제1 라인에 전기적으로 접속되어 있고,

상기 제2 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 제1 라인에 전기적으로 접속되어 있고,

상기 제2 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 제1 전원선에 전기적으로 접속되어 있고,

상기 제3 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 제1 라인에 전기적으로 접속되어 있고,

상기 제3 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 상기 커패시터 소자의 제1 전극에 전기적으로 접속되어 있고, 상기 커패시터 소자의 제2 전극은 상기 제1 전원선에 전기적으로 접속되어 있고,

상기 제4 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 커패시터 소자의 제1 전극에 전기적으로 접속되어 있고, 상기 제4 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 상기 제1 전원선에 전기적으로 접속되어 있고,

상기 제5 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 커패시터 소자의 제1 전극에 전기적으로 접속되어 있고, 상기 제5 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 상기 제2 라인에 전기적으로 접속되어 있고,

상기 제6 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 제1 전원선에 전기적으로 접속되어 있고,

상기 제6 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 상기 제2 라인에 전기적으로 접속되어 있는 반도체장치.

청구항 72

제1 트랜지스터를 포함하는 화소부;

제1 라인;

제2 트랜지스터;

제3 트랜지스터;

커패시터 소자;

제4 트랜지스터;

제5 트랜지스터;

제6 트랜지스터;

제2 라인;

제8 트랜지스터;

제9 트랜지스터; 및

제3 라인을 포함하고,

상기 제1 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 제1 라인에 전기적으로 접속되어 있고,

상기 제2 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 제1 라인에 전기적으로 접속되어 있고,

상기 제2 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 제1 전원에 전기적으로 접속되어 있고,

상기 제3 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 제1 라인에 전기적으로 접속되어 있고,

상기 제3 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 상기 커패시터 소자의 제1 전극에 전기적으로 접속되어 있고, 상기 커패시터 소자의 제2 전극은 상기 제1 전원에 전기적으로 접속되어 있고,

상기 제4 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 커패시터 소자의 제1 전극에 전기적으로 접속되어 있고, 상기 제4 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 상기 제1 전원에 전기적으로 접속되어 있고,

상기 제5 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 커패시터 소자의 제1 전극에 전기적으로 접속되어 있고, 상기 제5 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 상기 제2 라인에 전기적으로 접속되어 있고,

상기 제6 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 제1 전원에 전기적으로 접속되어 있고,

상기 제6 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 상기 제2 라인에 전기적으로 접속되어 있고,

상기 제8 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 제3 전원에 전기적으로 접속되어 있고, 상기

제8 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 상기 제3 라인에 전기적으로 접속되어 있고,

상기 제8 트랜지스터의 게이트 단자가 상기 제2 라인에 전기적으로 접속되어 있고,

상기 제9 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 제1 전원에 전기적으로 접속되어 있고, 상기

제9 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 상기 제3 라인에 전기적으로 접속되어 있는 반도체장치.

청구항 73

제 71 항 또는 제 72 항에 있어서,

상기 화소부가 제7 트랜지스터를 더 포함하고,

상기 제7 트랜지스터의 소스 단자와 드레인 단자 중 한쪽 단자가 상기 제1 트랜지스터의 소스 단자와 드레인 단

자 중 다른 한쪽 단자에 전기적으로 접속되어 있고, 상기 제7 트랜지스터의 소스 단자와 드레인 단자 중 다른 한쪽 단자는 제2 전원에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 74

제 71 항 또는 제 72 항에 있어서, 상기 화소부가 광전 변환 소자를 더 포함하는 것을 특징으로 하는 반도체장치.

청구항 75

제 71 항 또는 제 72 항에 있어서, 상기 화소부가, 상기 제1 트랜지스터의 게이트 단자에 전기적으로 접속된 광전 변환 소자를 더 포함하는 것을 특징으로 하는 반도체장치.

청구항 76

제 71 항 또는 제 72 항에 있어서, 상기 제1 트랜지스터의 도전형이 상기 제2 트랜지스터의 도전형과 같은 것을 특징으로 하는 반도체장치.

청구항 77

제 73 항에 있어서, 상기 제1 트랜지스터의 도전형이 상기 제7 트랜지스터의 도전형과 다른 것을 특징으로 하는 반도체장치.

청구항 78

제 71 항 또는 제 72 항에 있어서, 상기 제8 트랜지스터의 도전형이 상기 제9 트랜지스터의 도전형과 같은 것을 특징으로 하는 반도체장치.

청구항 79

제 71 항 또는 제 72 항에 있어서, 상기 제4 트랜지스터는 상기 커패시터 소자의 전하를 방전하기 위해 제공되는 것을 특징으로 하는 반도체장치.

청구항 80

제 71 항 또는 제 72 항에 있어서, 상기 제6 트랜지스터는 상기 제2 라인의 전위를 리셋하기 위해 제공되는 것을 특징으로 하는 반도체장치.

청구항 81

제 71 항 또는 제 72 항에 있어서, 상기 제2 트랜지스터의 게이트 단자에 정(定)전위가 입력되는 것을 특징으로 하는 반도체장치.

청구항 82

제 72 항에 있어서, 상기 제9 트랜지스터의 게이트 단자에 정(定)전위가 입력되는 것을 특징으로 하는 반도체장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<45> 본 발명은 반도체장치 및 그 구동방법에 관한 것이다. 보다 상세하게는, 본 발명은 이미지 센서 기능을 가진 MOS형 센서 장치 및 그의 구동방법에 관한 것이다.

<46> 최근, 퍼스널 컴퓨터와 같은 정보 기기가 널리 보급되고, 퍼스널 컴퓨터 등에서 각종 정보를 전자 정보로서 관독(저장)하는 요구가 증가하고 있다. 따라서, 종래의 은염 카메라(silver salt camera)를 대신하여, 디지털 스

틸 카메라 또는 종이상에 인쇄된 정보를 판독하는 수단으로서 사용되는 스캐너가 크게 주목받고 있다.

- <47> 디지털 스틸 카메라에서는, 화소가 2차원으로 배열된 에어리어 센서(area sensor)가 사용되고 있다. 스캐너, 복사기 등에서는, 화소가 1차원으로 배열된 라인 센서가 사용되고 있다. 라인 센서를 사용하여 2차원 화상을 판독하는 경우에는, 라인 센서를 이동시키면서 신호를 판독한다.
- <48> 이들 화상 판독 기기에서는, 이미지 센서로서 CCD형 센서가 주로 사용되고 있다. CCD형 센서에서는, 각 화소의 포토 다이오드에서 광전 변환을 행하고, 그 신호를 CCD를 사용하여 판독한다. 그러나, 최근, 단결정 실리콘 기판을 사용하여 형성된 MOS형 센서가, 주변 회로를 내장하는 것, 원 칩(one chip)화하는 것, 실시간 신호 처리에 적합한 것, 소비전력이 낮은 것 등을 무기로 하여 그의 기술분야의 일부에서 대중화의 징후를 나타내고 있다. 또한, 연구 레벨에서는, 유리 기판상에 형성된 TFT를 사용하여 MOS형 센서를 제작하는 것도 개발되어 있다. MOS형 센서에서는, 각 화소의 포토 다이오드에서 광전 변환을 행하고, MOS 트랜지스터에 의해 형성된 스위치를 사용하여 각 화소의 신호를 독출(讀出)한다.
- <49> MOS형 센서의 화소 구성으로서, 다양한 타입의 것이 개발되어 있다. 이들은 2가지 종류, 즉, 패시브(passive) 센서와 액티브(active) 센서로 크게 분류될 수 있다. 패시브 센서는 각 화소에 신호 증폭 소자를 탑재하지 않은 센서이고, 액티브 센서는 각 화소에 신호 증폭 소자를 탑재한 센서이다. 액티브 센서에서는, 각 화소 내에서 신호가 증폭되기 때문에 패시브 센서보다 잡음(noise)에 강한 장점을 가진다.
- <50> 도 2는 패시브 센서에서의 화소의 회로의 일 예를 나타낸다. 화소(10005)는 스위칭용 트랜지스터(10001) 및 포토 다이오드(10004)로 구성되어 있다. 포토 다이오드(10004)는 전원 기준선(10006) 및 스위칭용 트랜지스터(10001)의 소스 단자에 접속되어 있다. 스위칭용 트랜지스터(10001)의 게이트 단자에는 게이트 신호선(10002)이 접속되고, 스위칭용 트랜지스터(10001)의 드레인 단자에는 신호 출력선(10003)이 접속되어 있다. 포토 다이오드(10004)에서는 광전 변환이 행해진다. 즉, 입사한 광에 응답하여 전하를 생성하고, 전하를 포토 다이오드(10004)에 축적한다. 그리고, 게이트 신호선(10002)을 제어하여 스위칭용 트랜지스터(10001)를 도통(導通) 상태로 하여, 포토 다이오드(10004)의 전하를 신호 출력선(10003)을 통하여 독출한다.
- <51> 액티브 센서의 화소의 구성으로서, 여러가지 타입이 있다. IEDM95: p. 17: CMOS Image Sensors, Electric Camera On a Chip, 또는 IEDM97: p. 201: CMOS Image Sensors - Recent Advances and Device Scaling Considerations에, 포토 다이오드형 및 포토 게이트형 등의 화소 구성과 동작이 기재되어 있다. ISSCC97: p. 180: A 1/4 Inch 330k Square Pixel Progressive Scan CMOS Active Pixel Image Sensor에서는, 화소 선택방법이라는 관점에서 화소 구성을 분류하고 있다. 즉, 선택하는 소자로서, 트랜지스터를 사용하는 경우, 용량을 사용하는 경우 등에 관하여 기재하고 있다. 따라서, 1 화소를 형성하는 트랜지스터 수에 관하여 다양한 타입의 구성이 있다. JIEC Seminar: Development Prospects of the CMOS Camera: Feb. 20, 1998에는, CMOS형 센서의 전반에 대하여 넓게 소개되어 있고, 리셋용 트랜지스터의 게이트 전극과 드레인 전극을 접속함으로써 광 강도의 대수(對數) 신호를 출력하는 대수 변환형 등에 대해서도 기재하고 있다.
- <52> 주로 채택되고 있는 액티브 센서의 화소 구성은, 도 3에 나타낸 바와 같이, 3개의 N채널형 트랜지스터와 1개의 포토 다이오드로 1개의 화소(308)를 구성하는 타입이다. 포토 다이오드(304)의 P채널측 단자는 전원 기준선(312)에 접속되고, 포토 다이오드(304)의 N채널측 단자는 증폭용 트랜지스터(306)의 게이트 단자에 접속되어 있다. 증폭용 트랜지스터(306)의 드레인 단자 및 소스 단자는 전원선(309) 및 스위칭용 트랜지스터(301)의 드레인 단자에 각각 접속되어 있다. 스위칭용 트랜지스터(301)의 게이트 단자에는 게이트 신호선(302)이 접속되고, 스위칭용 트랜지스터(301)의 소스 단자에는 신호 출력선(303)이 접속되어 있다. 리셋용 트랜지스터(307)의 게이트 단자는 리셋 신호선(305)에 접속되어 있다. 리셋용 트랜지스터(307)의 소스 단자 및 드레인 단자는 전원선(309) 및 증폭용 트랜지스터(306)의 게이트 단자에 각각 접속되어 있다.
- <53> 에어리어 센서의 경우, 하나의 신호 출력선(303)에는 하나의 화소(308) 뿐만아니라, 다수의 화소가 접속되어 있다. 그러나, 하나의 바이어스용 트랜지스터(311)가 신호 출력선(303)마다 접속되어 있다. 바이어스용 트랜지스터(311)의 게이트 단자에는 바이어스 신호선(310)이 접속되어 있다. 바이어스용 트랜지스터(311)의 소스 단자 및 드레인 단자는 신호 출력선(303) 및 바이어스측 전원선(313)에 접속되어 있다.
- <54> 다음에, 화소(308)의 기본적인 동작에 대하여 설명한다.
- <55> 먼저, 리셋용 트랜지스터(307)를 도통 상태로 한다. 포토 다이오드(304)의 P채널측 단자가 전원 기준선(312)에 접속되고, N채널측 단자가 전원선(309)에 전기적으로 접속되는 상태로 되기 때문에, 포토 다이오드(304)에는 역바이어스 전압이 인가되는 것으로 된다. 이후, 포토 다이오드(304)의 N채널측 단자의 전위가 전원선(309)의 전

위로까지 충전되는 동작을 "리셋"이라 부르는 것으로 한다. 그후, 리셋용 트랜지스터(307)는 비도통 상태로 된다. 포토 다이오드(304)에 광이 조사(照射)되어 있는 경우, 광전 변환에 의해 전하가 발생한다. 따라서, 시간이 경과함에 따라, 전원선(309)의 전위까지 충전된 포토 다이오드(304)의 N채널측 단자의 전위가 광에 의해 발생한 전하에 기인하여 서서히 작아지게 된다. 그리고, 어떤 일정한 시간이 경과한 후, 스위칭용 트랜지스터(301)는 도통 상태로 되고, 그에 따라, 증폭용 트랜지스터(306)를 통하여 신호 출력선(303)으로 신호가 출력된다.

<56> 그러나, 신호가 출력되고 있을 때, 바이어스 신호선(310)에는 전위가 인가되어, 바이어스용 트랜지스터(311)에는 전류가 흐르게 된다. 따라서, 증폭용 트랜지스터(306) 및 바이어스용 트랜지스터(311)는 소위 소스 폴로어(source follower) 회로로서 동작하는 것으로 된다.

<57> 가장 기본적인 소스 폴로어 회로의 일 예를 도 4에 나타낸다. 도 4에서는, N채널용 트랜지스터를 사용한 경우를 설명한다. P채널용 트랜지스터를 사용하여 소스 폴로어 회로를 구성하는 것도 가능하지만, N채널용 트랜지스터를 사용하는 경우를 도 4에 나타낸다. 증폭측 전원선(403)에는 전원 전위(Vdd)가 인가된다. 바이어스측 전원선(404)에는 0 V의 기준 전위가 인가된다. 증폭용 트랜지스터(401)의 드레인 단자는 증폭측 전원선(403)에 접속되고, 증폭용 트랜지스터(401)의 소스 단자는 바이어스용 트랜지스터(402)의 드레인 단자에 접속되어 있다. 바이어스용 트랜지스터(402)의 소스 단자는 바이어스측 전원선(404)에 접속되어 있다. 바이어스용 트랜지스터(402)의 게이트 단자에는 바이어스 전위(Vb)가 인가된다. 따라서, 바이어스 트랜지스터(402)에는 바이어스 전류(Ib)가 흐르게 된다. 바이어스용 트랜지스터(402)는 기본적으로는 정(定)전류원으로 동작한다. 증폭용 트랜지스터(401)의 게이트 단자가 입력 단자(406)로 된다. 따라서, 증폭용 트랜지스터(401)의 게이트 단자에는 입력 전위(Vin)가 인가된다. 증폭용 트랜지스터(401)의 소스 단자가 출력 단자로 된다. 따라서, 증폭용 트랜지스터(401)의 소스 단자의 전위가 출력 전위(Vout)로 된다. 이때의 소스 폴로어 회로의 입출력 관계는 $V_{out} = V_{in} - V_b$ 가 된다.

<58> 도 3과 도 4의 회로 구성을 비교하면, 증폭용 트랜지스터(306)는 증폭용 트랜지스터(401)에 대응하고, 바이어스용 트랜지스터(311)는 바이어스용 트랜지스터(402)에 대응한다. 스위칭용 트랜지스터(301)는 도통 상태인 것을 상정(想定)되기 때문에, 도 4에서는, 스위칭용 트랜지스터가 생략되어 있는 것으로 고려될 수 있다. 포토 다이오드(304)의 N채널측 단자의 전위는 입력 전위(Vin)(증폭용 트랜지스터(401)의 게이트 전위, 즉, 입력 단자(406)의 전위)에 대응한다. 신호 출력선(303)의 전위는 출력 전위(Vout)(증폭용 트랜지스터(401)의 소스 전위, 즉, 출력 단자(407)의 전위)에 대응한다.

<59> 따라서, 도 3에서, 포토 다이오드(304)의 N채널측 단자의 전위를 Vpd라 하고, 바이어스 신호선(310)의 전위, 즉, 바이어스 전위를 Vb라 하고, 신호 출력선(303)의 전위를 Vout라 하고, 전원 기준선(312) 및 바이어스측 전원선(313)의 전위를 0 V라 하면, 관계식 $V_{out} = V_{pd} - V_b$ 가 된다. 따라서, 포토 다이오드(304)의 N채널측 단자의 전위(Vpd)가 변화하면, Vout도 변화하는 것으로 된다. 그 결과, Vpd의 변화를 신호로서 출력하고, 그리하여, 광 강도를 판독할 수 있다.

<60> 소스 폴로어 회로의 기본적인 동작은 상기한 바와 같다. 그러나, 본 발명의 동작의 설명에 필요하기 때문에, 다음에, 소스 폴로어 회로의 동작 원리를 상세히 설명한다. 여기서의 설명에서는, 설명을 간단히 하기 위해, 증폭용 트랜지스터 및 바이어스용 트랜지스터는 크기 및 특성이 동일한 것으로 가정한다. 또한, 트랜지스터들의 전류 특성도 이상적인 것이고, 즉, 소스와 드레인 사이의 전압이 변화하여도, 포화 영역에서의 전류값은 변화하지 않는 것으로 가정한다.

<61> 먼저, 도 4에 나타낸 바와 같이, 바이어스용 트랜지스터(402)의 게이트 단자에는 바이어스 전위(Vb)가 인가된다. 바이어스용 트랜지스터(402)가 포화 영역에서 동작하는 경우에는, 도 5에 나타낸 바와 같이, 전류(Ib)가 흐른다. 한편, 증폭용 트랜지스터(401) 및 바이어스용 트랜지스터(402)가 직렬로 접속되어 있기 때문에, 정상(定常) 상태에서는, 증폭용 트랜지스터(401) 및 바이어스용 트랜지스터(402)에는 동일한 양의 전류가 흐른다. 따라서, 바이어스용 트랜지스터(402)에 전류(Ib)가 흐를 때는, 증폭용 트랜지스터(401)에도 전류(Ib)가 흐르게 된다. 증폭용 트랜지스터(401)에 전류(Ib)가 흐르게 하기 위해서는, 증폭용 트랜지스터(401)의 게이트와 소스 사이의 전압(Vgs)이 바이어스 전위(Vb)와 같게 하는 것이 필요하다.

<62> 그래서, 소스 폴로어 회로에서의 출력 전위(Vout)가 얻어진다. 출력 전위(Vout)는 증폭용 트랜지스터(401)의 게이트와 소스 사이의 전압(Vgs)분만큼 입력 전위(Vin)보다 낮은 전위이다. 따라서, 입출력 관계는 $V_{out} = V_{in} - V_{gs}$ 가 된다. 여기서, 증폭용 트랜지스터(401)의 게이트와 소스 사이의 전압(Vgs)은 바이어스 전위(Vb)와 같기 때문에, 입출력 관계는 $V_{out} = V_{in} - V_b$ 가 된다. 그러나, 이 식은, 도 5에 나타낸 바와 같이, 바이어스용

트랜지스터(402)가 포화 영역에서 동작하는 경우(이것은 V_{in} 이 큰 경우에 해당한다)에만 성립한다. V_{in} 이 작고, 바이어스용 트랜지스터(402)가 선형 영역에서 동작하는 경우에는, 도 6에 나타난 바와 같이, $V_{out} = V_{in} - V_b$ 의 식은 성립하지 않게 된다. 바이어스용 트랜지스터(402)가 선형 영역에서 동작하는 경우에는, 입출력 관계는 $V_{out} = V_{in} - V_b'$ 가 된다. 여기서, V_b' 는 그 때의 증폭용 트랜지스터(401)의 게이트와 소스 사이의 전압이다. 바이어스용 트랜지스터(402)가 선형 영역에서 동작하는 경우에 바이어스용 트랜지스터(402)에서 흐르는 전류를 I_b' 라 하면, $I_b' < I_b$ 이다. 따라서, $V_b' < V_b$ 가 된다. 즉, V_{in} 및 I_b' 가 작게 되면, V_b' 도 작게 된다. 그 결과, 도 7에 나타난 바와 같이, 입출력 관계(V_{in} 과 V_{out} 의 관계)는 비선형으로 된다.

- <63> 이상의 설명으로부터 이하의 것을 알 수 있다.
- <64> 먼저, 소스 폴로어 회로에서의 출력 전위(V_{out})의 진폭값을 크게 하기 위해서는, 바이어스 전위(V_b)를 작게 하는 것이 좋다. $V_{out} = V_{in} - V_b$ 이기 때문에, V_b 가 작으면, V_{out} 을 크게 할 수 있다. 그러나, 바이어스용 트랜지스터(402)가 도통 상태에 있는 것이 필요하다. 따라서, 바이어스 전위(V_b)는 바이어스용 트랜지스터(402)의 스레시홀드 전압보다 큰 값으로 되어야 한다.
- <65> 반대로, 바이어스 전위(V_b)가 큰 경우에는, 입력 전위(V_{in})가 작게 되면, 바이어스용 트랜지스터(402)가 선형 영역에서 동작하기 쉽게 된다. 그 결과, 소스 폴로어 회로의 입출력 관계는 비선형으로 되기 쉽게 된다. 이 점에서, 바이어스 전위(V_b)는 작은 것이 좋다.
- <66> 여기까지는, 소스 폴로어 회로의 정상(定常) 상태에서의 동작을 설명하였다. 다음에, 소스 폴로어 회로의 과도(過渡) 상태에서의 동작을 설명한다. 회로 구성으로서는, 도 4의 회로에 부하(負荷)가 추가된 것으로 한다. 즉, 도 8에 나타난 바와 같이, 출력 단자, 즉, 증폭용 트랜지스터(801)의 소스 단자와 부하 용량용 전원선(806) 사이에 부하 용량(805)을 접속한 구성으로 한다. 따라서, 부하 용량(805)의 전위는 소스 폴로어 회로의 출력 전위(V_{out})와 동일하다.
- <67> 먼저, 초기 상태에서 출력 전위(V_{out})가 작은 경우, 즉, $V_{out} < V_{in} - V_b$ 인 경우를 고려한다. 도 8(A)는 회로도도를 나타내고, 도 8(B)는 타이밍 차트를 나타낸다. 그 경우, 증폭용 트랜지스터(801)의 게이트와 소스 사이의 전압(V_{gs})은 바이어스용 트랜지스터(802)의 게이트와 소스 사이의 전압(V_{gs})보다 큰 값이다. 따라서, 증폭용 트랜지스터(801)내는 큰 전류가 흐르고, 그 결과, 부하 용량(805)은 급속하게 충전되고, 출력 전위(V_{out})는 커지게 되고, 증폭용 트랜지스터(801)의 게이트와 소스 사이의 전압(V_{gs})은 작아지게 된다. 증폭용 트랜지스터(801)의 게이트와 소스 사이의 전압(V_{gs})이 최종적으로 바이어스 전위(V_b)와 같게 되면, 과도 상태가 정상 상태로 된다. 그 때의 출력 전위(V_{out})는 $V_{out} = V_{in} - V_{gs} = V_{in} - V_b$ 이다. 이와 같이, $V_{out} < V_{in} - V_b$ 인 경우, 과도 상태에서는, 당초, 증폭용 트랜지스터(801)의 게이트와 소스 사이의 전압(V_{gs})이 크기 때문에, 증폭용 트랜지스터(801)를 통하여 부하 용량(805)으로 큰 전류가 흐른다. 그리하여, 부하 용량(805)에의 신호 기입(writing-in) 시간은 짧게 될 수 있다.
- <68> 한편, 초기 상태에서 출력 전위(V_{out})가 큰 경우, 즉, $V_{out} > V_{in} - V_b$ 인 경우를 고려한다. 도 9(A)는 회로도도를 나타내고, 도 9(B)는 타이밍 차트를 나타낸다. 그 경우, 증폭용 트랜지스터(901)의 게이트와 소스 사이의 전압(V_{gs})은 작은 값이기 때문에, 증폭용 트랜지스터(901)는 비도통 상태에 있다. 그리고, 부하 용량(905)에 축적된 전하는 바이어스용 트랜지스터(902)를 통과하여 방전된다. 그 때, 바이어스용 트랜지스터(902)의 게이트와 소스 사이의 전압은 바이어스 전위(V_b)이므로, 바이어스용 트랜지스터(902)에서 흐르는 전류는 I_b 가 된다. 그리고, 출력 전위(V_{out})가 서서히 작아지고, 증폭용 트랜지스터(901)의 게이트와 소스 사이의 전압(V_{gs})이 커지게 된다. 증폭용 트랜지스터(901)의 게이트와 소스 사이의 전압(V_{gs})이 최종적으로 바이어스 전위(V_b)와 같게 되면, 과도 상태가 정상 상태로 된다. 정상 상태에서는, V_{out} 은 일정한 값이고, 따라서, 부하 용량(905)에는 전류가 흐르지 않는다. 소스 폴로어 회로의 2개의 트랜지스터에는 전류(I_b)가 계속 흐른다.
- <69> 이상의 설명으로부터, $V_{out} > V_{in} - V_b$ 인 경우의 부하 용량(905)의 방전 시간, 즉, 신호 기입 시간은 바이어스용 트랜지스터(902)를 통하여 흐르는 전류(I_b)에 의해 결정된다는 것을 알 수 있다. 전류(I_b)는 바이어스 전위(V_b)의 크기에 의해 결정된다. 따라서, 전류(I_b)를 크게 하여 부하 용량(905)에의 신호 기입 시간을 단축시키기 위해서는, 바이어스 전위(V_b)를 크게 할 필요가 있다.
- <70> 다음에, 화소(309)에서의 신호의 타이밍 차트를 도 10에 나타낸다. 먼저, 리셋 신호선(305)을 제어함으로써, 리셋용 트랜지스터(307)를 도통 상태로 한다. 그러면, 포토 다이오드(304)의 N채널측 단자의 전위는 전원선(309)의 전위(V_d)까지 충전된다. 즉, 화소가 리셋된다. 이어서, 리셋 신호선(305)을 제어함으로써, 리셋용 트랜지스터(307)를 비도통 상태로 한다. 그 후, 포토 다이오드(304)에 광이 조사되어 있으면, 광 강도에 따른 전

하가 생성된다. 따라서, 리셋 동작에 기인하여 충전된 전하가 서서히 방전된다. 즉, 포토 다이오드(304)의 N 채널측 단자의 전위가 감소한다. 어두운 광이 포토 다이오드(304)에 조사되어 있는 경우에는, 방전되는 양도 작기 때문에, 포토 다이오드(304)의 N 채널측 단자의 전위는 많이 감소하지 않는다. 그리고, 어떤 시점에서, 스위칭용 트랜지스터(301)를 도통 상태로 하여, 포토 다이오드(304)의 N 채널측 단자의 전위를 신호로서 독출(讀出)한다. 이 신호는 광 강도에 비례한다. 그리고, 다시, 리셋용 트랜지스터(307)를 도통 상태로 하여 포토 다이오드(304)를 리셋시키고, 같은 동작을 반복한다.

<71> 다음에, 화소(309)의 트랜지스터에 대하여 설명한다. 트랜지스터의 극성에 관해서는 모두가 N 채널형인 것이 많다. 드문 경우로, 리셋용 트랜지스터를 P 채널형으로 하는 경우가 있다(JIEC Seminar: Development Prospects of the CMOS Camera: Feb. 20, 1998, 도 11 참조). 또한, 증폭용 트랜지스터 및 선택용 트랜지스터의 정렬(배열) 방법에 관해서는, 양 트랜지스터에 N 채널형을 사용하고, 도 3에 나타낸 바와 같이, 전원선(309)과 증폭용 트랜지스터(306)를 접속하고, 증폭용 트랜지스터(306)와 스위칭용 트랜지스터(301)를 접속하고, 스위칭용 트랜지스터(301)와 신호 출력선(303)을 접속하는 일이 많다. 드문 경우로, 양 트랜지스터에 N 채널형을 사용하고, 전원선(309)과 스위칭용 트랜지스터(301)를 접속하고, 스위칭용 트랜지스터(301)와 증폭용 트랜지스터(306)를 접속하고, 증폭용 트랜지스터(306)와 신호 출력선(306)을 접속하는 경우도 있다(ISSCC97: p. 180, A 1/4 Inch 330K Square Pixel Progressive Scan CMOS Active Pixel Image Sensor).

<72> 다음에, 광전 변환 등을 행하는 센서부에 대하여 설명한다. 통상은, PN형 포토 다이오드를 사용하여 광을 전기로 변환시킨다. 그 외에, PIN형 다이오드, 에벌란시(avalanche)형 다이오드, NPN 매립형 다이오드, 쇼트키(Schottky)형 다이오드 등이 있다. 그 외에도, X선용 포토 다이오드 및 적외선용 센서 등도 있다. 이들에 관해서는, Takao Ando 및 Hirohito Kobuchi: Nippon Riko Shuppan Kai에 의해 작성된 "The Basics of Solid Imaging Elements: DENSHINO MENO SHIKUMI"에 기재되어 있다.

<73> 다음에, 센서의 적용 제품에 대하여 설명한다. 통상의 디지털 스틸 카메라 및 스캐너 외에, X선용 카메라에도 센서가 사용될 수 있다. 그 경우, X선을 직접 전기 신호로 변환하는 포토 다이오드를 사용하는 경우, 또는 형광재 또는 신틸레이터(scintillator)를 사용하여 X선을 광으로 변환한 다음, 그 광을 판독하는 경우가 있다. 신틸레이터를 사용하여 X선을 광으로 변환한 후, 그 광을 판독하는 경우가, "Euro Display 99: p. 203: X-ray Detectors base on Amorphous Silicon Active Matrix"에 기재되어 있다. "IEDM 98: p. 21: Amorphous Silicon TFT X-ray Image Sensors"에는, 비정질 실리콘을 사용하여 광을 판독하는 경우가 보고되어 있고, "AM-LCD99: p. 45: Real-time Imaging Flat Panel X-ray Detector"에는, 포토 컨덕터를 사용하여 광을 판독하는 경우가 보고되어 있다.

<74> 먼저, 소스 폴로어 회로(405)에 요구되는 항목에 대하여 고려한다. 가장 필요한 것은, 출력 전위(Vout)의 진폭으로서, 가능한 한 큰 값, 즉, 입력 전위(Vin)의 진폭과 대략 동등한 값을 얻는 것이다. 출력 전위(Vout)의 진폭이 크면, 계조 수가 많은 신호를 얻을 수 있다. 그 결과, 이미지 센서로부터 판독되는 화상의 화질이 향상된다. 또한, 입출력 관계가 선형인 것도 필요하다. 즉, 소스 폴로어 회로에서의 입력 전위(Vin)와 출력 전위(Vout)의 관계가, 선형으로 동작하는 범위가 넓은 것이 중요하다. 즉, 입력 전위(Vin)가 작더라도, 관계식 $V_{out} = V_{in} - V_b$ 가 유지되는 것이 필요하다. 즉, 바이어스용 트랜지스터(402)가 포화 영역에서 동작하는 것이 중요하다. 그 외에 필요한 것은 부하 용량에의 출력 전위(Vout)의 신호 기입 시간이 짧은 것이다. 신호 기입 시간이 길면, 동작이 느려진다.

<75> 그래서, 상기한 소스 폴로어 회로의 필요항목을 만족시키기 위한 방법에 대하여 고려한다.

<76> 먼저, $V_{out} = V_{in} - V_b$ 이므로, 출력 전위(Vout)의 진폭을 크게 하기 위해서는, 바이어스 전위(Vb)를 작게 하면 좋다. 또한, 입출력 관계가 선형인 동작 영역을 넓게 하는 경우에도, 바이어스 전위(Vb)를 작게 하면 좋다. 그 이유는, 바이어스 전위(Vb)가 작은 경우, 출력 전위(Vout)가 작게 되어도, 바이어스용 트랜지스터(402)가 포화 영역에서 용이하게 동작할 수 있기 때문이다. 그러나, 바이어스 전위(Vb)가 작은 경우, 출력 신호의 기입 시간이 길어진다.

<77> 즉, 출력 전위의 진폭과 신호 기입 시간은 서로 양립할 수 없는 관계에 있다. 출력 전위의 진폭값을 크게 하면서, 출력 전위의 신호 기입 시간을 짧게 하는 것은 가능하지 않다. 또한, 출력 전위의 진폭값을 크게 하면서, 입출력 관계가 선형인 동작 영역을 넓게 하는 것도 가능하지 않다.

발명이 이루고자 하는 기술적 과제

<78> 본 발명은 상기한 문제들을 감안하여 이루어진 것으로, 본 발명의 목적은 종래기술의 상기한 문제점들을 해결하

는데 있다.

발명의 구성 및 작용

- <79> 본 발명에 따르면, N채널 트랜지스터를 사용한 소스 폴로어 회로에서, 그로부터 신호를 출력하기 전에, 출력 전위(부하 용량의 전위)를 일단 낮게 한다(P채널형 트랜지스터를 사용한 소스 폴로어 회로의 경우에는, 출력 전위를 높게 한다). 이하에서는, 소스 폴로어 회로의 출력 전위(부하 용량의 전위)를 일단 낮게 하는 것(P채널형 트랜지스터를 사용한 경우에는, 높게 하는 것)을 "프리방전(pre-discharge)"이라 부르고, 프리방전을 행하는 기간을 "프리방전 기간"이라 부른다. 본 발명에서는, 프리방전 후에 실제 신호를 출력한다.
- <80> 종래, N채널형 트랜지스터를 사용한 소스 폴로어 회로에서는, 초기 상태에서 $V_{out} > V_{in} - V_b$ 일 때 바이어스용 트랜지스터를 통하여 부하 용량의 전하를 방전시켰다. 그러나, 본 발명에서는, 부하 용량의 전위를 일단 낮추어, 소스 폴로어 회로를 $V_{out} < V_{in} - V_b$ 인 상태로 한다. 이 동작이 프리방전이다. 그후, 실제 신호를 출력한다. 실제 신호를 출력할 때는, 소스 폴로어 회로가 이미 $V_{out} < V_{in} - V_b$ 로 되어 있기 때문에, 증폭용 트랜지스터를 통하여 부하 용량으로 신호를 출력한다. 따라서, 신호 기입 시간이 길어지지 않는다.
- <81> 실제 신호를 출력할 때의 바이어스용 트랜지스터의 게이트 전위, 즉, 바이어스 전위(V_b)에는, 가능한 한 낮은 전위값, 즉, 바이어스용 트랜지스터의 스톱시홀드 전압보다 약간 높은 전위를 인가한다. 그 이유는, 소스 폴로어 회로의 입출력 관계 $V_{out} = V_{in} - V_b$ 를 고려하면, 출력 전위(V_{out})를 크게 하기 위해서는 바이어스 전위(V_b)를 가능한 한 낮게 하는 것이 바람직하기 때문이다. 그러나, 바이어스용 트랜지스터는 도통 상태로 되어 있을 필요가 있다. 즉, 바이어스용 트랜지스터가 포화 영역에서 동작하고 있을 필요가 있다. 따라서, 실제 신호를 출력할 때의 바이어스용 트랜지스터의 게이트 전위, 즉, 바이어스 전위(V_b)는 바이어스용 트랜지스터의 스톱시홀드 전압보다 약간 큰 전위로 한다. 현실적으로는, 회로내의 모든 바이어스용 트랜지스터에서 가장 높은 스톱시홀드 전압값보다 약간 높은 전위로 한다.
- <82> 이와 같이 바이어스 전위(V_b)를 작게 하여 바이어스용 트랜지스터의 전류의 양이 작게 되어도, 바이어스용 트랜지스터를 통하여 부하 용량의 전하를 방전시키는 것은 아니기 때문에, 신호 기입 시간이 길어지지 않는다. 또한, 바이어스 전위(V_b)가 작기 때문에, 입출력 관계가 선형인 동작 영역이 넓어진다. 따라서, 신호 기입 시간이 길어지는 것을 방지할 수 있고, 출력 전위의 진폭을 크게 하는 것과, 입출력 관계가 선형인 동작 영역을 넓히는 것이 동시에 실현 가능하다. 이하에, 본 발명의 구성을 설명한다.
- <83> 본 발명에 따르면, 증폭용 트랜지스터, 바이어스용 트랜지스터, 증폭측 전원선, 바이어스측 전원선, 바이어스 신호선, 방전용 트랜지스터, 및 방전용 전원선을 가진 반도체장치로서, 상기 증폭용 트랜지스터의 드레인 단자가 상기 증폭측 전원선에 접속되어 있고, 상기 바이어스용 트랜지스터의 소스 단자가 상기 바이어스측 전원선에 접속되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 상기 바이어스용 트랜지스터의 드레인 단자에 접속되어 있고, 상기 바이어스용 트랜지스터의 게이트 단자가 상기 바이어스 신호선에 접속되어 있고, 상기 증폭용 트랜지스터의 게이트 단자가 입력 단자로 되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 출력 단자로 되어 있고, 상기 출력 단자와 상기 방전용 전원선 중 하나가 상기 방전용 트랜지스터의 소스 단자에 접속되고, 다른 하나는 상기 방전용 트랜지스터의 드레인 단자에 접속되어 있는 것을 특징으로 하는 반도체장치가 제공된다.
- <84> 본 발명에 따르면, 증폭용 트랜지스터, 바이어스용 트랜지스터, 증폭측 전원선, 바이어스측 전원선, 및 바이어스 신호선을 가진 반도체장치로서, 상기 증폭용 트랜지스터의 드레인 단자가 상기 증폭측 전원선에 접속되어 있고, 상기 바이어스용 트랜지스터의 소스 단자가 상기 바이어스측 전원선에 접속되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 상기 바이어스용 트랜지스터의 드레인 단자에 접속되어 있고, 상기 바이어스용 트랜지스터의 게이트 단자가 상기 바이어스 신호선에 접속되어 있고, 상기 증폭용 트랜지스터의 게이트 단자가 입력 단자로 되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 출력 단자로 되어 있고, 상기 바이어스측 전원선의 전위를 상기 증폭측 전원선의 전위에 가깝게 하는 동작을 행하기 위한 신호 발생 장치가 상기 바이어스 신호선에 접속되어 있는 것을 특징으로 하는 반도체장치가 제공된다.
- <85> 본 발명에 따르면, 상기 부하 용량의 한쪽 단자가 상기 출력 단자에 접속되어 있고, 상기 부하 용량의 다른쪽 단자가 부하 용량용 전원선에 접속되어 있는 것을 특징으로 하는 반도체장치가 제공된다.
- <86> 본 발명에 따르면, 상기 방전용 전원선과 상기 바이어스측 전원선이 접속되어 있는 것을 특징으로 하는 반도체장치가 제공된다.
- <87> 본 발명에 따르면, 상기 방전용 전원선, 상기 부하 용량용 전원선, 및 상기 바이어스측 전원선 중 적어도 2개가

서로 접속되어 있는 것을 특징으로 하는 반도체장치가 제공된다.

- <88> 본 발명에 따르면, 상기 부하 용량용 전원선이 상기 증폭측 전원선에 접속되어 있는 것을 특징으로 하는 반도체장치가 제공된다.
- <89> 본 발명에 따르면, 상기 증폭측 전원선 또는 상기 바이어스측 전원선으로부터 상기 부하 용량 또는 상기 출력 단자로 흐르는 전류를 제어하는 선택 스위치를 적어도 1개 가진 것을 특징으로 하는 반도체장치가 제공된다.
- <90> 본 발명에 따르면, 상기 증폭측 전원선 또는 상기 바이어스측 전원선으로부터 상기 출력 단자로 흐르는 전류를 제어하는 선택 스위치를 적어도 1개 가진 것을 특징으로 하는 반도체장치가 제공된다.
- <91> 본 발명에 따르면, 상기 선택 스위치가 N채널형 트랜지스터 또는 P채널형 트랜지스터를 적어도 1개 가진 것을 특징으로 하는 반도체장치가 제공된다.
- <92> 본 발명에 따르면, 상기 바이어스용 트랜지스터의 게이트와 소스 사이의 전압의 절대값이, 상기 바이어스용 트랜지스터를 도통 상태로 하기 위해 필요한 게이트와 소스 사이의 전압의 절대값의 최소값과 같은 것을 특징으로 하는 반도체장치가 제공된다.
- <93> 본 발명에 따르면, 상기 입력 단자에 광전 변환 소자가 접속되어 있는 것을 특징으로 하는 반도체장치가 제공된다.
- <94> 본 발명에 따르면, 상기 입력 단자에 광전 변환 소자에서 생성된 신호가 입력되는 것을 특징으로 하는 반도체장치가 제공된다.
- <95> 본 발명에 따르면, 상기 광전 변환 소자가 X선 센서 또는 적외선 센서인 것을 특징으로 하는 반도체장치가 제공된다.
- <96> 본 발명에 따르면, 상기 광전 변환 소자가 포토 다이오드, 쇼트키(Schottky) 다이오드, 애벌란시(avalanche) 다이오드 또는 포토 컨덕터 중 어느 하나인 것을 특징으로 하는 반도체장치가 제공된다.
- <97> 본 발명에 따르면, 상기 포토 다이오드가 PN형, PIN형 또는 NPN 매립형 중 어느 하나인 것을 특징으로 하는 반도체장치가 제공된다.
- <98> 본 발명에 따르면, 반도체장치가 리셋용 트랜지스터를 가지고 있고, 그 리셋용 트랜지스터의 소스 단자 또는 드레인 단자가 상기 광전 변환 소자에 접속되어 있는 것을 특징으로 하는 반도체장치가 제공된다.
- <99> 본 발명에 따르면, 반도체장치가 바이어스용 트랜지스터를 다수 가지는 경우, 다수의 바이어스용 트랜지스터의 게이트와 소스 사이의 전압의 절대값이, 다수의 바이어스용 트랜지스터 모두를 도통 상태로 하는데 필요한 게이트와 소스 사이의 전압의 절대값의 최소값과 같은 것을 특징으로 하는 반도체장치가 제공된다.
- <100> 본 발명에 따르면, 상기 증폭용 트랜지스터, 상기 바이어스용 트랜지스터, 및 상기 방전용 트랜지스터가 동일한 극성을 가진 트랜지스터인 것을 특징으로 하는 반도체장치가 제공된다.
- <101> 본 발명에 따르면, 증폭용 트랜지스터, 바이어스용 트랜지스터, 증폭측 전원선, 바이어스측 전원선, 및 바이어스 신호선을 가지는 반도체장치로서, 상기 증폭용 트랜지스터의 드레인 단자가 상기 증폭측 전원선에 접속되어 있고, 상기 바이어스용 트랜지스터의 소스 단자는 상기 바이어스측 전원선에 접속되어 있고, 상기 증폭용 트랜지스터의 소스 단자는 상기 바이어스용 트랜지스터의 드레인 단자에 접속되어 있고, 상기 바이어스용 트랜지스터의 게이트 단자는 상기 바이어스 신호선에 접속되어 있고, 상기 증폭용 트랜지스터의 게이트 단자가 입력 단자로 되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 출력 단자로 되어 있는 반도체장치의 구동방법으로서, 프리방전을 행한 후에 신호를 출력하는 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <102> 본 발명에 따르면, 증폭용 트랜지스터, 바이어스용 트랜지스터, 증폭측 전원선, 바이어스측 전원선, 및 바이어스 신호선을 가지는 반도체장치로서, 상기 증폭용 트랜지스터의 드레인 단자가 상기 증폭측 전원선에 접속되어 있고, 상기 바이어스용 트랜지스터의 소스 단자는 상기 바이어스측 전원선에 접속되어 있고, 상기 증폭용 트랜지스터의 소스 단자는 상기 바이어스용 트랜지스터의 드레인 단자에 접속되어 있고, 상기 바이어스용 트랜지스터의 게이트 단자는 상기 바이어스 신호선에 접속되어 있고, 상기 증폭용 트랜지스터의 게이트 단자가 입력 단자로 되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 출력 단자로 되어 있는 반도체장치의 구동방법으로서, 상기 바이어스측 전원선의 전위를 상기 증폭측 전원선의 전위에 가깝게 함으로써 프리방전을 행한 후에, 신호를 출력하는 것을 특징으로 하는 반도체장치 구동방법이 제공된다.

- <103> 본 발명에 따르면, 증폭용 트랜지스터, 바이어스용 트랜지스터, 증폭측 전원선, 바이어스측 전원선, 바이어스 신호선, 방전용 트랜지스터, 및 방전용 전원선을 가지는 반도체장치로서, 상기 증폭용 트랜지스터의 드레인 단자가 상기 증폭측 전원선에 접속되어 있고, 상기 바이어스용 트랜지스터의 소스 단자는 상기 바이어스측 전원선에 접속되어 있고, 상기 증폭용 트랜지스터의 소스 단자는 상기 바이어스용 트랜지스터의 드레인 단자에 접속되어 있고, 상기 바이어스용 트랜지스터의 게이트 단자는 상기 바이어스 신호선에 접속되어 있고, 상기 증폭용 트랜지스터의 게이트 단자가 입력 단자로 되어 있고, 상기 증폭용 트랜지스터의 소스 단자가 출력 단자로 되어 있고, 상기 출력 단자와 상기 방전용 전원선 중 하나가 상기 방전용 트랜지스터의 소스 단자에 접속되고, 다른 하나는 상기 방전용 트랜지스터의 드레인 단자에 접속되어 있는 반도체장치의 구동방법으로서, 상기 방전용 트랜지스터를 도통 상태로 함으로써 프리방전을 행한 후에, 신호를 출력하는 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <104> 본 발명에 따르면, 상기 방전용 전원선의 전위가 상기 바이어스 신호선의 전위와 상기 바이어스측 전원선의 전위 사이의 값을 가지는 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <105> 본 발명에 따르면, 부하 용량의 한쪽 단자가 상기 출력 단자에 접속되고, 부하 용량의 다른쪽 단자가 부하 용량용 전원선에 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <106> 본 발명에 따르면, 상기 방전용 전원선과 상기 바이어스측 전원선이 서로 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <107> 본 발명에 따르면, 상기 방전용 전원선, 상기 부하 용량용 전원선, 및 상기 바이어스측 전원선 중 적어도 2개가 서로 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <108> 본 발명에 따르면, 상기 부하 용량용 전원선이 상기 증폭측 전원선에 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <109> 본 발명에 따르면, 상기 증폭측 전원선 또는 상기 바이어스측 전원선으로부터 상기 부하 용량 또는 상기 출력 단자로 흐르는 전류를 제어하는 선택 스위치를 적어도 1개 가진 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <110> 본 발명에 따르면, 상기 증폭측 전원선 또는 상기 바이어스측 전원선으로부터 상기 출력 단자로 흐르는 전류를 제어하는 선택 스위치를 적어도 1개 가진 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <111> 본 발명에 따르면, 상기 선택 스위치가 N채널형 트랜지스터 또는 P채널형 트랜지스터를 적어도 1개 가진 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <112> 본 발명에 따르면, 상기 바이어스용 트랜지스터의 게이트와 소스 사이의 전압의 절대값이, 상기 바이어스용 트랜지스터를 도통 상태로 하는데 필요한 게이트와 소스 사이의 전압의 절대값의 최소값과 같은 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <113> 본 발명에 따르면, 상기 입력 단자에 광전 변환 소자가 접속되어 있는 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <114> 본 발명에 따르면, 상기 입력 단자에 광전 변환 소자에서 생성된 신호가 입력되는 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <115> 본 발명에 따르면, 상기 광전 변환 소자가 X선 센서 또는 적외선 센서인 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <116> 본 발명에 따르면, 상기 광전 변환 소자가 포토 다이오드, 쇼트키 다이오드, 애벌란시 다이오드 또는 포토 컨덕터 중 어느 하나인 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <117> 본 발명에 따르면, 상기 포토 다이오드가 PN형, PIN형 또는 NPN 매립형 중 어느 하나인 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <118> 본 발명에 따르면, 반도체장치가 리셋용 트랜지스터를 가지고, 그 리셋용 트랜지스터가 상기 광전 변환 소자를 리셋하는 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <119> 본 발명에 따르면, 반도체장치가 바이어스용 트랜지스터를 다수 가지는 경우, 다수의 바이어스용 트랜지스터의 게이트와 소스 사이의 전압의 절대값이, 다수의 바이어스용 트랜지스터 모두를 도통 상태로 하는데 필요한 게이

트와 소스 사이의 전압의 절대값의 최소값과 같은 것을 특징으로 하는 반도체장치 구동방법이 제공된다.

- <120> 본 발명에 따르면, 상기 증폭용 트랜지스터, 상기 바이어스용 트랜지스터, 및 상기 방전용 트랜지스터가 동일한 극성을 가진 트랜지스터인 것을 특징으로 하는 반도체장치 구동방법이 제공된다.
- <121> [실시형태 1]
- <122> 삭제
- <123> 이하에, 본 발명의 대표적인 실시형태를 나타낸다.
- <124> 도 11(A) 및 도 11(B)에서는, 프리방전(pre-discharge) 실시방법의 일 예를 나타낸다. 도 11(A)는 회로도를 나타내고, 도 11(B)는 신호 타이밍 차트를 나타낸다. 도 11(A) 및 도 11(B)에서는, 전용(專用)의 방전용 트랜지스터(1108)를 배치함으로써 프리방전을 행하고 있다. 도 11(A) 및 도 11(B)에서는, N채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성한 경우의 예를 나타낸다.
- <125> 증폭용 트랜지스터(1101)의 게이트 단자(입력 단자(1105))의 전위가 입력 전위(Vin)로 된다. 이것은 포토 다이오드의 N채널측 단자의 전위에 대응한다. 증폭용 트랜지스터(1101)의 드레인 단자는 증폭측 전원선(1103)에 접속되고, 증폭용 트랜지스터(1101)의 소스 단자는 바이어스용 트랜지스터(1102)의 드레인 단자에 접속되어 있다. 증폭용 트랜지스터(1101)의 소스 단자는 출력 단자(1107)이고, 그의 전위가 출력 전위(Vout)로 된다. 바이어스용 트랜지스터(1102)의 게이트 단자에는 바이어스 전위(Vb)가 인가되어 있다. 바이어스용 트랜지스터(1102)의 소스 단자는 바이어스측 전원선(1104)에 접속되어 있다. 방전용 트랜지스터(1108)의 소스 단자 및 드레인 단자는 소스 폴로어 회로의 출력 단자(1107)(증폭용 트랜지스터(1101)의 소스 단자) 및 방전용 전원선(1109)에 접속되어 있다.
- <126> 도 11(B)에 나타낸 바와 같이, 방전용 트랜지스터(1108)가 도통 상태로 되면, 출력 단자(1107)의 전위가 방전용 전원선(1109)의 전위로 되어, 프리방전이 실행된다. 프리방전 기간 중에는, 방전용 트랜지스터(1108)의 게이트 전위가 크기 때문에, 방전용 트랜지스터(1108)에는 큰 전류가 흐르도록 할 수 있다. 그 결과, 출력 전위(Vout)를 급속하게 낮게 할 수 있어, 프리방전 기간이 짧아진다. 이 방법에서는, 바이어스 전위(Vb)는 종래기술의 것과 같거나 또는 클 수도 있다.
- <127> 프리방전 후에 실제 신호가 출력된다. 그 경우, $Vout < Vin - Vb$ 의 상태이기 때문에, 증폭용 트랜지스터(1101)에는 그의 게이트와 소스 사이의 전압이 크게 됨에 따라, 큰 전류가 흐른다. 따라서, 신호 기입 시간이 짧게 될 수 있다.
- <128> 출력 전위(Vout)를 출력할 때의 바이어스 전위(Vb)는, 입출력 관계 $Vout = Vin - Vb$ 를 고려하면, 출력 전위(Vout)를 크게 하기 위해, 가능한 한 낮은 것이 좋다. 그러나, 바이어스용 트랜지스터(1102)는 도통 상태에 있어야 한다. 즉, 바이어스용 트랜지스터(1102)는 포화 영역내에서 동작 가능하고, 정(定)전류가 흐를 수 있는 값일 필요가 있다. 따라서, 프리방전 기간 이외에서의 바이어스 신호 전위(바이어스용 트랜지스터의 게이트와 소스 사이의 전압)의 절대값의 최적값은 바이어스용 트랜지스터(1102)의 스톱시홀드 전압의 절대값보다 약간 높은 전위이다.
- <129> 또한, 바이어스 전위(Vb)가 낮으면, 바이어스용 트랜지스터(1102)가 포화 영역에서 동작하기 쉽기 때문에, 입출력 관계가 선형인 동작 영역을 넓게 할 수 있다.
- <130> 이상의 결과, 신호 기입 시간이 길어지는 것을 방지할 수 있고, 출력 전위의 진폭을 크게 하는 것과 입출력 관계가 선형인 동작 영역을 넓게 하는 것이 동시에 실현될 수 있다.
- <131> 방전용 트랜지스터(1108)의 극성에 관해서는, 증폭용 트랜지스터(1101) 및 바이어스용 트랜지스터(1102)는 동일 극성으로 될 수 있고, 즉, 도 11(A) 및 도 11(B)에서는, N채널형이다. 그 이유는, 방전용 트랜지스터(1108)는 낮은 전위이므로, 방전용 트랜지스터(1108)를 도통 상태로 할 때, N채널형이면, 방전용 트랜지스터(1108)의 게이트와 소스 사이의 전압이 크게 되기 때문이다. 만약 방전용 트랜지스터(1108)가 증폭용 트랜지스터(1101) 및 바이어스용 트랜지스터(1102)와 다른 극성, 즉, 도 11(A) 및 도 11(B)에서는, P채널형인 경우, 방전용 트랜지스터(1108)의 게이트 단자에는 매우 낮은 전위, 즉, 바이어스측 전원선(1104)의 전위보다 낮은 전위를 인가할 필요가 있다. 이상의 것으로부터, 방전용 트랜지스터(1108)의 극성은 증폭용 트랜지스터(1101) 및 바이어스용 트랜지스터(1102)와 같은 극성으로 하는 것이 바람직하다.

- <132> 도 11(A) 및 도 11(B)에서, 다수의 방전용 트랜지스터(1108N)가 사용될 수도 있고, 이 경우, 양 극성의 트랜지스터를 사용할 수도 있다.
- <133> 다음에, 방전용 전원선(1109)의 전위에 대하여 설명한다. 프리방전은 $V_{out} < V_{in} - V_b$ 의 상태로 하는 것이다. 따라서, 방전용 전원선(1109)의 전위는 낮은 전위로 할 필요가 있다. 그 전위는 바이어스측 전원선(1104)의 전위보다 낮게 하여도 좋지만, 출력 단자(1107)의 전위 동작 범위는 증폭측 전원선(1103)의 전위와 바이어스측 전원선(1104)의 전위 사이에 있다. 따라서, 방전용 전원선(1109)의 전위는 바이어스측 전원선(1104)의 전위보다 낮게 되어도, 개선 효과는 없다. 방전용 전원선(1109)의 전위가 바이어스측 전원선(1104)의 전위보다 높은 경우에 대해서는, 방전용 전원선(1109)의 전위를 바이어스 신호선(1106)의 전위보다 높게 하면, $V_{out} < V_{in} - V_b$ 의 상태로 될 수 없게 될 가능성이 있다. 이상의 것으로부터, 방전용 전원선(1109)의 전위는 바이어스측 전원선(1104)의 전위 이상, 바이어스 신호선(1106)의 전위 이하로 할 필요가 있다. 통상은, 방전용 전원선(1109)의 전위를 바이어스측 전원선(1104)의 전위와 같게 하면 좋다. 따라서, 방전용 전원선(1109)과 바이어스측 전원선(1104)을 접속하여도 좋다.
- <134> 실제로, 도 11(A) 및 도 11(B)에 나타난 회로를 사용한 경우에는, 출력 단자(1107)에 부하 용량을 접속하고, 그 부하 용량에 신호를 축적시키는 일이 많다. 도 11(A) 및 도 11(B)에 나타난 회로에 부하 용량이 접속된 경우의 회로도도 도 1(A) 및 도 1(B)에 나타낸다. 부하 용량(110)의 한쪽 단자는 출력 단자(107)에 접속되고, 다른쪽 단자는 부하 용량용 전원선(111)에 접속되어 있다. 부하 용량용 전원선(111)의 전위값은 임의의 값으로 될 수 있다. 통상은, 그 전위값은 바이어스측 전원선(104)의 전위와 같은 값으로 하는 일이 많다. 따라서, 부하 용량용 전원선(111)과 바이어스측 전원선(104)을 접속하여도 좋다. 또한, 부하 용량용 전원선(111)과 증폭측 전원선(103)을 접속하여도 좋다. 이상의 것으로부터, 부하 용량용 전원선(111), 바이어스측 전원선(104), 방전용 전원선(109) 중의 적어도 2개 이상을 서로 접속하여도 좋다. 3개를 접속한 경우의 회로도 및 타이밍 차트를 도 12(A) 및 도 12(B)에 나타낸다.
- <135> 지금까지는, N채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성한 경우에 대하여 설명하였다. 그러나, P채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성하는 것도 가능하다. 따라서, 다음에, P채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성한 경우의 도면을 나타낸다. 즉, 도 11(A) 및 도 11(B)의 회로에서 P채널형 트랜지스터를 사용한 경우를 도 13(A) 및 도 13(B)에 나타내고, 도 1(A) 및 도 1(B)의 회로에서 P채널형 트랜지스터를 사용한 경우를 도 14(A) 및 도 14(B)에 나타낸다. 도 15(A) 및 도 15(B)에는, 도 12(A) 및 도 12(B)의 회로에서 P채널형 트랜지스터를 사용한 경우를 나타낸다. N채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성한 경우, 증폭측 전원선(1103)의 전위는 바이어스측 전원선(1104)의 전위보다 높다. 그러나, P채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성한 경우에는, 증폭측 전원선(1303)의 전위는 바이어스측 전원선(1304)의 전위보다 낮다.
- <136> 다수의 소스 폴로어 회로를 배치하고, 출력 단자를 서로 접속하여 배치하는 경우가 있다. 그 때는 하나의 소스 폴로어 회로로부터만 신호가 출력될 필요가 있다. 따라서, 전류의 흐름을 정지시키기 위해, 스위치가 배치되는 일이 있다. 도 1(A) 및 도 1(B)의 회로에서, 출력 단자(1607)와 부하 용량(1610) 사이에 전송용 트랜지스터(1612)를 배치한 경우의 회로도도 타이밍 차트를 도 16(A) 및 도 16(B)에 나타낸다. 도 16(A) 및 도 16(B)의 회로에서는, 출력 단자(1707)와 증폭용 트랜지스터(1701) 사이에 스위칭용 트랜지스터(1713)를 배치한 경우의 회로도 및 타이밍 차트를 도 17(A) 및 도 17(B)에 나타낸다. 도 16(A) 및 도 16(B) 또는 도 17(A) 및 도 17(B)에서, 증폭용 트랜지스터, 바이어스용 트랜지스터, 및 선택 스위치 중의 적어도 1개의 소자를 사용하여 단위 화소를 구성할 수도 있다.
- <137> 전류의 흐름을 정지시키기 위해, 스위치는 N채널형 트랜지스터 또는 P채널형 트랜지스터 중의 어느 하나로 형성될 수 있다. 또한, 다수의 스위치를 사용하여도 좋고, 그들의 접속 방법도 직렬이거나 또는 병렬일 수 있다.
- <138> [실시형태 2]
- <139> 다음에, 실시형태 1과 다른 방법으로 프리방전을 행하는 경우의 실시형태를 도 18(A) 및 도 18(B)에 나타낸다. 도 18(A)는 회로도도 나타내고, 도 18(B)는 신호 타이밍 차트를 나타낸다. 도 18(A) 및 도 18(B)에서는, 바이어스 전위(V_b)를 크게 함으로써 프리방전을 행하고 있다. 도 18(A) 및 도 18(B)에서는, N채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성한 경우의 예를 나타낸다.
- <140> 증폭용 트랜지스터(1801)의 게이트 단자의 전위가 입력 전위(V_{in})로 되고, 이것은 포토 다이오드의 N채널측 단자의 전위에 대응한다. 증폭용 트랜지스터(1801)의 드레인 단자는 증폭측 전원선(1803)에 접속되고, 증폭용 트

랜지스터(1801)의 소스 단자는 바이어스용 트랜지스터(1802)의 드레인 단자에 접속되어 있다. 증폭용 트랜지스터(1801)의 소스 단자는 출력 단자(1807)이고, 그의 전위가 출력 전위(Vout)가 된다. 바이어스용 트랜지스터(1802)의 게이트 단자에는 바이어스 전위(Vb)가 인가되어 있다. 바이어스용 트랜지스터(1802)의 소스 단자는 바이어스측 전원선(1804)에 접속되어 있다.

- <141> 프리방전 기간 중는 바이어스 전위(Vb)를 크게 한다. 그 결과, 출력 단자(1807)의 전위가 바이어스측 전원선(1804)의 전위로 되어, 프리방전이 실행된다. 프리방전 기간 중에는, 바이어스용 트랜지스터(1802)의 게이트 전위, 즉, 바이어스 전위(Vb)가 크기 때문에, 바이어스용 트랜지스터(1802)에는 큰 전류가 흐를 수 있다. 따라서, 출력 전위(Vout)를 급속하게 낮게 할 수 있고, 이에 따라, 프리방전 기간이 짧아진다.
- <142> 프리방전 후에 실제 신호가 출력된다. 그 경우, $V_{out} < V_{in} - V_b$ 의 상태에 있기 때문에, 증폭용 트랜지스터(1801)에는 그의 게이트와 소스 사이의 전위가 크기 때문에 큰 전류가 흐른다. 따라서, 신호 기입 시간이 짧게 될 수 있다.
- <143> 실제의 출력 전위(Vout)를 출력할 때의 바이어스 전위(Vb)는, 입출력 관계 $V_{out} = V_{in} - V_b$ 를 고려하면, 출력 전위(Vout)를 크게 하기 위해 가능한 한 낮은 것이 좋다. 그러나, 바이어스용 트랜지스터(1802)가 도통 상태로 되어야 한다. 즉, 바이어스용 트랜지스터(1802)가 포화 영역에서 동작 가능하고, 정(定)전류가 흐를 수 있는 값일 필요가 있다. 따라서, 프리방전 기간 이외에서의 바이어스 신호 전위(바이어스용 트랜지스터의 게이트와 소스 사이의 전압)의 절대값의 최적값은 바이어스용 트랜지스터(1802)의 스텔시홀드 전압의 절대값보다 약간 큰 전위이다.
- <144> 또한, 바이어스 전위(Vb)가 낮으면, 바이어스용 트랜지스터(1802)가 포화 영역에서 동작하기 쉽기 때문에, 입출력 관계가 선형인 동작 영역을 넓게 할 수 있다.
- <145> 이상의 결과, 신호 기입 시간이 길어지는 것을 방지할 수 있고, 출력 전위의 진폭을 크게 하는 것과 입출력 관계가 선형인 동작 영역을 넓게 하는 것이 동시에 실현될 수 있다.
- <146> 프리방전 시의 바이어스 전위(Vb)의 전위값에 대해서는, 방전을 행하기 위해 그 전위값은 가능한 한 높은 것이 바람직하다. 따라서, 회로 중에서 가장 높은 전위, 예를 들어, 증폭측 전원선(1803)에까지 바이어스 전위(Vb)를 높게 하는 것이 적절하다.
- <147> 종래기술에서는, 바이어스 신호선(1806)에는 정전위가 인가되어 있다. 본 실시형태에서는, 프리방전 시에는 바이어스 전위(Vb)가 변화한다. 따라서, 바이어스 신호선(1806)에는, 바이어스 전위(Vb)를 변화시키기 위해 신호 발생 장치가 접속되어 있다.
- <148> 지금까지는 N채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성한 경우에 대하여 설명하였다. 그러나, P채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성하는 것도 가능하다. 따라서, P채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성한 경우의 도면을 도 19(A) 및 도 19(B)에 나타낸다. 실시형태 1과 마찬가지로, N채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성한 경우와 P채널형 트랜지스터를 사용하여 소스 폴로어 회로를 구성한 경우에는, 증폭측 전원선의 전위와 바이어스측 전원선의 전위의 대소(大小) 관계가 다르다.
- <149> 본 실시형태에서도, 실시형태 1과 마찬가지로, 부하 용량 및 선택 스위치를 배치하는 것은 가능하다.
- <150> [실시예 1]
- <151> 다음에, 주변에 구동회로를 탑재하고, 화소를 2차원으로 배치한 에어리어(area) 센서에 방전용 트랜지스터를 사용하여 프리방전을 행하는 경우의 실시예를 설명한다. 전체 회로도들을 도 20에 나타낸다. 먼저, 화소가 2차원적으로 배열된 화소 배열부(2005)가 제공되어 있다. 각 화소의 게이트 신호선 및 리셋 신호선을 구동하기 위한 구동회로가 화소 배열부(2005)의 좌우에 배치되어 있다. 도 20에서는, 게이트 신호선용 구동회로(2006)가 좌측에, 리셋 신호선용 구동회로(2007)가 우측에 배치되어 있다. 화소 배열부(2005)의 상측에는 신호 처리용 회로 등이 배치되어 있다. 도 20에서는, 화소 배열부(2005) 위에 바이어스용 회로(2003)가 배치되어 있다. 이 바이어스용 회로(2003)는 각 화소의 증폭용 트랜지스터와 함께 소스 폴로어 회로를 형성한다. 바이어스용 회로(2003) 위에는 샘플 홀드 및 신호처리용 회로(2002)가 배치되어 있다. 여기서는, 신호를 일단 보존하거나, 아날로그/디지털 변환을 행하거나, 또는 잡음을 감소시키거나 하기 위한 회로 등이 배치되어 있다. 샘플 홀드 및 신호처리용 회로(2002) 위에는 신호 출력선용 구동회로(2001)가 배치되어 있다. 신호 출력선용 구동회로(2001)는 일시적으로 보존되었던 신호들을 순차적으로 출력하기 위한 신호를 출력한다. 그리고, 신호를 외부로 출

력하기 전에, 최종 출력 증폭용 회로(2004)가 배치되어 있다. 여기서는, 샘플 홀드 및 신호처리용 회로(2002) 및 신호 출력선용 구동회로(2001)에 의해, 순차적으로 출력되는 신호를 외부로 출력하기 전에, 최종 출력 증폭용 회로(2004)에 의해 증폭한다. 따라서, 신호를 증폭하지 않은 경우에는 불필요하지만, 현실적으로는 배치되는 일이 많다.

<152> 다음에, 각 부분의 회로도를 나타낸다. 먼저, 화소들이 2차원적으로 배열된 화소 배열부(2005)의 내부로부터, 예로서, i번째 행 j번째 열의 화소부 회로(2008)의 회로도를 도 21에 나타낸다. 도 21에서는, i번째 행 j번째 열의 화소부 회로(2008)는 P채널형 리셋용 트랜지스터, P채널형 스위칭용 트랜지스터(2101), N채널형 증폭용 트랜지스터(2106), 및 광전 변환 소자(여기서는, 가장 대표적인 포토 다이오드(2104)임)로 구성되어 있다. 포토 다이오드(2104)의 P채널측 단자는 전원 기준선(2112)에 접속되고, 포토 다이오드(2104)의 N채널측 단자는 증폭용 트랜지스터(2106)의 게이트 단자에 접속되어 있다. 리셋용 트랜지스터(2107)의 게이트 단자에는 i번째 행의 리셋 신호선(2105)이 접속되고, 리셋용 트랜지스터(2107)의 소스 단자 및 드레인 단자는 j번째 열의 전원선(2109) 및 증폭용 트랜지스터(2106)의 게이트 단자에 접속되어 있다. 스위칭용 트랜지스터(2101)의 게이트 단자는 i번째 행의 게이트 신호선(2102)에 접속되고, 그의 소스 단자 및 드레인 단자는 j번째 열의 전원선(2109) 및 증폭용 트랜지스터(2106)의 게이트 단자에 접속되어 있다. 증폭용 트랜지스터(2106)의 소스 단자 및 드레인 단자는 j번째 열의 신호 출력선(2103) 및 스위칭용 트랜지스터(2101)에 접속되어 있다. i번째 행의 게이트 신호선(2102) 및 i번째 행의 리셋 신호선(2105)은, 종래기술에서와 같이, 그들의 배선이 횡방향으로 연장하여 있다.

<153> 소스 폴로어 회로에서의 배선과 대응시키면, j번째 열의 전원선(2109)이 증폭측 전원선(1103)에 대응하고, 전원 기준선(2112)이 바이어스측 전원선(1104)에 대응하고, 출력 단자(1107)가 j번째 열의 신호 출력선(2103)에 대응한다.

<154> 도 21에서는, 리셋용 트랜지스터(2107)는 P채널형으로 형성된다. 그러나, 리셋용 트랜지스터(2107)는 N채널형으로 형성될 수도 있다. N채널형의 경우, 리셋 동작 시에, 리셋용 트랜지스터(2107)의 게이트와 소스 사이의 전압이 크게 되지 않는다. 따라서, 리셋용 트랜지스터가 포화 영역에서 동작하게 되어, 포토 다이오드(2104)가 충분히 충전될 수 없다. 그 결과, 리셋용 트랜지스터(2107)는 N채널형에서도 동작하지만, P채널형으로 이용하는 것이 바람직하다.

<155> 스위칭용 트랜지스터(2101)는 i번째 행의 전원선(2109)과 증폭용 트랜지스터(2106) 사이에 배치되고, 또한, P채널형으로서 형성되는 것이 바람직하다. 그러나, 종래기술과 마찬가지로, 스위칭용 트랜지스터가 N채널형으로 형성되더라도 동작할 수 있기 때문에, N채널형이 사용될 수도 있다. 스위칭용 트랜지스터(2101)는 j번째 열의 신호 출력선(2103)과 증폭용 트랜지스터(2106) 사이에 배치될 수도 있다. 그러나, 신호를 정확하게 출력하는데 어려움이 있기 때문에, 스위칭용 트랜지스터(2101)는 i번째 행의 전원선(2109)과 증폭용 트랜지스터(2106) 사이에 배치되고, 또한, P채널형으로 형성되는 것이 바람직하다.

<156> 증폭용 트랜지스터(2106)에 대해서는, 도 21에서는, N채널형이 사용된다. 그러나, P채널형이 사용될 수도 있다. 그러나, P채널형을 사용하는 경우에는, 증폭용 트랜지스터를 바이어스용 트랜지스터와 조합하여 소스 폴로어 회로로서 동작시키기 위해서는, 회로의 접속 방법을 바꿀 필요가 있다. 즉, 도 21의 회로도에서, 단순히 증폭용 트랜지스터(2106)의 극성을 바꾸기만 해서는 동작하지 않는다.

<157> 그래서, P채널형의 증폭용 트랜지스터를 사용한 때의 회로 구성의 일 예를 도 22에 나타낸다. 도 21의 회로 구성과의 차이점은, 증폭용 트랜지스터(2206)의 극성이 P채널형인 것, 포토 다이오드의 방향이 역으로 되어 있는 것, 전원선과 전원 기준선이 교체되어 있는 것이다. 증폭용 트랜지스터에 P채널형을 사용하는 경우에는, 바이어스용 트랜지스터도 P채널형을 사용할 필요가 있다. 그 이유는, 바이어스용 트랜지스터를 정전류원으로 동작시킬 필요가 있기 때문이다. 따라서, 도 22에서는, 참고를 위해, 바이어스용 트랜지스터(2211)도 설명하고 있다. 도 22에 나타난 i번째 행 j번째 열의 화소부 회로(2008)는 N채널형 리셋용 트랜지스터(2207), N채널형 스위칭용 트랜지스터(2201), P채널형 증폭용 트랜지스터(2206), 광전 변환 소자(여기서는, 가장 대표적인 포토 다이오드(2204))로 구성되어 있다. 포토 다이오드(2204)의 N채널측 단자는 전원선(2209)에 접속되고, 그의 P채널측 단자는 증폭용 트랜지스터(2206)의 게이트 단자에 접속되어 있다. 리셋용 트랜지스터(2207)의 게이트 단자에는 i번째 행의 리셋 신호선(2205)이 접속되고, 그의 소스 단자 및 드레인 단자는 j번째 열의 전원 기준선(2212) 및 증폭용 트랜지스터(2206)의 게이트 단자에 접속되어 있다. 스위칭용 트랜지스터(2201)의 게이트 단자는 i번째 행의 게이트 신호선(2202)에 접속되고, 그의 소스 단자 및 드레인 단자는 j번째 열의 전원 기준선(2212) 및 증폭용 트랜지스터(2206)에 접속되어 있다. 증폭용 트랜지스터(2206)의 소스 단자 및 드레인 단자는

j번째 열의 신호 출력선(2203) 및 스위칭용 트랜지스터(2201)에 접속되어 있다. 바이어스용 트랜지스터(2211)의 게이트 단자에는 바이어스 신호선(2210)이 접속되고, 그의 소스 단자 및 드레인 단자는 j번째 열의 신호 출력선(2203) 및 전원선(2209)에 접속되어 있다.

<158> 소스 폴로어 회로에서의 배선과 대응시키면, j번째 열의 전원 기준선(2212)이 증폭측 전원선(1803)에 대응하고, 전원선(2209)이 바이어스측 전원선(1804)에 대응하고, 출력 단자(1807)가 j번째 열의 신호 출력선(2203)에 대응한다.

<159> 도 22에서는, 리셋용 트랜지스터(2207)에 N채널형이 사용된다. 그러나, 리셋용 트랜지스터(2207)는 P채널형으로 형성될 수도 있다. 그러나, P채널형이 사용되는 경우, 리셋 동작 시에, 리셋용 트랜지스터(2207)의 게이트 및 소스 사이의 전압이 크게 되지 않는다. 따라서, 리셋용 트랜지스터가 포화 영역에서 동작하게 되어, 포토다이오드(2204)를 충분히 충전시킬 수 없다. 그 결과, 리셋용 트랜지스터는 P채널형을 사용하여도 동작하지만, N채널형을 사용하는 것이 바람직하다.

<160> 도 22에서는, 스위칭용 트랜지스터(2201)는 j번째 열의 전원 기준선(2212)과 증폭용 트랜지스터(2206) 사이에 배치되고, 또한, N채널형으로 형성되는 것이 바람직하다. 그러나, 스위칭용 트랜지스터가 P채널형으로 형성되어도 동작할 수 있기 때문에, P채널형도 사용될 수 있다. 스위칭용 트랜지스터(2201)는 j번째 열의 신호 출력선(2203)과 증폭용 트랜지스터(2206) 사이에 배치될 수도 있지만, 신호를 정확하게 출력하는데 어려움이 있기 때문에, 스위칭용 트랜지스터(2201)는 j번째 열의 전원 기준선(2212)과 증폭용 트랜지스터(2206) 사이에 배치되고, 또한, N채널형을 사용하여 형성되는 것이 바람직하다.

<161> 이와 같이, 도 21과 도 22를 비교하면 알 수 있는 바와 같이, 증폭용 트랜지스터의 극성이 다르면, 최적의 트랜지스터 구성도 다르다.

<162> 다음에, 바이어스용 회로(2003) 및 샘플 홀드 및 신호처리용 회로(2002)의 내부로부터, 1열분의 회로서 j번째 열의 주변회로(2009)의 회로도들 도 23에 나타낸다. 바이어스용 회로(2003)에는 바이어스용 트랜지스터(2311)가 배치되어 있다. 그의 극성은 각 화소의 증폭용 트랜지스터의 극성과 동일하다. 따라서, 화소의 증폭용 트랜지스터가 N채널형인 경우는, 바이어스용 트랜지스터도 N채널형으로 된다. 도 23에서는, 바이어스용 트랜지스터(2311)는 N채널형이다. 바이어스용 트랜지스터(2311)의 게이트 단자에는 바이어스 신호선(2310)이 접속되고, 그의 소스 단자 및 드레인 단자는 j번째 열의 신호 출력선(2303) 및 전원 기준선(2312)에 접속되어 있다(바이어스용 트랜지스터가 P채널형인 경우는, 전원 기준선 대신에 전원선이 사용된다). 바이어스용 트랜지스터(2311)는 각 화소의 증폭용 트랜지스터와 함께 소스 폴로어 회로로서 동작한다. 전송용 트랜지스터(2313)의 게이트 단자에는 전송 신호선(2314)이 접속되고, 그의 소스 단자 및 드레인 단자는 j번째 열의 신호 출력선(2303) 및 부하 용량(2315)에 접속되어 있다. 전송용 트랜지스터는 신호 출력선(2303)의 전위를 부하 용량(2315)으로 전송할 때 동작한다. 따라서, P채널형 전송용 트랜지스터를 추가되어, N채널형 전송용 트랜지스터(2314)와 병렬로 접속할 수도 있다. 부하 용량(2315)은 전송용 트랜지스터(2313) 및 전원 기준선(2312)에 접속되어 있다. 부하 용량(2315)은 신호 출력선(2303)으로부터 출력되는 신호를 일시적으로 축적하는 역할을 한다. 방전용 트랜지스터(2316)의 게이트 단자는 프리방전 신호선(2317)에 접속되고, 그의 소스 단자 및 드레인 단자는 부하 용량(2315) 및 전원 기준선(2312)에 접속되어 있다. 방전용 트랜지스터(2316)는 신호 출력선(2303)의 전위를 부하 용량(2315)에 입력하기 전에 부하 용량(2315)에 일시적으로 축적된 전하를 방전시키도록 동작한다.

<163> 아날로그/디지털 신호 변환회로, 잡음 감소 회로 등을 배치하는 것도 가능하다.

<164> 그리고, 부하 용량(2315)과 최종 출력선(2320) 사이에 최종 선택용 트랜지스터(2319)가 접속된다. 최종 선택용 트랜지스터(2319)의 소스 단자 및 드레인 단자는 부하 용량(2315) 및 최종 출력선(2320)에 접속되고, 그의 게이트 단자는 j번째 열의 최종 선택선(2318)에 접속된다. 최종 선택선은 첫번째 열로부터 순차적으로 스캐닝된다. 그리고, j번째 열의 최종 선택선(2318)이 선택되고, 최종 선택용 트랜지스터(2319)가 도통 상태로 되면, 부하 용량(2315)의 전위와 최종 출력선(2320)의 전위가 같게 된다. 그 결과, 부하 용량(2315)에 축적된 신호를 최종 출력선(2320)으로 출력할 수 있다. 그러나, 최종 출력선(2320)으로 신호를 출력하기 전에, 최종 출력선(2320)에 전하가 축적되어 있으면, 그 전하에 의해, 최종 출력선(2320)으로 신호를 출력한 때의 전위가 영향을 받는다. 그래서, 최종 출력선(2320)으로 신호를 출력하기 전에, 최종 출력선(2320)의 전위를 어떤 전위값으로 초기화하여야 한다. 도 23에서는, 최종 출력선(2320)과 전원 기준선(2312) 사이에 최종 리셋용 트랜지스터(2322)를 배치하고 있다. 그리고, 최종 리셋용 트랜지스터(2322)의 게이트 단자에는, j번째 열의 최종 선택선(2321)이 접속되어 있다. j번째 열의 최종 선택선(2318)을 선택하기 전에, j번째 열의 최종 리셋선(2321)을 선택하여, 최종 출력선(2320)의 전위를 전원 기준선(2312)의 전위로 초기화한다. 그후, j번째 열의 최종 선택선(2318)을

선택하여, 부하 용량(2315)에 축적된 신호를 최종 출력선(2320)으로 출력한다.

- <165> 최종 출력선(2320)으로 출력되는 신호는 그 대로 외부로 추출될 수도 있다. 그러나, 신호가 미약하기 때문에, 외부로 추출하기 전에 신호를 증폭하여 두는 경우가 많다. 그를 위한 회로로서, 최종부 회로(2010)의 회로 구성을 도 24에 나타낸다. 신호를 증폭하는 회로로서, 연산 증폭기와 같은 다양한 종류의 것이 있다. 신호를 증폭하는 회로이면, 어떠한 회로이어도 좋지만, 여기서는, 가장 간단한 회로 구성으로서, 소스 폴로어 회로를 나타낸다. 도 24에서는, N채널형인 경우를 나타낸다. 최종 출력 증폭용 회로(2004)에의 입력은 최종 출력선(2402)이 된다. 최종 출력선(2402)에는 첫번째 열로부터 순차적으로 신호가 출력된다. 그 신호는 최종 출력 증폭용 회로(2004)에 의해 증폭된 다음, 외부로 출력된다. 최종 출력선(2402)은 최종 출력 증폭기-증폭용 트랜지스터(2404)의 게이트 단자에 접속된다. 최종 출력 증폭기-증폭용 트랜지스터(2404)의 드레인 단자는 전원선(2404)에 접속되고, 그의 소스 단자는 출력 단자가 된다. 최종 출력 증폭기-바이어스용 트랜지스터(2403)의 게이트 단자는 최종 출력 증폭용 바이어스 신호선(2405)에 접속되고, 그의 소스 단자 및 드레인 단자는 전원 기준선(2407) 및 최종 출력 증폭기-증폭용 트랜지스터(2404)의 소스 단자에 접속된다.
- <166> 도 25에는, P채널형인 경우의 소스 폴로어 회로를 사용한 경우의 회로도도 나타낸다. 도 24와의 차이점은, 전원선과 전원 기준선을 반대로 한 것이다. 최종 출력선(2502)은 최종 출력 증폭기-증폭용 트랜지스터(2504)의 게이트 단자에 접속된다. 최종 출력 증폭기-증폭용 트랜지스터(2504)의 드레인 단자는 전원 기준선(2507)에 접속되고, 그의 소스 단자는 출력 단자가 된다. 최종 출력 증폭기-바이어스용 트랜지스터(2503)의 게이트 단자는 최종 출력 증폭용 바이어스 신호선(2505)에 접속된다. 최종 출력 증폭기-바이어스용 트랜지스터(2503)의 소스 단자 및 드레인 단자는 전원선(2506) 및 최종 출력 증폭기-증폭용 트랜지스터(2504)의 소스 단자에 접속된다. 최종 출력 증폭용 바이어스 신호선(2505)의 전위값은 N채널형을 사용한 경우의 최종 출력 증폭용 바이어스 신호선(2405)의 전위값과 다르다.
- <167> 도 24 및 도 25에서는, 소스 폴로어 회로를 1단(段)만으로 구성하였으나, 복수 단으로 구성하여도 좋다. 예를 들어, 2단으로 구성하는 경우에는, 1단계의 출력 단자는 2단계의 입력 단자에 접속하면 된다. 또한, 각각의 단계에서, N채널형을 사용하여도 좋고, 또는 P채널형을 사용하여도 좋다.
- <168> 게이트 신호선 및 리셋 신호선용 구동회로(2006), 전원선용 구동회로(2207), 및 신호 출력선용 구동회로(AZ01)는 단지 펄스 신호를 출력하고 있을 뿐인 회로이다. 따라서, 공지의 기술을 사용하여 실시할 수 있다.
- <169> 다음에, 신호의 타이밍 차트에 대하여 설명한다. 먼저, 도 20의 회로에서의 타이밍 차트를 도 26에 나타낸다. 리셋 신호선은 첫번째 행으로부터 순차적으로 스캐닝된다. 예를 들어, 먼저, (i-1)번째 행을 선택하고, 이어서, i번째 행을 선택하고, 그 다음, (i+1)번째 행을 선택한다. 다시 동일 행을 선택할 때까지의 기간이 프레임 기간에 상당한다. 마찬가지로, 게이트 신호선도 첫번째 행으로부터 순차적으로 스캐닝된다. 그러나, 리셋 신호선을 스캐닝하기 시작하는 타이밍보다도, 게이트 신호선을 스캐닝하기 시작하는 타이밍이 늦다. 예를 들어, i번째 행의 화소를 보면, i번째 행의 리셋 신호선이 선택되고, 그 후, i번째 행의 게이트 신호선이 선택된다. i번째 행의 게이트 신호선이 선택되면, i번째 행의 화소로부터 신호가 출력된다. 화소가 리셋되고부터 신호를 출력할 때까지의 기간이 축적 시간이 된다. 축적 시간 중에, 포토 다이오드에서 광에 의해 생성되는 전하를 축적한다. 각 행에서, 리셋되는 타이밍과 신호를 출력하는 타이밍은 다르다. 따라서, 축적 시간은 모든 행의 화소에서 같지만, 신호가 축적되는 시각(時刻)은 다르다.
- <170> 다음에, 도 23에서의 신호의 타이밍 차트를 도 27에 나타낸다. 동작은 반복적으로 이루어지기 때문에, 예로서, i번째 행의 게이트 신호선이 선택되고 있을 때를 고려한다. 먼저, i번째 행의 게이트 신호선(2102)이 선택된 후, 프리방전 신호선(2317)을 선택하여 방전용 트랜지스터(2316)를 도통 상태로 한다. 그 후, 전송 신호선(2314)을 선택한다. 그러면, i번째 행의 화소로부터 각 열의 신호가 각 열의 부하 용량(2315)으로 출력된다.
- <171> i번째 행의 모든 화소의 신호를 모든 열의 부하 용량(2315)에 축적한 후, 각 열의 신호를 최종 출력선(2320)으로 순차적으로 출력한다. 전송 신호선(2314)이 비선택으로 되고부터 게이트 신호선이 선택될 때까지의 기간 중, 신호 출력선용 구동회로(2001)에 의해 모든 열을 스캐닝한다. 먼저, 첫번째 열의 최종 리셋선을 선택하고, 최종 리셋용 트랜지스터(2322)를 도통 상태로 하여, 최종 출력선(2320)의 전위를 전원 기준선(2312)의 전위로 초기화한다. 그 후, 첫번째 열의 최종 선택선(2318)을 선택하고, 최종 선택용 트랜지스터(2319)를 도통 상태로 하여, 첫번째 열의 부하 용량(2315)의 신호를 최종 출력선(2320)으로 출력한다. 이어서, 두번째 열의 최종 리셋선을 선택하고, 최종 리셋용 트랜지스터(2322)를 도통 상태로 하여, 최종 출력선(2320)의 전위를 전원 기준선(2312)의 전위로 초기화한다. 그 후, 두번째 열의 최종 선택선(2318)을 선택하고, 최종 선택용 트랜지스터(2319)를 도통 상태로 하여, 두번째 열의 부하 용량(2315)의 신호를 최종 출력선(2320)으로 출력한다. 그 후에

도, 동일 동작을 반복한다. 마찬가지로, j번째 행의 경우에도, j번째 열의 최종 리셋선을 선택하고, 최종 리셋용 트랜지스터(2322)를 도통 상태로 하여, 최종 출력선(2320)의 전위를 전원 기준선(2312)의 전위로 초기화한다. 그 후, j번째 열의 최종 선택선(2318)을 선택하고, 최종 선택용 트랜지스터(2319)를 도통 상태로 하여, j번째 열의 부하 용량(2315)의 신호를 최종 출력선(2320)으로 출력한다. 다음에, (j+1)번째 열의 최종 리셋선을 선택하고, 최종 리셋용 트랜지스터(2322)를 도통 상태로 전환되어, 최종 출력선(2320)의 전위를 전원 기준선(2312)의 전위로 초기화한다. 그 후, (j+1)번째 열의 최종 선택선(2318)을 선택하고, 최종 선택용 트랜지스터(2319)를 도통 상태로 하여, (j+1)번째 열의 부하 용량(2315)의 신호를 최종 출력선(2320)으로 출력한다. 그 후에도, 동일 동작을 반복하여, 모든 열의 신호를 최종 출력선으로 순차적으로 출력한다. 이 동작 중에, 바이어스 신호선(2310)은 일정한 채로 있다. 최종 출력선(2320)으로 출력된 신호는 최종 출력 증폭용 회로(2004)에 의해 증폭된 다음, 외부로 출력된다.

<172> 다음에, (i+1)번째 행의 게이트 신호선이 선택된다. i번째 행의 게이트 신호선이 선택된 때 행해지는 것과 동일한 동작이 행해진다. 그 다음, 다음 행의 게이트 신호선이 더 선택되고, 동일한 동작이 반복된다.

<173> 여기서, 바이어스 신호선(2310)의 전위에 대하여 설명한다. 도 23에서는, 바이어스용 트랜지스터(2311)가 다수 배치되어 있다. 따라서, 다수의 바이어스용 트랜지스터(2311)의 스레시홀드 전압에 편차가 있어도, 모든 바이어스용 트랜지스터(2311)가 도통 상태로 되어 있을 필요가 있다. 그 결과, 바이어스용 트랜지스터의 게이트와 소스 사이의 전압의 절대값은 모든 바이어스용 트랜지스터를 도통 상태로 하는데 필요한 게이트와 소스 사이의 전압의 절대값의 최소값과 같게 될 필요가 있다.

<174> 광전 변환 등을 행하는 센서부에 관해서는, 통상의 PN형 포토 다이오드 이외에, PIN형 다이오드, 애벌란시 다이오드, NPN 매립형 다이오드, 쇼트키 다이오드, X선용 포토 컨덕터, 및 적외선용 센서 등이 사용될 수도 있다. 또한, 형광재 또는 신틸레이터(scintillator)에 의해 X선을 광으로 변환한 후, 그 광을 판독할 수도 있다.

<175> 지금까지 설명한 바와 같이, 광전 변환 소자는 소스 폴로어 회로의 입력 단자에 접속되는 일이 많다. 그러나, 포토 게이트형과 같이, 스위치를 사이에 끼워도 좋고, 또는 대수(對數) 변환형과 같이, 광 강도의 대수값이 되도록 처리된 후의 신호를 입력 단자에 입력할 수도 있다.

<176> 본 실시예에서는, 화소들이 2차원적으로 배치된 에어리어 센서에 대하여 설명하였지만, 화소들이 1차원적으로 배치된 라인 센서를 실현할 수도 있다.

<177> [실시예 2]

<178> 본 실시예에서는, 주변에 구동회로를 탑재하고, 화소들을 2차원적으로 배치한 에어리어 센서에서 바이어스 신호선을 제어하여 프리방전을 행하는 경우를 설명한다. 실시예 1과 다른 점은 회로도의 일부(도 23)와 신호 타이밍 차트의 일부(도 27)만이다. 따라서, 도 23에 대응하는 도면으로서 도 29를 나타내고, 도 27에 대응하는 도면으로서 도 28를 나타낸다.

<179> 도 29는 도 23에서 방전용 트랜지스터(2316) 및 프리방전 신호선(2317)을 배제한 도면이다.

<180> 다음에, 도 29에서의 신호의 타이밍 차트를 도 28에 나타낸다. 동작이 반복되기 때문에, 예로서, i번째 행의 게이트 신호선이 선택되고 있을 때를 고려한다. 먼저, i번째 행의 게이트 신호선(2102)이 선택된 후, 바이어스 신호선(2910)의 전위와 전송용 트랜지스터(2913)의 전위를 크게 하여, 프리방전을 실행한다. 그 후, 바이어스 신호선(2910)의 전위를 본래의 값으로 복귀시킨다. 그러면, i번째 행의 화소로부터 각 열의 신호가 각 열의 부하 용량(2915)으로 출력된다. 그리고, i번째 행의 모든 화소의 신호를 각 열의 부하 용량(2915)에 축적한 후, 각 열의 신호를 최종 출력선(2920)으로 순차로 출력한다.

<181> 본 실시예에서는, 프리방전 시에는, 바이어스 전위(Vb)가 변화한다. 따라서, 바이어스 신호선(2910)에는, 바이어스 전위(Vb)를 변화시키기 위해 신호 발생 장치가 접속될 수도 있다.

<182> [실시예 3]

<183> 본 발명의 센서를, TFT를 사용하여 유리 기판상에 제작하는 경우의 제작방법에 대하여 도 30~도 33을 사용하여 설명한다.

<184> 먼저, 도 30(A)에 나타낸 바와 같이, 유리 기판(200)상에 하지막(201)을 300 nm의 두께로 형성한다. 본 실시예에서는, 하지막(201)으로서 질화산화규소막을 적층하여 사용한다. 이때, 유리 기판(200)에 접촉하는 막 중의 질소 농도를 10~25 중량%로 하는 것이 좋다. 또한, 하지막(201)에 방열 효과를 가지게 하는 것이 효과적이고,

DLC(diamond-like carbon: 다이아몬드와 닮은 탄소) 막을 제공될 수도 있다.

- <185> 다음에, 하지막(201)상에 비정질 규소막(도시되지 않음)을 공지의 성막법에 의해 50 nm의 두께로 형성한다. 비정질 규소막에 한정할 필요는 없고, 비정질 구조를 함유하는 반도체막(미(微)결정 반도체막을 포함)이어도 좋다. 또한, 비정질 규소 게르마늄 막과 같은, 비정질 구조를 함유하는 화합물 반도체막도 사용될 수 있다. 또한, 막 두께는 20~100 nm로 될 수 있다.
- <186> 그 다음, 공지의 기술에 의해 비정질 규소막을 결정화하여 결정성 규소막(다결정성 규소막 또는 폴리실리콘막이라고도 함)(202)을 형성한다. 공지의 결정화 방법으로서, 전기로를 사용한 열 결정화 방법, 레이저 광을 이용한 레이저 어닐 결정화 방법, 및 적외선을 이용한 램프 어닐 결정화 방법이 있다. 본 실시예에서는, XeCl 가스를 사용한 엑시머 레이저광을 사용하여 결정화하였다.
- <187> 본 실시예에서는, 선형으로 가공된 펄스 발진형 엑시머 레이저광을 사용하지만, 장방형이어도 좋고, 연속 발진형 아르곤 레이저광 및 연속 발진형 엑시머 레이저광을 사용될 수도 있다.
- <188> 본 실시예에서는, 결정성 규소막을 TFT의 활성층으로서 사용하지만, 비정질 규소막을 사용하는 것도 가능하다.
- <189> 오프 전류를 감소시킬 필요가 있는 리셋용 트랜지스터의 활성층을 비정질 규소막으로 형성하고, 증폭용 트랜지스터의 활성층을 결정성 규소막으로 형성하는 것이 효과적이다. 비정질 규소막은 캐리어 이동도가 낮기 때문에, 전류가 흐르기 어려워, 오프 전류가 쉽게 흐르지 않는다. 즉, 전류가 쉽게 흐르지 않는 비정질 규소막과 전류가 쉽게 흐르는 결정성 규소막 모두의 이점을 취할 수 있다.
- <190> 다음에, 도 30(B)에 나타낸 바와 같이, 결정성 규소막(202)상에 산화규소막으로 된 보호막(203)을 130 nm의 두께로 형성한다. 이 두께는 100~200 nm(바람직하게는 130~170 nm)의 범위에서 선택될 수 있다. 또한, 규소를 함유하는 절연막이라면, 다른 막도 사용될 수 있다. 이 보호막(203)은, 불순물을 첨가할 때 결정성 규소막이 플라즈마에 직접 노출되지 않도록 하기 위해, 그리고 불순물의 정밀한 농도 제어를 가능하게 하기 위해 형성된다.
- <191> 그 다음, 보호막(203)상에 레지스트 마스크(204a, 204b, 204c)을 형성하고, 보호막(203)을 통과하여 n형을 부여하는 불순물 원소(이하, n형 불순물 원소라 함)를 첨가한다. n형 불순물 원소로서는, 대표적으로는 주기율표 15족에 속하는 원소, 전형적으로는 인 또는 비소를 사용할 수 있다. 본 실시예에서는, 포스핀(PH₃)을 질량 분리없이 플라즈마 여기한 플라즈마 도핑법을 사용하여, 인을 1×10^{18} 원자/cm³의 농도로 첨가한다. 물론, 질량 분리를 행하는 이온 주입법을 사용할 수도 있다.
- <192> 이 공정에 의해 형성되는 n형 불순물 영역(b)(205a, 205b)에는 n형 불순물 원소가 $2 \times 10^{16} \sim 5 \times 10^{19}$ 원자/cm³(대표적으로는, $5 \times 10^{17} \sim 5 \times 10^{18}$ 원자/cm³)의 농도로 함유되도록 도즈량을 조절한다.
- <193> 그 다음, 도 30(C)에 나타낸 바와 같이, 보호막(203) 및 레지스트 마스크(204a, 204b, 204c)를 제거하고, 첨가된 n형 불순물 원소의 활성화를 행한다. 활성화 수단으로는 공지의 활성화 방법을 사용할 수 있지만, 본 실시예에서는 엑시머 레이저광의 조사(레이저 어닐)에 의해 활성화를 행한다. 물론, 펄스 발진형 엑시머 레이저이어도 좋고, 연속 발진형 엑시머 레이저이어도 좋고, 엑시머 레이저광에 한정될 필요는 없다. 첨가된 불순물 원소의 활성화가 목적이므로, 결정성 규소막이 용융하지 않는 정도의 에너지로 조사하는 것이 바람직하다. 보호막(203)을 그 대로 두고 레이저광을 조사하여도 좋다.
- <194> 이 레이저광에 의한 불순물 원소의 활성화 시에 열처리(노 어닐)에 의한 불순물 원소의 활성화를 병용하여도 상관없다. 열처리에 의한 활성화를 행하는 경우에는, 기판의 내열성을 고려하여 약 450~550℃의 열처리를 행하는 것이 좋다.
- <195> 이 공정에 의해 n형 불순물 영역(b)(205a, 205b)의 단부, 즉, n형 불순물 영역(b)(205a, 205b)의 주위에 존재하는 n형 불순물 원소를 첨가하지 않은 영역과의 경계부(접합부)가 명확하게 된다. 이것은, 후에 TFT가 완성된 지점에서 LDD 영역과 채널 형성 영역이 매우 양호한 접합부를 형성할 수 있다는 것을 의미한다.
- <196> 그 다음, 도 30(D)에 나타낸 바와 같이, 결정성 규소막의 불필요한 부분을 제거하여, 섬 모양의 반도체막(이하, 활성층이라 함)(206~210)을 형성한다.
- <197> 그 다음, 도 31(A)에 나타낸 바와 같이, 활성층(206~210)을 덮도록 게이트 절연막(211)을 형성한다. 게이트 절연막(211)으로서, 10~200 nm, 바람직하게는 50~150 nm의 두께를 가지는, 규소를 함유하는 절연막을 사용

할 수 있다. 이것은 단층 구조이어도 좋고 또는 적층 구조이어도 좋다. 본 실시예에서는, 두께 110 nm의 질화 산화규소막을 사용한다.

- <198> 다음에, 두께 200~400 nm의 도전막을 형성하고, 패터닝하여, 게이트 전극(212~216)을 형성한다. 본 실시예에서는, 게이트 전극과, 그 게이트 전극에 전기적으로 접속된 인출 배선(이하, 게이트 배선이라 함)을 동일 재료로 형성한다. 물론, 게이트 전극과 게이트 배선을 서로 다른 재료로 형성할 수도 있다. 구체적으로는, 게이트 전극보다 낮은 저항을 가진 재료로 게이트 배선을 형성한다. 이것은, 게이트 전극으로서는 미세가공이 가능한 재료를 사용하고, 게이트 배선에는 미세가공은 할 수 없어도 배선 저항이 작은 재료를 사용하기 때문이다. 이러한 구조로 함으로써, 게이트 배선의 배선 저항을 매우 작게 할 수 있기 때문에, 면적이 큰 센서부를 형성할 수 있다. 즉, 대각선 길이 10인치 이상(또한, 30 인치 이상)의 화면 크기를 가지는 센서부를 가진 에어리어 센서를 실현하는데 있어서는, 상기한 화소 구조는 매우 효과적이다.
- <199> 게이트 전극은 단층의 도전막으로 형성될 수도 있지만, 필요에 따라 2층 또는 3층의 적층막으로 하는 것이 바람직하다. 게이트 전극(212~216)의 재료로서는 공지의 어떠한 도전막이라도 사용할 수 있다.
- <200> 대표적으로는, 알루미늄(Al), 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 및 실리콘(Si)으로 이루어진 군에서 선택된 원소로 된 막, 또는 상기 원소의 질화물로 된 막(대표적으로는, 질화 탄탈막, 질화 텅스텐막 또는 질화 티탄막), 또는 상기 원소들을 조합시킨 합금 막(대표적으로는, Mo-W 합금 또는 Mo-Ta 합금), 또는 상기 원소의 규화물로 된 막(대표적으로는, 규화 텅스텐막 또는 규화 티탄막)을 사용할 수 있다. 물론, 상기 막들은 단층 또는 적층으로서 사용될 수 있다.
- <201> 본 실시예에서는, 두께 30 nm의 질화텅스텐(WN)막과 두께 370 nm의 텅스텐(W)막의 적층막을 사용하였다. 이 적층막은 스퍼터링법에 의해 형성될 수 있다. 또한, 스퍼터링 가스로서 크세논(Xe)이나 네온(Ne)과 같은 불활성 가스를 첨가하면, 응력에 의한 막의 벗겨짐을 방지할 수 있다.
- <202> 이때, 게이트 전극(213, 216)은 각각 게이트 절연막(211)을 사이에 두고 n형 불순물 영역(b)(205a, 205b)의 일부와 겹치도록 형성된다. 이 겹침부분은 나중에 게이트 전극과 겹친 LDD 영역이 된다.
- <203> 다음에, 도 31(B)에 나타낸 바와 같이, 게이트 전극(212~216)을 마스크로 하여 자기정합적으로 n형 불순물 원소(본 실시예에서는 인)를 첨가한다. 이렇게 하여 형성되는 n형 불순물 영역(c)(217~224)에는 n형 불순물 영역(b)(205a, 205b)의 1/10~1/2(대표적으로는, 1/4~1/3)의 농도로 인이 첨가되도록 조절한다. 구체적으로는, $1 \times 10^{16} \sim 5 \times 10^{18}$ 원자/cm³(전형적으로는, $3 \times 10^{17} \sim 3 \times 10^{18}$ 원자/cm³)의 농도가 바람직하다.
- <204> 다음에, 도 31(C)에 나타낸 바와 같이, 게이트 전극(212, 214, 215)을 덮도록 레지스트 마스크(225a~225c)를 형성하고, n형 불순물 원소(본 실시예에서는 인)를 첨가하여, 인을 고농도로 함유하는 n형 불순물 영역(a)(226~233)을 형성한다. 여기서도 포스핀(PH₃)을 이용한 이온 도핑법을 사용하고, 이 영역의 인 농도는 $1 \times 10^{20} \sim 1 \times 10^{21}$ 원자/cm³(대표적으로는, $2 \times 10^{20} \sim 5 \times 10^{21}$ 원자/cm³)이 되도록 조절한다.
- <205> 이 공정에 의해 n채널형 TFT의 소스 영역 또는 드레인 영역이 형성된다. 그리고, n채널형 TFT에서는, 도 31(B)의 공정에서 형성된 n형 불순물 영역(217, 218, 222, 223)의 일부를 남긴다. 이 남은 영역이 LDD 영역이 된다.
- <206> 다음에, 도 31(D)에 나타낸 바와 같이, 레지스트 마스크(225a~225d)를 제거하고, 새로운 레지스트 마스크(234a, 234b)를 형성한다. 그 다음, p형 불순물 원소(본 실시예에서는 붕소)를 첨가하여, 고농도로 붕소를 함유하는 p형 불순물 영역(235, 236)을 형성한다. 여기서는, 디보란(B₂H₆)을 이용한 이온 도핑법에 의해 붕소를 $3 \times 10^{20} \sim 3 \times 10^{21}$ 원자/cm³(대표적으로는, $5 \times 10^{20} \sim 1 \times 10^{21}$ 원자/cm³)의 농도가 되도록 첨가한다.
- <207> 불순물 영역(235, 236)에 이미 인이 $1 \times 10^{20} \sim 1 \times 10^{21}$ 원자/cm³의 농도로 첨가되어 있지만, 여기서 첨가되는 붕소는 그의 적어도 3배 이상의 농도로 첨가된다. 그 때문에, 이미 형성된 n형 불순물 영역이 p형으로 완전히 반전하여, p형 불순물 영역으로서 기능한다.
- <208> 다음에, 레지스트 마스크(234a, 234b)를 제거한 후, 각각의 농도로 첨가된 n형 또는 p형 불순물 원소를 활성화한다. 활성화 수단으로서, 노 어닐법, 레이저 어닐법 또는 램프 어닐법이 사용될 수 있다. 본 실시예에서는, 전기로에서 질소 분위기 중에 550℃로 4시간 열처리를 행한다.

- <209> 이때, 분위기 중의 산소를 극력 제거하는 것이 중요하다. 그 이유는, 산소가 소량이라도 존재하면 게이트 전극의 노출된 표면이 산화되어, 저항의 증가를 초래하기 때문이다. 따라서, 상기 활성화 공정에서의 분위기 중의 산소 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하로 하는 것이 바람직하다.
- <210> 다음에, 도 32(A)에 나타낸 바와 같이, 제1 층간절연막(237)을 형성한다. 제1 층간절연막(237)으로서는, 규소를 함유하는 절연막을 단층으로 사용하거나 또는 적층막이 사용될 수 있다. 또한, 막 두께는 400 nm~1.5 μm로 하면 좋다. 본 실시예에서는, 두께 200 nm의 질화산화규소막상에 두께 800 nm의 산화규소막을 적층한 구조로 하였다.
- <211> 또한, 3~100%의 수소를 함유하는 분위기에서 300~450℃로 1~12시간 열처리를 행하여, 수소화 처리를 행한다. 이 공정은, 열적으로 여기된 수소에 의해 반도체막의 땀글링 본드(dangling bond)를 수소 종단하는 공정이다. 수소화의 다른 수단으로서 플라즈마 수소화(플라즈마에 의해 여기된 수소를 사용)를 행할 수도 있다.
- <212> 수소화 처리는 제1 층간절연막(237)을 형성하는 도중에 삽입될 수도 있다. 즉, 두께 200 nm의 질화산화규소막을 형성한 후에 상기와 같이 수소화를 행하고, 그 후에 나머지 800 nm 두께의 산화규소막을 형성할 수도 있다.
- <213> 다음에, 게이트 절연막(211) 및 제1 층간절연막(237)에 콘택트 홀을 형성하고, 소스 배선(238~242) 및 드레인 배선(243~247)을 형성한다. 본 실시예에서는, 이 전극을, 두께 100 nm의 티탄막, 두께 300 nm의 티탄 함유 알루미늄막, 및 두께 150 nm의 티탄막을 스퍼터링법에 의해 연속적으로 형성한 3층 구조의 적층막으로 한다. 물론, 다른 도전막이 사용될 수도 있다.
- <214> 그 다음, 제1 패시베이션막(248)을 50~500 nm(대표적으로는, 200~300 nm)의 두께로 형성한다. 본 실시예에서는, 제1 패시베이션 막(248)으로서 두께 300 nm의 질화산화규소막을 사용한다. 이것은 질화규소막으로 대체될 수도 있다. 질화산화규소막을 형성하기 전에, H₂ 또는 NH₃와 같은 수소 함유 가스를 사용하여 플라즈마 처리를 행하는 것이 효과적이다. 이 전(前)처리에 의해 여기된 수소가 제1 층간절연막(237)에 공급되고, 열처리를 행함으로써 제1 패시베이션막(248)의 막질이 개선된다. 그것과 동시에, 제1 층간절연막(237)에 첨가된 수소가 하부층으로 확산하기 때문에, 활성층을 효과적으로 수소화할 수 있다.
- <215> 다음에, 도 32(B)에 나타낸 바와 같이, 유기 수지로 된 제2 층간절연막(249)을 형성한다. 유기 수지로서는, 폴리이미드, 폴리아미드, 아크릴, BCB(벤조시클로부텐) 등을 사용할 수 있다. 특히, 제2 층간절연막(249)은 평탄화의 의미가 강하므로, 평탄성이 우수한 아크릴이 바람직하다. 본 실시예에서는, TFT에 의해 형성되는 단차(段差)를 충분히 평탄화하는 두께로 아크릴 막을 형성한다. 이 막 두께는 바람직하게는 1~5 μm(더 바람직하게는, 2~4 μm)인 것이 좋다.
- <216> 다음에, 제2 층간절연막(249) 및 제1 패시베이션막(248)에 드레인 배선(245)에 이르는 콘택트 홀을 형성하고, 드레인 배선(245)에 접하도록 포토 다이오드의 캐소드 전극(250)을 형성한다. 본 실시예에서는, 캐소드 전극(250)으로서 스퍼터링법에 의해 형성한 알루미늄막을 사용하지만, 다른 금속들, 예를 들어, 티탄, 탄탈, 텅스텐 및 구리를 사용할 수도 있다. 또한, 티탄과 알루미늄과 티탄으로 된 적층막을 사용할 수도 있다.
- <217> 다음에, 수소를 함유하는 비정질 규소막을 기판 전면(全面)에 성막한 후에 패터닝하여, 광전 변환층(251)을 형성한다. 그 다음, 기판 전면에 투명 도전막을 형성한다. 본 실시예에서는, 투명 도전막으로서 두께 200 nm의 ITO 막을 스퍼터링법으로 성막한다. 투명 도전막을 패터닝하여, 애노드 전극(252)을 형성한다.(도 32(C))
- <218> 그 다음, 도 33(A)에 나타낸 바와 같이, 제3 층간절연막(253)을 형성한다. 제3 층간절연막(253)으로서는 폴리이미드, 폴리아미드, 폴리이미드 아미드, 아크릴과 같은 수지를 사용함으로써, 평탄한 표면을 얻을 수 있다. 본 실시예에서는, 제3 층간절연막(253)으로서, 두께 0.7 μm의 폴리이미드막을 기판 전면에 형성하였다.
- <219> 다음에, 제3 층간절연막(253)에 애노드 전극(252)에 이르는 콘택트 홀을 형성하고, 센서용 배선(254)을 형성한다. 본 실시예에서는, 알루미늄 합금막(1 중량%의 티탄을 함유하는 알루미늄막)을 300 nm의 두께로 형성한다.
- <220> 이렇게 하여 도 33(B)에 나타낸 바와 같은 구조의 센서 기판이 완성된다.
- <221> 부호 270은 증폭용 TFT를 나타내고, 271은 스위칭용 TFT를, 272는 리셋용 TFT를, 273은 바이어스용 TFT를, 274는 방전용 TFT를 나타낸다.
- <222> 본 실시예에서는, 증폭용 TFT(270) 및 바이어스용 TFT(273)가 n채널형 TFT이고, 각각의 소스 영역측 및 드레인 영역측 모두에 LDD 영역(281, 282, 284, 285)을 가진다. 이들 LDD 영역(281, 282, 284, 285)은 게이트 절연막(211)을 사이에 두고 게이트 전극(212, 215)과 겹쳐 있지 않다. 상기 구성에 의해, 증폭용 TFT(270) 및 바이어

스용 TFT(273)는 핫 캐리어 주입을 극력 감소시킬 수 있다.

- <223> 또한, 본 실시예에서는, 스위칭용 TFT(271) 및 방전용 TFT(274)가 n채널형 TFT이고, 각각의 드레인 영역측에만 LDD 영역(283, 286)을 가진다. 이 LDD 영역(283, 286)은 게이트 절연막(211)을 사이에 두고 게이트 전극(213, 216)과 겹쳐 있다.
- <224> 드레인 영역측에만 LDD 영역(283, 286)을 형성하고 있는 것은 핫 캐리어 주입을 감소시키고 동작 속도를 떨어뜨리지 않기 위한 배려이다. 또한, 스위칭용 TFT(271) 및 방전용 TFT(274)는 오프 전류값에 너무 신경쓸 필요가 없고, 그 보다도 동작 속도를 중시하는 것이 좋다. 따라서, LDD 영역(283, 286)은 게이트 전극(213, 216)과 완전히 겹쳐, 저항 성분을 극력 감소시키는 것이 바람직하다. 즉, 소위 오프셋은 없게 하는 것이 좋다. 특히, 소스 신호선 구동회로 또는 게이트 신호선 구동회로를 15~20 V로 구동시키는 경우, 본 실시예의 방전용 TFT(274)의 상기 구성은 핫 캐리어 주입을 감소시키고 또한 동작 속도를 떨어뜨리지 않는데 효과적이다.
- <225> 또한, 본 실시예에서는, 리셋용 TFT(272)는 p채널형 TFT이고, LDD 영역을 가지고 있지 않다. p채널형 TFT는 핫 캐리어 주입에 의한 열화(劣化)가 거의 문제로 되지 않으므로, LDD 영역을 특별히 형성하지 않아도 좋다. 물론, n채널형 TFT와 마찬가지로, LDD 영역을 형성하여 핫 캐리어 대책을 강구하는 것도 가능하다. 또한, 리셋용 TFT(272)는 n채널형 TFT일 수도 있다.
- <226> 그리고, 기판상에 형성된 소자 또는 회로로부터 도출되는 단자와 외부 신호 단자를 접속하기 위한 커넥터(가요성 인쇄회로, FPC)를 부착하여 제품으로서 완성한다.
- <227> 본 실시예에서는, 유리상의 TFT 또는 포토 다이오드를 사용하여 센서를 제작하고 있으나, 단결정 실리콘 기판상의 트랜지스터를 사용하여 센서를 제작할 수도 있다.
- <228> [실시예 4]
- <229> 본 발명을 실시하여 형성된 센서는 다양한 전자 기기에 사용될 수 있다. 그러한 본 발명의 전자 기기로서는, 스캐너, 디지털 스틸 카메라, X선 카메라, 휴대용 정보 단말기(모바일 컴퓨터, 휴대 전화기 및 휴대형 게임기), 노트북형 퍼스널 컴퓨터, 게임 기기, 비디오 전화기 등을 들 수 있다.
- <230> 도 34(A)는, 판독 영역(3402), 센서부(3401), 판독 개시 스위치(3404) 등을 포함하는 스캐너를 나타낸다. 본 발명은 센서부(3401)에 사용될 수 있다.
- <231> 도 34(B)는, 파인더(finder)(3405), 센서부(3404), 셔터 버튼(3406) 등을 포함하는 디지털 스틸 카메라를 나타낸다. 본 발명은 센서부(3404)에 사용될 수 있다.
- <232> 도 35는, X선 발생기(3501), 센서부(3503), 신호 처리용 컴퓨터(3054) 등을 포함하는 X선 카메라를 나타낸다. X선 발생기(3501)와 센서부(3503) 사이에 측정 대상물(3502)이 서있고, X선 사진이 얻어진다. 본 발명은 센서부(3503)에 사용될 수 있다.
- <233> 도 36은, 본체(3601), 케이싱(3602), 표시장치(3603), 키보드(3604), 센서부(3605) 등을 포함하는 퍼스널 컴퓨터를 나타낸다. 본 발명은 표시장치(3603) 및 센서부(3605)에 사용될 수 있다.
- <234> 도 37은, 본체(3701), 음성 출력부(3702), 음성 입력부(3703), 표시장치(3704), 조작 스위치(3705), 안테나(3706) 및 센서부(3707)를 포함하는 휴대 전화를 나타낸다. 본 발명은 센서부(3707)에 사용될 수 있다.

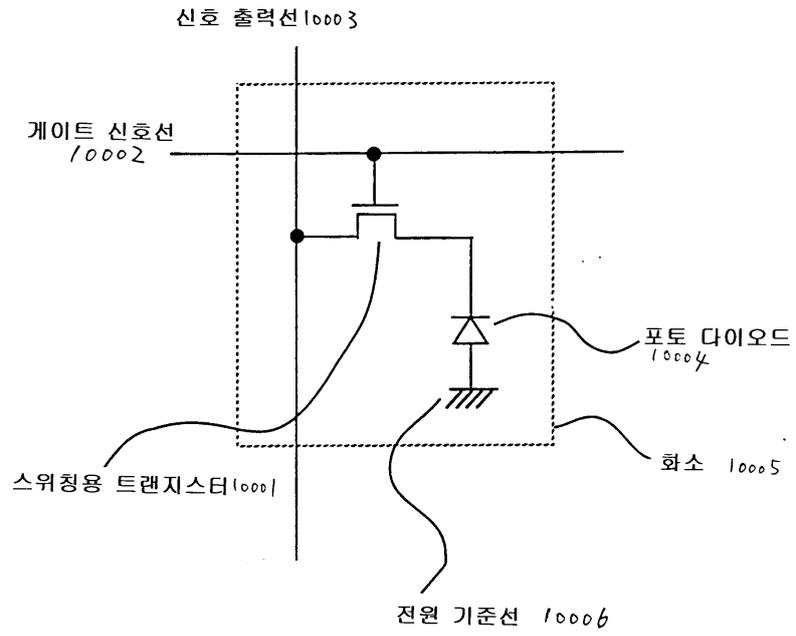
발명의 효과

- <235> 본 발명은 소스 폴로어 회로의 출력 전위의 기입 시간이 길어지는 것을 방지하면서 출력 전위의 진폭을 크게 할 수 있다. 또한, 동시에, 소스 폴로어 회로의 입출력 관계가 선형인 동작 영역을 넓게 할 수 있다. 따라서, 높은 회절을 가진 에어리어 센서가 실현된다.

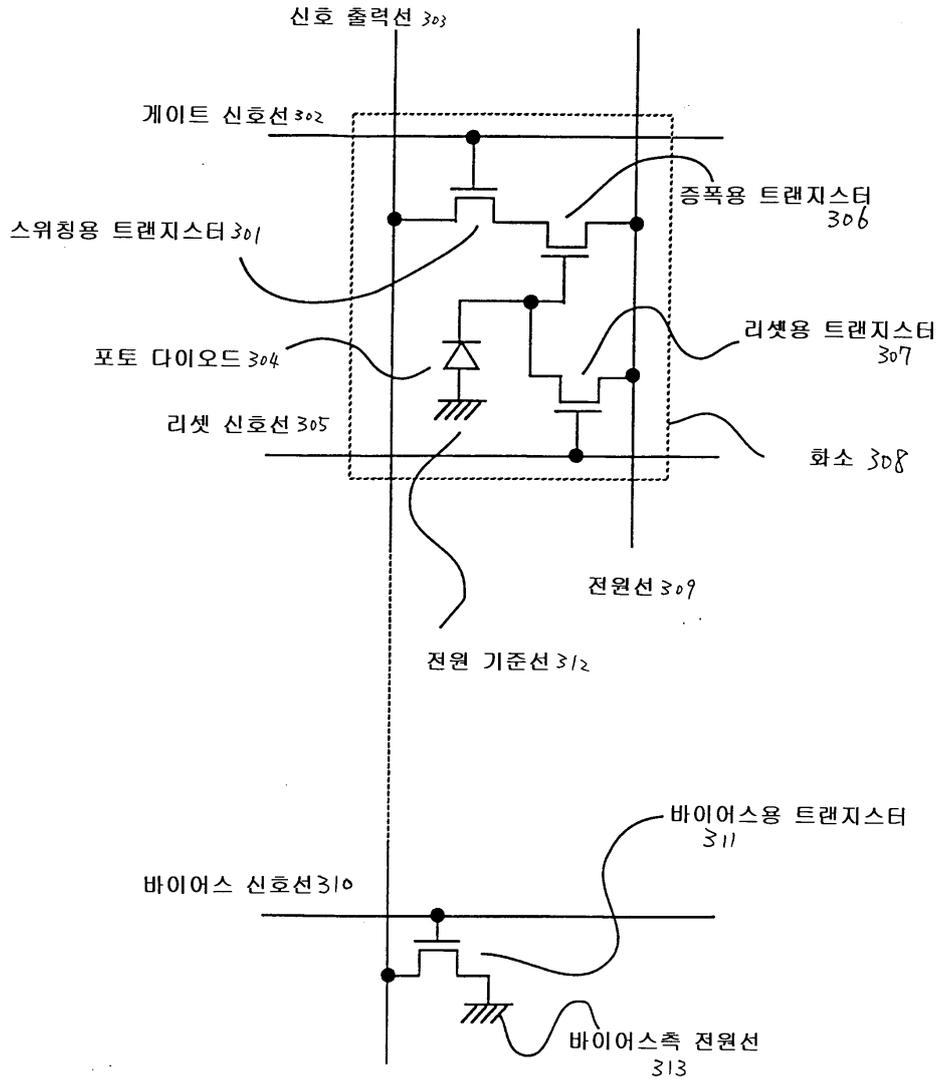
도면의 간단한 설명

- <1> 도 1(A) 및 도 1(B)는 본 발명의 소스 폴로어(source follower) 회로의 회로도 및 타이밍 차트.
- <2> 도 2는 종래의 패시브(passive) 센서의 화소의 회로도.
- <3> 도 3은 종래의 액티브(active) 센서의 화소의 회로도.
- <4> 도 4는 종래의 소스 폴로어 회로의 회로도.

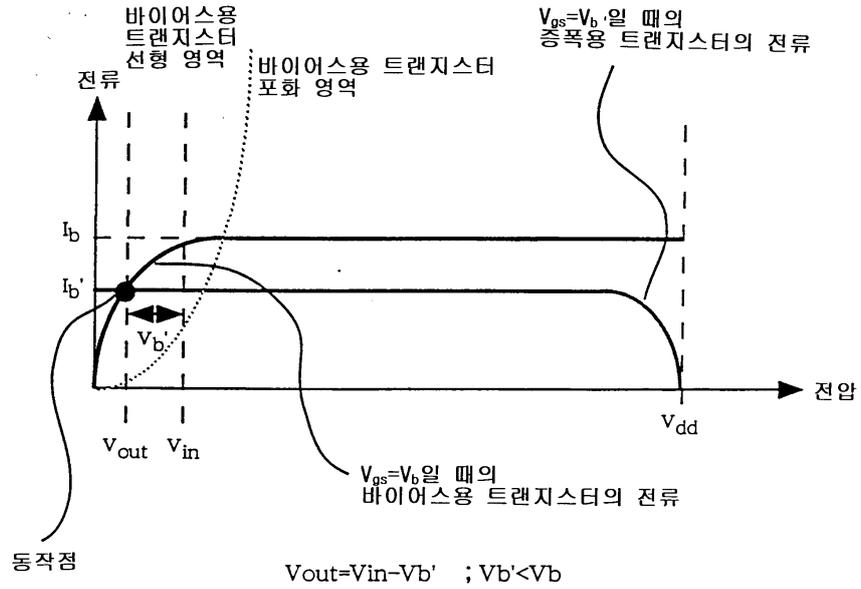
도면2



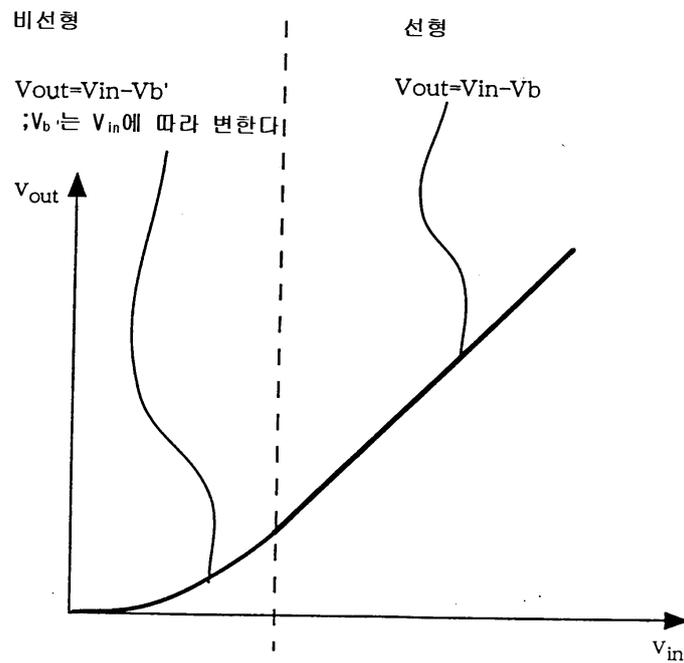
도면3



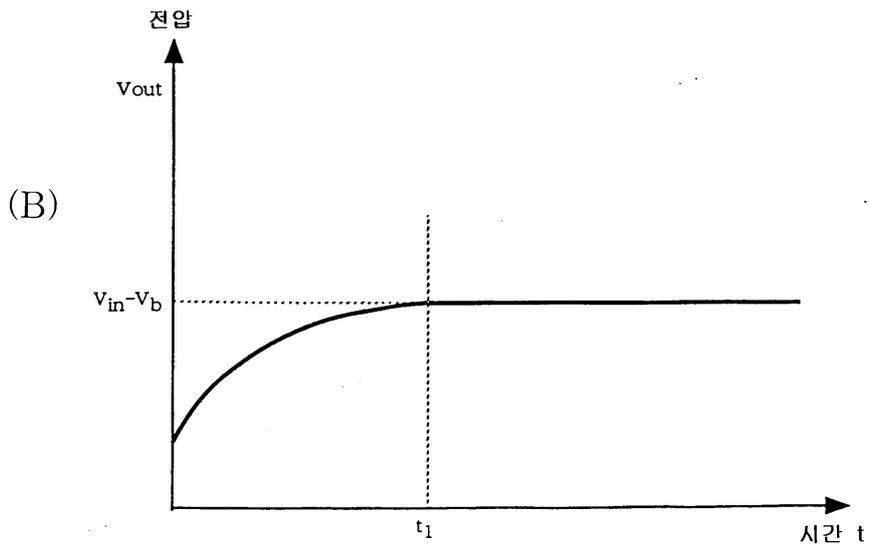
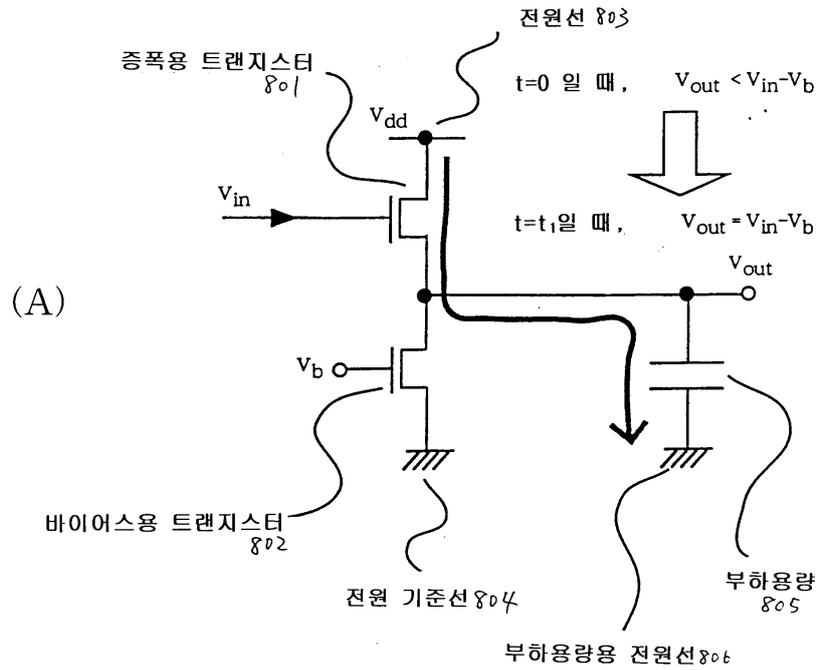
도면6



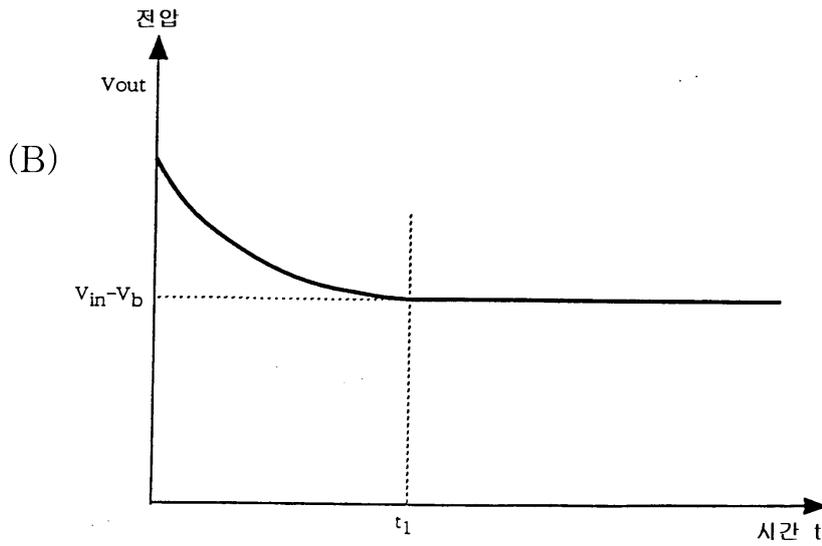
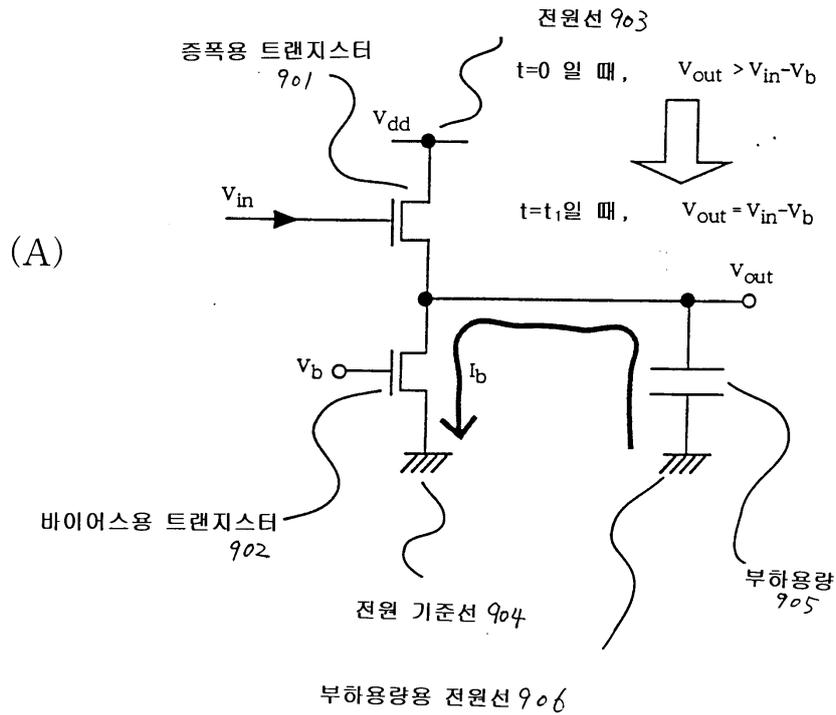
도면7



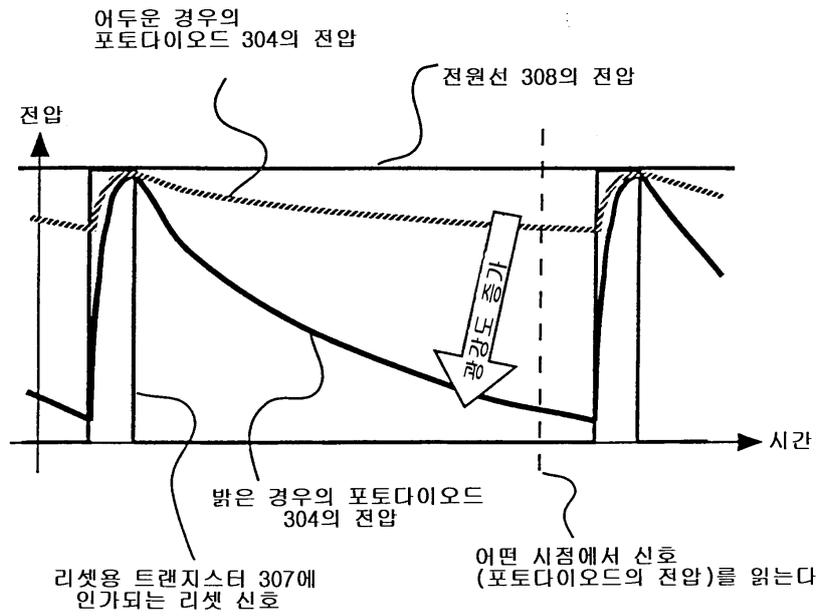
도면8



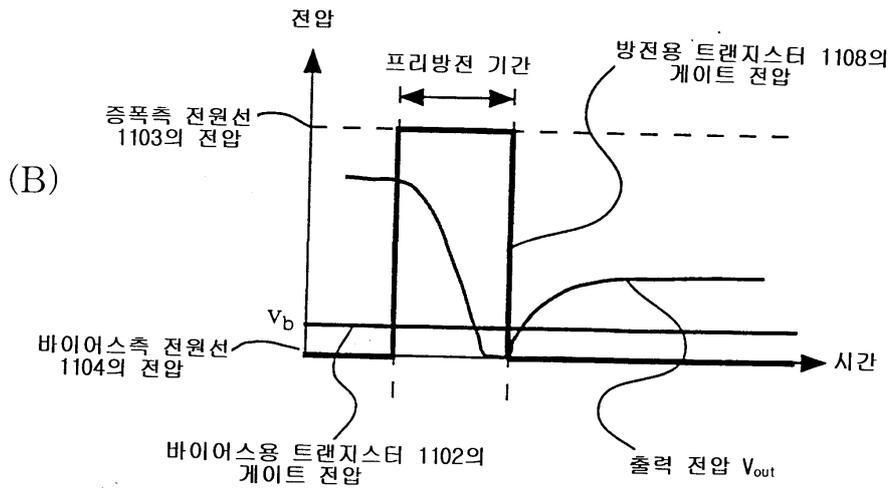
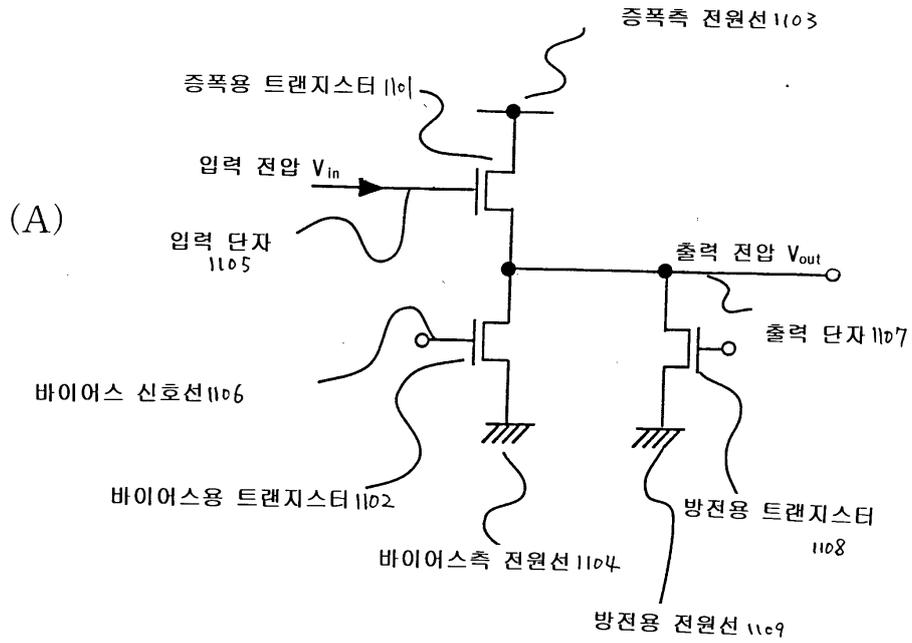
도면9



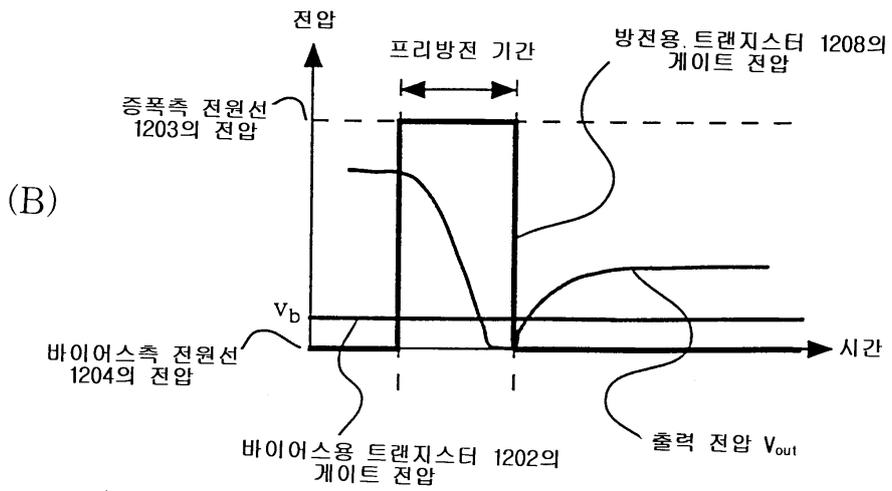
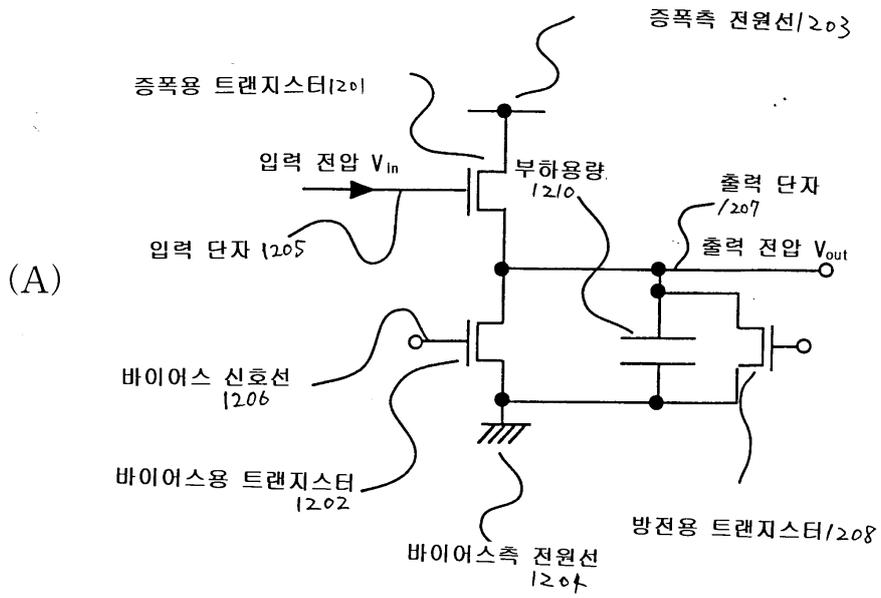
도면10



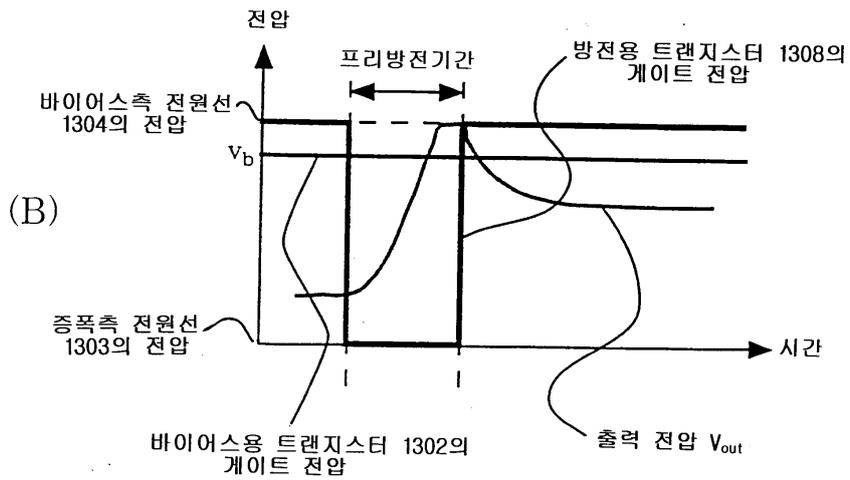
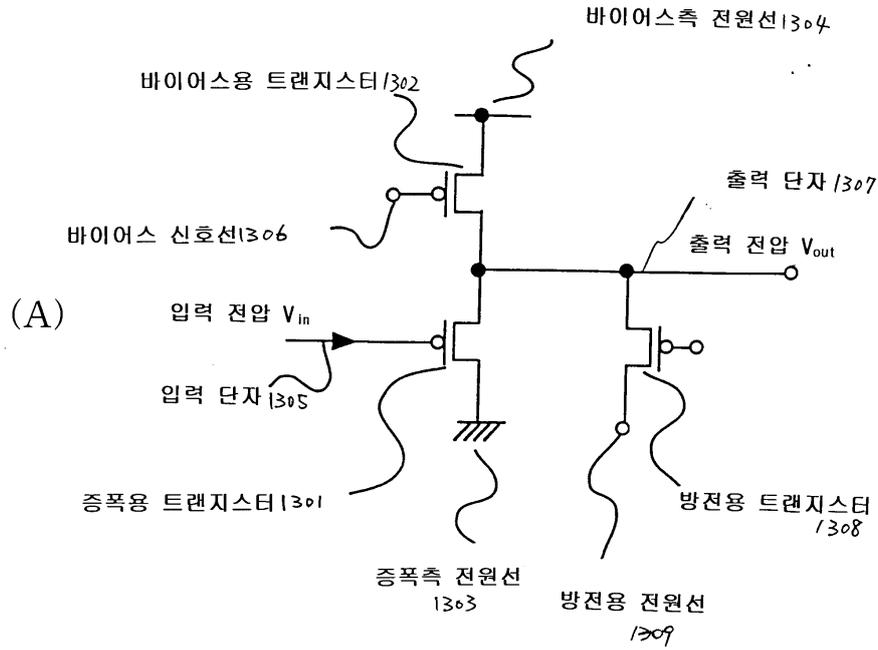
도면11



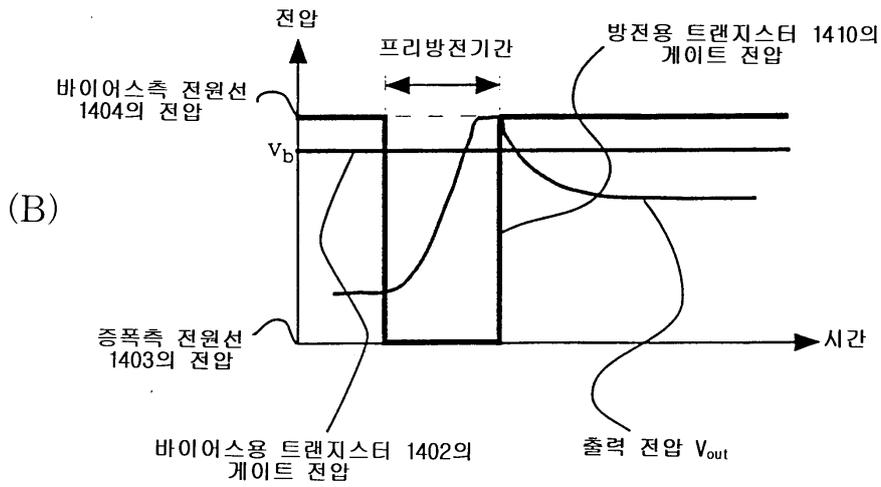
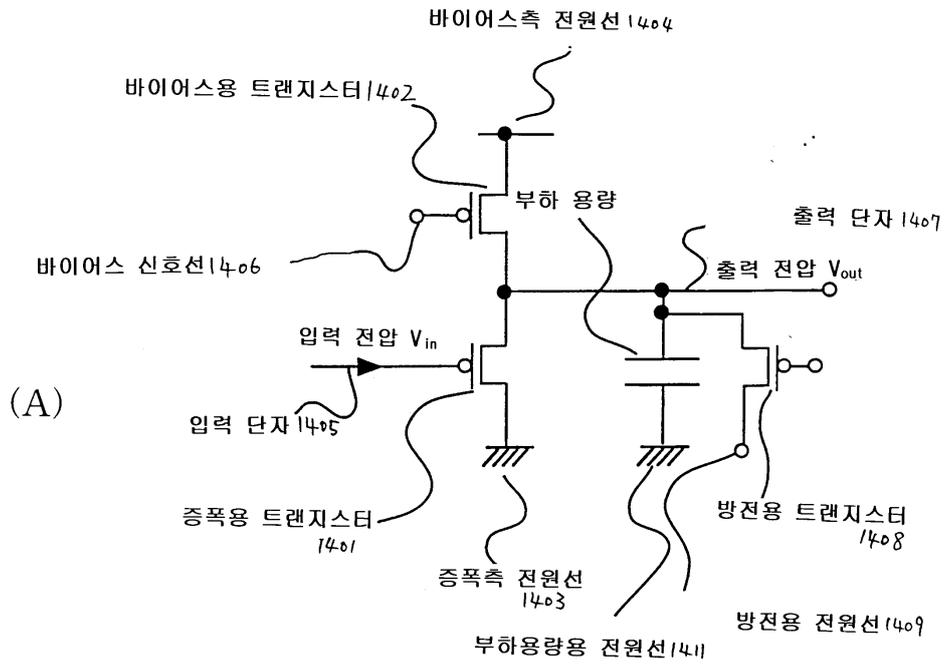
도면12



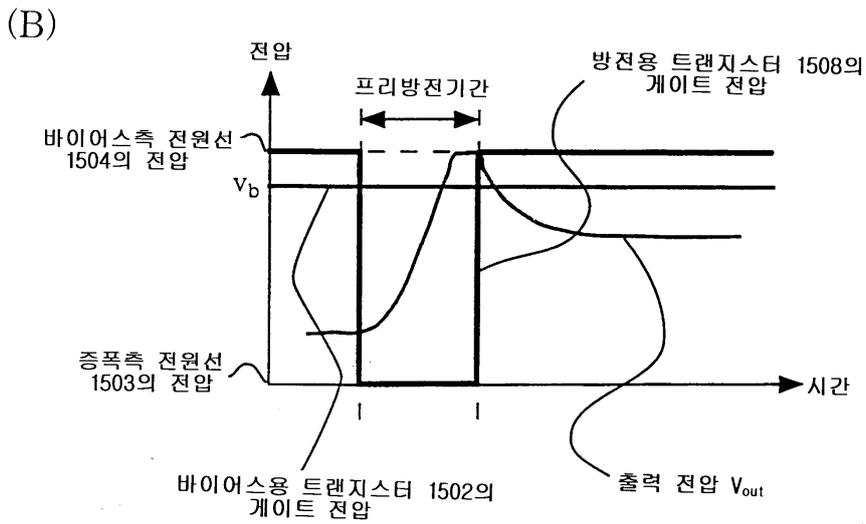
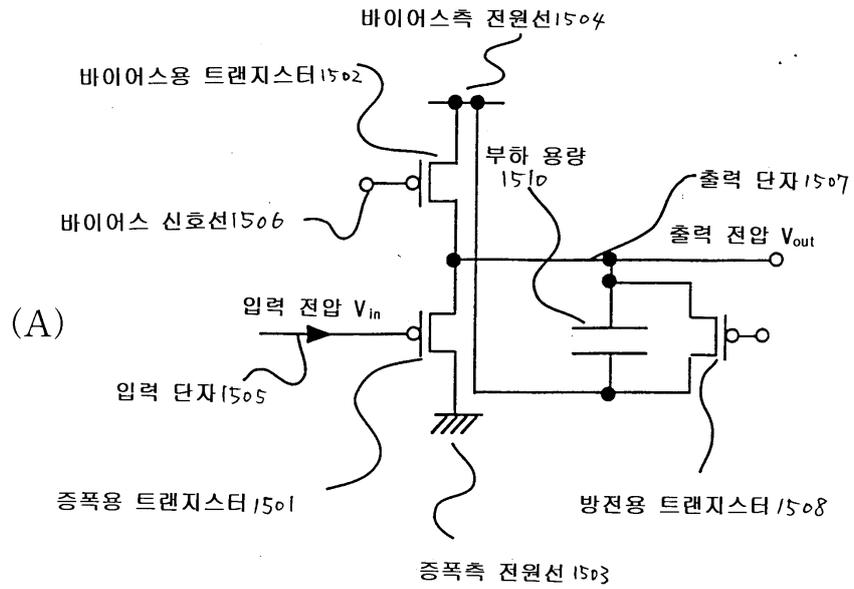
도면13



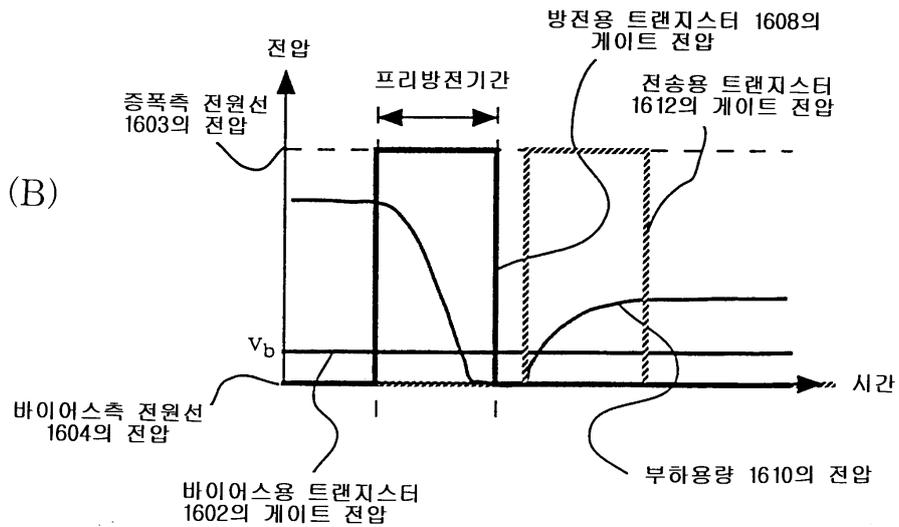
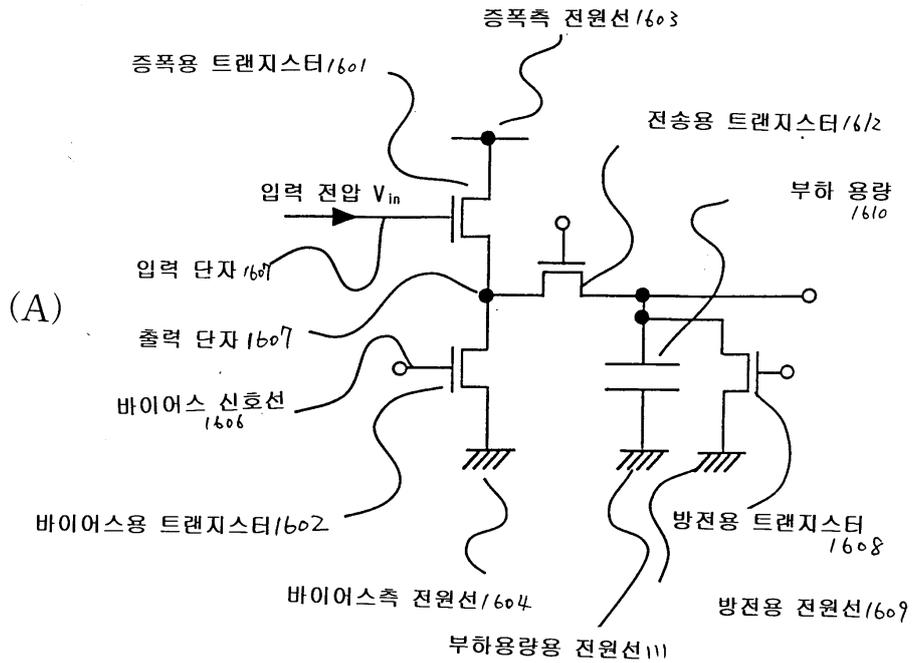
도면14



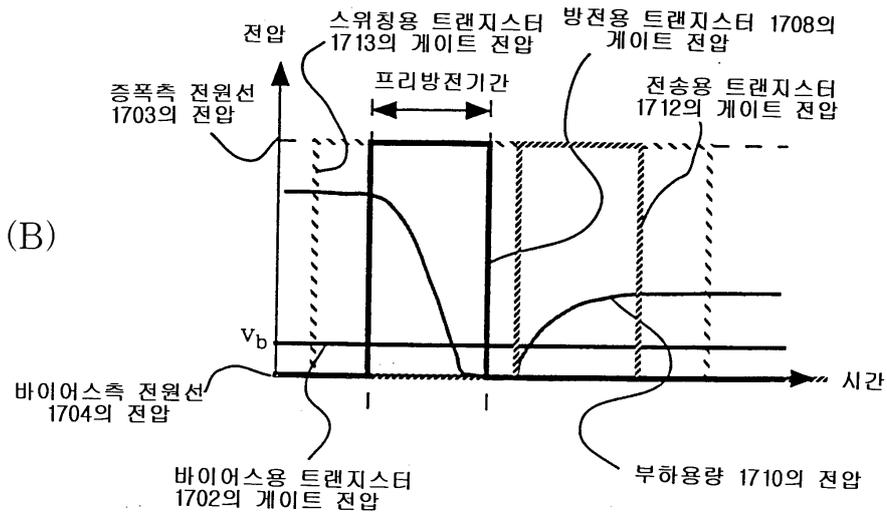
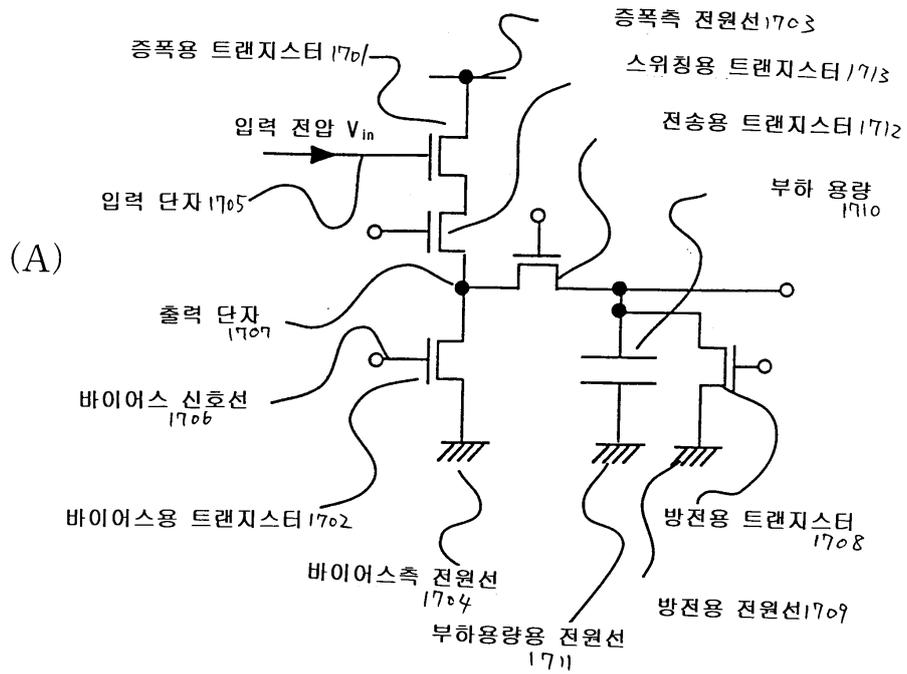
도면15



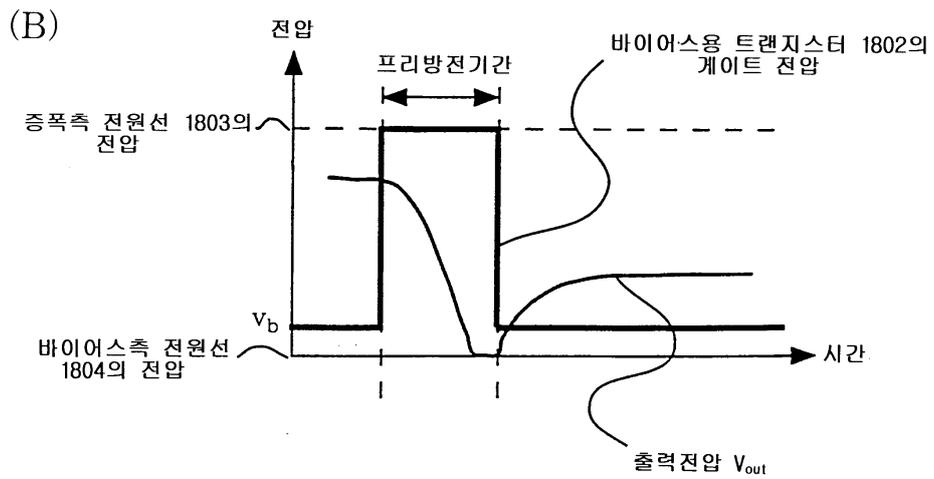
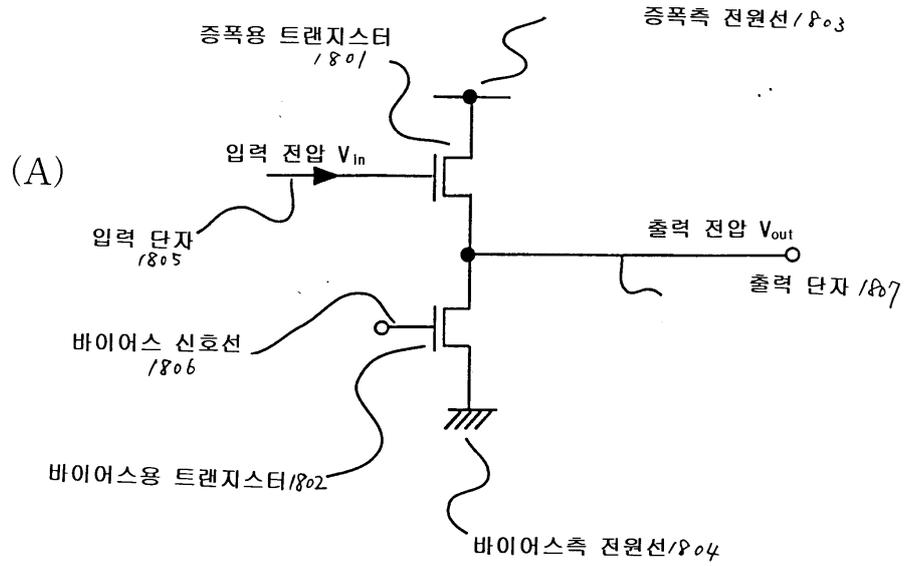
도면16



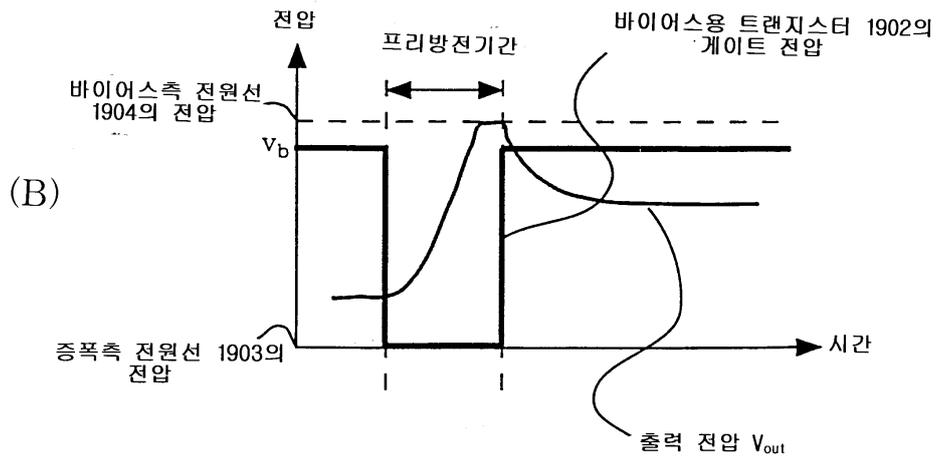
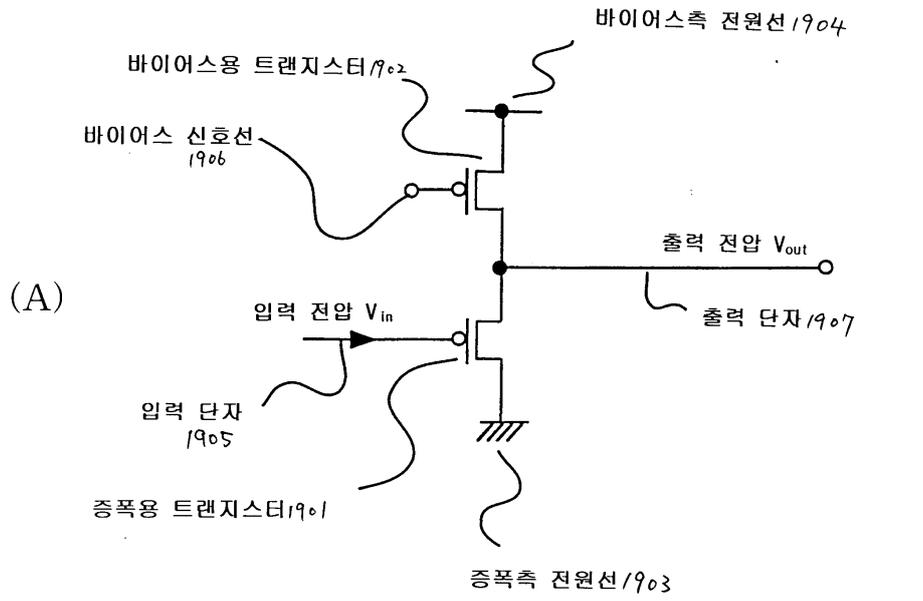
도면17



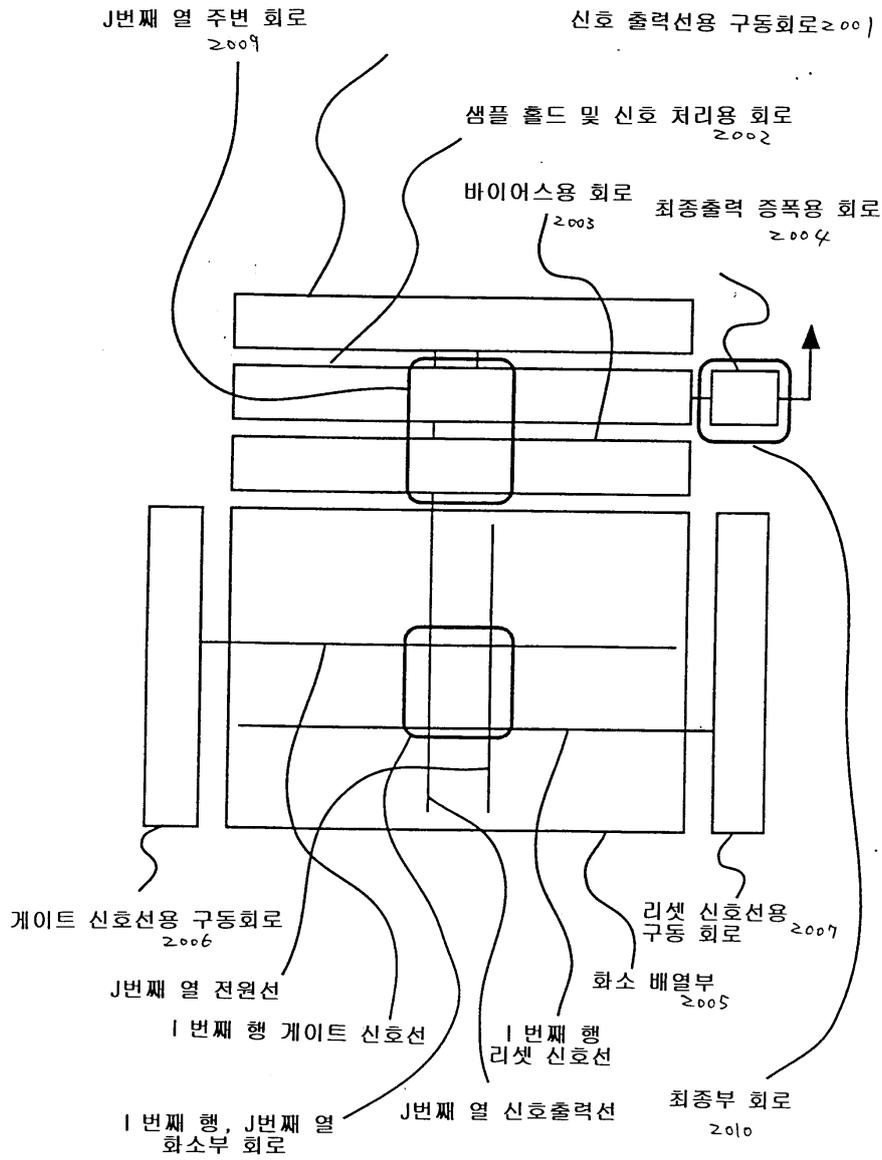
도면18



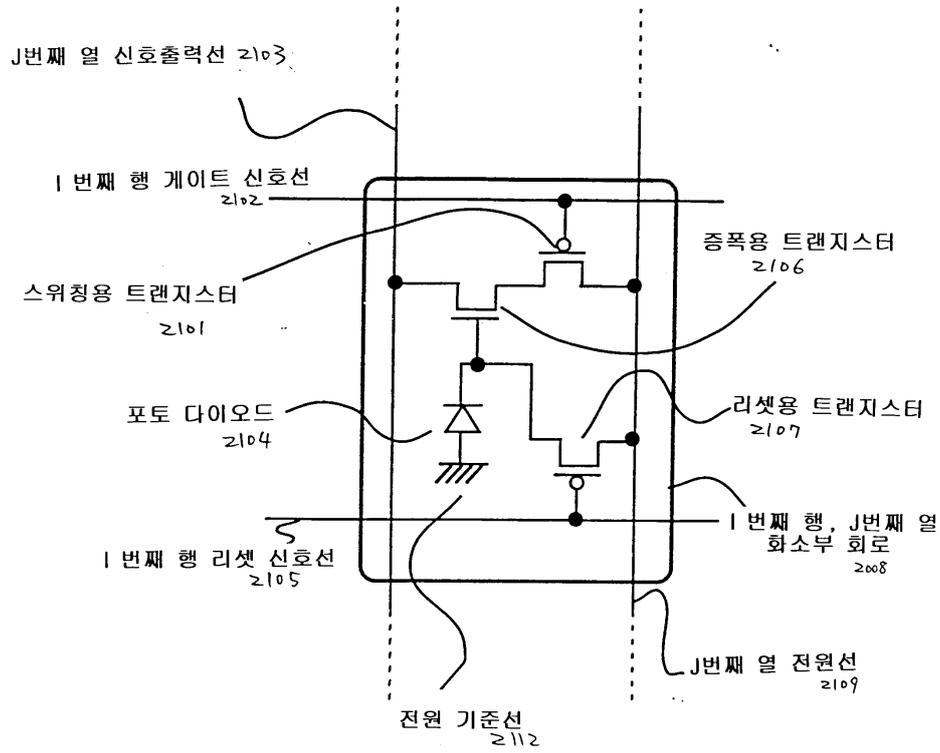
도면19



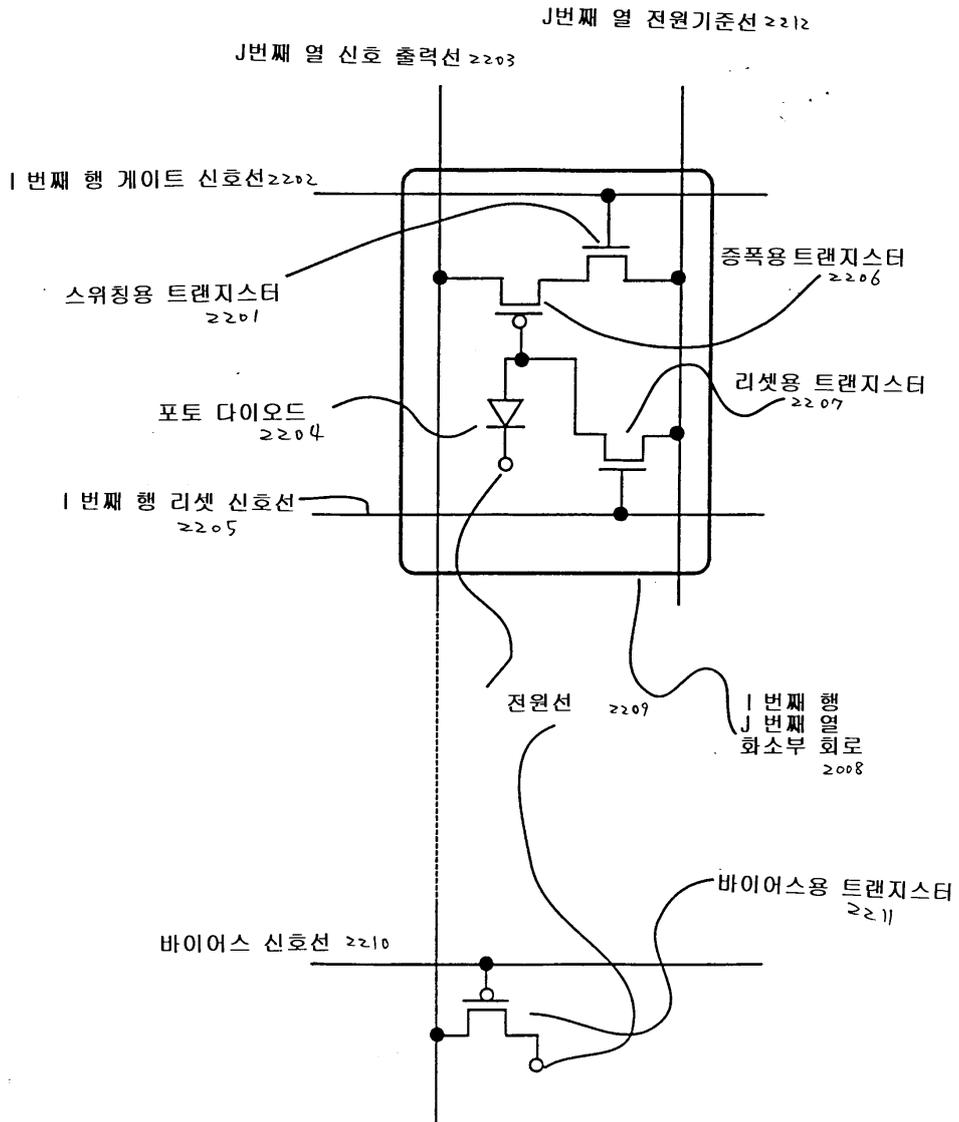
도면20



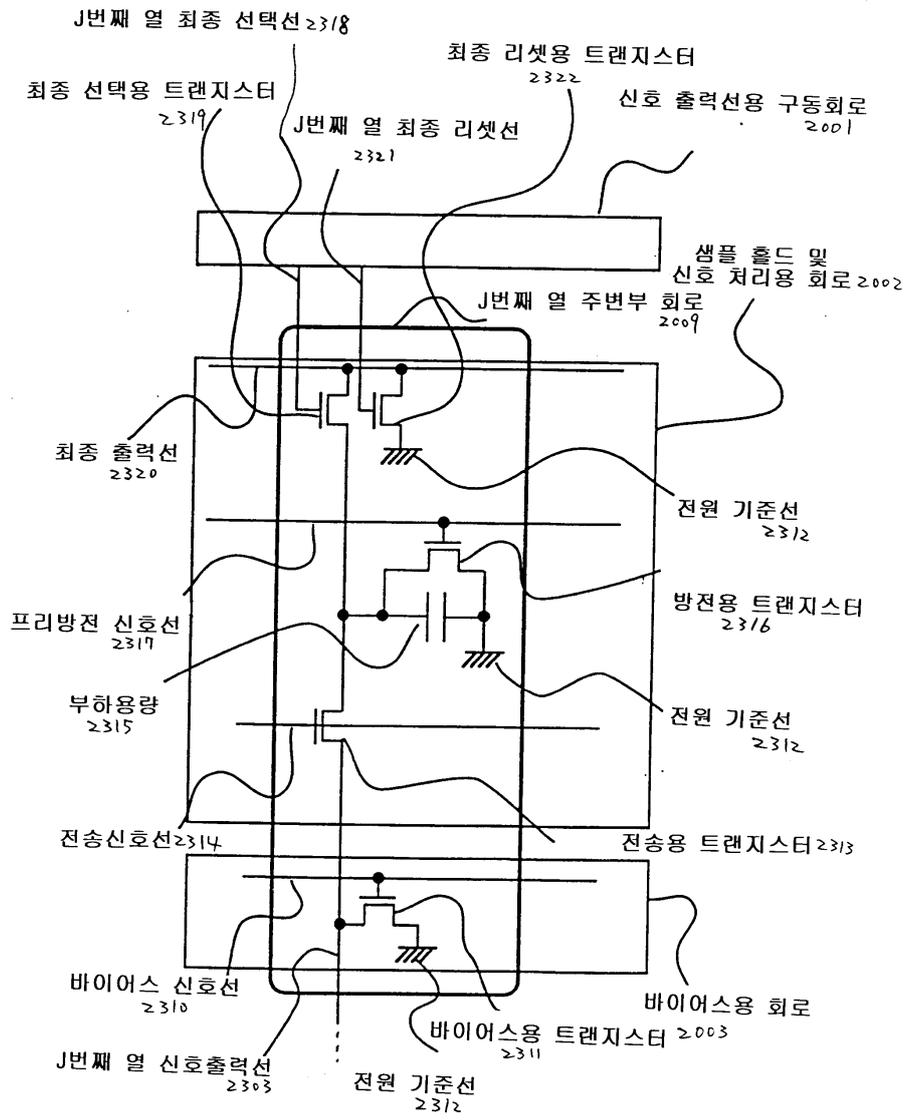
도면21



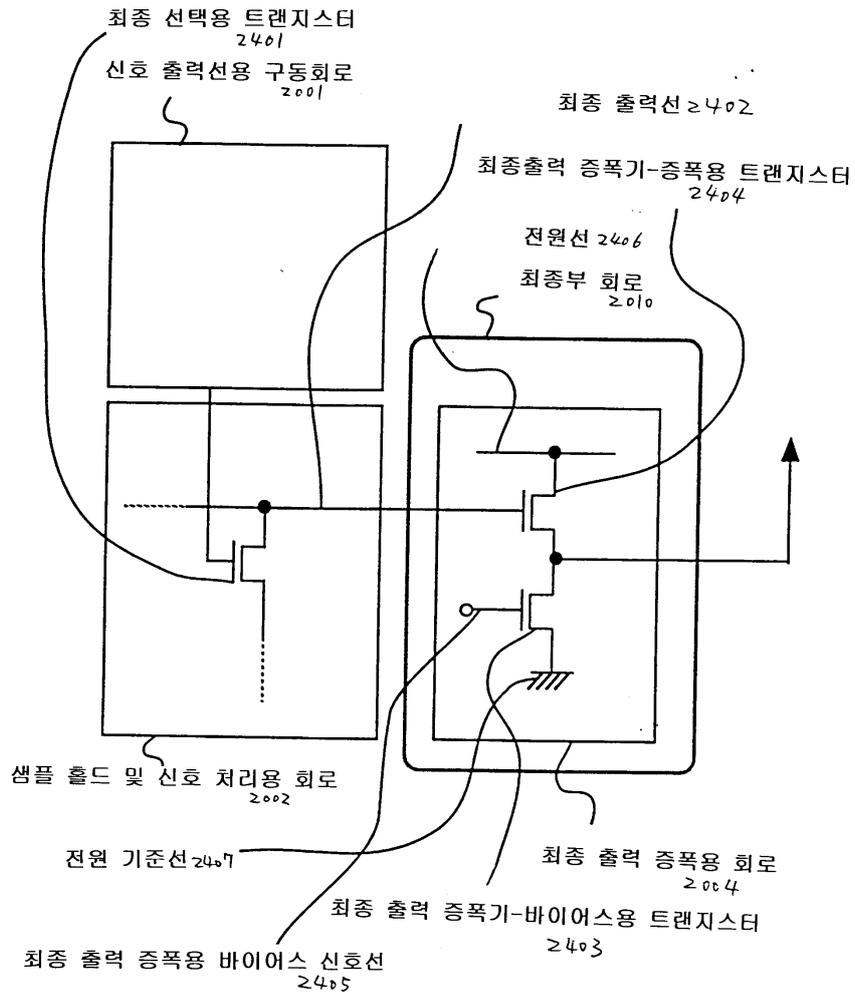
도면22



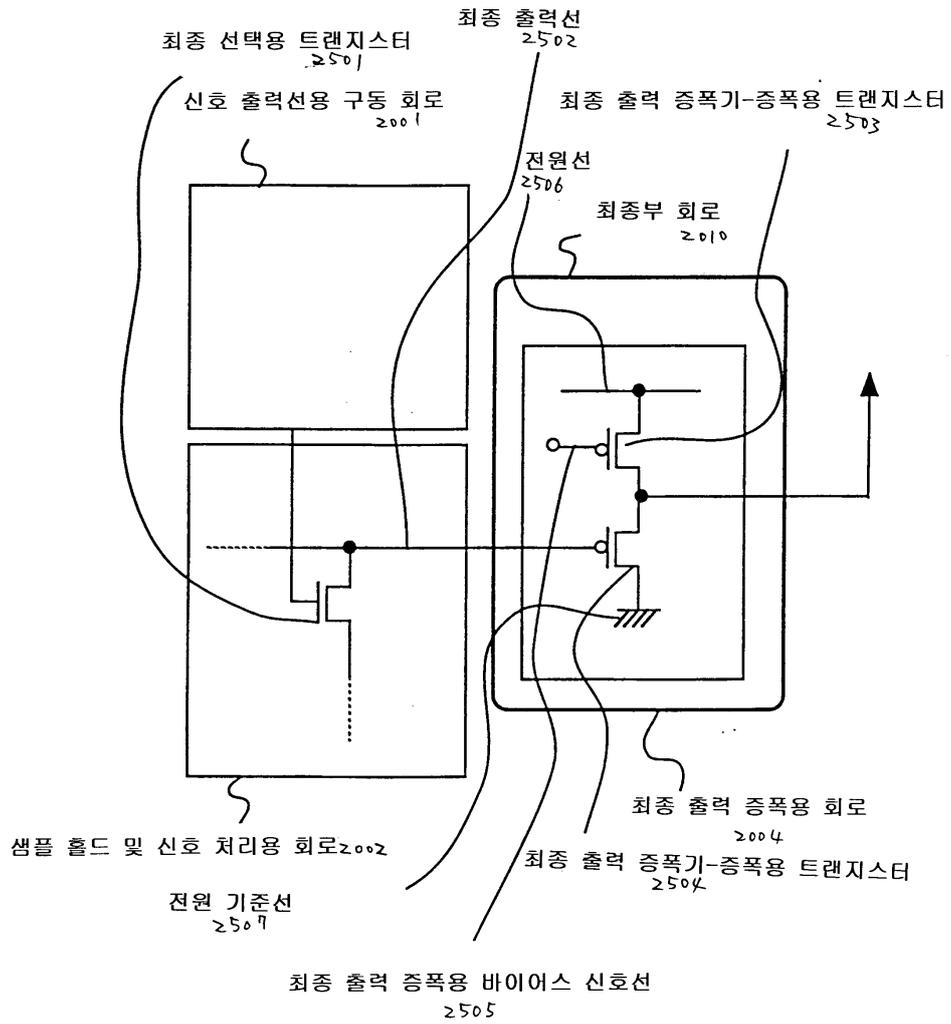
도면23



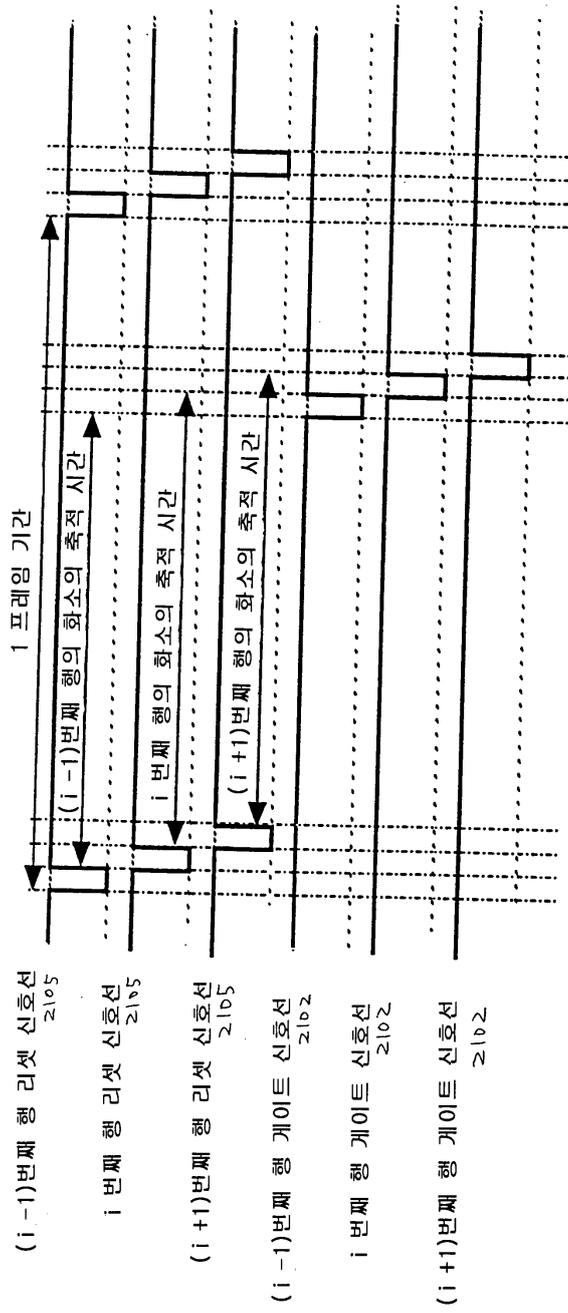
도면24



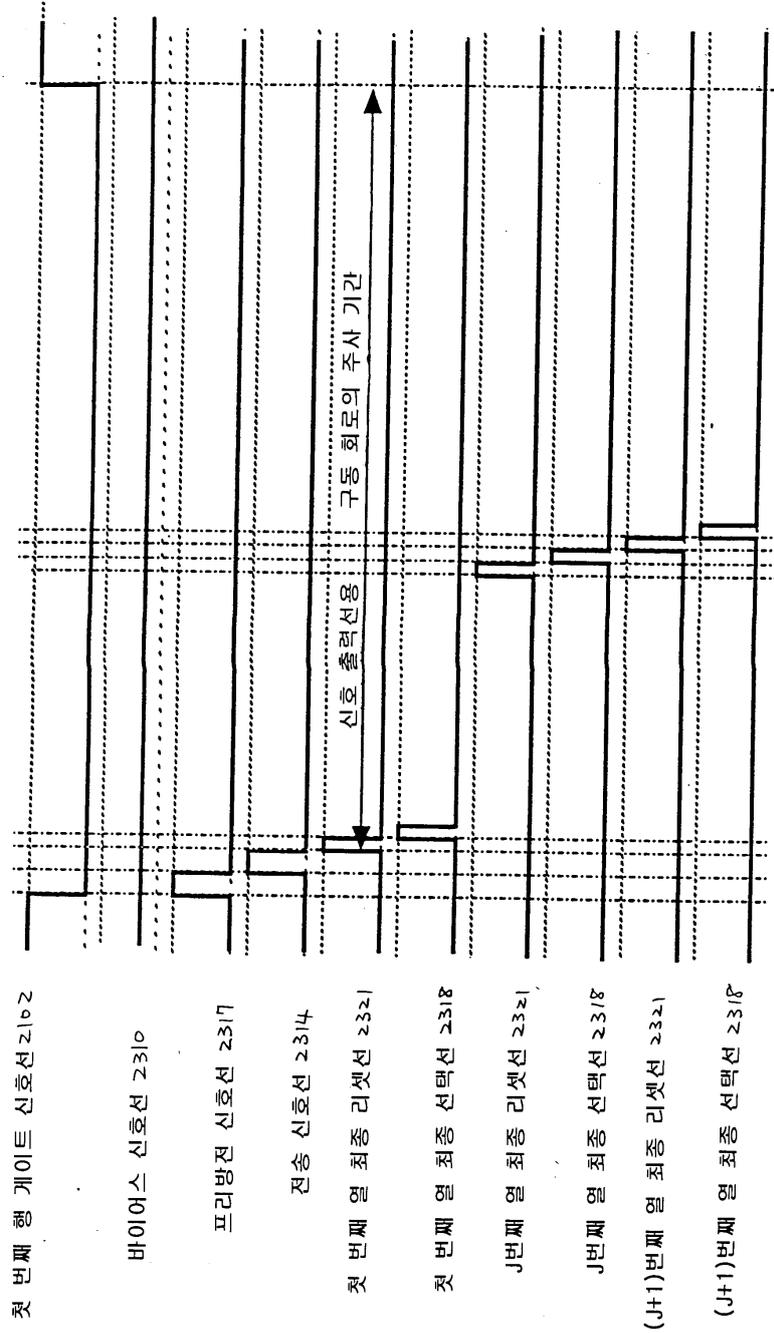
도면25



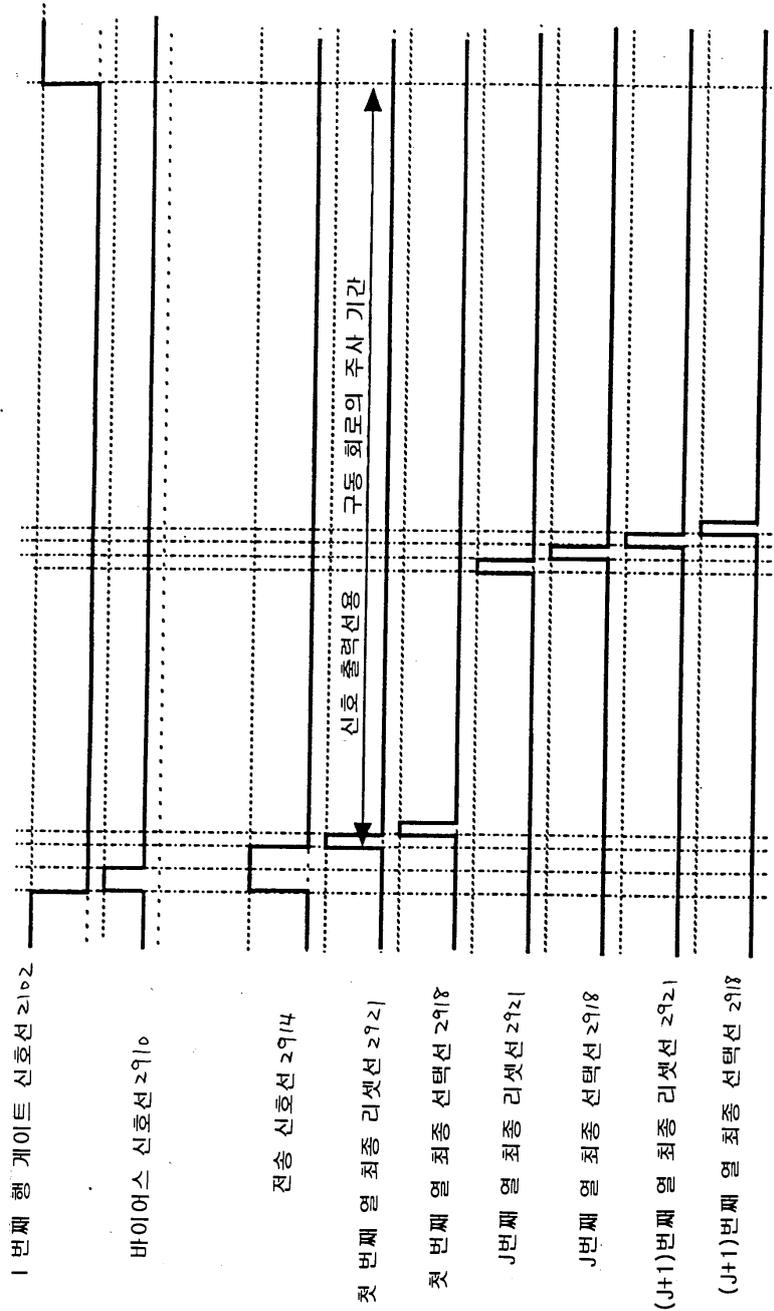
도면26



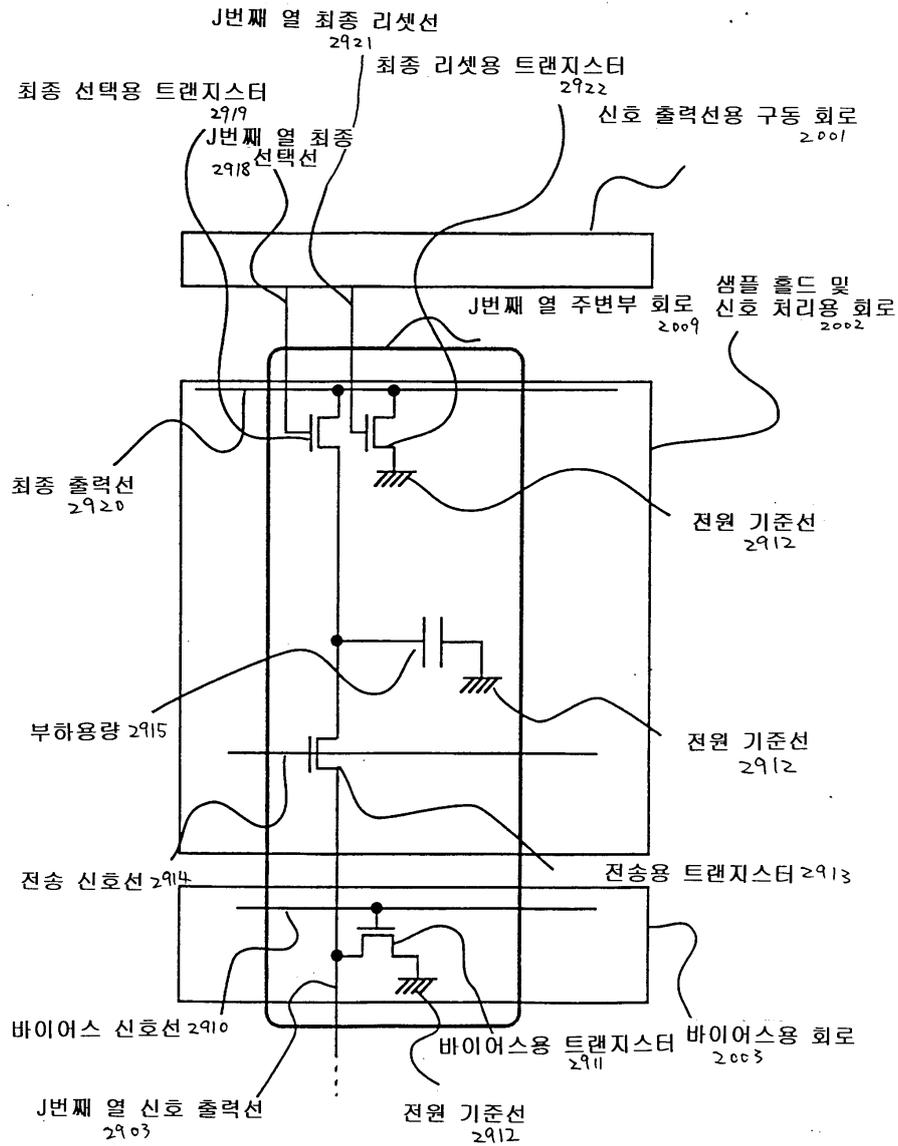
도면27



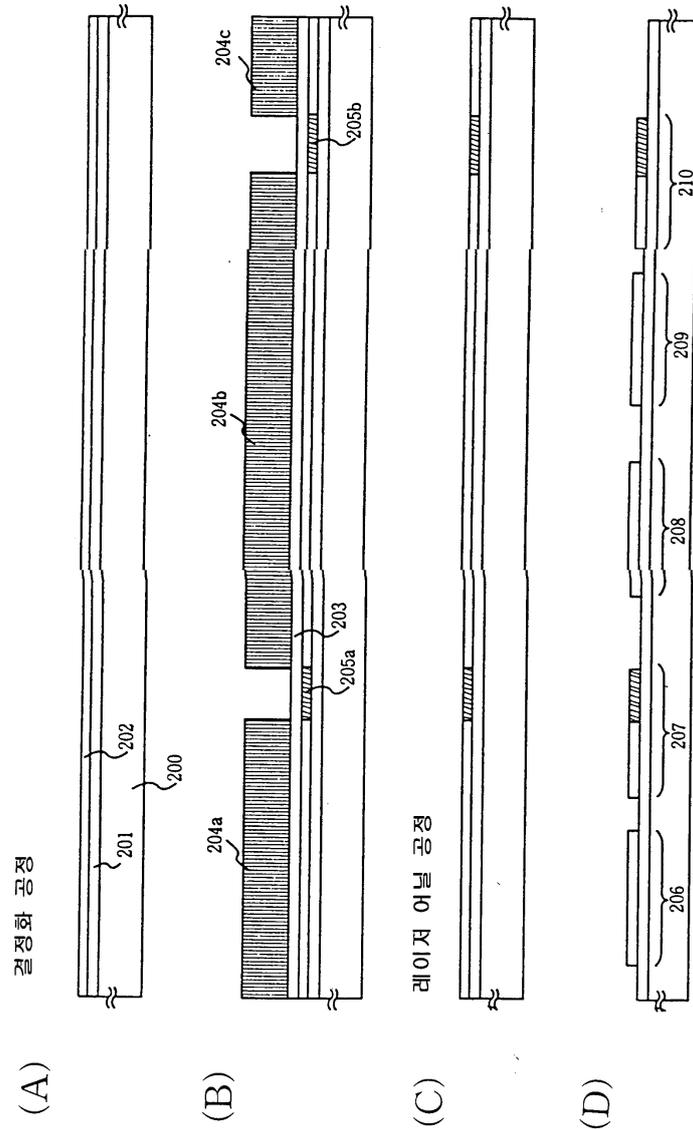
도면28



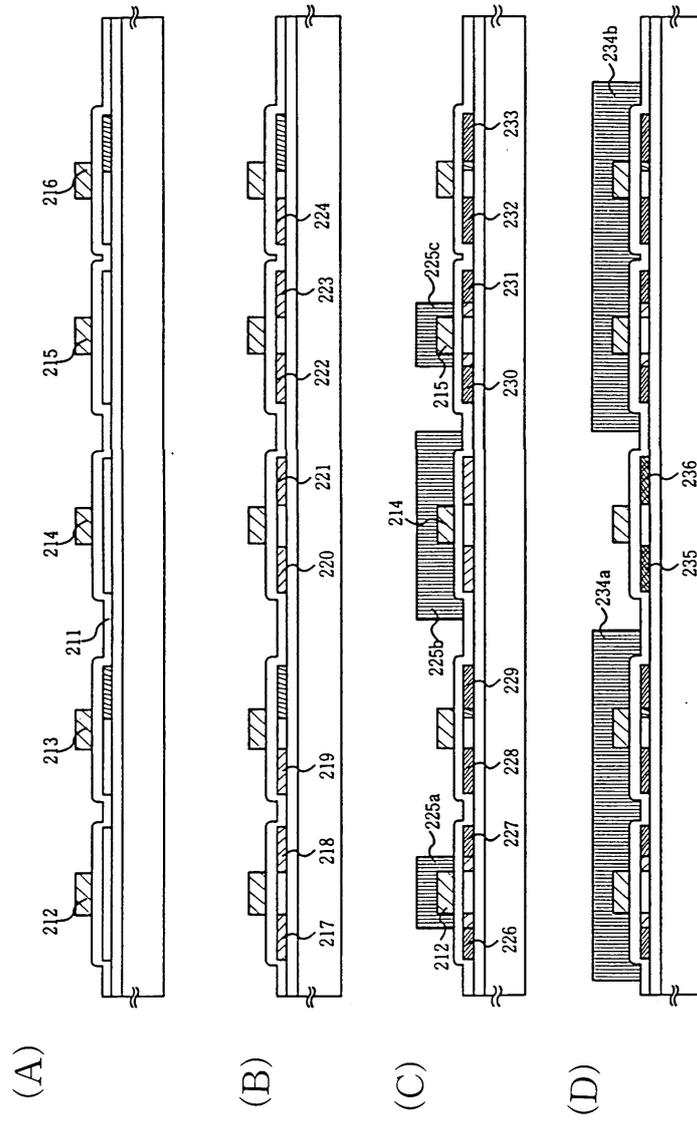
도면29



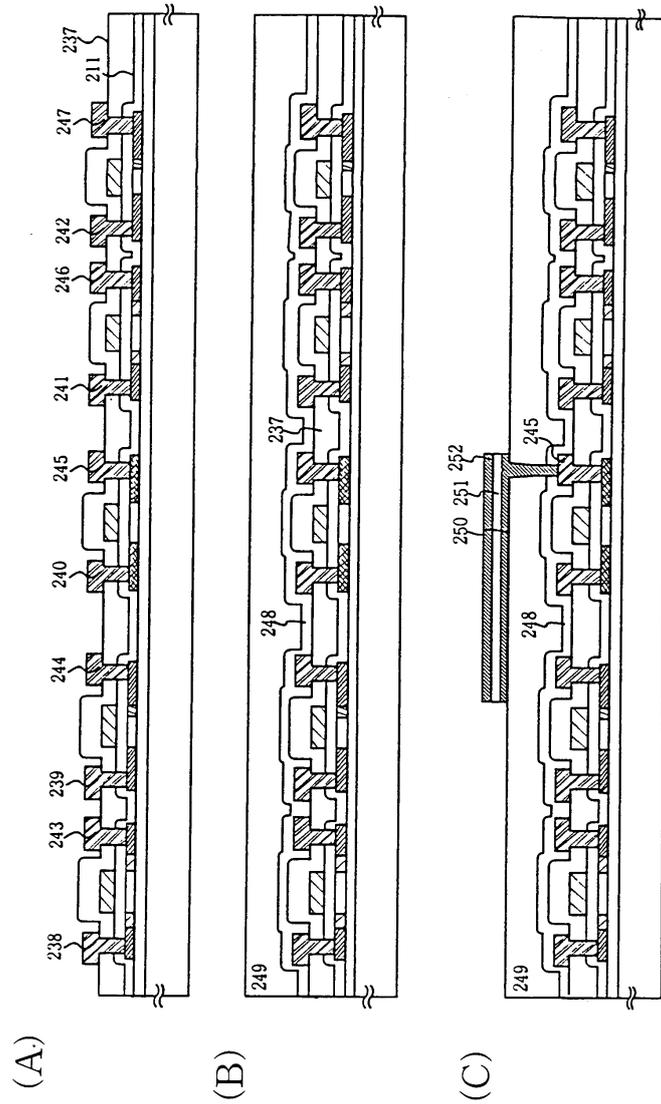
도면30



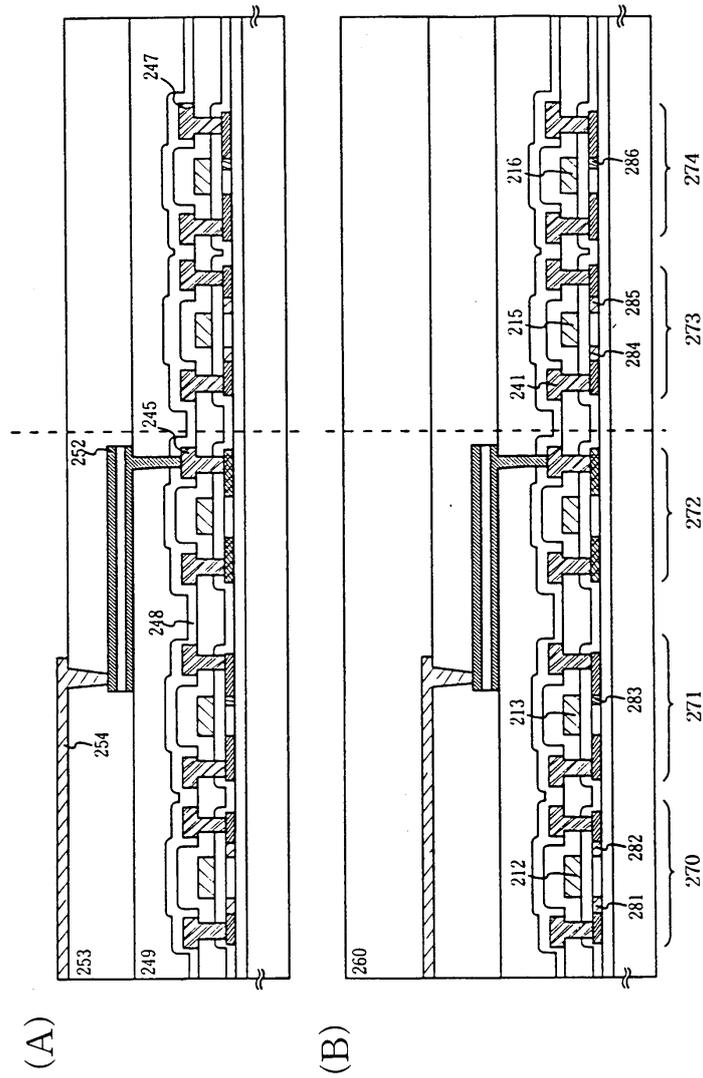
도면31



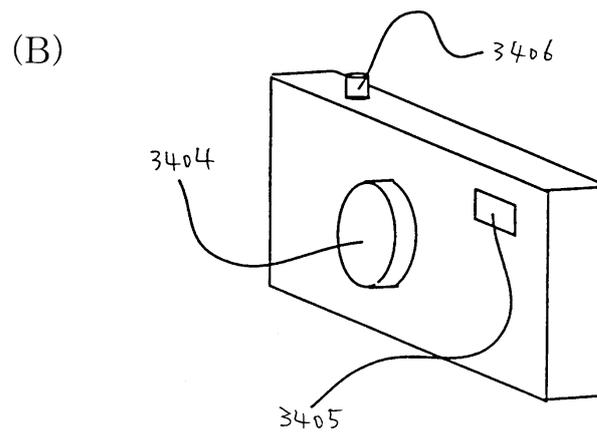
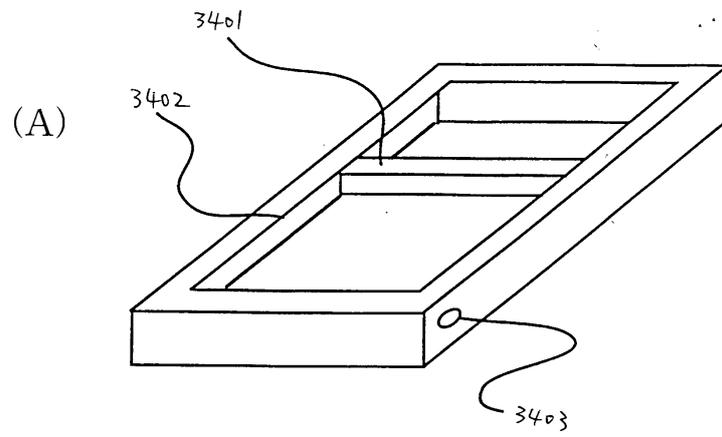
도면32



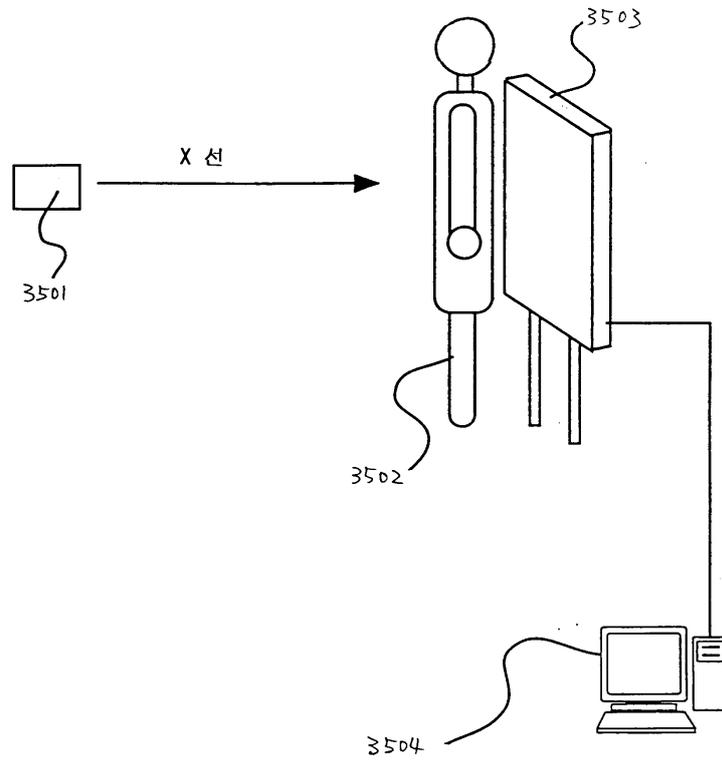
도면33



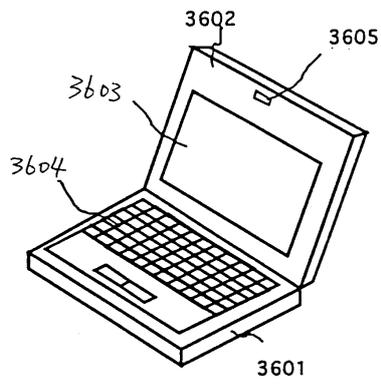
도면34



도면35



도면36



도면37

