

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-521816
(P2009-521816A)

(43) 公表日 平成21年6月4日(2009.6.4)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 29/47 (2006.01) HO 1 L 29/48 F 4M104
 HO 1 L 29/872 (2006.01)

審査請求 未請求 予備審査請求 未請求 (全 18 頁)

(21) 出願番号 特願2008-548647 (P2008-548647)
 (86) (22) 出願日 平成18年12月20日 (2006.12.20)
 (85) 翻訳文提出日 平成20年8月18日 (2008.8.18)
 (86) 国際出願番号 PCT/US2006/048986
 (87) 国際公開番号 W02007/075996
 (87) 国際公開日 平成19年7月5日 (2007.7.5)
 (31) 優先権主張番号 60/754,550
 (32) 優先日 平成17年12月27日 (2005.12.27)
 (33) 優先権主張国 米国 (US)

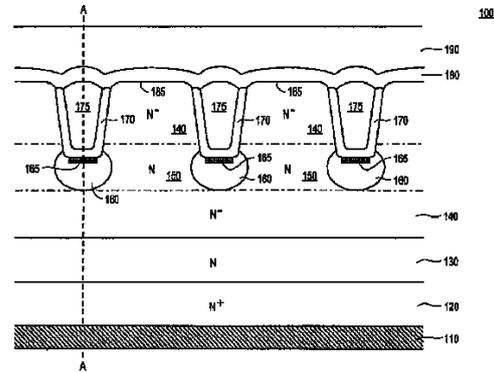
(71) 出願人 508188743
 キュースピード セミコンダクター イン
 コーポレーテッド
 アメリカ合衆国, カリフォルニア州 95
 054, サンタ クララ, フリーダム サ
 ークル 3970, スイート 101
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100093861
 弁理士 大賀 眞司
 (74) 代理人 100109346
 弁理士 大貫 敏史

最終頁に続く

(54) 【発明の名称】 高速回復整流器構造体の装置および方法

(57) 【要約】

高速回復整流器構造体の装置および方法。具体的には構造体は第1のドーパントの基板(120)を含む。第1のドーパントが低濃度ドーブされた第1のエピタキシャル層(140)が基板に結合されている。第1の金属層(190)が第1のエピタキシャル層に結合されている。複数のトレンチ(175)が第1のエピタキシャル層内に窪んでおり、その各々が金属層と結合している。装置は各々第2のドーパント型がドーブされた複数のウェルも含み、各ウェルは対応するトレンチの下に且つ隣接して形成されている。複数の酸化層(170)が対応するトレンチの壁および底部上に形成されている。第1のドーパントがドーブされた複数のチャンネル領域が、2つの対応するウェル間の第1のエピタキシャル層内に形成されている。複数のチャンネル領域(150)の各々は第1のエピタキシャル層より高濃度に第1のドーパントがドーブされている。



【特許請求の範囲】

【請求項 1】

第 1 のドーパント型がドーブされた基板と、
 前記基板に結合された前記第 1 のドーパント型がドーブされた第 1 のエピタキシャル層と、
 前記第 1 のエピタキシャル層に隣接する第 1 の金属層と、
 前記第 1 のエピタキシャル層内に窪み、各々が前記金属層に結合された複数のトレンチと、
 各々互いに離間されるとともに、各々前記複数のトレンチのうちの対応するトレンチの下に当該トレンチに隣接して形成された、各々第 2 のドーパント型がドーブされた複数のウェルと、
 対応するウェルが前記対応するトレンチから電氣的に絶縁されるように、各々対応するトレンチの壁および底部上に形成された、複数の酸化物層と、
 前記第 1 のエピタキシャル層内に形成された前記第 1 のドーパント型がドーブされ、各々前記複数のウェルからの 2 つの対応するウェル間に位置するとともに、各々前記第 1 のエピタキシャル層より高濃度に前記第 1 のドーパント型にドーブされた複数のチャンネル領域と
 を備える整流装置。

10

【請求項 2】

前記基板と前記第 1 のエピタキシャル層との間に位置する第 2 のエピタキシャル層をさらに備え、
 前記第 2 のエピタキシャル層は、前記基板より低濃度にドーブされているとともに、前記第 1 のエピタキシャル層より高濃度にドーブされている、請求項 1 に記載の整流装置。

20

【請求項 3】

ショットキー障壁が前記第 1 の金属層と前記第 1 のエピタキシャル層とを離間するように、前記第 1 の金属層の下に配置されたショットキー障壁をさらに備える請求項 1 に記載の整流装置。

【請求項 4】

複数の P i N 領域をさらに備え、
 前記複数の P i N 領域の各々に対する前記ショットキー障壁の領域の比がおよそ 1 以上である、請求項 3 に記載の整流装置。

30

【請求項 5】

前記複数のトレンチの各々が非ドーブシリコンを備える、請求項 1 に記載の整流装置。

【請求項 6】

前記第 1 のドーパント型は n 型ドーパントである、請求項 1 に記載の整流装置。

【請求項 7】

前記複数のウェルおよび前記第 1 の金属層に結合され、遠隔に位置する複数のコンタクト領域をさらに備える請求項 1 に記載の整流装置。

【請求項 8】

第 1 のドーパント型がドーブされた基板と、
 前記基板に結合され前記第 1 のドーパント型が低濃度ドーブされた第 1 のエピタキシャル層と、
 前記第 1 のエピタキシャル層に隣接する第 1 の金属層と、
 前記第 1 のエピタキシャル層内に窪むとともに前記金属層に結合された第 1 のトレンチと、
 前記第 1 のトレンチの下に当該トレンチに隣接して形成され、第 2 のドーパント型がドーブされた第 1 のウェルと、
 前記第 1 のエピタキシャル層内に窪むとともに前記金属層に結合された第 2 のトレンチと、
 前記第 2 のトレンチの下に当該トレンチに隣接して形成され、第 2 のドーパント型がド

40

50

ープされた第 2 のウェルと、

前記第 1 のエピタキシャル層内に形成されるとともに前記第 1 のウェルと前記第 2 のウェルとの間に位置する、前記第 1 のエピタキシャル層より高濃度に前記第 1 のドーパント型がドーブされたチャンネル領域とを備える超高速ダイオード。

【請求項 9】

前記第 1 のウェルが前記第 1 のトレンチから電氣的に絶縁されるように、前記第 1 のトレンチの壁および底部上に形成された第 1 の酸化物層と、

前記第 2 のウェルが前記第 2 のトレンチから電氣的に絶縁されるように、前記第 2 のトレンチの壁および底部上に形成された第 2 の酸化物層とをさらに備える、請求項 8 に記載の超高速ダイオード。

10

【請求項 10】

前記基板に隣接する第 2 の金属層をさらに備える、請求項 8 に記載の超高速ダイオード。

【請求項 11】

前記第 1 のドーパント型が n 型ドーパントを備える、請求項 8 に記載の超高速ダイオード。

【請求項 12】

前記基板と前記第 1 のエピタキシャル層との間に位置する前記第 1 のドーパント型の第 2 のエピタキシャル層をさらに備え、

20

前記基板が前記第 2 のエピタキシャル層より高濃度にドーブされ、前記第 2 のエピタキシャル層が前記第 1 のエピタキシャル層より高濃度にドーブされているとともに、前記基板は前記第 1 のドーパント型がドーブされている、請求項 8 に記載の超高速ダイオード。

【請求項 13】

前記基板に隣接する第 2 の金属層をさらに備える、請求項 8 に記載の超高速ダイオード。

【請求項 14】

前記第 1 のウェル、前記第 2 のウェル、および前記第 1 の金属層に結合された少なくとも 1 つの遠隔に位置するコンタクト領域をさらに備える、請求項 8 に記載の超高速ダイオード。

30

【請求項 15】

前記第 1 の金属層と前記第 1 の半導体層との間に位置するショットキー障壁をさらに備える、請求項 8 に記載の超高速ダイオード。

【請求項 16】

P i N 領域をさらに備え、

前記 P i N 領域に対する前記ショットキー障壁の領域の比がおよそ 1 以上である、請求項 15 に記載の超高速ダイオード。

【請求項 17】

第 1 のドーパント型がドーブされた第 2 のエピタキシャル層を、前記第 2 のエピタキシャル層より高濃度に前記第 1 のドーパント型がドーブされた基板上に堆積するステップと

40

、前記第 1 のドーパント型が低濃度にドーブされた第 1 のエピタキシャル層を、前記第 1 のエピタキシャル層より高濃度にドーブされた前記第 2 のエピタキシャル層上に堆積するステップと、

複数のトレンチを前記第 1 のエピタキシャル層内にエッチングするステップと、

前記複数のトレンチの各々の壁および底部上に複数の酸化物層を形成するステップと、

各々互いに離間されるとともに、各々対応するトレンチから電氣的に絶縁された複数のウェルに、前記複数のトレンチの各々の底部付近で第 2 のドーパント型を注入するステップと、

第 1 の金属層を前記第 1 のエピタキシャル層上に堆積するステップと

50

を含む整流器構造体の作製方法。

【請求項 18】

前記第1のドーパント型を、前記複数のウェル間に規定される複数のチャンネル領域内の前記第1のエピタキシャル層に注入するステップをさらに含む、

前記複数のチャンネル領域が前記第1のエピタキシャル層より高濃度にドーピングされる、請求項17に記載の方法。

【請求項 19】

ショットキー障壁が前記第1の金属層と前記第1のエピタキシャル層とを離間するように、前記第1の金属層の下にショットキー障壁を堆積するステップさらに含む、請求項17に記載の方法。

10

【請求項 20】

前記複数のウェルおよび前記第1の金属層に結合された複数の遠隔に位置するコンタクト領域を形成するステップをさらに含む、請求項17に記載の方法。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

関連出願の相互参照

本出願は2005年12月27日に出願されるとともに本発明の譲受人に譲受された"Fast Recovery Rectifier Structure"と題された同時係属仮特許出願第60/754,550号の優先権を主張するものであり、その全体を本明細書に引用して援用する。

20

【0002】

本出願は2004年6月15日に出願された"Schottky Barrier Rectifier and Method of Manufacturing the Same"と題された同時係属、同一出願人が所有する米国特許出願第10/869,718号に関連するものであり、その全体を本明細書に引用して援用する。

【0003】

本出願は2005年12月27日に出願された"Ultrafast Recovery Diode"と題された同時係属、同一出願人が所有する米国特許出願第11/320,313号に関連するものであり、その全体を本明細書に引用して援用する。

30

【技術分野】

【0004】

発明の背景

発明の分野

本発明の実施形態は整流器の分野に関する。特に本発明の実施形態は概して高速回復整流器構造体に関する。

【背景技術】

【0005】

関連技術

スイッチング電源の効率における重要な要因はそのような回路で用いられるダイオードの性能である。特にそのようなダイオードの逆回復は、そのような電源のトランジスタスイッチのターンオン・ロスを低減することができる。例えば逆回復電流過渡がスイッチのターンオン時に電流の付加成分として出現し、スイッチのターンオン・ロスはそのような逆回復成分がない場合より大幅に高いという結果になる。その結果逆回復電荷(Q_{rr})を低減することがスイッチング電源の効率の改善に重要である。

40

【0006】

しかし残念なことに逆回復が急過ぎる場合には電流および電圧は不要な振動を起こす。このような振動は例えば低効率電源動作、有害な雑音出力(例えば電源リップルおよび/または電磁干渉)、および/または非常に高く且つ場合によっては有害な電圧スパイクをもたらす恐れがある。

【発明の開示】

50

【発明が解決しようとする課題】

【0007】

発明の要約

そのためソフトリカバリ特性を維持する逆回復電荷が低減した高速回復整流器構造体が非常に望まれている。さらなる要求はより小型形状用のトレンチを用いて形成された高速回復整流器構造体で、上記の要求を満たすことである。さらに他の要求はこれが従来の半導体製造プロセスおよび機器と適合し且つ相補的であるように、上記の要求を満たすことである。

【課題を解決するための手段】

【0008】

従って本発明の様々な実施形態は高速回復整流器構造体の装置および方法を開示する。本発明の実施形態はソフトリカバリ特性を維持しつつ逆回復電荷を低減することができる。また本発明の実施形態はJFETチャネル領域と直列のショットキーダイオード領域、または組み合わせPINショットキー(MPS)ダイオード構造体の作製を含む、シリコンベースの高速回復整流器構造体を開示する。例えば一実施形態においてMPSダイオード構造体は、より小さい形状のためより高いショットキー対PIN比と、順方向導通中のホール注入の寄与を低減するウェル領域間のNドーピングのためチャネル抵抗の低減とを可能にする。

10

【0009】

具体的には整流器構造体は第1のドーパント型の基板を含む。第1のドーパント型が低濃度にドーブされた第1のエピタキシャル層が基板に結合されている。第1の金属層が第1のエピタキシャル層に隣接して結合されている。複数のトレンチが第1のエピタキシャル層内に窪み、複数のトレンチの各々が金属層に結合されている。装置はまた各々第2のドーパント型がドーブされた複数のウェルを含み、その各々が互いに離間されるとともに、その各々が複数のトレンチ内の対応するトレンチの下に当該トレンチに隣接して形成されている。対応するウェルが対応するトレンチから電氣的に絶縁されるように、複数の酸化層が各々対応するトレンチの壁および底部上に形成されている。第1のドーパント型がドーブされた複数のチャネル領域が、複数のウェルからの2つの対応するウェル間の第1のエピタキシャル層内に形成されるとともに、複数のチャネル領域の各々が第1のエピタキシャル層より高濃度に第1のドーパント型がドーブされている。

20

【0010】

本発明の実施形態は高速回復整流器構造体の作製方法も記載する。この方法は第1のドーパント型がドーブされた第2のエピタキシャル層を基板上に堆積するステップを含む。基板は第1のドーパント型が高濃度にドーブされている。つまり基板は第2のエピタキシャル層より高濃度にドーブされている。また方法は第1のドーパント型が低濃度にドーブされた第1のエピタキシャル層を、第2のエピタキシャル層上に堆積するステップを含む。第2のエピタキシャル層は第1のエピタキシャル層より高濃度にドーブされている。複数のトレンチを第1のエピタキシャル層内にエッチングする。複数の酸化層、ゲート規定スペーサを複数のトレンチの各々の壁および底部上に形成する。複数のウェルに複数のトレンチの各々の底部付近で注入する。複数のウェルの各々は第2のドーパント型がドーブされるとともに互いに離間される。つまり複数のウェルの各々は対応するトレンチから電氣的に絶縁される。第1の金属層をエピタキシャル層上に堆積する。

30

40

【発明を実施するための最良の形態】

【0011】

発明の詳細な説明

ここで本発明の好適な実施形態、高速回復整流器構造体および構造体の作製方法を詳細に参照して、それらの例を添付の図面で説明する。好適な実施形態に関連して本発明を説明するが、本発明をこれらの実施形態に限定しようとするものではないことは理解されよう。反対に本発明は添付の特許請求の範囲に規定された本発明の要旨と範囲とにある変更例、同等物および代替例をすべて網羅しようとするものである。

50

【0012】

さらにまた本発明の以下の詳細な説明において多数の特定の詳細が本発明の完全な理解を提供するために記載されている。しかし当業者には本発明がこれらの特定の詳細なしに実施され得ることは理解されよう。他の例において周知の方法、手順、構成要素および回路は、本発明の態様を不明瞭にしないように詳細には説明していない。

【0013】

明瞭化および理解のため本発明の実施形態を、 n 型基板内に p ウェルを有する整流器として説明する。しかし本発明の他の実施形態が、本明細書に示したものと反対の極性の材料を利用する構成、例えば p 基板内に n ウェルを有する整流器に良好に適することは理解されよう。このような代替実施形態は本発明の範囲内にあるものとする。

10

【0014】

図1は本発明の一実施形態による高速回復整流装置100の側面断面図である。図1に示すように整流装置100は半導体基板内で繰り返すことにより、1つまたは複数の整流装置100を完成させることができる。整流器は第1の金属層190と第2の金属層110とを含む。例えば第1の金属層190はアノードとして作用するとともに、第2の金属層110はカソードとして作用する。図1に記載される整流器構造は、150~1200ボルトの定格降伏電圧を有する装置を作製可能である。

【0015】

整流装置100は第1のドーパント型がドーブされた高濃度ドーブ基板120を含む。一実施形態では図1に示すように、第1のドーパント型は n 型ドーパントである。そのようなものとして基板120は n^+ 濃度にドーブされている。

20

【0016】

一実施形態において第2の金属層は基板120に隣接して配置されている。つまり整流器100のカソード金属被覆は、図1に示すように n^+ 基板に結合されている。

【0017】

n^+ 基板120の上に配置されているのは、エピタキシャルに堆積されるとともに n 型などの第1のドーパント型で低濃度ドーブされた、第1のエピタキシャル層140である。つまり n^- 第1エピタキシャル層または n^- ドリフト領域のドーパント濃度は、 n^+ 基板120のドーパント濃度より低い。加えて一実施形態では第1のエピタキシャル層140は基板に結合されている。

30

【0018】

一実施形態において第1の金属層190は、第1のエピタキシャル層140に隣接して配置されている。いくつかの実施形態において第1の金属層は通例アルミニウムを備えるとともに、さらに約1パーセントのシリコンを備え得る。つまり一実施形態では第1の金属層190はシリコンがドーブされた単一のアルミニウム層を備える。他の実施形態では第1の金属層190はシリコンがドーブされた複合アルミニウム層を備える。

【0019】

n^+ 基板120と第1のエピタキシャル層140との間に配置されているのは、 n 型などの第1のドーパントタイプがドーブされた第2のエピタキシャル層130である。 n 型第2のエピタキシャル層130のドーパント濃度は、 n^+ 基板120のドーパント濃度より低い。また n 型第2のエピタキシャル層130のドーパント濃度は、 n^- 第1のエピタキシャル層140のドーパント濃度より高い。

40

【0020】

整流器100の二重エピタキシャル層構造において、第2のエピタキシャル層130は空乏層ストップとして作用する。つまり第2のエピタキシャル層130において、 n^+ 基板120に到達する前に電界を0にまで低減することができる。その結果第2のエピタキシャル層130の追加により、第1のエピタキシャル層140を薄くすることができる。

【0021】

整流器構造体100は複数のトレンチ175を含み、その各々は第1のエピタキシャル層140内に窪んでいる。加えて複数のトレンチ175の各々は、第1の金属層190に

50

電氣的に結合されている（図示せず）。一実施形態において複数のトレンチの各々は非ドーパシリコンまたは非ドーパポリシリコンで充填されている。

【0022】

一実施形態においてトレンチ175は、一例として約300～700ナノメートルという深さ寸法を有する。加えてトレンチ175は、一例として約0.4～0.5 μm という幅を有する。本発明による実施形態は他の寸法に適していることは理解されよう。

【0023】

複数のトレンチ175の底部にあるのは複数のウェル160である。すなわち複数のトレンチ175の各々の底部にはシャロウウェル160がある。このようなものとして複数のウェル160の各々は、複数のトレンチ175のうちの対応するトレンチ175の下に隣接して形成されている。複数のウェルの各々はp型ドーパントなどの第2のドーパント型がドーパされている。図1に示すように複数のpウェル160の各々は互いに離間されている。

10

【0024】

一実施形態においてpウェル160はボロン原子がドーパされている。例えばこの領域におけるボロンの濃度は1立方センチメートル当たり約 1×10^{18} 原子である。さらに他の実施形態においてpウェルの接合深さはおよそ0.2～0.3 μm である。またpウェル窓の寸法はおよそ150～200ナノメートルである。

【0025】

本発明の一実施形態において、整流器構造体100の逆回復中にキャリアが再結合する時間を低減するために、少数キャリア寿命キリング技術が実施される。

20

【0026】

また図1に示すように整流器100は複数の酸化物層170を含む。複数の酸化物層170の各々は対応するトレンチの壁および底部上に形成されている。一実施形態では例えばトレンチ175の各々は二酸化シリコン170の絶縁膜で覆われている。一実施形態ではトレンチ175の残りの部分は非ドーパポリシリコンで充填されている。

【0027】

このようなものとしてウェル160の各々は、酸化物層170によって対応するトレンチ175から電氣的に絶縁されている。つまり第1の金属層190は非ドーパポリシリコン充填トレンチ175に電氣的に結合されている。しかし第1の金属層190はトレンチ領域175を介してpウェル160に電氣的に結合されてはいない。つまりトレンチ175の底および縦側の絶縁二酸化シリコン層170は、トレンチ175により第1の金属層190からpウェル160を電氣的に絶縁する作用をする。しかしウェル160は、図2および3に後述する遠隔に位置するコンタクト領域（図示せず）を介して第1の金属層190に電氣的に結合されている。

30

【0028】

図1に示すように複数のチャネル領域150がウェル160の各々間に形成されている。つまりウェル160間の領域は第1のドーパント型（例えばn型ドーパント）がドーパされているとともに、第1のエピタキシャル層140内に形成されている。つまり各チャネル領域150は2つの対応するウェル160間に位置する。チャネル領域150のドーパント濃度は第1のエピタキシャル層140のドーパント濃度より高い。

40

【0029】

本発明の実施形態によればpウェル160間の領域150はn型ドーピングを備え、「nチャネルエンハンスメント」層150と称される。nチャネルエンハンスメント150は、1立方センチメートル当たり約 $1.0 \times 10^{15} \sim 2.0 \times 10^{16}$ 原子というという例示的ドーピングを備える。一実施形態においてチャネル領域150はリンがドーパされている。このようなドーピングレベルは一般にn⁻第1エピタキシャル層140のドーピングレベルを超えていることは理解されよう。

【0030】

整流器構造体100は複数のウェル160の表面の各々上に配置された導電性チタンシ

50

リサイド ($TiSi_2$) 層 165 も含む。例えばチタンシリサイド層 165 は p ウェル 160 の表面に作製されて p ウェル 160 の水平抵抗を低減する。

【0031】

ショットキー障壁金属 180 が第 1 の金属層 190 の下に配置されて整流器 100 内に示されている。ショットキー障壁金属 180 は第 1 の金属層 190 と、第 1 のエピタキシャル層 140 と、トレンチ 175 とを離間する。ショットキー障壁金属 180 は第 1 のエピタキシャル層 140、酸化層 170 およびトレンチ 175 内のポリシリコン領域と密着したモリブデン、タングステンまたはプラチナなどの障壁金属を備える。

【0032】

ショットキー障壁 185 はアノード金属 190 と、 n^- 第 1 エピタキシャル層 140 のメサ領域の n^- エピタキシャル層 140 との間に形成されている。 n^- 第 1 エピタキシャル層 140 のメサ領域はトレンチ 175 間に形成されている。一実施形態においてメサ領域はおよそ $0.45 \sim 0.65 \mu m$ の寸法を有する。加えてショットキー障壁 185 は、例えば n^- エピタキシャル層に隣接配置されたアルミニウム (例えば n^- エピタキシャル層 140 に隣接配置されたアルミニウムを備えるアノード金属 190) の固有の特性により形成され得る。

10

【0033】

逆バイアス状態ではショットキーダイオードは一般にリークしやすいことは理解されよう。しかし本発明の実施形態によれば逆バイアスで p ウェル 160 はピンチオフし (例えば空乏領域が p ウェル 160 間に生じ)、これにより整流器 100 に対する所望の降伏電圧と低リークが確保される。有利なことには整流器構造体 100 の n チャネル特性により逆回復が改善する。このような逆回復改善の一メカニズムは p ウェル 160 からの少数キャリア注入の抑制による。

20

【0034】

本発明の一実施形態によれば、整流器 100 は各々が接合型電界効果トランジスタ (JFET) チャネルおよび P 真性 N (PIN) ダイオードのベース領域と直列である 1 つまたは複数のショットキーダイオードを備えるものと理解される。つまり p ウェル 160、 n^- 第 1 エピタキシャル層 140、および n^+ 基板が PIN ダイオードを形成するとともに、各 PIN ダイオード間にはショットキーダイオードがある。PIN ダイオードは JFET のゲートからの少数キャリアの注入により導電的に調節される。

30

【0035】

整流器構造体 100 は比較的精密なプロセス形状を用いて構成される。好適な実施形態において整流器構造体 100 は、1 以上の比率のショットキー障壁 185 対 PIN 領域の寸法を示す。特に整流器構造体 100 に対して前述した形状は、およそ $0.45 \sim 0.65 \mu m$ の n^- メサ領域、およそ $0.4 \sim 0.5 \mu m$ のトレンチ幅領域、およそ $300 \sim 700 nm$ のトレンチ深さ、およそ $150 \sim 200 nm$ の p ウェル窓の寸法、およびおよそ $0.2 \sim 0.3 \mu m$ の p ウェル深さを含む。これらの形状は 1 を超えるショットキー対 PIN 比を生じる。

【0036】

整流器 100 の高いショットキー対 PIN 比および n チャネル領域 150 のため、整流器 100 は逆回復特性の向上を示す。一実施形態においてショットキー比は p ウェル 160 の幅に対するショットキー障壁 185 の寸法比である。

40

【0037】

加えて一実施形態において精密なプロセス形状の構成はトレンチの下に配置された p ウェル 160 のドーピングを行うが、それは大きいプロセス形状に対応する大きいトレンチの下方の p ウェルのドーピングと比べると大幅に容易である。

【0038】

ここで整流器構造体 100 を機能的に説明する。JFET チャネルは複数の p ウェル 160 間に生じる。順方向バイアス状態では、p ウェルは JFET チャネルにホールを注入する。これらの追加ホールは JFET チャネルの抵抗を低減し、整流器構造体 100 のシ

50

ショットキー領域内の順方向導通を向上させる。ショットキー障壁 185 と n⁻ エピタキシ 140 との間のショットキーダイオードは、対応する P i N ダイオードと比べて、約 0.3 ボルトの低い順方向降下を有するものとして特徴付けられる。J F E T チャンネルの電圧降下がおよそ 0.6 ボルトに達すると、p ウェルはホールを注入し始める。

【0039】

金属/半導体接合を有するショットキーダイオードは整流挙動を示す（例えば電流が一方の極性で他方の極性より容易に構造体を通過する）。本実施形態のショットキーダイオードを高周波数および高速切替用途で用いることができる。ショットキーダイオードは多数のキャリアで動作する。金属領域は高密度に伝導帯電子が占めているとともに、n 型半導体領域は低濃度ドーピングされている。

10

【0040】

n チャンネルエンハンスメント領域 150 は J F E T チャンネルの抵抗を低減することにより、p ウェル 160 の順方向バイアス状態の開始を遅延させる。このような場合電流の大部分は J F E T チャンネルを流れる。少数キャリアが少なければ少数キャリアの密度が低下し、逆回復装置性能の有益な改善を生じる。

【0041】

逆バイアス状態において空乏層が p ウェル 160 の周囲に生じる。最終的にはこれらの空乏領域が互いに重複して J F E T チャンネルの「ピンチオフ」をもたらす。

【0042】

有利なことには本発明による実施形態の特徴は大部分、ドーピングプロセスよりも装置形状により制御される。一般にドーピングプロセスがドーパント密度の様々な分布を生じる一方で、形状プロセスは概してより精密である。

20

【0043】

本発明による実施形態が例えば少数キャリア寿命低減、例えば電子線照射、アルゴン、ヘリウムまたは水素注入、もしくは重金属、例えばプラチナまたは金を単体でまたは様々な組み合わせでの拡散を始めとする様々な周知の技術により性能調整によく適していることは理解されよう。

【0044】

本発明の他の実施形態によれば超高速ダイオードが本明細書に記載されている。超高速ダイオードは基板を備える。基板は第 1 のドーパント型、例えば n 型ドーパントがドーピングされている。超高速ダイオード 100 は、基板に結合された第 1 のドーパント型で低濃度ドーピングされた第 1 のエピタキシャル層を含む。第 1 の金属層は第 1 のエピタキシャル層に隣接して配置されている。第 1 のトレンチは第 1 のエピタキシャル層内に窪んでいるとともに金属層に結合されている。第 1 のウェルは第 1 のトレンチの下に且つ隣接して形成されている。第 1 のウェルは第 2 のドーパント型、例えば p 型ドーパントがドーピングされている。

30

【0045】

加えて第 2 のトレンチが第 1 のエピタキシャル層内に窪んでいるとともに金属層に結合されている。第 2 のウェルは第 2 のトレンチの下に且つ隣接して形成されている。第 2 のウェルは第 2 のドーパント型、例えば p 型ドーパントがドーピングされている。

40

【0046】

チャンネル領域は第 1 のエピタキシャル層内に形成されているとともに第 1 の p ウェルと第 2 の p ウェルとの間に位置している。チャンネル領域は第 1 のエピタキシャル層より高濃度に第 1 のドーパントがドーピングされている。

【0047】

加えて第 1 のウェルが第 1 のトレンチから電氣的に絶縁されるように、第 1 の酸化物層が第 1 のトレンチの壁および底部に形成されている。また第 2 のウェルが第 2 のトレンチから電氣的に絶縁されるように、第 2 の酸化物層が第 2 のトレンチの壁および底部上に形成されている。

【0048】

50

図 2 は本発明の一実施形態による、トレンチプラグ領域を通る p ウェル 160 の中央平面に沿った超高速回復整流器構造体 200 の断面である。他の実施形態では整流器構造体 200 は図 1 の整流器 100 を表わす。例えば図 2 は図 1 の A - A 線に沿った整流器構造体 100 の断面を表わす。

【0049】

図 2 に示すように超高速整流器構造体 200 は、金属層（例えばカソードコンタクト）上に配置された n⁺ 基板 220 を備える。超高速整流器構造体 200 は n 型ドーパントがドーパされた第 1 のエピタキシャル層 230 を含む。第 1 のエピタキシャル層 230 は空乏層ストップとして作用するとともに基板 220 に隣接している。整流器構造体 200 は第 1 のエピタキシャル層 230 の上に配置された第 2 のエピタキシャル層 240 も含む。

10

【0050】

図 2 に示すようにトレンチプラグ領域の断面が示されている。トレンチプラグは図 1 のトレンチ領域 175 に対応する。例えばトレンチプラグ領域はチタンシリサイド層 265 を含む。酸化層 270 がトレンチの底部および壁上に配置されている。トレンチは非ドーパポリシリコン 275 で充填されている。またトレンチプラグ領域はトレンチフィル 275 とアノード金属層 215 との間に配置された障壁金属 280 を含む。

【0051】

また図 2 に示されているように p ウェル 260 はトレンチプラグ領域の底部に配置されている。図示のように p ウェル 260 はトレンチ領域 275 から電氣的に絶縁され、それに対応してトレンチプラグ領域によりアノード金属層 215 から電氣的に絶縁されている。

20

【0052】

p ウェル領域 260 はコンタクト 310 を介してアノード金属化 215 に電氣的に結合されている。つまり p ウェル 260 とアノード金属層 215 との間にトレンチプラグ領域を介してコンタクトを形成する代わりに、本発明の実施形態はトレンチプラグ領域から離れて位置するコンタクト領域 310 を提供して、p ウェル 260 とアノード金属層 215 との間の電気結合を容易にする。図 3 に示すようにコンタクト 310 は装置の空間的に作製された領域に作製される。

【0053】

図 3 は本発明の一実施形態による超高速回復整流器構造体 300 の平面図である。一実施形態において図 3 は、金属層（図示せず）の下方の構成要素を露出する図 1 の整流器構造体 100 のトップダウン図を表わす。また他の実施形態において図 3 は図 2 の整流器構造体 200 を表わす。

30

【0054】

図 3 に示すように整流器構造体 300 は複数のトレンチ 375 を含む。複数のショットキーダイオード 395 が複数のトレンチ間に配置されている。複数の p ウェルが複数のトレンチ 375 の下方に配置されている。

【0055】

図 3 に示すように複数の遠隔配置コンタクト領域 310 も示されている。コンタクト領域 310 は整流器構造体 300 のトレンチプラグ領域から離れて位置している。つまり p ウェルはトレンチプラグを介してアノード金属層（図示せず）から電氣的に絶縁されている。

40

【0056】

複数のコンタクト領域 310 の各々は複数の p ウェルとアノード金属層（図示せず）とを電氣的に結合する。このように p ウェルはコンタクト領域 310 を介してアノード金属層に電氣的に結合されている。

【0057】

図 4 は本発明の一実施形態による、1 以上のショットキー対 P i N 比を有する超高速回復整流器構造体の作製方法のステップを説明するフローチャートである。図 4 に示すように作製プロセスは洗浄、堆積、ドーピング、エッチング等などの、半導体基板に対する様

50

々な初期プロセスで始まり得る。半導体基板は第1の濃度の第1の型のドーパントを含み得る。例えば本発明の実施形態で基板はリンまたは砒素で高濃度ドーパされたシリコン、またはボロンで高濃度ドーパされたシリコンを備え得る。

【0058】

410で本実施形態は基板上に随意のエピタキシャル層、第2のエピタキシャル層を堆積する。第2のエピタキシャル層は第1のドーパント型がドーパされている。第2のエピタキシャル層は空乏層ストップとして作用する。このようなものとして基板には第2のエピタキシャル層より高濃度に第1のドーパントがドーパされている。

【0059】

420で本実施形態は随意の第2のエピタキシャル上に、他のエピタキシャル層、第1のエピタキシャル層を堆積する。第1のエピタキシャル層は第1のドーパント型で低濃度にドーパされている。第2のエピタキシャル層は第1のエピタキシャル層より高濃度にドーパされている。

【0060】

一実施形態において第1のエピタキシャル層は、堆積中にドーパントをエピタキシャル室内に導入することによりドーパされる。例えばエピタキシャル堆積第1層は、リンまたは砒素(N)が適度にドーパされたシリコンであってもよい。第1のエピタキシャル層も堆積後に随意の高エネルギー注入および熱アニールプロセスによりドーパされてもよい。この場合エピタキシャル堆積半導体層はボロンで適度にドーパされたシリコンでもよい。

【0061】

430で本実施形態は複数のトレンチを第1のエピタキシャル層内にエッチングする。トレンチは実質的に平行且つ直線である。トレンチ間の間隔およびトレンチの深さを、ショットキー障壁対P i N比が1以上になるように選択することにより、逆バイアスで整流器の回復特性を増加させる。

【0062】

440で本実施形態は複数のトレンチの各々の壁および底部上に配置された複数の酸化物層を形成する。このようなものとしてトレンチフィルは、酸化物層のためトレンチ底部の下方の領域から絶縁されている。

【0063】

450で本実施形態は複数のトレンチの各々の底部付近で複数のウェルに各々第2のドーパント型を注入する。一実施形態において複数のウェルの各々は互いに離間されており、複数のウェルの各々は前述した酸化物層によって対応するトレンチから電気的に絶縁される。複数のウェルは一例として制御ゲート領域のグリッドを形成する。ウェルは任意の周知の高エネルギー注入プロセスにより注入され得る。一実施形態においてドーパントは熱サイクル(例えば急速熱アニール)により所望の深さまで送られ得る。

【0064】

加えて本実施形態は複数のウェルと第1の金属層とを電気的に結合する複数の遠隔に位置するコンタクト領域を形成する。

【0065】

一実施形態においてウェル間の複数のチャンネル領域は第1のドーパント型が注入されてエンハストチャンネル領域を形成する。つまり複数のウェル間に規定される複数のチャンネル領域内の第1の半導体層の領域には第1のドーパントが注入される。このようなものとして複数のチャンネル領域は第1のエピタキシャル層より高濃度にドーパされる。

【0066】

460で本実施形態は第1のエピタキシャル層上に第1の金属層を堆積する。例えば第1の金属層はアノード金属層である。

【0067】

また他の実施形態では、ショットキー障壁が第1の金属層と第1のエピタキシャル層とを離間するように、ショットキー障壁金属が第1の金属層の下に堆積される。具体的には前述したチャンネル領域の上方でショットキー障壁金属と第1のエピタキシャル層との間に

10

20

30

40

50

ショットキー障壁ダイオードが形成される。

【0068】

図5は本発明の実施形態による例示的電流対時間回復特性500を図示する。回復特性510は従来技術で既知であるような例示的600ボルト超高速ダイオードの逆回復特性を表わす。この回復特性が約3アンペアの最大逆電流と約 3×10 秒の持続時間とを備えることは理解されよう。

【0069】

回復特性520は本発明の実施形態による例示的600ボルトダイオードの逆回復特性を表わす。このダイオードの回復特性が従来のダイオードの特性510より大幅に少ない電流を備えることは理解されよう。回復特性520は約1.3アンペアの最大逆電流を示す。回復持続時間が特性510のものより若干長く、例えば約 4.5×10^8 秒であることは有益である。

【0070】

回復特性530は本発明の実施形態による第2の例示的600ボルトダイオードの逆回復特性を表わす。このダイオードの回復特性が、従来のダイオードの特性510より大幅に少ない電流を備えることは理解されよう。回復特性520は約0.8アンペアという最大逆電流を示す。回復持続時間が特性510のものより若干長く、例えば約 4.5×10^8 秒であることは有益である。

【0071】

従って本発明の様々な実施形態は高速回復整流器構造体の装置および方法を開示する。本発明の実施形態はソフトリカバリ特性を維持しつつ逆回復電荷を低減することができる。また本発明の実施形態はJFETチャネル領域と直列のショットキーダイオード領域、または組み合わせPINショットキー(MPS)ダイオード構造体の作製を含む、シリコンベースの高速回復ダイオードを開示する。例えば一実施形態においてMPSダイオード構造体は、より小さい形状のためより高いショットキー対PIN比と、順方向導通中のホール注入の寄与を低減するウェル領域間のNドーピングのためチャネル抵抗の低減とを可能にする。

【0072】

フロ-チャート400に図示された実施形態の方法はステップの特定の順番と量とを示しているが、本発明は代替実施形態に適している。例えばこの方法のために設けられたステップのすべてが本発明に必要ではない。さらにまたさらなるステップを本実施形態に提示されたステップに追加することができる。同様に用途に応じてステップの順番を変更することができる。

【0073】

本発明の実施形態、およそ1以上のショットキー対PIN比を有する高速回復整流器構造体およびその作製方法が記載されている。本発明を特定の実施形態で説明したが、本発明がこのような実施形態により限定されるものと理解されるべきではなく、以下の特許請求の範囲により理解されるべきであることは理解できよう。

【図面の簡単な説明】

【0074】

【図1】本発明の一実施形態による超高速回復ダイオードの側面断面図を図示する。

【図2】本発明の一実施形態による、pウェルの中央平面に沿った図1の超高速回復ダイオードの断面である。

【図3】本発明の一実施形態による超高速回復ダイオードの平面図である。

【図4】本発明の一実施形態による、1を超えるショットキー対PIN比を有する超高速回復ダイオードの作製方法のステップを説明するフロ-チャートである。

【図5】本発明の一実施形態による、例示的電流対時間回復特性を図示するチャートである。

10

20

30

40

【 図 1 】

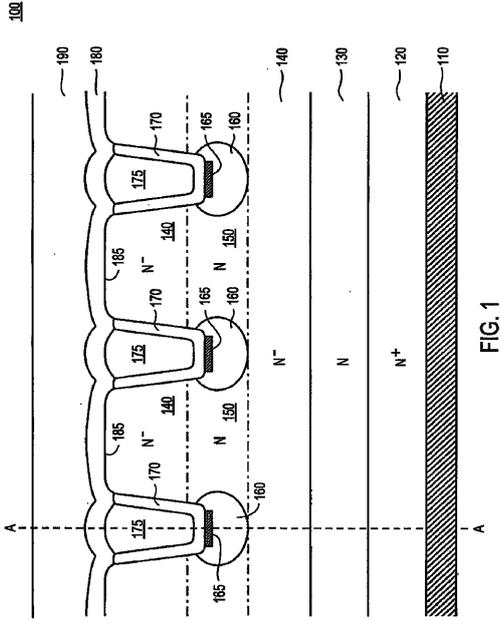


FIG. 1

【 図 2 】

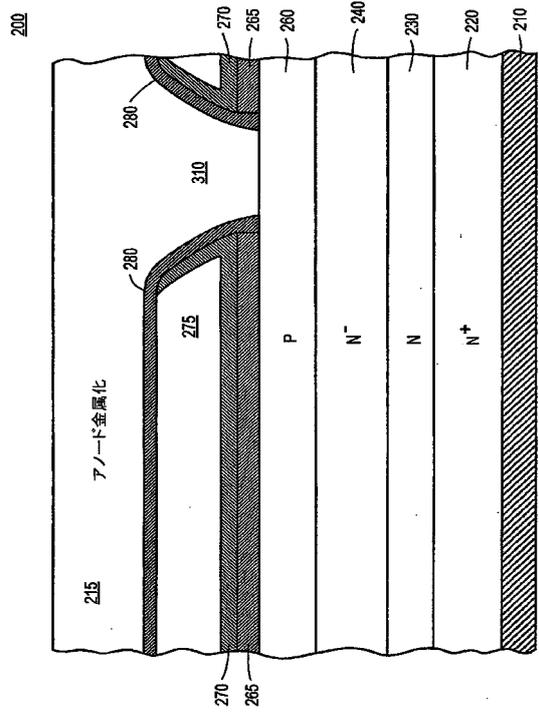


図 2

【 図 3 】

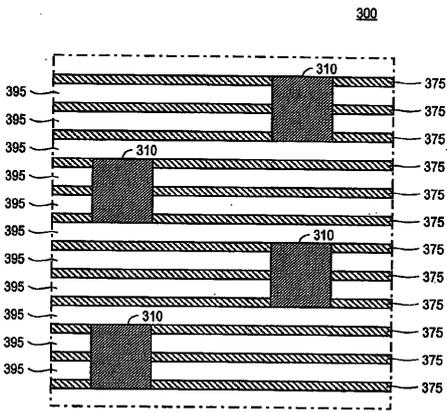


FIG. 3

【 図 4 】

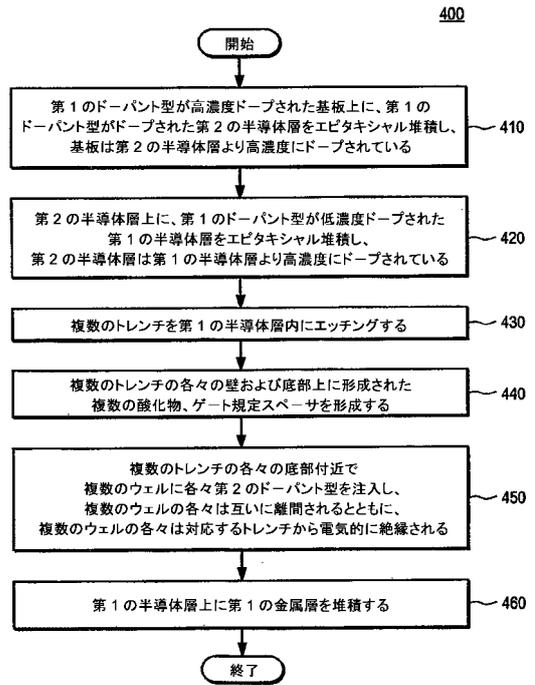


図 4

【 図 5 】

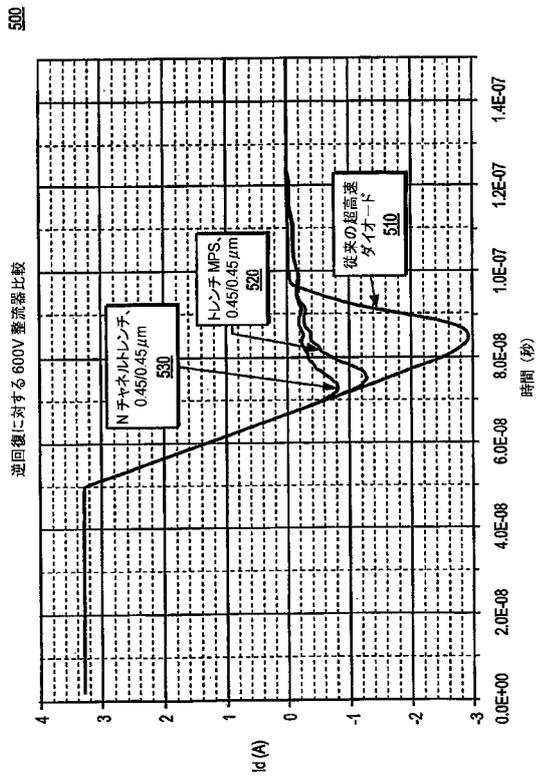


図 5

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/048986

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L29/872 H01L29/772 H01L27/07		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 01/11693 A (ROCKWELL SCIENCE CT LLC [US]) 15 February 2001 (2001-02-15) page 13, line 15 - line 30; figure 6c	1, 3-11, 13-16 2, 12, 17-20
Y	DE 103 50 160 A1 (INFINEON TECHNOLOGIES AG [DE]) 9 June 2005 (2005-06-09) figure 3	2, 12, 17-20
A	US 2005/230744 A1 (WU SHYE-LIN [TW]) 20 October 2005 (2005-10-20) the whole document	1-20
A	WO 02/09174 A (ADVANCED POWER DEVICES [US]) 31 January 2002 (2002-01-31) the whole document	1-20
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents:		
<p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the International filing date</p> <p>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the International filing date but later than the priority date claimed</p>		<p>*T* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>*&* document member of the same patent family</p>
Date of the actual completion of the International search 28 June 2007		Date of mailing of the international search report 05/07/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Bailliet, Bernard

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/048986

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CHANG H-R ET AL: "1200 V, 50 A Trench Oxide PIN Schottky (TOPS) diode" INDUSTRY APPLICATIONS CONFERENCE, 1999. THIRTY-FOURTH IAS ANNUAL MEETING. CONFERENCE RECORD OF THE 1999 IEEE PHOENIX, AZ, USA 3-7 OCT. 1999, PISCATAWAY, NJ, USA, IEEE, US, vol. 1, 3 October 1999 (1999-10-03), pages 353-358, XP010355182 ISBN: 0-7803-5589-X the whole document	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2006/048986

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 0111693	A	15-02-2001	EP 1203411 A1	08-05-2002
			JP 2003506903 T	18-02-2003
			US 6252258 B1	26-06-2001
DE 10350160	A1	09-06-2005	NONE	
US 2005230744	A1	20-10-2005	CN 1738010 A	22-02-2006
			TW 263344 B	01-10-2006
WO 0209174	A	31-01-2002	AU 7187901 A	05-02-2002
			TW 501203 B	01-09-2002

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 フランシス, リチャード
アメリカ合衆国, カリフォルニア州 95033, ロス ガトス, パノラマ ドライブ 20870

(72)発明者 ファン, ヤン, ユー
アメリカ合衆国, カリフォルニア州 94087, サニーベール, イースト エル カミノ リール, 870 アpartment ナンバー310

(72)発明者 ジョンソン, エリック
アメリカ合衆国, カリフォルニア州 95051, サンタ クララ, ペPPER ツリー レーン 900, アpartment ナンバー1124

(72)発明者 ホアン, ハイ
アメリカ合衆国, カリフォルニア州 95054, サンタ クララ, アベニーダ デ ラス フローレス 2068

Fターム(参考) 4M104 BB01 BB03 BB06 BB16 BB18 BB25 CC03 EE02 EE16 FF13
FF27 FF31 GG03 HH20