



(12) 发明专利申请

(10) 申请公布号 CN 117690785 A

(43) 申请公布日 2024.03.12

(21) 申请号 202211032388.4

(22) 申请日 2022.08.26

(71) 申请人 长鑫存储技术有限公司

地址 230601 安徽省合肥市经济技术开发区
空港工业园兴业大道388号

(72) 发明人 王蒙蒙 沈宇桐

(51) Int. Cl.

H01L 21/28 (2006.01)

H10B 12/00 (2023.01)

H01L 29/423 (2006.01)

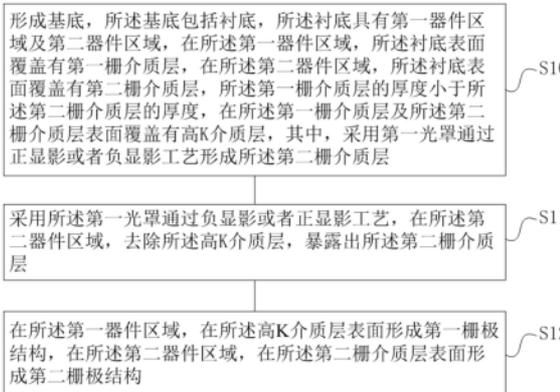
权利要求书3页 说明书10页 附图8页

(54) 发明名称

半导体结构及其形成方法

(57) 摘要

一种半导体结构的形成方法包括：形成基底，基底包括衬底，衬底具有第一器件区域及第二器件区域，在第一器件区域，衬底表面覆盖有第一栅介质层，在第二器件区域，衬底表面覆盖有第二栅介质层，第一栅介质层的厚度小于第二栅介质层的厚度，在第一栅介质层及第二栅介质层表面覆盖有高K介质层，其中，采用第一光罩通过正显影或者负显影工艺形成第二栅介质层；采用第一光罩通过负显影或者正显影工艺，在第二器件区域，去除所述高K介质层，暴露出所述第二栅介质层；在第一器件区域，在高K介质层表面形成第一栅极结构，在第二器件区域，在第二栅介质层表面形成第二栅极结构。该形成方法工艺简单、能够降低成本，且保证了器件的稳定性。



1. 一种半导体结构的形成方法,其特征在于,包括:

形成基底,所述基底包括衬底,所述衬底具有第一器件区域及第二器件区域,在所述第一器件区域,所述衬底表面覆盖有第一栅介质层,在所述第二器件区域,所述衬底表面覆盖有第二栅介质层,所述第一栅介质层的厚度小于所述第二栅介质层的厚度,在所述第一栅介质层及所述第二栅介质层表面覆盖有高K介质层,其中,采用第一光罩通过正显影或者负显影工艺形成所述第二栅介质层;

采用所述第一光罩通过负显影或者正显影工艺,在所述第二器件区域,去除所述高K介质层,暴露出所述第二栅介质层;

在所述第一器件区域,在所述高K介质层表面形成第一栅极结构,在所述第二器件区域,在所述第二栅介质层表面形成第二栅极结构。

2. 根据权利要求1所述的半导体结构的形成方法,其特征在于,形成基底的步骤包括:

提供所述衬底;

在所述第二器件区域,在所述衬底表面形成第二栅介质层;

在所述第一器件区域,在所述衬底表面形成第一栅介质层;

形成高K介质层,所述高K介质层覆盖所述第一栅介质层及所述第二栅介质层。

3. 根据权利要求2所述的半导体结构的形成方法,其特征在于,在所述第二器件区域,在所述衬底表面形成第二栅介质层的步骤包括:

在所述衬底上形成第二栅介质材料层;

采用所述第一光罩通过正显影或者负显影工艺,在所述第二器件区域,在所述第二栅介质材料层上形成第一掩膜层;

以所述第一掩膜层作为遮挡,在所述第一器件区域,去除所述第二栅介质材料层,在所述第二器件区域,所述第二栅介质材料层作为所述第二栅介质层;

去除所述第一掩膜层。

4. 根据权利要求3所述的半导体结构的形成方法,其特征在于,在所述第一器件区域,在所述衬底表面形成第一栅介质层的步骤包括:

形成第一栅介质材料层,在所述第一器件区域,所述第一栅介质材料层覆盖所述衬底表面,所述第一栅介质材料层作为所述第一栅介质层。

5. 根据权利要求4所述的半导体结构的形成方法,其特征在于,在所述第二器件区域,所述第一栅介质材料层还覆盖所述第二栅介质材料层的表面,所述第一栅介质材料层与所述第二栅介质材料层共同作为所述第二栅介质层。

6. 根据权利要求2所述的半导体结构的形成方法,其特征在于,在所述第二器件区域,去除所述高K介质层,暴露出所述第二栅介质层的步骤包括:

采用所述第一光罩通过负显影或者正显影工艺,在所述第一器件区域,在所述高K介质层表面形成第二掩膜层;

以所述第二掩膜层作为遮挡,在所述第二器件区域,去除所述高K介质层,暴露出所述第二栅介质层;

去除所述第二掩膜层。

7. 根据权利要求1所述的半导体结构的形成方法,其特征在于,在去除所述高K介质层的步骤之前还包括:

在所述高K介质层表面形成保护层；

在去除所述高K介质层的步骤中,在所述第一器件区域,所述保护层用于保护所述高K介质层；

在形成所述第一栅极结构的步骤之前,去除所述保护层。

8.根据权利要求1所述的半导体结构的形成方法,其特征在于,所述第一器件区域包括第一N阱区及第一P阱区,所述第二器件区域包括第二N阱区及第二P阱区,形成所述基底的步骤还包括:在所述第一N阱区,在所述衬底表面形成硅锗层,所述第一栅介质层覆盖所述硅锗层。

9.根据权利要求8所述的半导体结构的形成方法,其特征在于,所述第一栅极结构包括第一NMOS晶体管栅极结构及第一PMOS晶体管栅极结构,所述第二栅极结构包括第二NMOS晶体管栅极结构及第二PMOS晶体管栅极结构,形成所述第一栅极结构及所述第二栅极结构的步骤包括:在所述第一P阱区形成第一NMOS晶体管栅极结构,在所述第一N阱区形成第一PMOS晶体管栅极结构,在所述第二P阱区形成第二NMOS晶体管栅极结构,在所述第二N阱区形成第二PMOS晶体管栅极结构。

10.根据权利要求9所述的半导体结构的形成方法,其特征在于,形成所述第一栅极结构及所述第二栅极结构的步骤包括:

在所述第一N阱区及所述第二N阱区形成PMOS晶体管金属栅极层；

在所述第一P阱区及所述第二P阱区形成NMOS晶体管金属栅极层；

形成栅极复合材料层,所述栅极复合材料层覆盖所述PMOS晶体管金属栅极层及所述NMOS晶体管金属栅极层；

图案化所述栅极复合材料层、所述PMOS晶体管金属栅极层及所述NMOS晶体管金属栅极层,形成所述第一PMOS晶体管栅极结构、所述第一NMOS晶体管栅极结构、所述第二PMOS晶体管栅极结构及所述第二NMOS晶体管栅极结构。

11.一种半导体结构,其特征在于,包括:

衬底,所述衬底具有第一器件区域及第二器件区域；

在所述第一器件区域,第一栅介质层覆盖所述衬底表面；

在所述第二器件区域,第二栅介质层覆盖所述衬底表面,且所述第一栅介质层的厚度小于所述第二栅介质层的厚度；

高K介质层,覆盖所述第一栅介质层表面；

第一栅极结构,位于所述高K介质层表面；

第二栅极结构,位于所述第二栅介质层表面。

12.根据权利要求11所述的半导体结构,其特征在于,所述第一器件区域包括第一N阱区及第一P阱区,所述第一栅极结构包括第一NMOS晶体管栅极结构及第一PMOS晶体管栅极结构,所述第一NMOS晶体管栅极结构设置在所述第一P阱区上,所述第一PMOS晶体管栅极结构设置在所述第一N阱区上;所述第二器件区域包括第二N阱区及第二P阱区,所述第二栅极结构包括第二NMOS晶体管栅极结构及第二PMOS晶体管栅极结构,所述第二NMOS晶体管栅极结构设置在所述第二P阱区上,所述第二PMOS晶体管栅极结构设置在所述第二N阱区上。

13.根据权利要求12所述的半导体结构,其特征在于,在所述第一N阱区,所述半导体结构还包括硅锗层,所述硅锗层设置在所述第一栅介质层与所述衬底之间。

14. 根据权利要求12所述的半导体结构,其特征在于,所述第一NMOS晶体管栅极结构与所述第二NMOS晶体管栅极结构具有相同结构,所述第一PMOS晶体管栅极结构与所述第二PMOS晶体管栅极结构具有相同结构。

15. 根据权利要求14所述的半导体结构,其特征在于,所述第一NMOS晶体管栅极结构与所述第二NMOS晶体管栅极结构均包括NMOS晶体管金属栅极层及覆盖所述NMOS晶体管金属栅极层的第一栅极复合层;所述第一PMOS晶体管栅极结构与所述第二PMOS晶体管栅极结构均包括PMOS晶体管金属栅极层及覆盖所述PMOS晶体管金属栅极层的第二栅极复合层。

半导体结构及其形成方法

技术领域

[0001] 本公开涉及集成电路领域,尤其涉及一种半导体结构及其形成方法。

背景技术

[0002] 动态随机存储器(Dynamic Random Access Memory, DRAM)是计算机等电子设备中常用的半导体装置,其由多个存储单元构成,每个存储单元通常包括晶体管和电容器。所述晶体管的栅电极与字线电连接、源电极与位线电连接、漏电极与电容器电连接,字线上的字线电压能够控制晶体管的开启和关闭,从而通过位线能够读取存储在电容器中的数据信息,或者将数据信息写入到电容器中。

[0003] 随着DRAM尺寸的微缩,为了改善晶体管的漏电和提升器件的可靠性,HKMG(High-K Metal Gate)技术被引入到DRAM的制程中。HKMG技术包括先栅(First Gate)技术与后栅(Last Gate)技术。对于先栅(First Gate)技术而言,在厚氧器件中,因为较厚的栅介电材料的存在会影响高K介质层的偶极子的扩散,导致功函数金属不能起到很好的阈值电压调节作用,造成厚氧器件栅极的阈值电压过高,引起厚氧器件性能的退化。

发明内容

[0004] 本公开所要解决的技术问题是,提供一种半导体结构及其形成方法,其能够提高半导体器件的稳定性。

[0005] 为了解决上述问题,本公开实施例提供了一种半导体结构的形成方法,包括:形成基底,所述基底包括衬底,所述衬底具有第一器件区域及第二器件区域,在所述第一器件区域,所述衬底表面覆盖有第一栅介质层,在所述第二器件区域,所述衬底表面覆盖有第二栅介质层,所述第一栅介质层的厚度小于所述第二栅介质层的厚度,在所述第一栅介质层及所述第二栅介质层表面覆盖有高K介质层,其中,采用第一光罩通过正显影或者负显影工艺形成所述第二栅介质层;采用所述第一光罩通过负显影或者正显影工艺,在所述第二器件区域,去除所述高K介质层,暴露出所述第二栅介质层;在所述第一器件区域,在所述高K介质层表面形成第一栅极结构,在所述第二器件区域,在所述第二栅介质层表面形成第二栅极结构。

[0006] 在一实施例中,形成基底的步骤包括:提供所述衬底;在所述第二器件区域,在所述衬底表面形成第二栅介质层;在所述第一器件区域,在所述衬底表面形成第一栅介质层;形成高K介质层,所述高K介质层覆盖所述第一栅介质层及所述第二栅介质层。

[0007] 在一实施例中,在所述第二器件区域,在所述衬底表面形成第二栅介质层的步骤包括:在所述衬底上形成第二栅介质材料层;采用所述第一光罩通过正显影或者负显影工艺,在所述第二器件区域,在所述第二栅介质材料层上形成第一掩膜层;以所述第一掩膜层作为遮挡,在所述第一器件区域,去除所述第二栅介质材料层,在所述第二器件区域,所述第二栅介质材料层作为所述第二栅介质层;去除所述第一掩膜层。

[0008] 在一实施例中,在所述第一器件区域,在所述衬底表面形成第一栅介质层的步骤

包括:形成第一栅介质材料层,在所述第一器件区域,所述第一栅介质材料层覆盖所述衬底表面,所述第一栅介质材料层作为所述第一栅介质层。

[0009] 在一实施例中,在所述第二器件区域,所述第一栅介质材料层还覆盖所述第二栅介质材料层的表面,所述第一栅介质材料层与所述第二栅介质材料层共同作为所述第二栅介质层。

[0010] 在一实施例中,在所述第二器件区域,去除所述高K介质层,暴露出所述第二栅介质层的步骤包括:采用所述第一光罩通过负显影或者正显影工艺,在所述第一器件区域,在所述高K介质层表面形成第二掩膜层;以所述第二掩膜层作为遮挡,在所述第二器件区域,去除所述高K介质层,暴露出所述第二栅介质层;去除所述第二掩膜层。

[0011] 在一实施例中,在去除所述高K介质层的步骤之前还包括:在所述高K介质层表面形成保护层;在去除所述高K介质层的步骤中,在所述第一器件区域,所述保护层用于保护所述高K介质层;在形成所述第一栅极结构的步骤之前,去除所述保护层。

[0012] 在一实施例中,所述第一器件区域包括第一N阱区及第一P阱区,所述第二器件区域包括第二N阱区及第二P阱区,形成所述基底的步骤还包括:在所述第一N阱区,在所述衬底表面形成硅锗层,所述第一栅介质层覆盖所述硅锗层。

[0013] 在一实施例中,所述第一栅极结构包括第一NMOS晶体管栅极结构及第一PMOS晶体管栅极结构,所述第二栅极结构包括第二NMOS晶体管栅极结构及第二PMOS晶体管栅极结构,形成所述第一栅极结构及所述第二栅极结构的步骤包括:在所述第一P阱区形成第一NMOS晶体管栅极结构,在所述第一N阱区形成第一PMOS晶体管栅极结构,在所述第二P阱区形成第二NMOS晶体管栅极结构,在所述第二N阱区形成第二PMOS晶体管栅极结构。

[0014] 在一实施例中,形成所述第一栅极结构及所述第二栅极结构的步骤包括:在所述第一P阱区及所述第二P阱区形成NMOS晶体管金属栅极层;在所述第一N阱区及所述第二N阱区形成PMOS晶体管金属栅极层;形成栅极复合材料层,所述栅极复合材料层覆盖所述NMOS晶体管金属栅极层及PMOS晶体管金属栅极层;图案化所述栅极复合材料层、所述NMOS晶体管金属栅极层及PMOS晶体管金属栅极层,形成所述第一NMOS晶体管栅极结构、所述第一PMOS晶体管栅极结构、所述第二NMOS晶体管栅极结构及所述第二PMOS晶体管栅极结构。

[0015] 本公开实施例还提供一种半导体结构,其包括:衬底,所述衬底具有第一器件区域及第二器件区域;在所述第一器件区域,第一栅介质层覆盖所述衬底表面;在所述第二器件区域,第二栅介质层覆盖所述衬底表面,且所述第一栅介质层的厚度小于所述第二栅介质层的厚度;高K介质层,覆盖所述第一栅介质层表面;第一栅极结构,位于所述高K介质层表面;第二栅极结构,位于所述第二栅介质层表面。

[0016] 在一实施例中,所述第一器件区域包括第一N阱区及第一P阱区,所述第一栅极结构包括第一NMOS晶体管栅极结构及第一PMOS晶体管栅极结构,所述第一NMOS晶体管栅极结构设置在所述第一P阱区上,所述第一PMOS晶体管栅极结构设置在所述第一N阱区上;所述第二器件区域包括第二N阱区及第二P阱区,所述第二栅极结构包括第二NMOS晶体管栅极结构及第二PMOS晶体管栅极结构,所述第二NMOS晶体管栅极结构设置在所述第二P阱区上,所述第二PMOS晶体管栅极结构设置在所述第二N阱区上。

[0017] 在一实施例中,在所述第一N阱区,所述半导体结构还包括硅锗层,所述硅锗层设置在所述第一栅介质层与所述衬底之间。

[0018] 在一实施例中,所述第一NMOS晶体管栅极结构与所述第二NMOS晶体管栅极结构具有相同结构,所述第一PMOS晶体管栅极结构与所述第二PMOS晶体管栅极结构具有相同结构。

[0019] 在一实施例中,所述第一NMOS晶体管栅极结构与所述第二NMOS晶体管栅极结构均包括NMOS晶体管金属栅极层及覆盖所述NMOS晶体管金属栅极层的第一栅极复合层;所述第一PMOS晶体管栅极结构与所述第二PMOS晶体管栅极结构均包括PMOS晶体管金属栅极层及覆盖所述PMOS晶体管金属栅极层的第二栅极复合层。

[0020] 本公开实施例提供的半导体结构的形成方法,在形成所述高K介质层后,去除厚度较大的第二栅介质层所在的第二器件区域的高K介质层,仅保留第二栅介质层作为后续形成的第二栅极结构与衬底之间的隔离层,即在第二器件区域不存在高K介质层,而不会存在因为较厚的第二栅介质层的存在而影响高K介质层的偶极子的扩散的问题,使得第二栅极结构能够起到良好的阈值电压调节作用,避免第二器件区域的阈值电压过高,提高了第二器件区域的半导体器件的稳定性。同时,本公开实施例提供的形成方法,不会因所述第二器件区域的高K介质层的去除而影响第一器件区域的高K介质层,在具有较薄的第一栅介质层的所述第一器件区域依然形成有所述高K介质层,也进一步保证了第一器件区域的半导体结构的稳定性。并且,本公开实施例提供的形成方法采用第一光罩通过正显影或者负显影工艺形成所述第二栅介质层,采用所述第一光罩通过负显影或者正显影工艺,在所述第二器件区域,去除所述高K介质层,即采用同一光罩形成所述第二栅介质层及去除所述高K介质层,成本较低、制备工艺简单,无需复杂工艺即可避免第二器件区域的第二栅极结构无法较好地调节阈值电压的缺陷,大大提高了半导体工艺的实用性。

[0021] 本公开实施例提供的半导体结构在第一器件区域(薄氧器件区域)在第一栅极结构与衬底之间设置高K介质层,以降低第一栅极结构泄露电流,并且,在第二器件区域(厚氧器件区域)在第二栅极结构与衬底之间仅采用厚度较大的第二栅介质层作为隔离层,而并无高K介质层,在降低第二栅极结构泄露电流的同时也避免因第二栅介质层厚度太厚而引起高K介质层的偶极子的扩散的问题,使得第二栅极结构能够起到良好的阈值电压调节作用,避免第二器件区域的阈值电压过高,提高了第二器件区域的半导体器件的稳定性。

附图说明

[0022] 图1是本公开实施例提供的半导体结构的形成方法的步骤示意图;

[0023] 图2~图14是本公开实施例提供的形成方法的主要步骤形成的半导体结构示意图。

具体实施方式

[0024] 下面结合附图对本公开实施例做详细的说明。在详述本公开实施例时,为便于说明,示意图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本公开的保护范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。本公开实施例中所述的半导体结构可以是但不限于DRAM。

[0025] 图1是本公开实施例提供的半导体结构的形成方法的步骤示意图,请参阅图1,所述形成方法包括:步骤S10,形成基底,所述基底包括衬底,所述衬底具有第一器件区域及第

二器件区域,在所述第一器件区域,所述衬底表面覆盖有第一栅介质层,在所述第二器件区域,所述衬底表面覆盖有第二栅介质层,所述第一栅介质层的厚度小于所述第二栅介质层的厚度,在所述第一栅介质层及所述第二栅介质层表面覆盖有高K介质层,其中,采用第一光罩通过正显影或者负显影工艺形成所述第二栅介质层;步骤S11,采用所述第一光罩通过负显影或者正显影工艺,在所述第二器件区域,去除所述高K介质层,暴露出所述第二栅介质层;步骤S12,在所述第一器件区域,在所述高K介质层表面形成第一栅极结构,在所述第二器件区域,在所述第二栅介质层表面形成第二栅极结构。

[0026] 本公开实施例提供的半导体结构的形成方法中,在形成所述高K介质层后,去除厚度较大的第二栅介质层所在的第二器件区域的高K介质层,仅保留第二栅介质层作为后续形成的第二栅极结构与衬底之间的隔离层,即在第二器件区域不存在高K介质层,而不会存在因为较厚的第二栅介质层的存在而影响高K介质层的偶极子的扩散的问题,使得第二栅极结构能够起到良好的阈值电压调节作用,避免第二器件区域的阈值电压过高,提高了第二器件区域的半导体器件的稳定性。同时,本公开实施例提供的形成方法,不会因所述第二器件区域的高K介质层的去除而影响第一器件区域的高K介质层,在具有较薄的第一栅介质层的所述第一器件区域依然形成有所述高K介质层,也进一步保证了第一器件区域的半导体结构的稳定性。并且本公开实施例提供的形成方法采用第一光罩通过正显影或者负显影工艺形成所述第二栅介质层,采用所述第一光罩通过负显影或者正显影工艺,在所述第二器件区域,去除所述高K介质层,即采用同一光罩形成所述第二栅介质层及去除所述高K介质层,成本较低、制备工艺简单,无需复杂工艺即可避免第二器件区域的第二栅极结构无法较好地调节阈值电压的缺陷,大大提高了半导体工艺的实用性。

[0027] 下面结合图1~图14对本公开实施例提供的半导体器件的形成方法进行详细说明,其中,图2~图14是本公开实施例提供的形成方法的主要步骤形成的半导体结构示意图。

[0028] 请参阅图1及图2~图7,步骤S10,形成基底200,所述基底200包括衬底201,所述衬底201具有第一器件区域A1及第二器件区域A2,在所述第一器件区域A1,所述衬底201表面覆盖有第一栅介质层210,在所述第二器件区域A2,所述衬底201表面覆盖有第二栅介质层220,所述第一栅介质层210的厚度小于所述第二栅介质层220的厚度,在所述第一栅介质层210及所述第二栅介质层220表面覆盖有高K介质层230,其中,采用第一光罩通过正显影或者负显影工艺形成所述第二栅介质层220。

[0029] 所述衬底201可以包括硅衬底、锗(Ge)衬底、锗化硅(SiGe)衬底或SOI衬底等;所述衬底还可以为包括其他元素半导体或化合物半导体的衬底,例如砷化镓、磷化铟或碳化硅等,所述衬底还可以为叠层结构,例如硅/锗硅叠层等;另外,所述衬底201可以为进行离子掺杂后的衬底,可以进行P型掺杂,也可以进行N型掺杂;所述衬底201中还可以形成有多个外围器件,如场效应晶体管、电容、电感和/或二极管等。本实施例中,所述衬底201为硅衬底,其内部还可以包括其他器件结构,例如晶体管结构、金属布线结构等,但由于与本发明无关,所以不绘示。

[0030] 在本实施例中,所述第一器件区域A1指形成第一类型晶体管的区域,所述第二器件区域A2指形成第二类型晶体管的区域。所述第一类型晶体管可为薄氧晶体管,所述第二类型晶体管可为厚氧晶体管。在一些实施例中,所述第一类型晶体管包括逻辑晶体管,所述

第二类型晶体管包括输入/输出晶体管。

[0031] 在本实施例中,所述第一器件区域A1包括第一N阱区202及第一P阱区203,所述第二器件区域A2包括第二N阱区204及第二P阱区205,所述第一N阱区202、所述第一P阱区203、所述第二N阱区204及所述第二P阱区205通过浅沟槽隔离结构300隔离。其中,所述第一N阱区202及第二N阱区204可通过将砷和/或磷离子注入衬底201而形成,所述第一P阱区203及第二P阱区205可通过将硼离子注入衬底201而形成。

[0032] 所述第一栅介质层210仅在所述第一器件区域A1覆盖所述衬底201表面,所述第二栅介质层220仅在所述第二器件区域A2覆盖所述衬底201表面,所述高K介质层230既覆盖所述第一栅介质层210也覆盖所述第二栅介质层220。即在所述第一器件区域A1,所述衬底201表面设置有所述第一栅介质层210,所述第一栅介质层210表面覆盖有高K介质层230,在所述第二器件区域A2,所述衬底201表面覆盖有所述第二栅介质层220,所述第二栅介质层220表面覆盖有所述高K介质层230。

[0033] 在本实施例中,在所述第一N阱区202,在所述衬底201表面形成有硅锗层206,则在所述第一器件区域A1,在所述第一N阱区202,所述第一栅介质层210覆盖所述硅锗层206表面。

[0034] 作为示例,本公开实施例还提供一种形成所述基底200的方法。所述方法包括:

[0035] 请参阅图2~图5,提供所述衬底201,并且,在所述第二器件区域A2,在所述衬底201表面形成第二栅介质层220。

[0036] 本实施例提供一种形成所述第二栅介质层220的方法。具体说明如下:

[0037] 请参阅图2,在所述衬底201上形成第二栅介质材料层221。所述第二栅介质材料层221不仅覆盖所述第二器件区域A2的衬底201表面,还覆盖所述第一器件区域A1的衬底201表面。所述第二栅介质材料层221为氧化物层,包括但不限于氧化硅或者氮氧化硅。在一些实施例中,可通过热氧化、化学气相沉积、原子层沉积等方法在所述衬底201表面形成所述第二栅介质材料层221。

[0038] 在本实施例中,在形成第二栅介质材料层221之前,还包括在所述第一N阱区202形成硅锗层206的步骤。其中,可以采用化学气相沉积等工艺形成所述硅锗层。在本实施例中,在所述第一N阱区202,所述第二栅介质材料层221覆盖所述硅锗层206的表面。

[0039] 请参阅图3,采用所述第一光罩通过正显影或者负显影工艺,在所述第二器件区域A2,在所述第二栅介质材料层221上形成第一掩膜层310。所述第一掩膜层310仅覆盖所述第二器件区域A2的所述第二栅介质材料层221,所述第一器件区域A1的所述第二栅介质材料层221表面被暴露。所述第一掩膜层310为光刻胶层,在一些实施例中,采用第一光罩通过正显影或负显影工艺保留位于所述第二器件区域A2的第二栅介质材料层221表面的光刻胶层,作为所述第一掩膜层310。例如,在本实施例中,采用所述第一光罩通过正显影工艺形成所述所述第一掩膜层310。

[0040] 请参阅图4,以所述第一掩膜层310作为遮挡,在所述第一器件区域A1,去除所述第二栅介质材料层221,在所述第二器件区域A2,所述第二栅介质材料层221作为所述第二栅介质层220。在该步骤中,采用刻蚀工艺去除所述第二栅介质材料层221,例如干法刻蚀工艺。由于所述第一掩膜层310仅遮挡所述第二器件区域A2的第二栅介质材料层221,则位于所述第二器件区域A2的所述第二栅介质材料层221被保留,作为所述第二栅介质层220,位

于所述第一器件区域A1的所述第二栅介质材料层221被去除,暴露出所述衬底201及所述硅锗层206。

[0041] 请参阅图5,去除所述第一掩膜层310,暴露出所述第二栅介质层220。在该步骤中,可采用灰化工艺等方法去除所述第一掩膜层310。

[0042] 在形成所述第二栅介质层220后,请参阅图6,在所述第一器件区域A1,在所述衬底201表面形成第一栅介质层210。

[0043] 本实施例提供一种形成所述第一栅介质层210的方法。具体说明如下:

[0044] 请参阅图6,形成第一栅介质材料层,在所述第一器件区域A1,所述第一栅介质材料层覆盖所述衬底201及所述硅锗层206的表面,所述第一栅介质材料层作为所述第一栅介质层210。在该步骤中,可采用热氧化、化学气相沉积、原子层沉积等方法在所述衬底201表面形成所述第一栅介质材料层。

[0045] 在本实施例中,所述第一栅介质材料层仅形成在所述第一器件区域A1的衬底201及硅锗层206表面,并不形成在所述第二器件区域A2的第二栅介质材料层221表面,则在形成所述第二栅介质材料层221的步骤中(请参阅图2)形成的所述第二栅介质材料层221的厚度大于所述第一栅介质材料层的厚度,使得最终形成的第二栅介质层220的厚度大于所述第一栅介质层210的厚度。

[0046] 可以理解的是,在另一些实施例中,在所述第二器件区域A2,所述第一栅介质材料层还形成在所述第二栅介质材料层221的表面,所述第一栅介质材料层与所述第二栅介质材料层221共同作为所述第二栅介质层220。由于所述第二栅介质层220的厚度为第一栅介质材料层与所述第二栅介质材料层221的厚度之和,则可以确保所述第二栅介质层220的厚度大于所述第一栅介质层210的厚度。

[0047] 在形成所述第一栅介质层210后,请参阅图7,形成高K介质层230,所述高K介质层230覆盖所述第一栅介质层210及所述第二栅介质层220。所述高K介质层230由介电常数大于二氧化硅的介电常数的材料构成,例如,二氧化铪(HfO_2)、二氧化硅铪(HfSiO_2)、氮氧硅铪(HfSiON)等。在该步骤中,可采用化学气相沉积或原子层沉积等工艺形成所述高K介质层230。

[0048] 请继续参阅图1及图8~图10,步骤S11,采用所述第一光罩通过负显影或者正显影工艺,在所述第二器件区域A2,去除所述高K介质层230,暴露出所述第二栅介质层220。在该步骤中,去除位于所述第二器件区域A2的所述高K介质层230,保留位于所述第一器件区域A1的所述高K介质层230。作为示例,在本公开一实施例中,去除所述高K介质层230的步骤包括:

[0049] 请参阅图8,采用所述第一光罩通过负显影或者正显影工艺,在所述第一器件区域A1,在所述高K介质层230表面形成第二掩膜层320。所述第二掩膜层320仅覆盖所述第一器件区域A1的所述高K介质层230,所述第二器件区域A2的所述高K介质层230表面被暴露。所述第二掩膜层320为光刻胶层,在一些实施例中,可通过负显影或正显影的方式保留位于所述第一器件区域A1的光刻胶层,作为所述第二掩膜层320。

[0050] 在本公开实施例中,通过同一所述第一光罩能够实现形成第二栅介质层及去除所述高K介质层的目的,大大降低了成本,简化了制备工艺。可以理解的是,由于所述第一掩膜层310与所述第二掩膜层320的设置位置互补,若形成第一掩膜层310时采用正显影工艺,则

形成第二掩膜层320时采用负显影工艺,若形成第一掩膜层310时采用负显影工艺,则形成第二掩膜层320时采用正显影工艺。

[0051] 在本实施例中,在形成所述第二掩膜层320之前,还包括如下步骤:在所述高K介质层230表面形成保护层330。所述保护层330用于在后续工艺中保护位于所述第一器件区域A1的高K介质层230,所述保护层330可为SiN层或者SiON层。在本实施例中,通过化学气相沉积工艺形成所述保护层330。可以理解的是,在本实施例中,在所述第一器件区域A1,所述第二掩膜层320形成在所述保护层330的表面。

[0052] 形成保护层330的步骤为可选步骤,在其他实施例中,也可不形成所述保护层330,而是直接在所述高K介质层230表面形成所述第二掩膜层320。

[0053] 请参阅图9,以所述第二掩膜层320作为遮挡,在所述第二器件区域A2,去除所述高K介质层230,暴露出所述第二栅介质层220。在该步骤中,采用刻蚀工艺去除所述高K介质层230,例如湿法刻蚀工艺。由于所述第二掩膜层320仅遮挡所述第一器件区域A1的所述高K介质层230,则位于所述第一器件区域A1的所述高K介质层230被保留,位于所述第二器件区域A2的所述高K介质层230被去除,暴露出所述第二栅介质层220。在本实施例中,由于所述高K介质层230表面覆盖有所述保护层330,则在该步骤中,在所述第二器件区域A2,所述保护层330也被去除,在所述第一器件区域A1,所述保护层330与所述第二掩膜层320共同作为掩膜,保护所述第一器件区域A1的所述高K介质层230。

[0054] 请参阅图10,去除所述第二掩膜层320,暴露出所述高K介质层230。在本实施例中,所述高K介质层230表面的保护层330也一并被去除。其中,可采用灰化及刻蚀工艺去除所述第二掩膜层320及所述保护层330。

[0055] 请继续参阅图1及图11~图14,步骤S12,在所述第一器件区域A1,在所述高K介质层230表面形成第一栅极结构240,在所述第二器件区域A2,在所述第二栅介质层220表面形成第二栅极结构250。

[0056] 在所述第一器件区域A1,所述第一栅极结构240与所述衬底201之间以所述第一栅介质层210及所述高K介质层230作为绝缘隔离层,在所述第二器件区域A2,所述第二栅极结构250与所述衬底201之间以所述第二栅介质层220为绝缘隔离层,即在所述第二器件区域A2不存在高K介质层230,从而不会因为较厚的第二栅介质层220的存在而影响高K介质层230的偶极子的扩散,第二栅极结构250能够起到良好的阈值电压调节作用,避免第二器件区域A2的阈值电压过高,提高了第二器件区域A2的半导体器件的稳定性。

[0057] 在本实施例中,所述第一栅极结构240包括第一NMOS晶体管栅极结构241及第一PMOS晶体管栅极结构242,所述第一NMOS晶体管栅极结构241与所述第一P阱区203对应设置,所述第一PMOS晶体管栅极结构242与所述第一N阱区202对应设置;所述第二栅极结构250包括第二NMOS晶体管栅极结构251及第二PMOS晶体管栅极结构252,所述第二NMOS晶体管栅极结构251与所述第二P阱区205对应设置,所述第二PMOS晶体管栅极结构252与所述第二N阱区204对应设置。

[0058] 形成所述第一栅极结构240及所述第二栅极结构250的步骤包括:在所述第一P阱区203形成第一NMOS晶体管栅极结构241,在所述第一N阱区202形成第一PMOS晶体管栅极结构242,在所述第二P阱区205形成第二NMOS晶体管栅极结构251,在所述第二N阱区204形成第二PMOS晶体管栅极结构252。

[0059] 作为示例,本公开实施例还提供一种形成所述第一栅极结构240及所述第二栅极结构250的方法。具体地说,形成所述第一栅极结构240及所述第二栅极结构250的方法包括:

[0060] 请参阅图11,在所述第一N阱区202及所述第二N阱区204形成PMOS晶体管金属栅极层260。所述PMOS晶体管金属栅极层260包括功函数金属层和/或TiN层。对于PMOS晶体管金属栅极层260而言,所述功函数金属层可为 Al_2O_3 层。作为示例,在本实施例中,所述PMOS晶体管金属栅极层260包括依次设置的TiN层、 Al_2O_3 层及TiN层。

[0061] 请参阅图12,在所述第一P阱区203及所述第二P阱区205形成NMOS晶体管金属栅极层261。所述NMOS晶体管金属栅极层261包括功函数金属层和/或TiN层。对于NMOS晶体管金属栅极层261而言,所述功函数金属层可为 La_2O_3 层。作为示例,在本实施例中,所述NMOS晶体管金属栅极层261包括依次设置的 La_2O_3 层、TiN层。

[0062] 作为示例,在本实施例中,所述NMOS晶体管金属栅极层261还形成在所述PMOS晶体管金属栅极层260表面,即在所述第一N阱区202及所述第二N阱区204,形成有PMOS晶体管金属栅极层260及NMOS晶体管金属栅极层261。

[0063] 请参阅图13,形成栅极复合材料层262,所述栅极复合材料层262覆盖所述NMOS晶体管金属栅极层261及所述PMOS晶体管金属栅极层260。所述栅极复合材料层262包括但不限于依次设置的多晶硅层、钨层及氮氧化硅层,在附图中仅示意性绘示一层。

[0064] 请参阅图14,图案化所述栅极复合材料层262、所述NMOS晶体管金属栅极层261及PMOS晶体管金属栅极层260,形成所述第一NMOS晶体管栅极结构241、所述第一PMOS晶体管栅极结构242、所述第二NMOS晶体管栅极结构251及所述第二PMOS晶体管栅极结构252。在该步骤中可采用光刻及刻蚀工艺图案化所述栅极复合材料层262、所述NMOS晶体管金属栅极层261及PMOS晶体管金属栅极层260。其中,位于所述NMOS晶体管金属栅极层261上的栅极复合材料层262形成第一栅极复合层263,位于所述PMOS晶体管金属栅极层260上的栅极复合材料层262形成第二栅极复合层264。

[0065] 在该步骤中,所述第一栅介质层210、所述高K介质层230、所述第二栅介质层220也被图案化。所述第一NMOS晶体管栅极结构241、所述第一PMOS晶体管栅极结构242、所述第二NMOS晶体管栅极结构251及所述第二PMOS晶体管栅极结构252两侧的衬底201被暴露,可进行掺杂,形成源漏区。在本实施例中,在该步骤中,去除部分所述硅锗层206,仅保留位于所述第一PMOS晶体管栅极结构242下方的所述硅锗层206。

[0066] 本公开实施例提供的半导体结构的形成方法不会因所述第二器件区域A2的高K介质层230的去除而影响第一器件区域A1的高K介质层230,在所述第一器件区域A1依然形成有高K介质层230,也进一步保证了第一器件区域A1的半导体结构的稳定性。本公开实施例提供的形成方法工艺简单,无需复杂工艺即可避免第二器件区域A2的第二栅极结构250无法较好地调节阈值电压的缺陷,大大提高了半导体工艺的实用性。

[0067] 本公开实施例还提供一种采用上述形成方法形成的半导体结构。请参阅图14,所述半导体结构包括衬底201、第一栅介质层210、第二栅介质层220、高K介质层230、第一栅极结构240及第二栅极结构250。

[0068] 所述衬底201具有第一器件区域A1及第二器件区域A2。在所述第一器件区域A1,所述第一栅介质层210覆盖所述衬底201表面,所述高K介质层230覆盖所述第一栅介质层210

表面,所述第一栅极结构240位于所述高K介质层230表面。在所述第二器件区域A2,第二栅极介质层220覆盖所述衬底201表面,所述第二栅极结构250位于所述第二栅极介质层220表面,所述第一栅极介质层210的厚度小于所述第二栅极介质层220的厚度。其中,在本实施例中,所述第一器件区域A1的第一栅极介质层210厚度较薄,其为薄氧器件区域,所述第二器件区域A2的第二栅极介质层220厚度较厚,其为厚氧器件区域。

[0069] 在本实施例中,所述第一器件区域A1包括第一N阱区202及第一P阱区203,所述第一栅极结构240包括第一NMOS晶体管栅极结构241及第一PMOS晶体管栅极结构242,所述第一NMOS晶体管栅极结构241设置在所述第一P阱区203上,所述第一PMOS晶体管栅极结构242设置在所述第一N阱区202上。

[0070] 在本实施例中,在所述第一N阱区202,所述半导体结构还包括硅锗层206,所述硅锗层206设置在所述第一栅极介质层210与所述衬底201之间。硅的晶格常数为0.543nm,锗的晶格常数为0.567nm,二者相差4.17%,因此,纯硅中引入锗元素会形成带有应力的硅锗(SiGe)材料。硅锗材料随锗元素的密度变化,禁带宽度可以改变,易于形成异质结构;同时,硅锗材料的电子和空穴迁移率均比硅高,采用硅锗材料作为沟道有助于提高半导体结构沟道的空穴迁移率。

[0071] 所述第一NMOS晶体管栅极结构241包括NMOS晶体管金属栅极层261及覆盖所述NMOS晶体管金属栅极层261的第一栅极复合层263。所述NMOS晶体管金属栅极层261包括功函数金属层和/或TiN层。对于NMOS晶体管金属栅极层261而言,所述功函数金属层可为 La_2O_3 层。作为示例,在本实施例中,所述NMOS晶体管金属栅极层261包括依次设置的 La_2O_3 层、TiN层。所述第一栅极复合层263包括但不限于依次设置的多晶硅层、钨层及氮氧化硅层。

[0072] 所述第一PMOS晶体管栅极结构242包括PMOS晶体管金属栅极层260及覆盖所述PMOS晶体管金属栅极层260的第二栅极复合层264。所述PMOS晶体管金属栅极层260包括功函数金属层和/或TiN层。对于PMOS晶体管金属栅极层260而言,所述功函数金属层可为Al2O3层。作为示例,在本实施例中,所述PMOS晶体管金属栅极层260包括依次设置的TiN层、Al2O3层及TiN层。所述第二栅极复合层264包括但不限于依次设置的多晶硅层、钨层及氮氧化硅层。

[0073] 在本实施例中,所述第二器件区域A2包括第二N阱区204及第二P阱区,所述第二栅极结构250包括第二NMOS晶体管栅极结构251及第二PMOS晶体管栅极结构252,所述第二NMOS晶体管栅极结构251设置在所述第二P阱区205上,所述第二PMOS晶体管栅极结构252设置在所述第二N阱区204上。

[0074] 所述第二NMOS晶体管栅极结构251包括NMOS晶体管金属栅极层261及覆盖所述NMOS晶体管金属栅极层261的第一栅极复合层263。所述NMOS晶体管金属栅极层261包括功函数金属层和/或TiN层。在本实施例中,所述第二NMOS晶体管栅极结构251与所述第一NMOS晶体管栅极结构241相同,此处不再赘述。

[0075] 所述第二PMOS晶体管栅极结构252包括PMOS晶体管金属栅极层260、及覆盖所述PMOS晶体管金属栅极层260的NMOS晶体管金属栅极层261及覆盖所述NMOS晶体管金属栅极层261第二栅极复合层264。在本实施例中,所述第二PMOS晶体管栅极结构252与所述第一PMOS晶体管栅极结构242相同,此处不再赘述。

[0076] 本公开实施例提供的半导体结构在所述第一器件区域A1(薄氧器件区域)在所述

第一栅极结构240与所述衬底201之间设置高K介质层230,以降低所述第一栅极结构240泄露电流,并且,在所述第二器件区域A2(厚氧器件区域)在所述第二栅极结构250与所述衬底201之间仅采用厚度较大的所述第二栅介质层220作为隔离层,而并无高K介质层230,在降低所述第二栅极结构250泄露电流的同时也避免因所述第二栅介质层220厚度太厚而引起高K介质层230的偶极子的扩散的问题,使得所述第二栅极结构250能够起到良好的阈值电压调节作用,避免所述第二器件区域A2的阈值电压过高,提高了所述第二器件区域A2的半导体器件的稳定性。

[0077] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

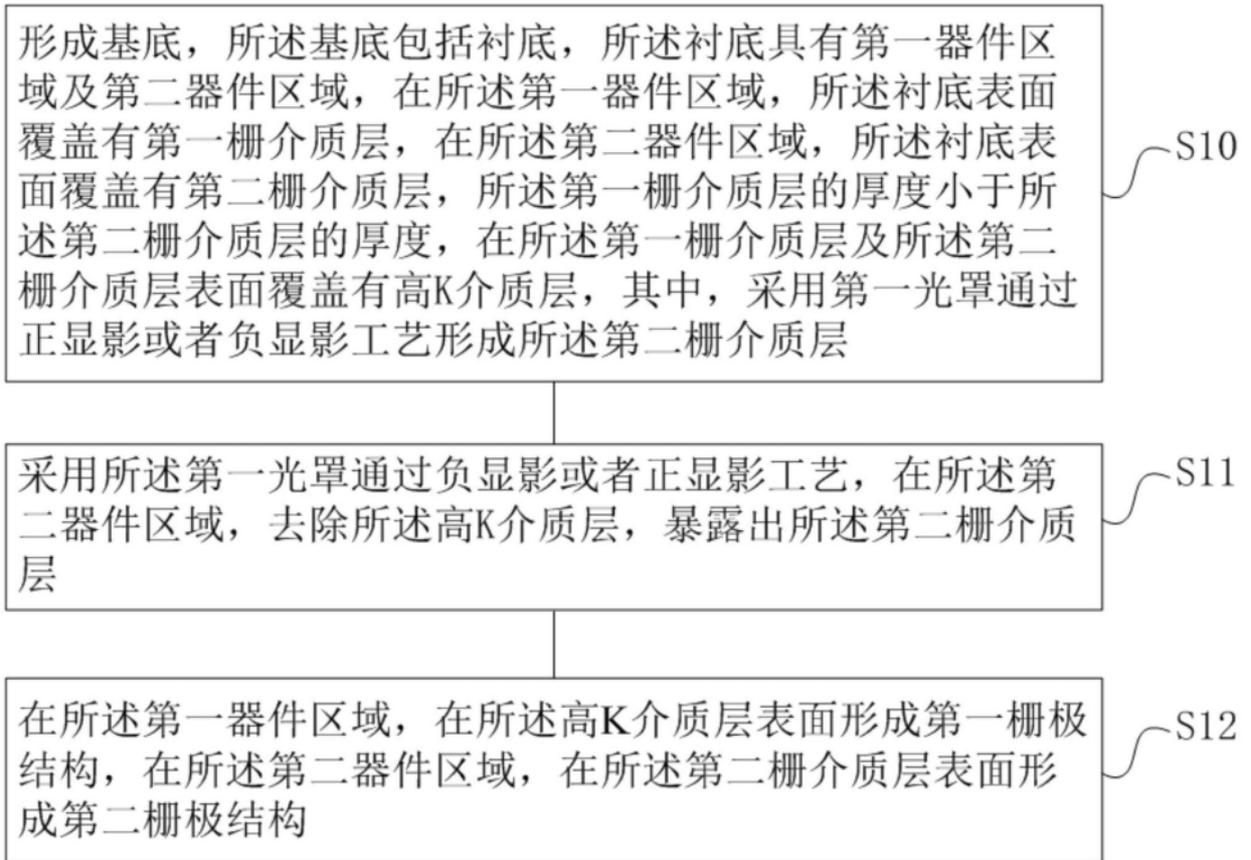


图1

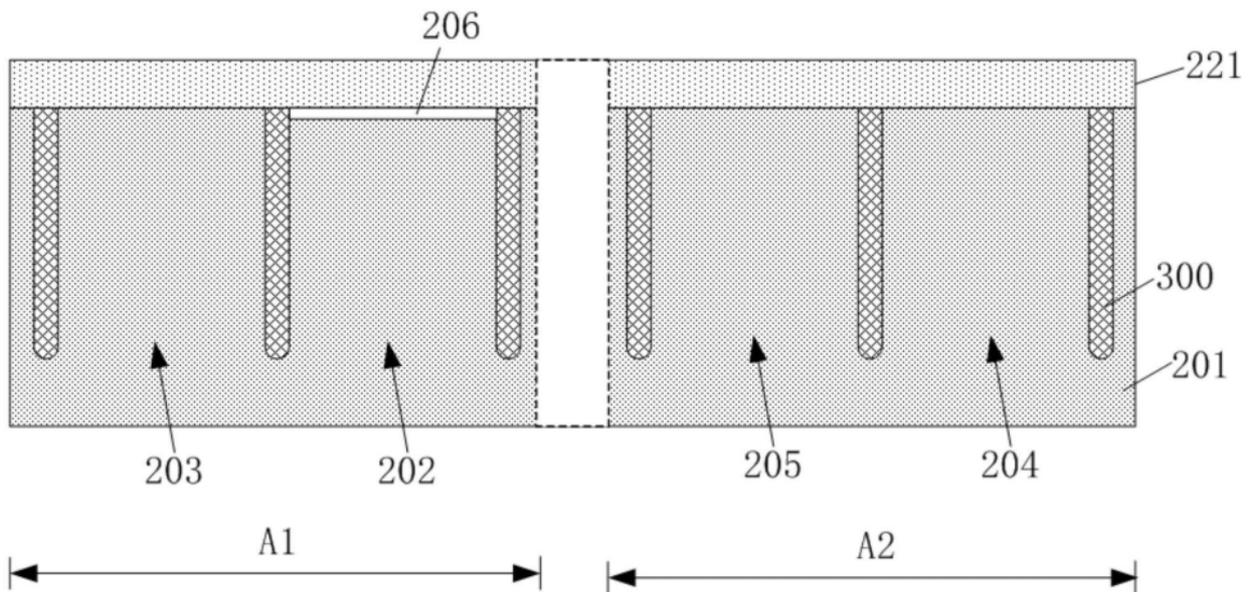


图2

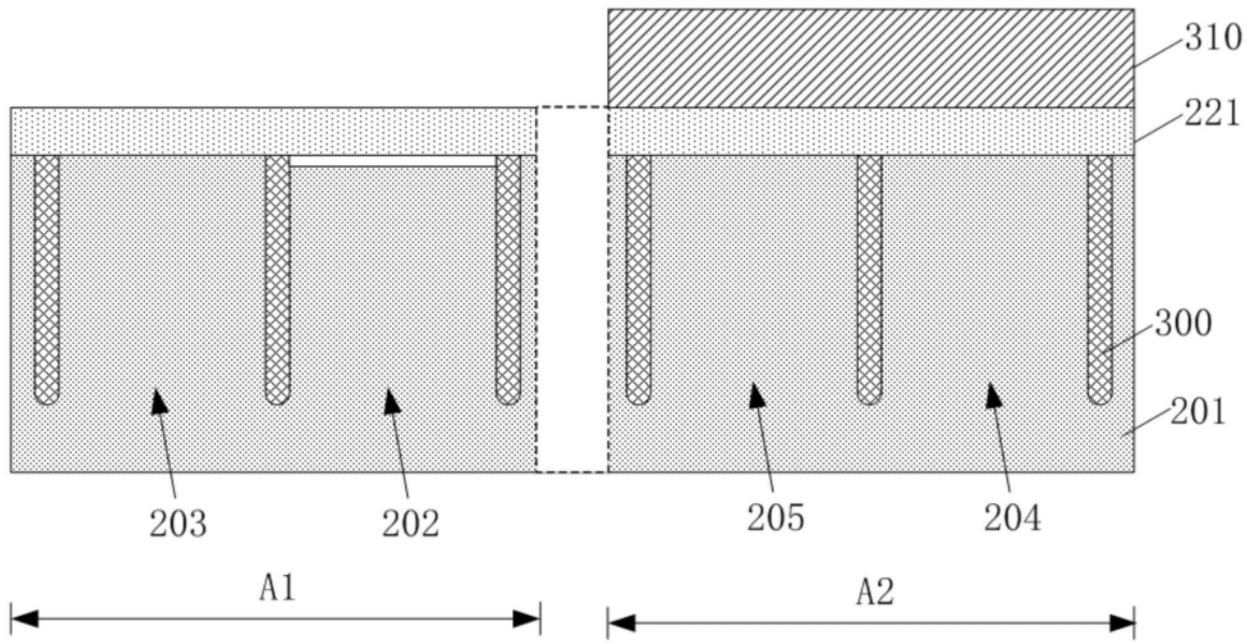


图3

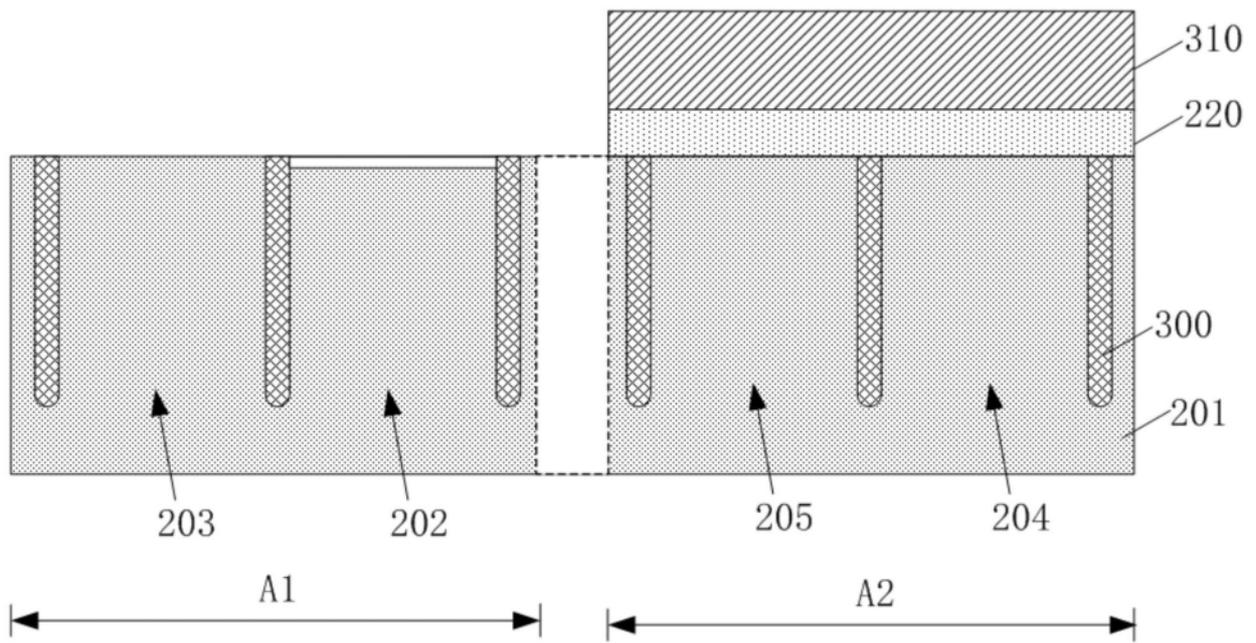


图4

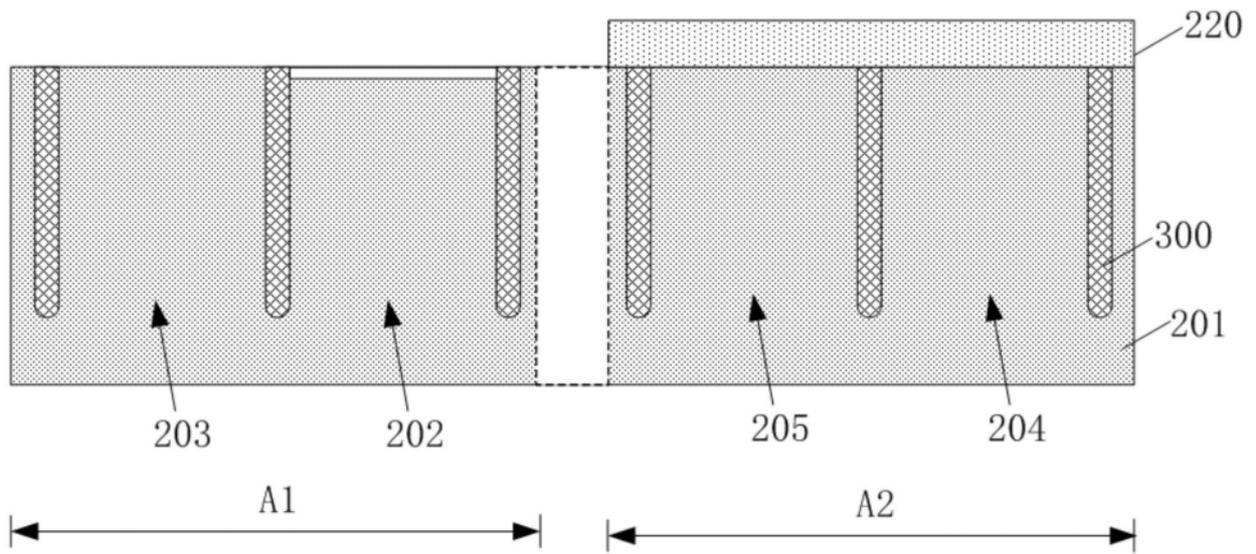


图5

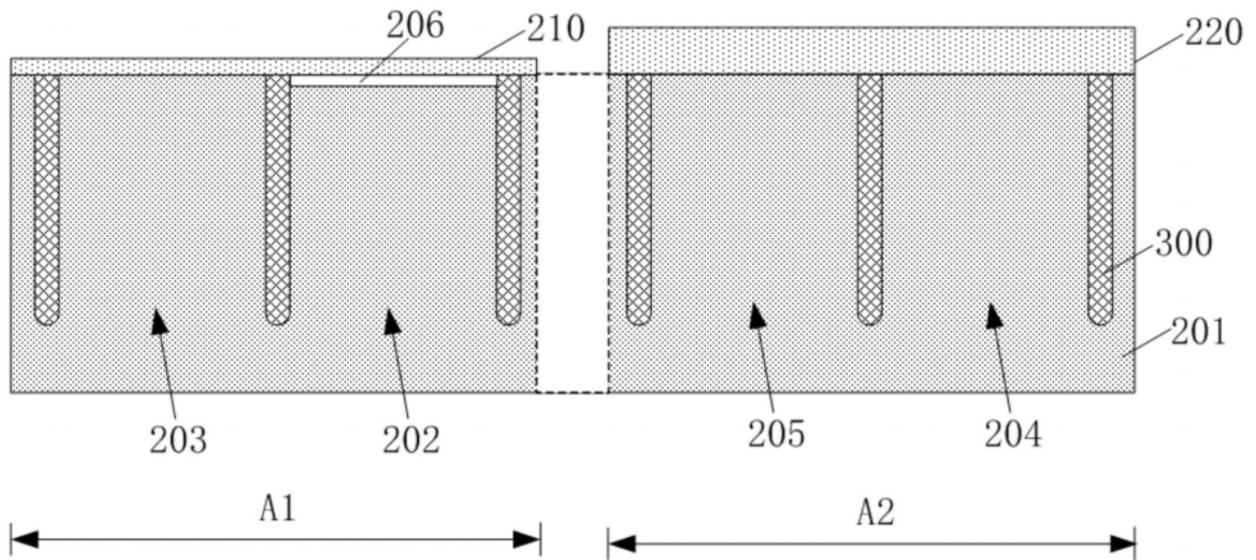


图6

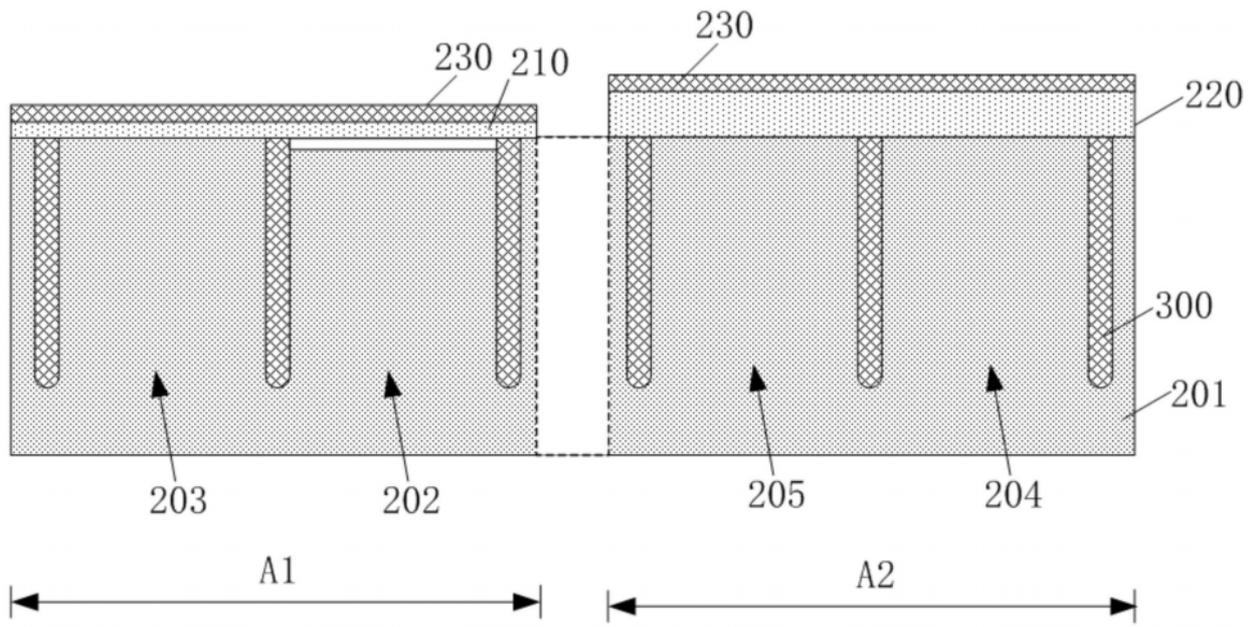


图7

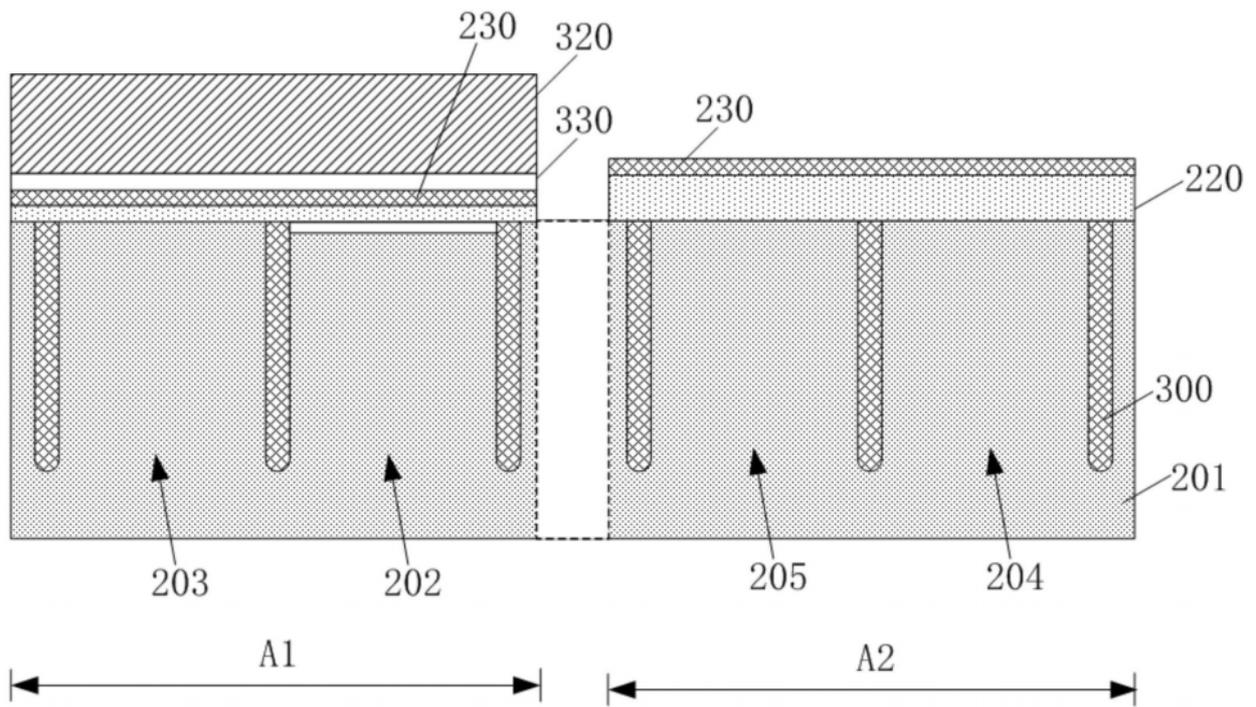


图8

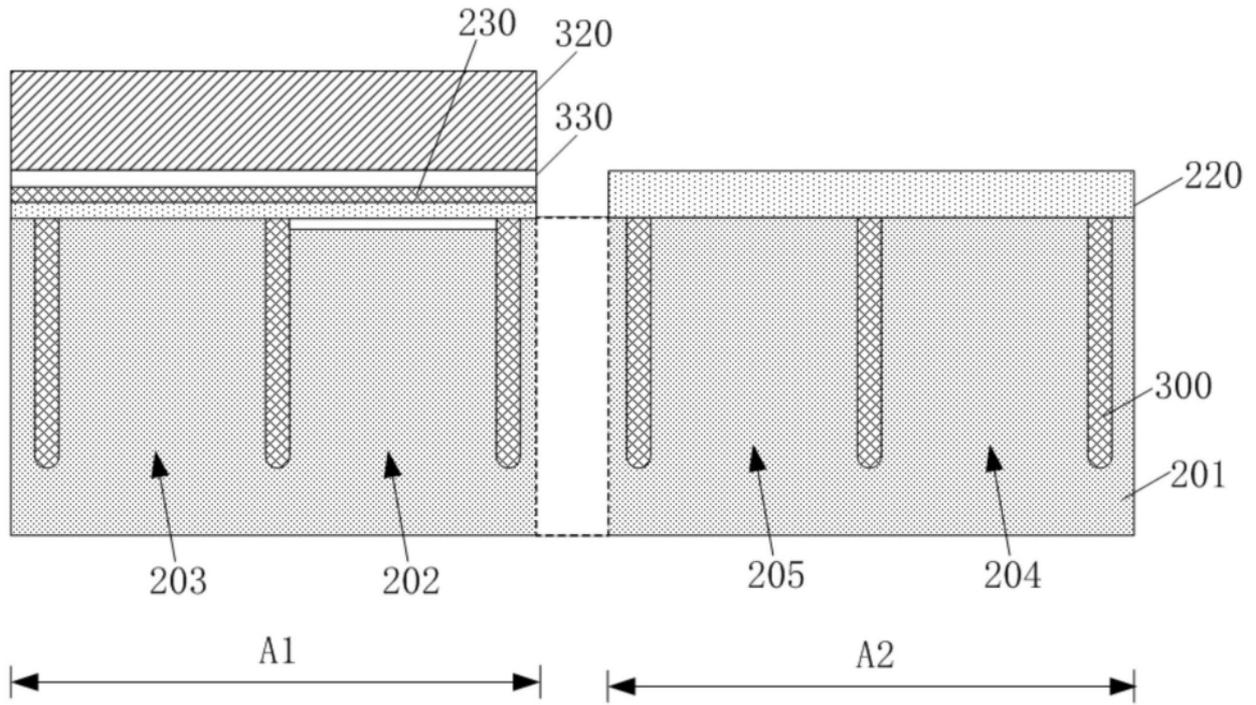


图9

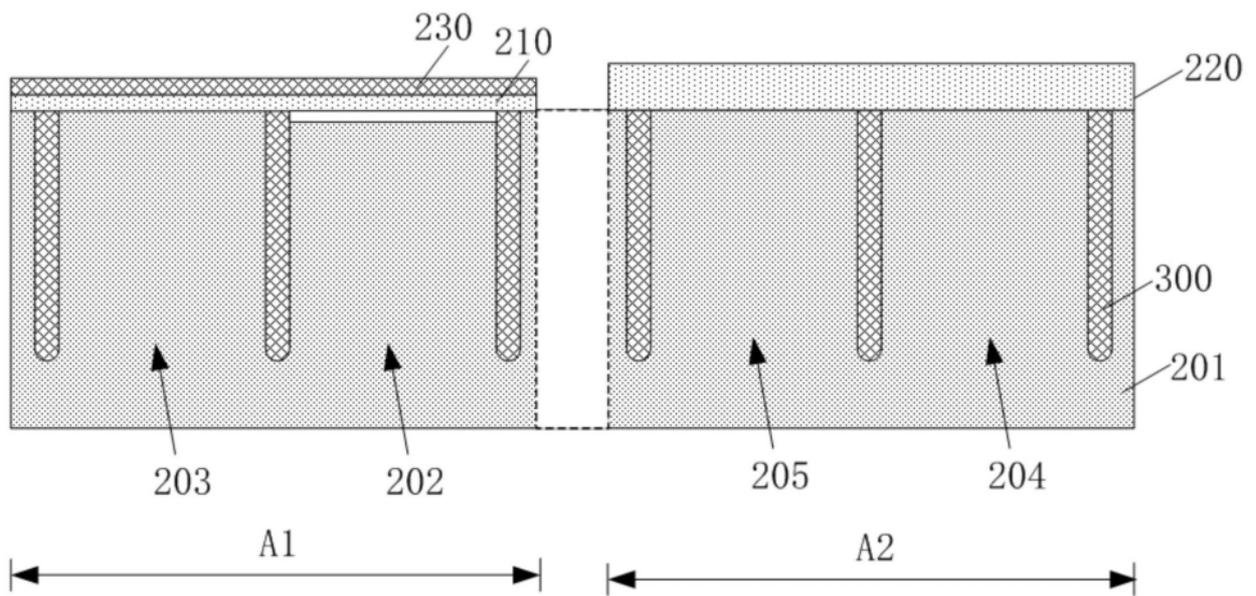


图10

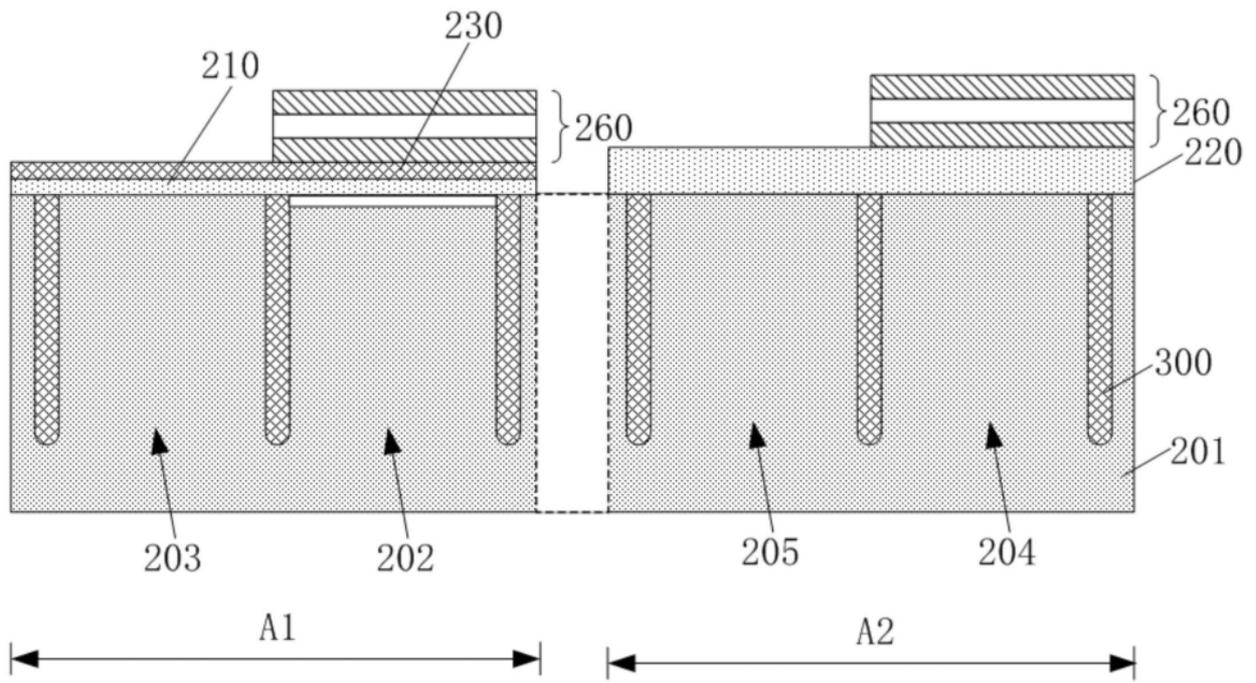


图11

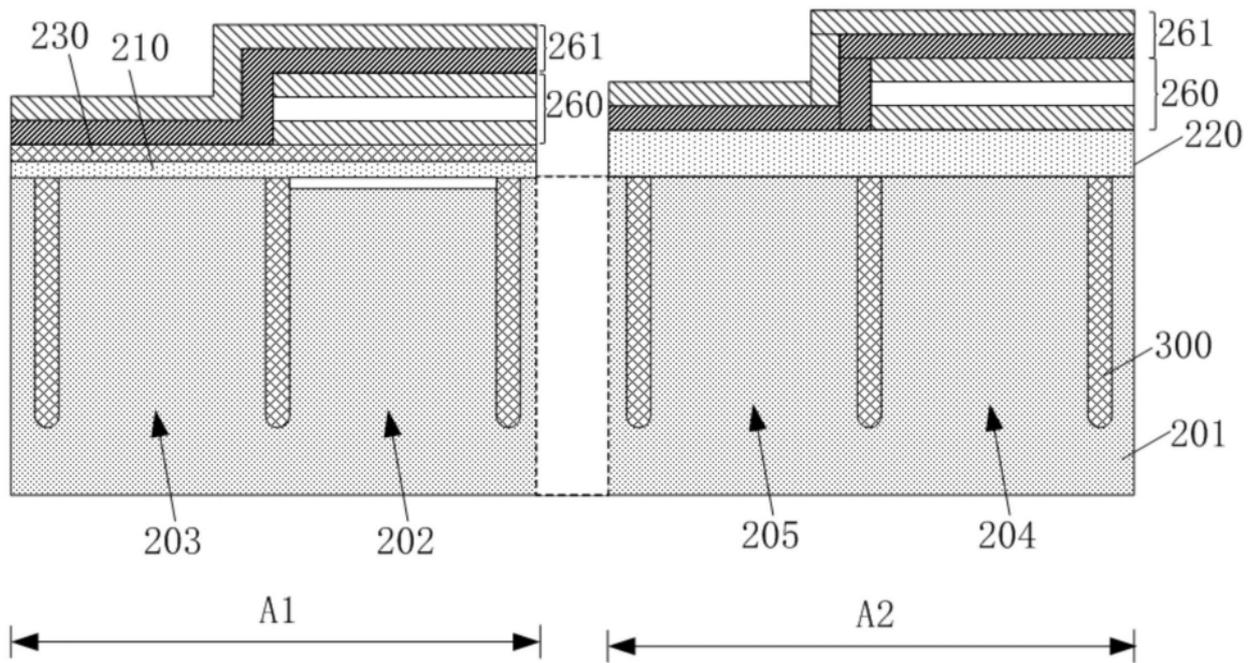


图12

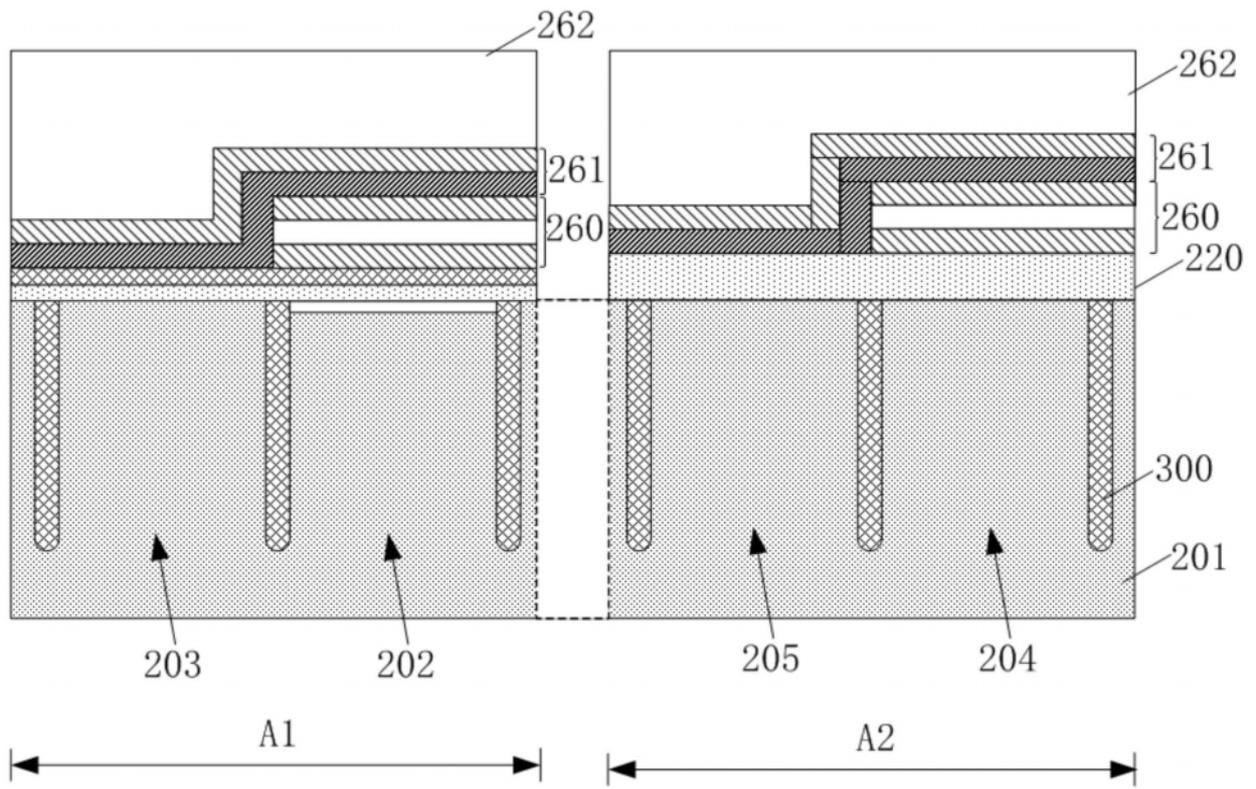


图13

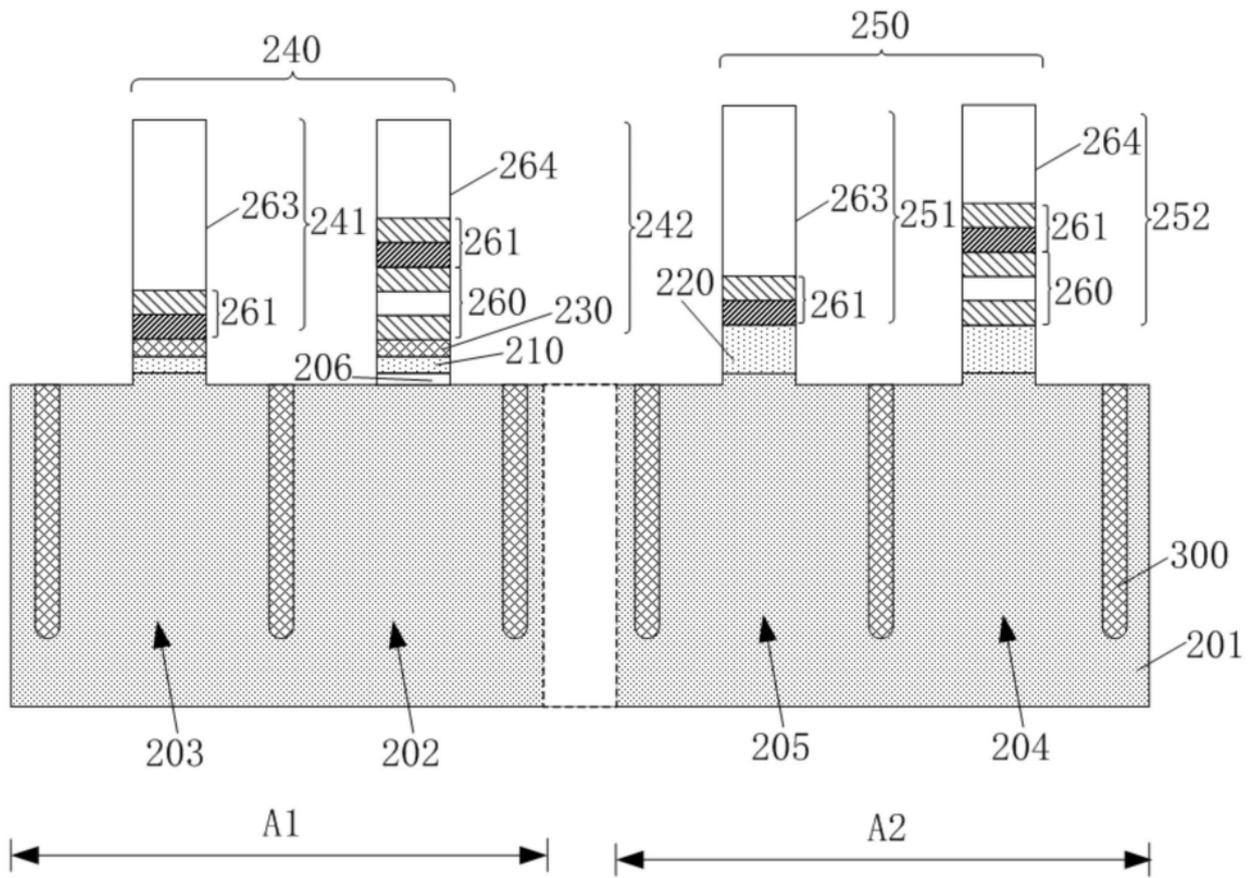


图14