



(21) 申請案號：103130070

(22) 申請日：中華民國 103 (2014) 年 09 月 01 日

(51) Int. Cl. : H05K1/14 (2006.01)

(71) 申請人：廣達電腦股份有限公司 (中華民國) QUANTA COMPUTER INC. (TW)

桃園市龜山區文化二路 188 號

(72) 發明人：莊東霖 CHUANG, TUNG LIN (TW)；顏倨毅 YEN, CHI YI (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：10 項 圖式數：4 共 16 頁

(54) 名稱

電路板結構之改良方法

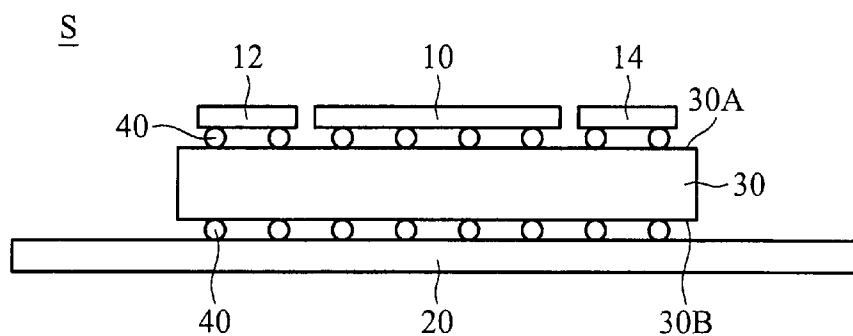
IMPROVED METHOD FOR STRUCTURE OF CIRCUIT BOARD

(57) 摘要

一種電路板結構之改良方法，包括提供一第一電路板；提供一第二電路板，該第二電路板之面積小於該第一電路板之面積；藉由一表面黏著技術(SMT)結合該第一電路板與該第二電路板，以構成一局部具有不同層別數之電路板組件。

An improved method for structure of circuit board is provided, including a first circuit board and a second circuit board are provided, wherein the area of the second circuit board is smaller than the area of the first circuit board. The first circuit board and the second circuit board are connected with each other by a Surface Mount Technology (SMT), to form a circuit board assembly having a portion with different number of layers.

指定代表圖：



第 2 圖

符號簡單說明：

10 . . . 處理器

12 . . . 記憶體

14 . . . 電源

20 . . . 第一電路板

30 . . . 第二電路板

30A . . . 上表面

30B . . . 下表面

40 . . . 錫球

S . . . 電路板組件

發明摘要

103130070

※ 申請案號：

※ 申請日：103. 9. 01

※IPC 分類：

H05K 1/14 .2006.01

【發明名稱】 電路板結構之改良方法IMPROVED METHOD FOR STRUCTURE OF
CIRCUIT BOARD**【中文】**

一種電路板結構之改良方法，包括提供一第一電路板；提供一第二電路板，該第二電路板之面積小於該第一電路板之面積；藉由一表面黏著技術(SMT)結合該第一電路板與該第二電路板，以構成一局部具有不同層別數之電路板組件。

【英文】

An improved method for structure of circuit board is provided, including a first circuit board and a second circuit board are provided, wherein the area of the second circuit board is smaller than the area of the first circuit board. The first circuit board and the second circuit board are connected with each other by a Surface Mount Technology (SMT), to form a circuit board assembly having a portion with different number of layers.

【代表圖】

【本案指定代表圖】：第 2 圖。

【本代表圖之符號簡單說明】：

30.0075

10～處理器；

12～記憶體；

14～電源；

20～第一電路板；

30～第二電路板；

30A～上表面；

30B～下表面；

40～錫球；

S～電路板組件。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 電路板結構之改良方法

IMPROVED METHOD FOR STRUCTURE OF
CIRCUIT BOARD

【技術領域】

【0001】 本發明係關於一種電路板結構之改良方法；特別係關於一種可減少製造成本的電路板結構之改良方法。

【先前技術】

【0002】 電路板主要用以承載電子元件，同時亦作為電子元件線路連接的提供者，故實為電子產品中一不可或缺的重要零件。

【0003】 第1A圖表示一習知電路板結構的示意圖，其中該習知電路板例如為一電腦主機板(motherboard)，上面設置有包括處理器10、記憶體12、電源14、I/O連接器16、多個主、被動元件以及導線(第1A圖中未顯示)。應了解的是，由於上述處理器10、記憶體12及電源14等電子元件的線路佈局一般相對複雜，故必須採用多層別(例如8層、10層或者以上)製程製作的電路板搭載，然而單片電路板無法同時具有兩種不同層別，因而導致整片電路板(包括第1A圖中處理器10、記憶體12及電源14等電子元件所在的區域A，及區域A之外用以承載其他主、被動元件及I/O連接器16的區域B)皆必須採用多層別製程來製作，進而形成製造成本上的浪費。

【0004】 爲了解決此問題，現有的做法係採用主板與小板分開之形式(參閱第1B圖)，亦即將處理器10、記憶體12及電源14等電子元件設置於以多層別製程製作的主板A上，再將其他主、被動元件及I/O連接器16另外設置於非多層板(例如4層以下)的小板B1~B3上，之後透過各種不同形式之排線將主板A及小板B1~B3相互連接。然而此做法雖可減少製作大面積多層別電路板的成本，惟亦增加了排線、排線連接器及組裝成本等額外費用，並且使用排線也容易造成訊號上的衰減與電磁干擾(Electro-Magnetic Interference, EMI)等衍生問題。

【發明內容】

【0005】 有鑑於前述習知問題點，本發明之一目的係提供一種電路板結構之改良方法，可滿足局部多層板之需求，並且有效減少電路板製造之成本。另外，亦避免排線之使用以減少訊號衰減與電磁干擾等問題。

【0006】 本發明之一實施例中提供一種電路板結構之改良方法，包括提供一第一電路板；提供一第二電路板，且第二電路板之面積小於第一電路板之面積；藉由一表面黏著技術(SMT)結合第一電路板與第二電路板，以構成一局部具有不同層別數之電路板組件。

【0007】 於一實施例中，前述改良方法更包括設置複數電子元件於第二電路板。

【0008】 於一實施例中，前述電子元件包括處理器、記憶體、電源或者上述之組合。

【0009】 於一實施例中，前述電子元件係以緊密排列之方式設置於第二電路板，使得第二電路板之面積縮小。

【0010】 於一實施例中，前述第二電路板之層別數大於第一電路板之層別數。

【0011】 於一實施例中，前述電子元件係藉由一表面黏著技術設置於第二電路板。

【0012】 於一實施例中，前述表面黏著技術係透過焊接方式以錫球電性連接前述電子元件與第二電路板。

【0013】 於一實施例中，前述表面黏著技術係透過焊接方式以錫球電性連接前述第一電路板與第二電路板。

【0014】 於一實施例中，前述第一電路板為一印刷電路板。

【0015】 於一實施例中，前述第二電路板為一印刷電路板。

【圖式簡單說明】

【0016】

第1A、1B圖分別表示習知電路板結構的示意圖。

第2圖表示本發明一實施例之電路板組件的剖面示意圖。

第3圖表示本發明另一實施例之電路板組件的剖面示意圖。

第4A至4D圖表示本發明一實施例之製作第2圖的電路板組件之中間階段的剖面示意圖。

【實施方式】

【0017】 為讓本發明之上述和其它目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下。

【0018】 第2圖表示本發明一實施例之電路板組件的剖面示意圖，其中該電路板組件S例如可為一電腦主機板，並主要包括處理件10、記憶體12、處理件10與記憶體12專用之電源14、第一電路板20、第二電路板30以及複數個錫球(solder balls)40。

【0019】 於本實施例中，處理件10、記憶體12及電源14採用一表面黏著技術(Surface Mount Technology, SMT)設置於第二電路板30，亦即透過焊接之方式以錫球40電性連接於第二電路板30之上表面30A，其中第二電路板30例如為採用多層別(例如8層、10層或以上)製程製作之一印刷電路板(Printed Circuit Board, PCB)。然而，於部份實施例中，處理件10、記憶體12及電源14亦可以銀膠或導電膏等方式電性連接第二電路板30，或者第二電路板30亦可為一軟性電路板(Flexible Printed Circuit, FPC)。

【0020】 此外，第一電路板20例如為一非多層別(層別數在6層或4層以下)的印刷電路板，其上設置有其他主、被動元件及連接器等(第2圖中未顯示)，且第一電路板20與第二電路板30之間採用表面黏著技術以錫球40相互電性連接。於部份實施例中，第一電路板20與第二電路板30之間亦可透過銀膠或導電膏等方式電性相連，或者第一電路板20亦可為一軟性電路板。

【0021】 由於本實施例中僅將處理件10、記憶體12及電源14等具有多層板需求的電子元件配置於一獨立的第二電路板30(具有多層別)，且第二電路板30之面積小於第一電路板20之面積，故可有效減少製作多層別電路板的成本。值得一提的是，本實施例中之處理件10、記憶體12及電源14等電子元件配置於第二電路板30表面之方式類似於第1A圖中電路板區域A中的元件配置方式，惟更佳的设计係將該些元件以緊密排列之方式設置於第二電路板30，從而使得第二電路板30之面積縮小，並可更進一步減少成本。另外，第二電路板30上所承載之電子元件不限定為處理件10、記憶體12及電源14或上述之組合，其亦可能包括其他線路佈局較複雜之電子元件。

【0022】 此外，本實施例中藉由表面黏著技術連接第一電路板20與第二電路板30，亦可避免排線之使用以減少訊號衰減與電磁干擾等問題，並同時滿足電路板具有局部多層別之需求。

【0023】 儘管上述實施例中第二電路板30之層別數大於第一電路板20之層別數，然而本發明不以此為限。於部份實施例中，第二電路板30亦可為非多層別的電路板(其層別數可等於或小於第一電路板20之層別數)，並且由第二電路板30與下方之第一電路板20的層別共同分享處理件10、記憶體12及電源14等電子元件的線路佈局。

【0024】 第3圖表示本發明另一實施例之電路板組件的剖面示意圖，其中該電路板組件S'例如可為一顯示卡，並

主要包括第一電路板20、第二電路板30以及複數個錫球40。

【0025】 於本實施例中，第一電路板20與第二電路板30均為非多層別(層別數在6層或4層以下)的印刷電路板，其中第一電路板20設置有多個主、被動元件及連接器等電子零件(第3圖中未顯示)，且第二電路板30上並未承載線路佈局較為複雜之電子元件。另外，第一電路板20之層別數係大於第二電路板30之層別數。

【0026】 如第3圖所示，第一電路板20與第二電路板30之間亦採用表面黏著技術以錫球40相互電性連接。於部分實施例中，第一電路板20及/或第二電路板30亦可為軟性電路板，且兩者可透過銀膠或導電膏等方式電性相互連接。

【0027】 需特別說明的是，本實施例之第二電路板30主要可作為第一電路板20之一擴充小板，以提供額外之線路佈局位置。如此一來，可使得部分訊號走線經由第二電路板30橋接，而能夠避開如第一電路板20上之穿孔(through hole)H或者部分電子元件之置件位置，且第二電路板30亦可具有優良的電流承載能力。

【0028】 接著，請參閱第4A至4D圖，其表示本發明一實施例之製作第2圖的電路板組件S之中間階段的剖面示意圖。首先，如第4A圖所示，提供第二電路板30，其中第二電路板30例如為採用多層別(例如8層、10層或以上)製程製作之一印刷電路板。接著，利用印刷製程在第二電路板30上表面30A之焊點設置複數個錫球40。

【0029】 參閱第4B圖，提供第一電路板20，其中第一電

路板20例如為非多層別(層別數在6層或4層以下)的印刷電路板。接著，同樣利用印刷製程在第一電路板20上之焊點設置複數個錫球40。

【0030】 參閱第4C圖，將第二電路板30置件於第一電路板20上方，並使得位於第二電路板30下表面30B之複數個外接訊號端點及接地端點(提供高速訊號良好之迴路參考，進而減少電磁干擾與訊號衰減的問題)對準第一電路板20上之複數個錫球40。應了解的是，此動作中，第二電路板30可視為一表面黏著裝置(Surface Mount Device, SMD)，且第二電路板30之置件動作可透過電路板製造領域中所習知的置件機台來完成。

【0031】 參閱第4D圖，將處理件10、記憶體12及電源14等電子元件(亦為表面黏著裝置)置件於第二電路板30上方，並使得該些電子元件之電性接點分別與位於第二電路板30上表面30A之複數個錫球40對準。接著，經過回焊爐(Reflow oven)完成上述處理件10、記憶體12、電源14、第一電路板20以及第二電路板30之間的焊接，即可得到電路板組件S。

【0032】 綜上所述，本發明提供一種電路板結構之改良方法，其藉由表面黏著技術將兩電路板相互結合，可滿足電路板具有局部多層別之需求(例如設置線路佈局較複雜之電子元件或者訊號走線之需求)，並且避免排線之使用而能夠減少訊號衰減與電磁干擾等問題。此外，透過電子元件之緊密排列方式及訊號走線設計，亦可使得第二電路板

(擴充小板)的面積縮小，進而有效減少製造成本。

【0033】 雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可做些許之更動與潤飾。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0034】

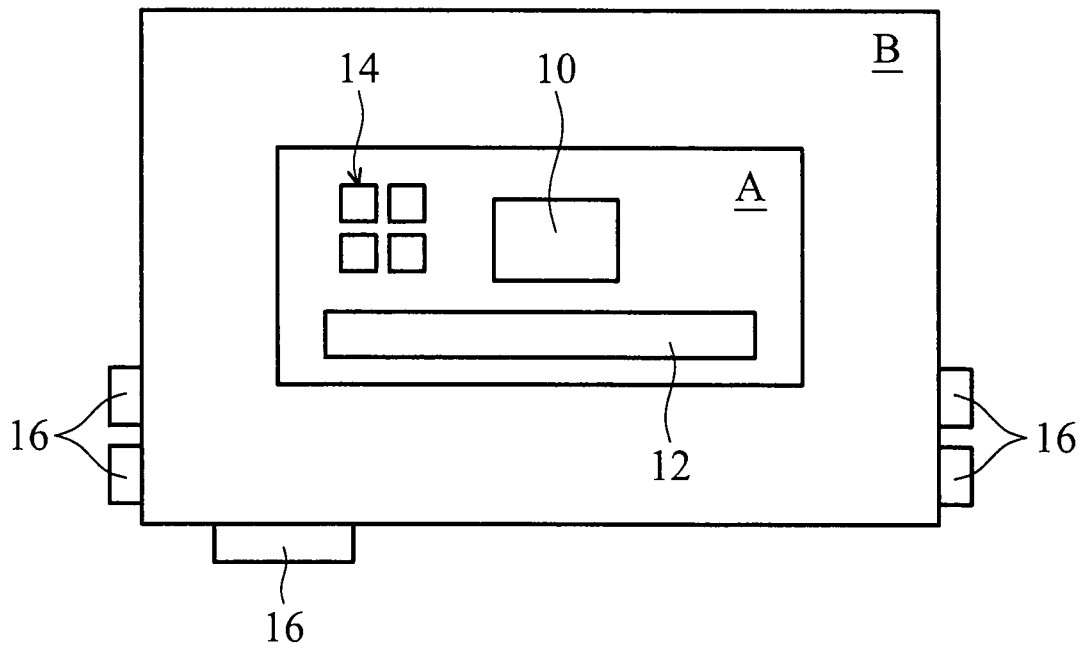
- 10～處理器；
- 12～記憶體；
- 14～電源；
- 16～I/O連接器；
- 20～第一電路板；
- 30～第二電路板；
- 30A～上表面；
- 30B～下表面；
- 40～錫球；
- A～區域、主板；
- B～區域；
- B1、B2、B3～小板；
- H～貫穿孔；
- S、S'～電路板組件。

申請專利範圍

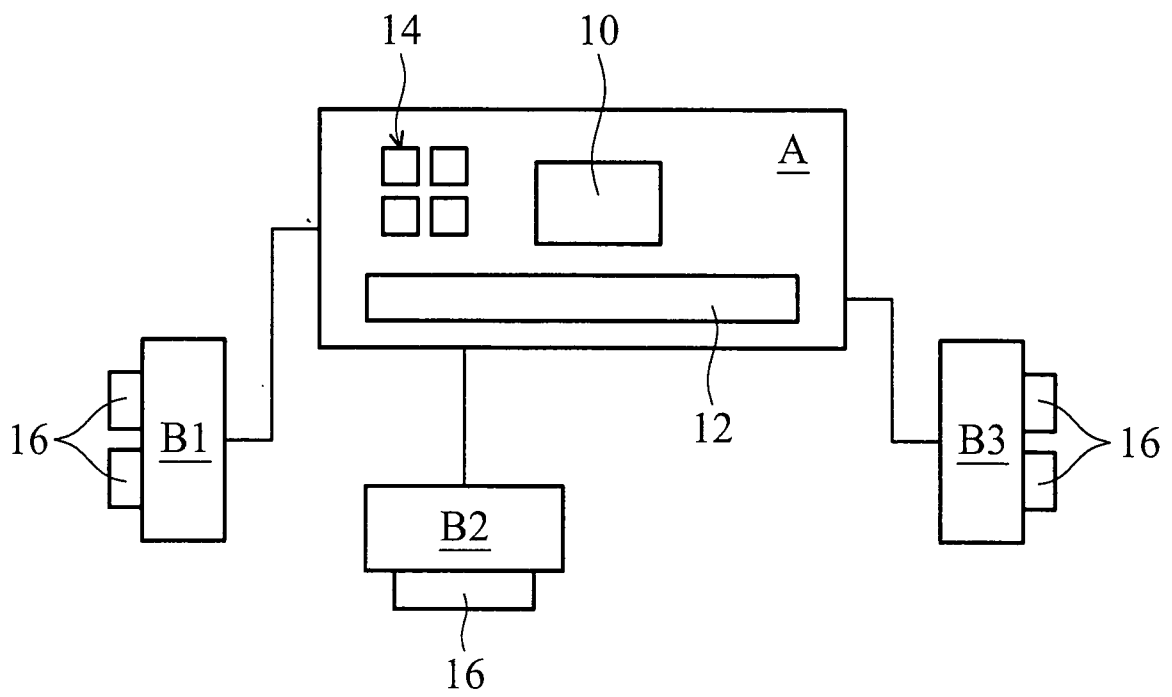
1. 一種電路板結構之改良方法，包括：
提供一第一電路板；
提供一第二電路板，該第二電路板之面積小於該第一電路板之面積；
藉由一表面黏著技術(SMT)結合該第一電路板與該第二電路板，以構成一局部具有不同層別數之電路板組件。
2. 如申請專利範圍第1項所述的改良方法，更包括：
設置複數電子元件於該第二電路板。
3. 如申請專利範圍第2項所述的改良方法，其中該些電子元件包括處理器、記憶體、電源或者上述之組合。
4. 如申請專利範圍第2項所述的改良方法，其中該些電子元件係以緊密排列之方式設置於該第二電路板，使得該第二電路板之面積縮小。
5. 如申請專利範圍第2項所述的改良方法，其中該第二電路板之層別數大於該第一電路板之層別數。
6. 如申請專利範圍第2項所述的改良方法，其中該些電子元件係藉由一表面黏著技術設置於該第二電路板。
7. 如申請專利範圍第6項所述的改良方法，其中該表面黏著技術係透過焊接方式以錫球電性連接該些電子元件與該第二電路板。
8. 如申請專利範圍第1項所述的改良方法，其中該表面黏著技術係透過焊接方式以錫球電性連接該第一電路板與該第二電路板。

9. 如申請專利範圍第1項所述的改良方法，其中該第一電路板為一印刷電路板。
10. 如申請專利範圍第1項所述的改良方法，其中該第二電路板為一印刷電路板。

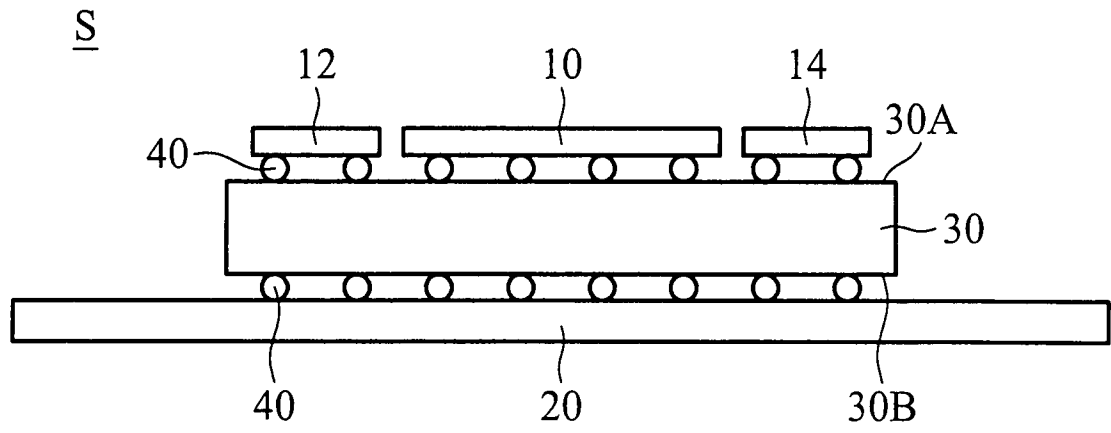
圖式



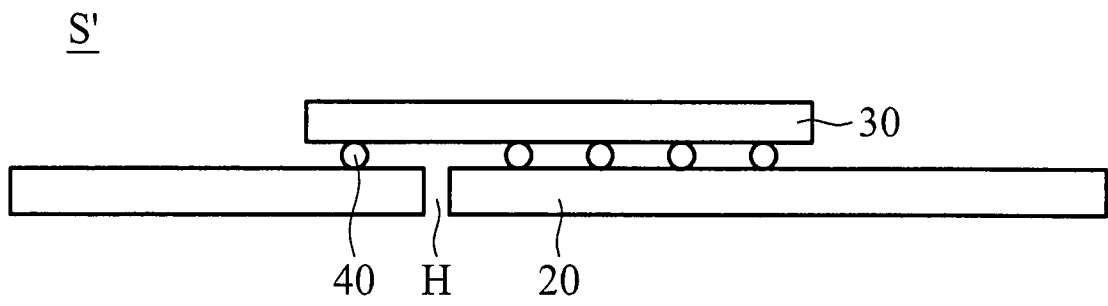
第 1A 圖



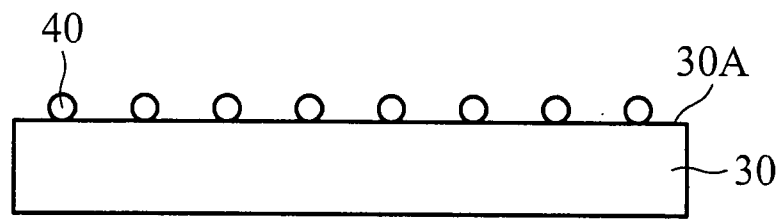
第 1B 圖



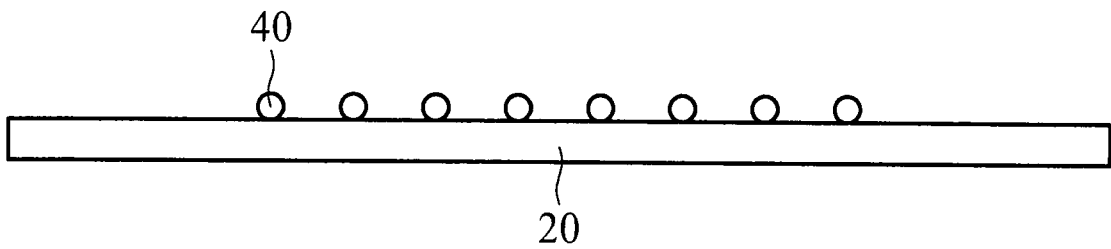
第 2 圖



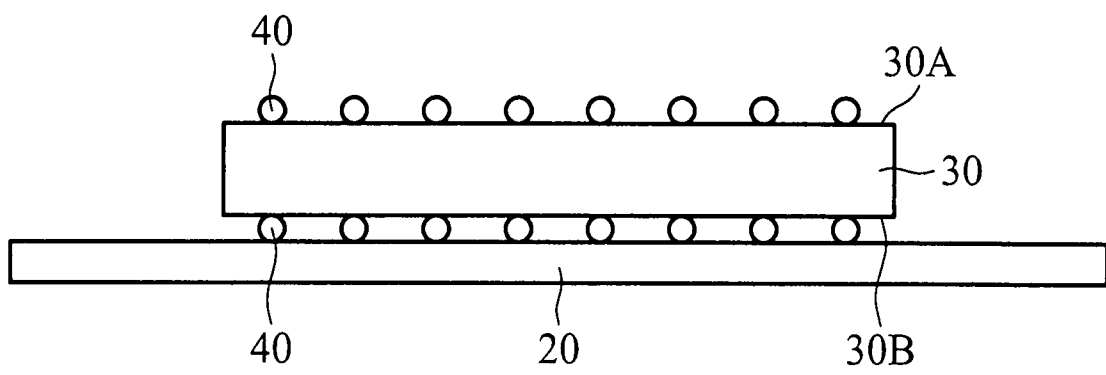
第 3 圖



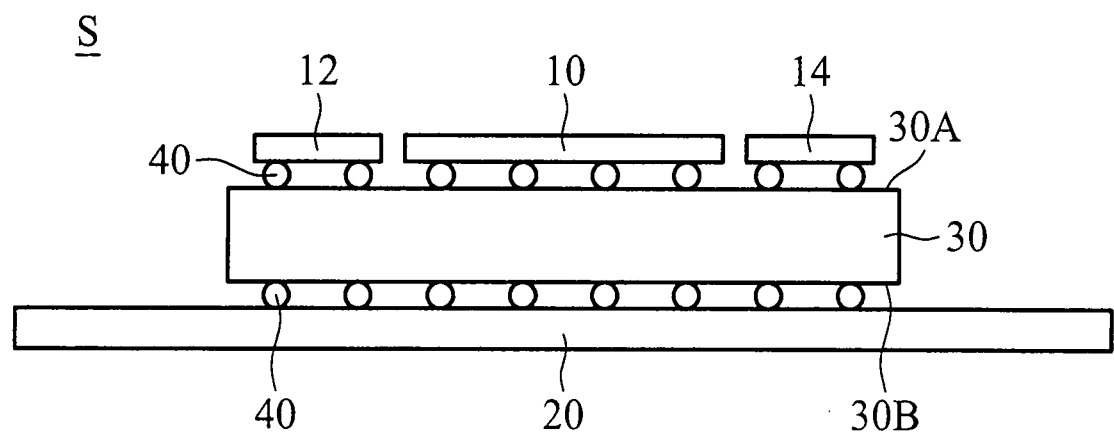
第 4A 圖



第 4B 圖



第 4C 圖



第 4D 圖