

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5619540号  
(P5619540)

(45) 発行日 平成26年11月5日(2014.11.5)

(24) 登録日 平成26年9月26日(2014.9.26)

(51) Int. Cl.		F I			
HO2J	7/10	(2006.01)	HO2J	7/10	B
HO2J	7/00	(2006.01)	HO2J	7/00	S
HO2J	7/02	(2006.01)	HO2J	7/02	J
HO1M	10/44	(2006.01)	HO1M	10/44	Q

請求項の数 7 (全 14 頁)

(21) 出願番号	特願2010-199806 (P2010-199806)	(73) 特許権者	308033711
(22) 出願日	平成22年9月7日(2010.9.7)		ラピスセミコンダクタ株式会社
(65) 公開番号	特開2012-60733 (P2012-60733A)		神奈川県横浜市港北区新横浜二丁目4番地8
(43) 公開日	平成24年3月22日(2012.3.22)	(74) 代理人	100079119
審査請求日	平成25年8月30日(2013.8.30)		弁理士 藤村 元彦
		(74) 代理人	100109036
			弁理士 永岡 重幸
		(74) 代理人	100147728
			弁理士 高野 信司
		(72) 発明者	宇都野 紀久生
			東京都八王子市東浅川町550番地1
			K1セミコンダクタ株式会社内
		審査官	石川 晃

最終頁に続く

(54) 【発明の名称】 充電装置

(57) 【特許請求の範囲】

【請求項1】

入力される充電電流を逆流防止部を介して二次電池へ供給する充電装置であって、  
二次電池の充電可能電圧に応じて決定される選択信号に応じて少なくとも2つの判定電位のうちの1つを選択して当該選択した判定電位と前記逆流防止部の下流の電位に基づく比較電位とを比較して満充電状態を検出する比較検出部と、

前記比較検出部が満充電状態を検出したときに前記逆流防止部への前記充電電流の供給を遮断する遮断部と、を含み、

前記比較検出部は、前記逆流防止部の上流の電位と基準電位との間に共通の定電流源を介して接続された基準電流枝路及び少なくとも2つの判定電流枝路と、前記判定電流枝路の1つを選択する選択部と、を含み、

前記基準電流枝路は、前記基準電位に接続されたゲートを有する第1の電界効果トランジスタにおけるソース及びドレイン間の電流路を含み、

前記判定電流枝路の各々は、前記比較電位に接続されたゲートを有する第2の電界効果トランジスタにおけるソース及びドレイン間の電流路と、これに直列に接続され且つ前記選択部によって選択されたときにオンするスイッチと、を含み、

前記第2の電界効果トランジスタの各々におけるソース及びドレイン間の導通を開始させるゲート電圧は互いに異なることを特徴とする充電装置。

【請求項2】

前記第1の電界効果トランジスタはデプレッション型電界効果トランジスタであり、

前記第2の電界効果トランジスタはエンハンス型電界効果トランジスタであることを特徴とする請求項1に記載の充電装置。

【請求項3】

前記基準電位は接地電位であることを特徴とする請求項1又は2に記載の充電装置。

【請求項4】

前記逆流防止部の下流の電位を所定電圧だけ降圧してこれを前記比較電位とする降圧部を含むことを特徴とする請求項1乃至3のいずれか1つに記載の充電装置。

【請求項5】

前記遮断部は、前記充電電流を放電することによって前記充電電流の前記逆流防止部への供給を遮断することを特徴とする請求項1乃至4のいずれか1つに記載の充電装置。

10

【請求項6】

前記逆流防止部の下流は第1の供給先と第2の供給先とに分かれており、前記比較検出部による検出結果に応じて前記充電電流の供給先を前記第1の供給先と前記第2の供給先との間で相互に切り替える切替部を更に含むことを特徴とする請求項1乃至5のいずれか1つに記載の充電装置。

【請求項7】

前記比較検出部は、前記検出結果を前記選択信号とすることを特徴とする請求項6に記載の充電装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、二次電池の過充電を防止する充電装置に関する。

【背景技術】

【0002】

充電を行うことにより電池として繰り返し使用可能ないわゆる二次電池（蓄電池、充電式電池とも称する）を充電する場合には、二次電池の破壊や損傷を防ぐための過充電対策が従来よりなされている。例えば特許文献1には、太陽電池に並列に接続されたNチャンネル形のパワーMOSFETを、バッテリー（二次電池）の端子間電圧が所定値以上となったときにオンして、太陽電池からのバッテリーへの充電電流を遮断することにより、バッテリーの過充電を防止する装置が開示されている。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平9-261861号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、近年、二次電池の種類が増加しており、セル電圧が互いに異なる複数の二次電池を1つのシステムで用いる場合もある。このようなシステムでは、アプリケーションの種別やシステムの動作状況に応じて二次電池を適宜切り替えて使用するので、二次電池のそれぞれのセル電圧に対応できる充電装置が必要とされる。複数のセル電圧に対応できる回路を構成しようとする、回路面積の増加や消費電流の増加が問題となる。例えば高いセル電圧に対応できる回路を構成する場合には降圧回路の降圧値を大きくすれば良いが、小電流で降圧値を大きくするためには降圧回路を構成するトランジスタのゲート長を大きくする必要があるため回路面積が大きくなってしまふ。また、トランジスタのゲート長を大きくせずに降圧値を大きくするためには電流値を大きくする必要があるため、消費電流が増加してしまふ。

40

【0005】

本発明は上記した如き問題点に鑑みてなされたものであって、回路面積や消費電流を増加させることなく、複数のセル電圧に対応して過充電を防止することができる充電装置を

50

提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明による充電装置は、入力される充電電流を逆流防止部を介して二次電池へ供給する充電装置であって、二次電池の充電可能電圧に応じて決定される選択信号に応じて少なくとも2つの判定電位のうちの1つを選択して当該選択した判定電位と前記逆流防止部の下流の電位に基づく比較電位とを比較して満充電状態を検出する比較検出部と、前記比較検出部が満充電状態を検出したときに前記逆流防止部への前記充電電流の供給を遮断する遮断部と、を含み、前記比較検出部は、前記逆流防止部の上流の電位と基準電位との間に共通の定電流源を介して接続された基準電流枝路及び少なくとも2つの判定電流枝路と、前記判定電流枝路の1つを選択する選択部と、を含み、前記基準電流枝路は、前記基準電位に接続されたゲートを有する第1の電界効果トランジスタにおけるソース及びドレイン間の電流路を含み、前記判定電流枝路の各々は、前記比較電位に接続されたゲートを有する第2の電界効果トランジスタにおけるソース及びドレイン間の電流路と、これに直列に接続され且つ前記選択部によって選択されたときにオンするスイッチと、を含み、前記第2の電界効果トランジスタの各々におけるソース及びドレイン間の導通を開始させるゲート電圧は互いに異なることを特徴とする。

10

【発明の効果】

【0007】

本発明による充電装置によれば、回路面積や消費電流を増加させることなく、複数のセル電圧に対応して過充電を防止することができる。

20

【図面の簡単な説明】

【0008】

【図1】第1の実施例の充電装置の構成を太陽電池及び二次電池と共に示すブロック図である。

【図2】充電装置を含む半導体チップ、太陽電池及び二次電池がプリント基板に搭載されたシステム構成を示すブロック図である。

【図3】第1の実施例の変形例の充電装置の構成を示すブロック図である。

【図4】図3の充電装置におけるVDD及びVDD2電圧と比較出力電圧とを示すタイムチャートである。

30

【図5】第2の実施例の充電装置の構成を太陽電池及び二次電池と共に示すブロック図である。

【発明を実施するための形態】

【0009】

以下、本発明に係る実施例について添付の図面を参照しつつ詳細に説明する。

<第1の実施例>

図1は本実施例の充電装置1の構成を太陽電池2及び二次電池3と共に示すブロック図である。充電装置1は、充電電流供給源である太陽電池2から入力端子81に入力された充電電流の逆流を防止しつつ、出力端子82に接続された二次電池3へ当該充電電流を供給する充電装置であり、二次電池3の過充電を防止する機能をも備えた充電装置である。充電装置1は、逆流防止部10と、降圧部20と、放電部30と、比較部40と、を含む。

40

【0010】

逆流防止部10は、二次電池3から太陽電池2への電流の逆流を防止する回路である。以下、逆流防止部10の太陽電池2の側を上流、逆流防止部10の二次電池3の側を下流と称する。

【0011】

降圧部20は、二次電池3の端子電位VBATから例えば1Vなどの所定電位だけ降下させて降圧電位posを生成し、これを比較部40に供給する回路である。比較部40が正常な比較処理を行えるように、比較部40の動作電位よりも低い電位(降圧電位pos)を比較部40に供給するものである。以下、降圧電位posを比較電位posとも称す

50

る。

【0012】

降圧部20は、PMOSトランジスタ21と、抵抗22と、定電流源23と、からなる。PMOSトランジスタ21のソースは二次電池3に接続され、ドレインは抵抗22の一端に接続され、ゲートはドレインに接続されている。抵抗22の一端は定電流源23に接続され、他端はPMOSトランジスタ21のドレインに接続されている。抵抗22の当該一端の電位が降圧電位 $p_{os}$ として比較部40に供給される。

【0013】

放電部30は、比較部40からの出力電位 $out$ が例えばローレベル等の所定の電位である場合に、太陽電池2から出力された充電電流を接地電位へ放電する回路である。これによって、二次電池3への充電電流を遮断して二次電池3の過充電を防止することができる。以下、放電部30を遮断部30とも称する。

10

【0014】

比較部40は、降圧部20から供給された降圧電位 $p_{os}$ と、自身が生成した判定電位とを比較し、比較結果に対応する出力電位 $out$ を放電部30に供給する。

【0015】

比較部40は、定電流源41と、デプレッション型NMOSトランジスタ(以下、DMOSと称する)42と、エンハンス型PMOSトランジスタ(以下、PMOSと称する)43及び44と、エンハンス型NMOSトランジスタ(以下、NMOSと称する)45乃至48と、選択信号入力端子49と、インバータ50と、を含む。

20

【0016】

定電流源41と、DMOS42と、PMOS43及び44と、NMOS45乃至48とにより、差動の比較回路が構成されている。詳細には以下のように構成されている。

【0017】

定電流源41の一端は基準電位( $gnd$ )に接続され、他端はノード $n_1$ においてDMOS42のソースに接続されている。

【0018】

DMOS42のソースはノード $n_1$ において定電流源41に接続され、ゲートは接地電位に接続され、ドレインはPMOS43のドレインに接続されている。このように、DMOS42はソースフォロワ接続されている。PMOS43のソースは太陽電池2に接続され、ゲートはドレインに接続され、ドレインはDMOS42のドレインに接続されている。このように、DMOS42とPMOS43とは直列に接続されている。以下、DMOS42とPMOS43とが直列に接続されてなる電流路を基準電流枝路と称する。基準電流枝路は、DMOS42のソース-ドレイン路を含んでいる。

30

【0019】

PMOS44のソースは太陽電池2に接続され、ゲートはドレインに接続され、ドレインはノード $n_2$ においてNMOS45のドレインに接続されている。NMOS45のソースはNMOS46のドレインに接続され、ゲートは降圧部20の出力(抵抗22の一端)に接続され、ドレインはノード $n_2$ においてPMOS44のドレインに接続されている。NMOS46のソースはノード $n_1$ において定電流源41に接続され、ゲートは選択信号入力端子49に接続され、ドレインはNMOS45のソースに接続されている。このように、PMOS44とNMOS45とNMOS46とは直列に接続されている。以下、PMOS44とNMOS45とNMOS46とが直列に接続されてなる電流路を第1の判定電流枝路と称する。第1の判定電流枝路は、NMOS45のソース-ドレイン路を含んでいる。

40

【0020】

NMOS47のソースはNMOS48のドレインに接続され、ゲートは降圧部20の出力(抵抗22の一端)に接続され、ドレインはノード $n_2$ においてPMOS44のドレインに接続されている。NMOS48のソースは定電流源41に接続され、ゲートはインバータ50を介して選択信号入力端子49に接続され、ドレインはNMOS47のソースに

50

接続されている。このように、PMOS 44とNMOS 47とNMOS 48とは直列に接続されている。以下、PMOS 44とNMOS 47とNMOS 48とが直列に接続される電流路を第2の判定電流枝路と称する。第2の判定電流枝路は、NMOS 47のソース-ドレイン路を含んでいる。また、第1の判定電流枝路と第2の判定電流枝路とは並列に接続されている。

【0021】

選択信号入力端子49には、NMOS 46及びNMOS 48のいずれか一方をオンするための選択信号が入力される。NMOS 46及びNMOS 48の各々は選択信号によってオン/オフするスイッチである。NMOS 46のゲートには選択信号が直接入力され、NMOS 48のゲートにはインバータ50を介して選択信号が入力される。選択信号がハイレベルの場合にはNMOS 46がオンし、選択信号がローレベルの場合にはNMOS 48がオンする。このように、NMOS 46はNMOS 45及びNMOS 47のうちのNMOS 45の側を選択するためのスイッチとして動作し、NMOS 48はNMOS 47を選択するためのスイッチとして動作する。以下、選択信号入力端子49とインバータ50からなる構成を選択部とも称する。

10

【0022】

このように構成された比較部40による比較結果を示すノードn2の電位が出力電位outとして放電部30に供給される。

【0023】

充電装置1の動作について以下に説明する。ここで、DMOS 42の閾値電圧を $V_{td}$ 、NMOS 45の閾値電圧を $V_{t45}$ 、NMOS 47の閾値電圧を $V_{t47}$ とし、 $V_{t47}$ が $V_{t45}$ よりも大きい場合の例について説明する。閾値電圧は、ソース-ドレイン間の導通を開始させるゲート電圧である。

20

【0024】

DMOS 42はソースフォロワ接続されているので、DMOS 42のソースが接続されているノードn1の電位は $-V_{td}$ となる。 $V_{td}$ が例えば $-0.6V$ の場合、ノードn1の電位は $0.6V$ となる。

【0025】

選択信号入力端子49にハイレベルの選択信号を入力した場合には、NMOS 46がオンし、NMOS 48がオフする。これによって、NMOS 45及びNMOS 47のうちのNMOS 45が選択され、NMOS 45のソースにはノードn1の電位である $-V_{td}$ (例えば $0.6V$ )が供給される。

30

【0026】

したがって、降圧部20からNMOS 45のゲートに供給される降圧電位posが、ノードn1の電位である $-V_{td}$ とNMOS 45の閾値 $V_{t45}$ との和以上になった場合に、NMOS 45がオンする。当該和によって得られた電位が、放電処理を行うか否かを判定するための判定電位 $V_j$ である。

【0027】

$V_{td}$ が例えば $-0.6V$ 、 $V_{t45}$ が例えば $0.7V$ の場合、判定電位 $V_j$ は $1.3V (= 0.7V + \{-(-0.6V)\})$ となる。降圧電位posが判定電位 $V_j$ である $1.3V$ 以上になったときにNMOS 45がオンする。判定電位 $V_j$ は、DMOS 42の閾値 $V_{td}$ の絶対値とNMOS 45の閾値 $V_{t45}$ との和としても考えられる。

40

【0028】

NMOS 45がオンすると、ノードn2の電位である出力電位outがローレベルになる。ローレベルの出力電位outは放電部30に供給され、放電部30は太陽電池2からの充電電流を接地電位へ放電する。なお、NMOS 45がオフ状態のときには出力電位outはハイレベルであり、放電部30は放電をしていない。

【0029】

かかる動作により、降圧電位posが判定電位 $V_j$ である $1.3V$ 以上になったときに、放電処理がなされるので、二次電池3が過充電されるのを防止することができる。

50

## 【 0 0 3 0 】

選択信号入力端子 4 9 にローレベルの選択信号を入力した場合には、NMOS 4 8 がオンし、NMOS 4 6 がオフする。これによって、NMOS 4 5 及び NMOS 4 7 のうちの NMOS 4 7 が選択され、NMOS 4 7 のソースにはノード n 1 の電位である - V t d (例えば 0 . 6 V ) が供給される。

## 【 0 0 3 1 】

したがって、降圧部 2 0 から NMOS 4 7 のゲートに供給される降圧電位 p o s が、ノード n 1 の電位である - V t d と、NMOS 4 7 の閾値 V t 4 7 との和以上になった場合に、NMOS 4 7 がオンする。当該和によって得られた電位が、放電処理を行うか否かを判定するための判定電位 V j である。

## 【 0 0 3 2 】

V t d が例えば - 0 . 6 V、V t 4 7 が例えば 1 . 0 V の場合、判定電位 V j は 1 . 6 V ( = 1 . 0 V + { - ( - 0 . 6 V ) } ) となる。降圧電位 p o s が判定電位 V j である 1 . 6 V 以上になったときに NMOS 4 7 がオンする。

## 【 0 0 3 3 】

NMOS 4 7 がオンすると、ノード n 2 の電位である出力電位 o u t がローレベルになる。ローレベルの出力電位 o u t は放電部 3 0 に供給され、放電部 3 0 は太陽電池 2 からの充電電流を接地電位へ放電する。

## 【 0 0 3 4 】

かかる動作により、降圧電位 p o s が判定電位 V j である 1 . 6 V 以上になったときに、放電処理がなされるので、二次電池 3 が過充電されるのを防止することができる。

## 【 0 0 3 5 】

このように、選択信号入力端子 4 9 にロー及びハイのいずれか一方のレベルの信号を入力することによって、放電処理を行うか否かを判定するための判定電位 V j を選択することができる。上記した例の場合には、1 . 3 V と 1 . 6 V のいずれかを判定電位 V j として選択することができる。

## 【 0 0 3 6 】

上記したように、本実施例の充電装置 1 によれば、閾値電圧が互いに異なる 2 つの NMOS トランジスタのうちの一つを選択することにより、放電処理を行うか否かを判定するための判定電位 V j を 2 つの電位のうちから選択することができるので、セル電圧が互いに異なる 2 種類の二次電池に対応した過充電防止処理を行うことができる。かかる構成とすることにより、降圧部における降圧値を従来よりも増加させる必要がなく、回路面積の増加も抑制できる。

## 【 0 0 3 7 】

図 2 は、充電装置 1 を含む半導体チップ 1 0 0、太陽電池 2 及び二次電池 3 がプリント基板 2 0 0 に搭載されたシステム構成を示すブロック図である。

## 【 0 0 3 8 】

充電装置 1 は、LSI などの半導体チップ 1 0 0 の一部として構成することができる。半導体チップ 1 0 0、太陽電池 2 及び二次電池 3 は例えばプリント基板 2 0 0 に搭載される。半導体チップ 1 0 0 内には二次電池 3 の種別を判別しその種別に応じた選択信号 S 1 を充電装置 1 へ通知する制御部 1 1 0 が設けられている。充電装置 1 においては、選択信号 S 1 の信号レベルに応じて判定電位 V j が選択される。選択信号入力端子 4 9 ( 図 1 ) への選択信号 S 1 の入力、半導体チップ 1 0 0 の外部から供給するようにしても良い。

< 第 1 の実施例の変形例 >

図 3 は、本実施例の充電装置 1 の構成を示すブロック図である。以下、第 1 の実施例と異なる部分について主に説明する。本実施例の充電装置 1 は、比較的大容量の二次電池 3 ( 第 1 の供給先 ) と比較的小容量の二次電池 4 ( 第 2 の供給先 ) についての過充電を防止しつつ、二次電池 3 と二次電池 4 との間で充電電流の供給先を切り替えながら充電するものである。充電装置 1 は、切替部 7 9 を含む。切替部 7 9 の構成について以下に説明する。

10

20

30

40

50

## 【 0 0 3 9 】

VDD電位検出部 8 0 の入力は、VDDに接続され、その出力はインバータ 8 2 と 2OR 8 4 に接続されると共に、比較部 4 0 のIo入力に接続される。VDD 2 電位検出部 8 1 の入力は、VDD 2 に接続され、その出力は 2OR 8 3 と 2OR 8 4 に接続される。インバータ 8 2 の出力は、2OR 8 3 の入力に接続される。

## 【 0 0 4 0 】

PMOS 7 0 のドレインは、逆流防止部 1 0 を介して太陽電池 2 に接続され、ゲートはインバータ 6 0 の出力に接続され、ソースは二次電池 4 に接続されている。PMOS 7 0 のゲートにはインバータ 6 0 を介して 2OR 8 3 の出力が入力される。

## 【 0 0 4 1 】

PMOS 7 1 のソースは、逆流防止部 1 0 を介して太陽電池 2 に接続され、ゲートはPMOS 7 3 及びNMOS 7 4 からなるインバータ 7 5 の出力に接続され、ドレインはPMOS 7 2 のドレインに接続されている。PMOS 7 2 のドレインは、PMOS 7 1 のドレインに接続され、ゲートはPMOS 7 6 及びNMOS 7 7 からなるインバータ 7 8 の出力に接続され、ソースは二次電池 3 に接続されている。このように、PMOS 7 1 とPMOS 7 2 とは直列に接続されている。インバータ 7 5 及びインバータ 7 8 の各々には、2OR 8 4 の出力が入力される。

## 【 0 0 4 2 】

なお、PMOS 7 1 乃至 7 2 からなる構成については、1つのPMOSで構成することもできるが、上記のような構成とすることにより、二次電池 4 の充電電圧VDDが二次電池 3 の充電電圧VDD 2 よりも小さい場合でも、VDD 2 からVDDへ電流が流れないという効果を奏する。

二次電池 3 の充電電圧VDD 2 が所定の値より低い場合、VDD 2 電位検出部 8 1 の出力はローレベルとなり、PMOS 7 0 と、PMOS 7 1 及びPMOS 7 2 は、VDD電位検出部 8 0 の出力で制御される。

この状態で、二次電池 4 の充電電圧VDDが所定の値より低い場合、VDD電位検出部 8 0 の出力はローレベルとなり、PMOS 7 0 がオンし、PMOS 7 1 及びPMOS 7 2 がオフする。二次電池 4 の充電電圧VDDが所定の値より高い場合、VDD電位検出部 8 0 の出力はハイレベルとなり、PMOS 7 0 がオフし、PMOS 7 1 及びPMOS 7 2 がオンする。つまり、VDD電位検出部 8 0 の出力レベルに応じて、二次電池 3 及び二次電池 4 のいずれか一方が選択的に充電される。

二次電池 3 の充電電圧VDD 2 が所定の値より高い場合、VDD 2 電位検出部 8 1 の出力はハイレベルとなり、VDD電位検出部 8 0 の出力によらず、PMOS 7 0 と、PMOS 7 1 及びPMOS 7 2 が全てオンし、二次電池 3 及び二次電池 4 が同時に充電される。

## 【 0 0 4 3 】

図 4 は、充電装置 1 における二次電池 4 の充電電圧VDD及び二次電池 3 の充電電圧VDD 2 電圧と、VDD電位検出部 8 0 及びVDD 2 電位検出部 8 1 の出力と、インバータ 82 の出力と、2OR 8 3 及び 8 4 の出力とを示すタイムチャートである。以下、図 4 を参照しつつ、充電装置 1 の動作について説明する。

## 【 0 0 4 4 】

ここで、DMOS 4 2 の閾値電圧を  $V_{td}$ 、NMOS 4 5 の閾値電圧を  $V_{t45}$ 、NMOS 4 7 の閾値電圧を  $V_{t47}$  とし、 $V_{t47}$  が  $V_{t45}$  よりも大きい場合の例について説明する。また、二次電池 4 は二次電池 3 と比較し、容量は小さいが耐圧は高い二次電池である。

## 【 0 0 4 5 】

充電開始時刻である時刻  $T_0$  においては、二次電池 3 及び二次電池 4 が十分に充電されておらず、VDD電位検出部 8 0 及びVDD 2 電位検出部 8 1 の出力は共にローレベルである。インバータ 8 2 の出力はハイレベルとなり、2OR 8 3 の出力もハイレベルとなりPMOS 7 0 がオン、2OR 8 4 の出力がローレベルとなりPMOS 7 1 及びPMOS 7 2 がオフするので、二次電池 4 が充電される。二次電池 4 の充電電圧は図 4 にVDDとして示される。

10

20

30

40

50

NMOS 48もオンするが、降圧電位  $p_{os}$  が判定電位  $V_j$  よりも小さい。ゆえに、NMOS 47がオフ状態となるので、比較部 40からの出力電位  $out$  はハイレベルであり、放電部 30は放電しない。

【0046】

VDD電位検出部 80の出力がローレベルのときには、NMOS 48がオンし、NMOS 46がオフしている。つまり、閾値電圧が比較的高いNMOS 47の側が選択されているので、判定電位  $V_j$  が高く設定されている。この場合の判定電位  $V_j$  は例えば  $1.6V (= 1.0V + \{-(-0.6V)\})$  である。

【0047】

二次電池 4 が徐々に充電され、時刻  $T_1$  においてその電圧値  $V_{DD}$  が  $V_H$  に達すると、VDD電位検出部 80の出力がハイレベルとなり、インバータ 82の出力はローレベルとなり、2OR 83の出力もローレベルとなりPMOS 70がオフ、2OR 84の出力がハイレベルとなりPMOS 71及びPMOS 72がオンするので、二次電池 3が充電される。二次電池 3の充電電圧は図 4 に  $V_{DD2}$  として示される。

NMOS 46もオンするが、降圧電位  $p_{os}$  が判定電位  $V_j$  よりも小さい。ゆえに、NMOS 45がオフ状態となるので、比較部 40からの出力電位  $out$  はハイレベルであり、放電部 30は放電しない。

VDD電位検出部 80の出力がハイレベルのときには、NMOS 46がオンし、NMOS 48がオフしている。つまり、閾値電圧が比較的低いNMOS 45の側が選択されているので、判定電位  $V_j$  が低く設定されている。この場合の判定電位  $V_j$  は例えば  $1.3V (= 0.7V + \{-(-0.6V)\})$  である。

二次電池 3 が徐々に充電され、その間に二次電池 4 に充電された電荷がVDDを電源としたシステムの電流消費により徐々に放電され、時刻  $T_2$  においてその電圧値  $V_{DD}$  が  $V_L$  に達すると、VDD電位検出部 80の出力がローレベルとなり、インバータ 82の出力はハイレベルとなり、2OR 83の出力もハイレベルとなりPMOS 70がオン、2OR 84の出力がローレベルとなりPMOS 71及びPMOS 72がオフするので、二次電池 4が充電される。

NMOS 48もオンするが、降圧電位  $p_{os}$  が判定電位  $V_j$  よりも小さい。ゆえに、NMOS 47がオフ状態となるので、比較部 40からの出力電位  $out$  はハイレベルであり、放電部 30は放電しない。

【0048】

時刻  $T_2$  以降も上記したのと同様の動作を繰り返す。かかる動作により、比較的小容量の二次電池 4は充放電を繰り返し、比較的大容量の二次電池 3は徐々に充電される。

【0049】

二次電池 3の電圧がVDD2電位検出部 81のしきい値  $V_F$  に達すると、VDD2電位検出部 81の出力はハイレベルになり、VDD電位検出部 80の出力によらず2OR 83および2OR 84の出力がハイレベルになる。PMOS 70とPMOS 71及びPMOS 72が共にオンし、二次電池 3と二次電池 4が同時に充電される。

【0050】

二次電池 3と二次電池 4が同時に充電され続け、二次電池 4の電圧値VDDが  $V_H$  に達すると、VDD電位検出部 80の出力がハイレベルとなり、NMOS 46がオンする。

更に二次電池 3と二次電池 4の充電が進み、二次電池 4の電圧値VDDが  $V_{C1}$  に達すると、降圧部 20からの降圧電位  $p_{os}$  が判定電位  $V_j$  より大きくなり、比較部 40からの出力電位  $out$  はローレベルとなり、放電部 30は放電し、二次電池 4の電圧値VDDが  $V_{C1}$  の電位で安定する。

二次電池 4の充電電圧  $V_{DD}$  の電位レベルに応じて充電先を二次電池 3と二次電池 4との間で相互に切り替えるのに連動して、判定電位  $V_j$  の値も切り替えている。

ここで、降圧部 20の降圧電位  $p_{os} +$  比較部 40のNMOS 47が選択された場合の判定電位  $V_j$  の和が、VDD電位検出部 80のハイ側しきい値  $V_H$  より高くなるようNMOS 47のしきい値  $V_{t47}$  を設定すれば、二次電池 4の充電電圧  $V_{DD}$  を  $V_H$  と  $V_L$  と(図 4)の間で

10

20

30

40

50



増減させつつ、放電部 30 で充電電流を放電させる事なく二次電池 3 を徐々に充電できる。

このように、本実施例の充電装置 1 は、過充電を防止しつつ、2 つの二次電池 3 及び 4 の間で充電先を切り替えながら充電する。比較的小容量の二次電池 4 は充電開始から短時間で充電されるので、システムを早期に立ち上げるための電源として利用できる。しかし、二次電池 4 をシステムの初期動作のための電源として利用した場合には、その電圧  $V_{DD}$  が低下するので、二次電池 4 を電源として利用している期間中に比較的大容量の二次電池 3 を充電する。このように、比較的小容量の二次電池 4 をシステムの初期動作のための電源として利用しつつ、比較的大容量の二次電池 3 を徐々に充電し、二次電池 3 が十分に充電された後に二次電池 3 をシステムの通常動作時の電源として利用できる。充電装置 1 のかかる構成により、システムの早期動作と通常動作時の安定動作とを実現できる。

10

< 第 2 の実施例 >

図 5 は本実施例の充電装置 1 の構成を太陽電池 2 及び二次電池 3 と共に示すブロック図である。以下、第 1 の実施例と異なる部分について主に説明する。本実施例の充電装置 1 は、図 1 に示される選択信号入力端子 49 及びインバータ 50 を含まず、比較部 40 内に NMOS 51 及び 52、選択信号入力端子 53 乃至 55 を含む。

【 0051 】

NMOS 46 のゲートは選択信号入力端子 53 に接続されている。NMOS 48 のゲートは選択信号入力端子 54 に接続されている。NMOS 45 乃至 48 についてのその他の接続は第 1 の実施例と同じである。

20

【 0052 】

NMOS 51 のソースは NMOS 52 のドレインに接続され、ゲートは降圧部 20 の出力（抵抗 22 の一端）に接続され、ドレインはノード  $n_2$  において PMOS 44 のドレインに接続されている。NMOS 52 のソースはノード  $n_1$  において定電流源 41 に接続され、ゲートは選択信号入力端子 55 に接続され、ドレインは NMOS 51 のソースに接続されている。このように、PMOS 44 と NMOS 51 と NMOS 52 とは直列に接続されている。以下、PMOS 44 と NMOS 51 と NMOS 52 とが直列に接続されてなる電流路を第 3 の判定電流枝路と称する。第 3 の判定電流枝路は、NMOS 51 のソース - ドレイン路を含んでいる。

【 0053 】

充電装置 1 の動作について以下に説明する。ここで、DMOS 42 の閾値電圧を  $V_{td}$ 、NMOS 45 の閾値電圧を  $V_{t45}$ 、NMOS 47 の閾値電圧を  $V_{t47}$ 、NMOS 51 の閾値電圧を  $V_{t51}$  とし、 $V_{t51}$  が  $V_{t47}$  よりも大きく、 $V_{t47}$  が  $V_{t45}$  よりも大きい場合の例について説明する。

30

【 0054 】

DMOS 42 はソースフォロワ接続されているので、DMOS 42 のソースが接続されているノード  $n_1$  の電位は  $-V_{td}$  となる。 $V_{td}$  が例えば  $-0.6V$  の場合、ノード  $n_1$  の電位は  $0.6V$  となる。

【 0055 】

選択信号入力端子 53 乃至 55 のうちの 53 のみにハイレベルの選択信号を入力した場合には、NMOS 46 がオンし、NMOS 48 及び 52 がオフする。これによって、NMOS 45、47 及び 51 のうちの NMOS 45 が選択され、NMOS 45 のソースにはノード  $n_1$  の電位である  $-V_{td}$ （例えば  $0.6V$ ）が供給される。

40

【 0056 】

したがって、降圧部 20 から NMOS 45 のゲートに供給される降圧電位  $p_{os}$  が、ノード  $n_1$  の電位である  $-V_{td}$  と、NMOS 45 の閾値  $V_{t45}$  との和によって得られる判定電位  $V_j$  以上になった場合に、NMOS 45 がオンする。

【 0057 】

$V_{td}$  が例えば  $-0.6V$ 、 $V_{t45}$  が例えば  $0.7V$  の場合、判定電位  $V_j$  は  $1.3V$ （ $= 0.7V + \{ -(-0.6V) \}$ ）となる。降圧電位  $p_{os}$  が判定電位  $V_j$  である

50

1.3V以上になったときにNMOS45がオンする。

【0058】

NMOS45がオンすると、ノードn2の電位である出力電位outがローレベルになる。ローレベルの出力電位outは放電部30に供給され、放電部30は太陽電池2からの充電電流を接地電位へ放電する。

【0059】

かかる動作により、降圧電位posが判定電位Vjである1.3V以上になったときに、放電処理がなされるので、二次電池3が過充電されるのを防止することができる。

【0060】

選択信号入力端子53乃至55のうちの54のみにハイレベルの選択信号を入力した場合には、NMOS48がオンし、NMOS46及び52がオフする。これによって、NMOS45、47及び51のうちのNMOS47が選択され、NMOS47のソースにはノードn1の電位である-Vtd(例えば0.6V)が供給される。

10

【0061】

したがって、降圧部20からNMOS47のゲートに供給される降圧電位posが、ノードn1の電位である-Vtdと、NMOS47の閾値Vt47との和によって得られる判定電位Vj以上になった場合に、NMOS47がオンする。

【0062】

Vtdが例えば-0.6V、Vt45が例えば1.0Vの場合、判定電位Vjは1.6V(=1.0V+{-(-0.6V)})となる。降圧電位posが判定電位Vjである1.6V以上になったときにNMOS47がオンする。

20

【0063】

NMOS47がオンすると、ノードn2の電位である出力電位outがローレベルになる。ローレベルの出力電位outは放電部30に供給され、放電部30は太陽電池2からの充電電流を接地電位へ放電する。

【0064】

かかる動作により、降圧電位posが判定電位Vjである1.6V以上になったときに、放電処理がなされるので、二次電池3が過充電されるのを防止することができる。

【0065】

選択信号入力端子53乃至55のうちの55のみにハイレベルの選択信号を入力した場合には、NMOS52がオンし、NMOS46及び48がオフする。これによって、NMOS45、47及び51のうちのNMOS51が選択され、NMOS51のソースにはノードn1の電位である-Vtd(例えば0.6V)が供給される。

30

【0066】

したがって、降圧部20からNMOS51のゲートに供給される降圧電位posが、ノードn1の電位である-Vtdと、NMOS51の閾値Vt51との和によって得られる判定電位Vj以上になった場合に、NMOS51がオンする。

【0067】

Vtdが例えば-0.6V、Vt51が例えば1.5Vの場合、判定電位Vjは2.1V(=1.5V+{-(-0.6V)})となる。降圧電位posが判定電位Vjである2.1V以上になったときにNMOS51がオンする。

40

【0068】

NMOS51がオンすると、ノードn2の電位である出力電位outがローレベルになる。ローレベルの出力電位outは放電部30に供給され、放電部30は太陽電池2からの充電電流を接地電位へ放電する。

【0069】

かかる動作により、降圧電位posが判定電位Vjである2.1V以上になったときに、放電処理がなされるので、二次電池3が過充電されるのを防止することができる。

【0070】

上記したように、本実施例の充電装置1によれば、選択信号入力端子53乃至55への

50

選択信号の入力により、3つの判定電位 $V_j$ のうちの1つを選択して設定することができる。これにより、セル電圧が互いに異なる3種類の二次電池にも対応することができる。

【0071】

第1の実施例、その変形例及び第2の実施例においては、比較部40においてPMOS43及び44を用いているが、これらの代わりに抵抗を用いても良い。また、これらの代わりに定電流源を用いても良い。

【0072】

第1の実施例、その変形例及び第2の実施例においては、比較部40におけるPMOS43のゲートをそのドレインに接続し、PMOS44のゲートをそのドレインに接続しているが、PMOS44のゲートをPMOS43のドレインに接続しても良い。

10

【0073】

第1の実施例、その変形例及び第2の実施例においては、PMOS43及び44の各々のソースに太陽電池2の出力電位 $V_{SC}$ を入力しているが、これらのソースを図示せぬ別の電源に接続しても良い。

【0074】

第1の実施例、その変形例及び第2の実施例においては、充電の対象を二次電池としているが、充電の対象はコンデンサでも良い。

【0075】

第1の実施例、その変形例及び第2の実施例においては、電圧供給源を太陽電池としているが、電圧供給源は太陽電池以外の電源でも良い。

20

【0076】

第2の実施例においては、閾値電圧が互いに異なる3つのNMOSを用いて3つの判定電位のうちの1つを選択して設定する構成としたが、閾値電圧が互いに異なる4つ以上のNMOSを用いて4つ以上の判定電位のうちの1つを選択して設定する構成としても良い。

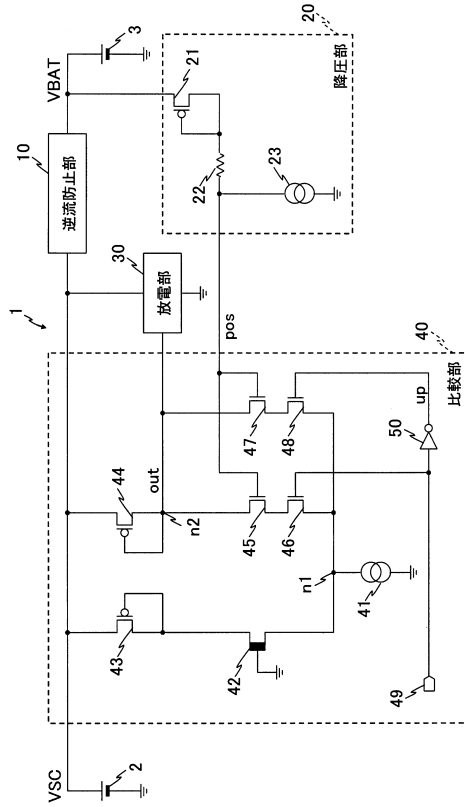
【符号の説明】

【0077】

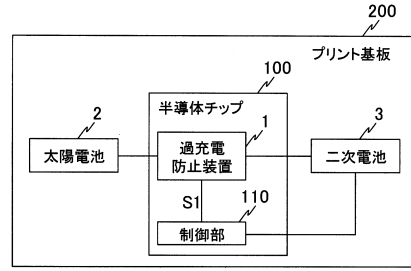
- 1 充電装置
- 2 太陽電池
- 3 二次電池
- 4 二次電池
- 10 逆流防止部
- 20 降圧部
- 30 放電部(遮断部)
- 40 比較部(比較検出部)
- 79 切替部
- 100 半導体チップ
- 200 プリント基板

30

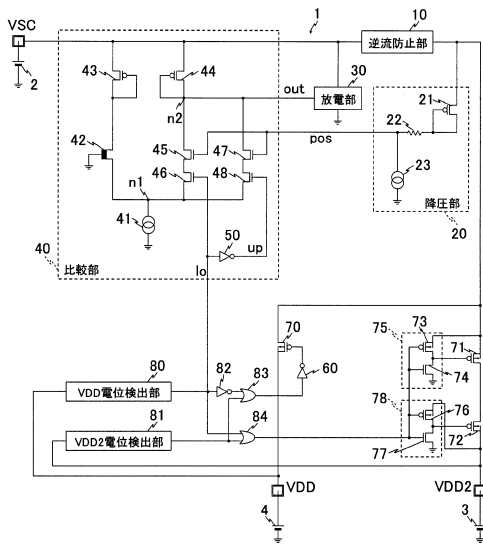
【図1】



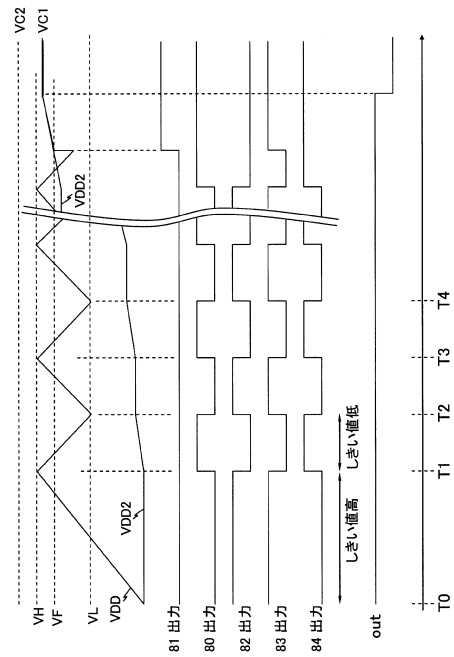
【図2】



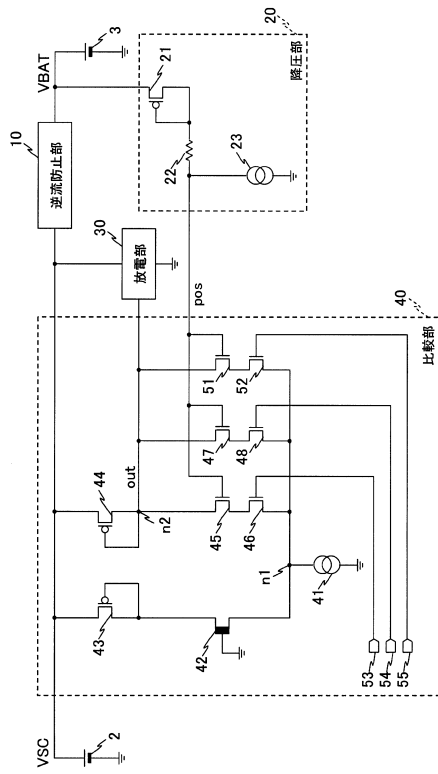
【図3】



【図4】



【図5】



---

フロントページの続き

- (56)参考文献 特開平10-336914(JP,A)  
登録実用新案第3104747(JP,U)  
特開2007-166723(JP,A)  
特開2000-112548(JP,A)  
特開平09-121461(JP,A)  
特開平09-163619(JP,A)  
特開2009-106117(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02J	7/10
H02J	7/00
H02J	7/02
H01M	10/44