

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5847940号
(P5847940)

(45) 発行日 平成28年1月27日(2016.1.27)

(24) 登録日 平成27年12月4日(2015.12.4)

(51) Int.Cl.

F I

G 1 1 C 13/00 (2006.01)
G 0 6 F 12/16 (2006.01)

G 1 1 C 13/00 4 8 0 G
G 0 6 F 12/16 3 1 0 A
G 1 1 C 13/00 2 1 0
G 1 1 C 13/00 4 8 0 D
G 1 1 C 13/00 2 7 0 E

請求項の数 14 (全 72 頁)

(21) 出願番号 特願2014-525627 (P2014-525627)
(86) (22) 出願日 平成24年7月19日(2012.7.19)
(86) 国際出願番号 PCT/JP2012/068368
(87) 国際公開番号 W02014/013595
(87) 国際公開日 平成26年1月23日(2014.1.23)
審査請求日 平成26年12月5日(2014.12.5)

(73) 特許権者 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 100080001
弁理士 筒井 大和
(72) 発明者 三浦 誓士
東京都千代田区丸の内一丁目6番6号 株
式会社日立製作所内
(72) 発明者 内垣内 洋
東京都千代田区丸の内一丁目6番6号 株
式会社日立製作所内
(72) 発明者 黒土 健三
東京都千代田区丸の内一丁目6番6号 株
式会社日立製作所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルを含む不揮発性メモリ部と、
外部から入力される論理アドレスに対して物理アドレスを割り当て、前記不揮発性メモリ部の前記物理アドレスにアクセスを行う制御回路とを有し、
前記不揮発性メモリ部は、
複数の第1信号線と、
前記複数の第1信号線と交差する複数の第2信号線と、
前記複数の第1信号線と前記複数の第2信号線の交点に配置される複数のメモリセル群とを有し、
前記複数のメモリセル群のそれぞれは、
第1～第N(Nは2以上の整数)メモリセルと、
前記第1～第Nメモリセルをそれぞれ選択する第1～第Nメモリセル選択線とを有し、
前記制御回路は、第1物理アドレスへの第1書き込み命令に応じて、前記第1～第Nメモリセルの中のM個(M<N)となる第1部分にデータを書き込み、前記第1書き込み命令の後に生じる前記第1物理アドレスへの第2書き込み命令に応じて、前記第1～第Nメモリセルの中の前記第1部分を除くM個となる第2部分にデータを書き込む半導体装置。

【請求項2】

請求項1記載の半導体装置において、
前記制御回路は、第1動作モードと第2動作モードを備え、前記第1動作モード時には

、前記第 1 書き込み命令に応じた前記第 1 部分へのデータの書き込みと、前記第 2 書き込み命令に応じた前記第 2 部分へのデータの書き込みとを行い、前記第 2 動作モード時には、第 2 物理アドレスへの第 3 書き込み命令に応じて、前記第 1 ~ 第 N メモリセルの中の N 個にデータを書き込み、前記第 3 書き込み命令の後に生じる前記第 2 物理アドレスへの第 4 書き込み命令に応じて、前記第 1 ~ 第 N メモリセルの中の N 個にデータを書き込む半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

前記制御回路は、前記物理アドレス毎に前記第 1 ~ 第 N メモリセル選択線の内のどれを選択するかを保持する第 1 記憶部を有する半導体装置。

10

【請求項 4】

請求項 1 記載の半導体装置において、

前記第 1 ~ 第 N メモリセルは、半導体基板の垂直方向へ順に積層搭載され、順に直列に接続される半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、

前記制御回路は、前記第 1 書き込み命令に応じて、前記第 1 ~ 第 N メモリセルの中の N 個に対して、一旦、第 1 論理レベルを一括して書き込んだのち、前記第 1 部分内の必要な箇所前記第 1 論理レベルと異なる第 2 論理レベルを書き込み、前記第 2 書き込み命令に応じて、前記第 2 部分内の必要な箇所前記第 2 論理レベルを書き込む半導体装置。

20

【請求項 6】

請求項 4 記載の半導体装置において、

前記第 1 ~ 第 N メモリセルのそれぞれは、選択トランジスタと抵抗性記憶素子とを有し、

前記選択トランジスタと前記抵抗性記憶素子は、並列に接続される半導体装置。

【請求項 7】

請求項 1 記載の半導体装置において、

前記 M の値は、任意に設定可能である半導体装置。

【請求項 8】

複数のメモリセルを含む不揮発性メモリ部と、

外部から入力される論理アドレスに対して物理アドレスを割り当て、前記不揮発性メモリ部の前記物理アドレスにアクセスを行う制御回路とを有し、

前記不揮発性メモリ部は、

複数のワード線と、

前記複数のワード線と交差する複数のビット線と、

前記複数のワード線と前記複数のビット線の交点に配置される複数のメモリセル群とを有し、

前記複数のメモリセル群のそれぞれは、

直列に接続される第 1 ~ 第 N メモリセルと、

前記第 1 ~ 第 N メモリセルをそれぞれ選択する第 1 ~ 第 N メモリセル選択線とを有し、

前記第 1 ~ 第 N メモリセルのそれぞれは、選択トランジスタと抵抗性記憶素子とを有し、

前記選択トランジスタと前記抵抗性記憶素子は並列に接続されており、

前記第 1 ~ 第 N メモリセルにおける前記選択トランジスタのゲート電極は、それぞれ第 1 ~ 第 N メモリセル選択線に接続され、

前記制御回路は、前記不揮発性メモリ部に対して第 1 アドレス領域と第 2 アドレス領域とを設定でき、

前記制御回路は、前記第 1 アドレス領域では、第 1 物理アドレスへの第 1 書き込み命令に応じて、前記第 1 ~ 第 N メモリセルの中の M 個 ($M < N$) となる第 1 部分にデータを書き込み、前記第 1 書き込み命令の後に生じる前記第 1 物理アドレスへの第 2 書き込み命令

30

40

50

に応じて、前記第 1 ~ 第 N メモリセルの中の前記第 1 部分を除く M 個となる第 2 部分にデータを書き込み、

前記制御回路は、前記第 2 アドレス領域では、第 2 物理アドレスへの第 3 書き込み命令に応じて、前記第 1 ~ 第 N メモリセルの中の N 個にデータを書き込み、前記第 3 書き込み命令の後に生じる前記第 2 物理アドレスへの第 4 書き込み命令に応じて、前記第 1 ~ 第 N メモリセルの中の N 個にデータを書き込む半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、

前記制御回路は、前記第 1 書き込み命令に応じて、前記第 1 ~ 第 N メモリセルの中の N 個に対して、一旦、第 1 論理レベルを一括して書き込んだのち、前記第 1 部分内の必要な箇所
10
に前記第 1 論理レベルと異なる第 2 論理レベルを書き込み、前記第 2 書き込み命令に応じて、前記第 2 部分内の必要な箇所に前記第 2 論理レベルを書き込み、

前記制御回路は、前記第 3 書き込み命令に応じて、前記第 1 ~ 第 N メモリセルの中の N 個に対して、一旦、前記第 1 論理レベルを一括して書き込んだのち、前記 N 個内の必要な箇所に前記第 2 論理レベルを書き込み、前記第 4 書き込み命令に応じて、前記第 1 ~ 第 N メモリセルの中の N 個に対して、一旦、前記第 1 論理レベルを一括して書き込んだのち、前記 N 個内の必要な箇所に前記第 2 論理レベルを書き込む半導体装置。

【請求項 10】

請求項 9 記載の半導体装置において、

前記抵抗性記憶素子は、カルコゲナイド材料で形成され、
20

前記第 1 論理レベルは、低抵抗状態であり、

前記第 2 論理レベルは、高抵抗状態である半導体装置。

【請求項 11】

請求項 8 記載の半導体装置において、

前記第 1 アドレス領域と前記第 2 アドレス領域の大きさは、それぞれ任意に設定可能である半導体装置。

【請求項 12】

直列に接続される N (N は 2 以上の整数) ビットのメモリセルを持つ不揮発性メモリ部と、

前記不揮発性メモリ部を制御する制御回路とを有し、
30

前記メモリセルは、抵抗性記憶素子の抵抗値によって第 1 論理レベルか第 2 論理レベルの一方を記憶し、

前記制御回路は、前記第 N ビットのメモリセルの全てを一旦前記第 1 論理レベルに書き込んだのち、前記 N ビットのメモリセルの中の J 番目のみを前記第 2 論理レベルに書き込む制御を行い、

前記制御回路は、前記 J 番目の値を保持する第 1 記憶部を有し、前記 N ビットのメモリセルに対して 1 個の物理アドレスと 1 ビットのデータを割り当て、前記物理アドレスを対象とする書き込み命令が入力される度に前記 J 番目の値を 1 ~ N の範囲で巡回させながら前記第 1 記憶部を更新し、前記 J 番目の値が前記 1 ~ N の範囲で 1 回巡回する毎に前記第 N ビットのメモリセルの全てを前記第 1 論理レベルに書き込む制御を行う半導体装置。
40

【請求項 13】

請求項 12 記載の半導体装置において、

前記抵抗性記憶素子は、カルコゲナイド材料で形成され、

前記第 1 論理レベルは、低抵抗状態であり、

前記第 2 論理レベルは、高抵抗状態である半導体装置。

【請求項 14】

請求項 13 記載の半導体装置において、

前記メモリセルは、前記抵抗性記憶素子と前記抵抗性記憶素子に並列に接続される選択トランジスタとを有し、

前記 N ビットのメモリセルは、半導体基板の垂直方向へ順に積層搭載される半導体装置
50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば、不揮発性メモリ装置を含む半導体装置の技術に関する。

【背景技術】

【0002】

近年、複数のNAND型フラッシュメモリと、コントローラから構成されるSSD (Solid State Drive) がサーバー機器、Laptop PCおよびNetbook等に利用されている。NAND型フラッシュメモリには、消去回数に上限があり、データ書き込みサイズとデータ消去サイズが大きく異なることが広く知られている。特許文献1、特許文献2、特許文献3および特許文献4には、このようなNAND型フラッシュメモリの制御方法が開示されている。例えば、特許文献1には、フラッシュメモリのアドレス上を規定の順序で循環しながら書き込みアドレスを順次設定するライトポインタを備え、当該ライトポインタと論理アドレスとの対応関係や、当該ライトポインタの循環回数を用いてウェアレベリングを行う方法が示されている。また、特許文献5には、3次元構造のNAND型フラッシュメモリが開示されている。

10

【0003】

さらに、本発明者が検討した技術には、例えば相変化メモリを含む半導体装置がある。この種のメモリは、少なくともアンチモン(Sb)とテルル(Te)を含むGe-Sb-Te系、Ag-In-Sb-Te系などのカルコゲナイド材料(または、相変化材料)を記録層の材料に使用する。また、その選択素子にはダイオードが用いられる。このように、カルコゲナイド材料とダイオードを用いた相変化メモリの特性は、例えば非特許文献1に開示されている。

20

【0004】

図29は相変化材料を用いた抵抗性記憶素子の相変化に必要なパルス幅と温度との関係を示す図である。縦軸は温度、横軸は時間である。この記憶素子に記憶情報“0”を書き込む場合、図29に示すように、素子をカルコゲナイド材料の融点 T_a 以上に熱してから急冷するようなりセットパルスを印加する。冷却時間 t_1 を短くすることにより(例えば約1nsに設定することにより)、カルコゲナイド材料は高抵抗のアモルファス(非晶質)状態となる。

30

【0005】

逆に、記憶情報“1”を書き込む場合、記憶素子を融点 T_a よりも低い、結晶化温度 T_x (ガラス転移点と同じかそれよりも高い)より高い温度領域に保つようなセットパルスを印加する。これにより、カルコゲナイド材料は低抵抗の多結晶状態となる。結晶化に要する時間 t_2 はカルコゲナイド材料の組成によって異なる。図29に示した素子の温度は、記憶素子自身が発するジュール熱、および周囲への熱拡散に依存する。

【0006】

また、非特許文献2に記載されているように、相変化メモリは抵抗素子構造を小さくすると、相変化膜の状態変化に必要な電力が小さくなる。このため、相変化メモリは、原理上、微細化に向いており、研究が盛んに行われている。また、非特許文献3には、カルコゲナイド材料の低抵抗化に120ns、高抵抗化に50ns程度の時間を要する相変化メモリが記載されている。

40

【0007】

さらに、特許文献6および特許文献7には、3次元構造の不揮発性メモリが開示されている。特許文献6には、可変抵抗素子とこれに並列接続されるトランジスタとを備えたメモリセルを積層方向に向けて直列に接続した構成が示されている。特許文献7には、可変抵抗素子とこれに直列接続されるダイオードとを備えたメモリセルを積層方向に向けて導電線を挟んで直列に接続した構成が示されている。当該構成では、例えば2個のメモリセ

50

ルの間の導電線と、2個のメモリセルの外側の2本の導電線との間に電位差を与えることで、当該2個のメモリセルに対して一括して書き込み動作が行われる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2008-146255号公報

【特許文献2】特開平07-153285号公報

【特許文献3】特許第3926985号公報

【特許文献4】特開2004-240572号公報

【特許文献5】国際公開第2011/114503号

【特許文献6】国際公開第2011/074545号

【特許文献7】特開2011-142186号公報

【非特許文献】

【0009】

【非特許文献1】「アイ・イー・イー・イー、インターナショナル・ソリッド・ステート・サーキット・カンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ (IEEE International Solid-State Circuits Conference, Digest of Technical Papers)」、(米国)、2007年、p. 472 - 473

【非特許文献2】「アイ・イー・イー・イー、インターナショナル・エレクトロン・デバイス・ミーティング、テクニカル・ダイジェスト (IEEE International Electron Devices meeting, TECHNICAL DIGEST)」、(米国)、2001年、p. 803 - 806

【非特許文献3】「アイ・イー・イー・イー、ジャーナル・オブ・ソリッド・ステート・サーキット (IEEE JOURNAL OF SOLID-STATE CIRCUIT)」、VOL. 40、No. 1、(米国)、2005年、p. 293 - 300

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明者らは、本願に先立ち、SSD (Solid State Drive) やメモリカードなどのストレージへ利用されているNAND型フラッシュメモリの制御方法について検討した。さらに、本発明者らは、カルコゲナイド材料からなる記録層とダイオードを用いた相変化メモリの抵抗値の特性について検討した。以下、検討内容を説明する。

【0011】

《NAND型フラッシュメモリの制御方法に対する検討》

例えば、4 GbitのNAND型フラッシュメモリは、(2112 = 2048 + 64) バイトからなるページと、64個のページからなるブロック(135168 = 131072 + 4096 バイト)と、4096ブロックからなるチップとで構成される。SSDは、複数のNAND型フラッシュメモリと、これらフラッシュメモリを制御するコントローラとで構成される。ホストコントローラとSSDは、例えばSATA (Serial Advanced Technology Attachment) インターフェースによって接続される。

【0012】

このようなSSDに向けてホストコントローラから1ページ分のデータ書き込み命令が生じた場合の書き込み動作について説明する。NAND型フラッシュメモリへのデータの書き込みはページ単位で行われ、データの書き込みは以下の手順により実行される。まず、コントローラは、NAND型フラッシュメモリから1ブロック分のデータ(135168バイト)を読み出す。次に、この1ブロック分のデータ(135168バイト)が格納されていたメモリ領域のデータを消去する。その後、新たに1ページ分のデータ(2112バイト)をメモリ領域に書き込む。

【0013】

ここで、NAND型フラッシュメモリには、最大消去可能回数 (ERASEmax) がある。この最大消去可能回数 (ERASEmax) を超えると、NAND型フラッシュメモ

10

20

30

40

50

メモリに保存されているデータは保証されなくなり、SSDは寿命を迎える。従って、SSDの寿命を延ばすには、効率の良いデータ消去方法が必要である。

【0014】

しかし、NAND型フラッシュメモリは、データの書込み単位と、データの消去単位が大きく異なっている。NAND型フラッシュメモリは、1ページ分のデータ(2112バイト)を書き込む際、64倍のデータサイズ(135168バイト)を消去する必要があり、データ消去方法が非常に非効率的と言える。その結果、NAND型フラッシュメモリを利用したSSDでは、寿命の低下が生じ易くなる。そこで、例えば、特許文献1～特許文献4のように、寿命を向上させるための各種技術が知られているが、この場合、制御の複雑化に伴い実効的な書き込み時間等が増大する恐れがある。

10

【0015】

このように、NAND型フラッシュメモリを利用したSSDでは、NAND型フラッシュメモリの書き込み速度や消去速度が元々低速であることに加えて、このような制御の複雑化に伴うオーバーヘッドが加わるため、寿命の拡大と高速化を両立させることは容易でない。さらに、1ページ分のデータ(2112バイト)を書き込む際、1ブロック分のデータ(135168バイト)を消去する前に、この1ブロック分のデータを読み出す必要があるため、これにより書き込み性能がさらに低下することも懸念される。

【0016】

《抵抗変化型不揮発性メモリの制御方法に対する検討》

抵抗変化型メモリとして、相変化メモリ(Phase Change Memory)、ReRAM(Resistive RAM)などが開発されている。このような抵抗変化型メモリを用いると、NAND型フラッシュメモリを用いる場合と比べて大幅に書き込み速度を向上させることが可能になる。また、抵抗変化型メモリはデータを上書きでき、その最小単位は1バイトと小さい。つまり必要なデータサイズ分のみを書き換え可能である。ただし、このようなメモリには、書き込み回数の上限值があり、この上限値が抵抗変化型メモリの寿命をきめる。このため、例えば特定のメモリセルへの書き込みが集中すると、その寿命が短くなってしまふ恐れがある。

20

【0017】

一方、不揮発性メモリへの要求性能(速度、寿命、容量)は、不揮発性メモリを利用するシステムによって異なり得る。抵抗変化型メモリは、前述したように、NAND型フラッシュメモリと比べて書き込み速度が早く、また書き換えの最小単位が小さいため、これらの特性を利用して、速度、寿命、容量等の性能をバランスよく確保するための制御方法が求められる。

30

【0018】

また、例えば相変化メモリへの書き込みは、図29で述べたように、電流により発生するジュール熱を制御し、これによってメモリセルの抵抗値を制御することで行われる。この際に、このジュール熱による熱履歴のために生じたメモリセルの電気特性の差によって、書き換え動作後の抵抗値にばらつきが発生する恐れがある。具体的には、例えば、あるメモリセルで生じたジュール熱がその周辺のメモリセルに影響を及ぼすことにより、周辺のメモリセルの抵抗値にばらつきが生じる場合がある。さらに、このメモリセルの抵抗値のばらつき量は、書き込み情報や周辺のメモリセルの記憶情報がセットかリセットかによっても変動する恐れがある。例えば特許文献7のような単純な書き込み方法を用いた場合にはこのようなばらつきの問題が生じ得るため、書き込み方法の適正化を含めて前述した不揮発性メモリへの要求性能を確保するための制御方法を実現することが望まれる。

40

【0019】

本発明は、このようなことを鑑みてなされたものであり、本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0020】

本願において開示される発明のうち、代表的な実施の形態の概要を簡単に説明すれば、

50

次のとおりである。

【0021】

本実施の形態による半導体装置は、複数のメモリセルを含む不揮発性メモリ部と、外部から入力される論理アドレスに対して物理アドレスを割り当て、前記不揮発性メモリ部の前記物理アドレスにアクセスを行う制御回路とを有する。不揮発性メモリ部は、複数の第1信号線と、複数の第1信号線と交差する複数の第2信号線と、複数の第1信号線と複数の第2信号線の交点に配置される複数のメモリセル群とを有する。複数のメモリセル群のそれぞれは、第1～第N（Nは2以上の整数）メモリセルと、第1～第Nメモリセルをそれぞれ選択する第1～第Nメモリセル選択線とを有する。ここで、制御回路は、第1物理アドレスへの第1書き込み命令に応じて、第1～第Nメモリセルの中のM個（ $M < N$ ）となる第1部分にデータを書き込み、第1書き込み命令の後に生じる第1物理アドレスへの第2書き込み命令に応じて、第1～第Nメモリセルの中の第1部分を除くM個となる第2部分にデータを書き込む。

10

【発明の効果】

【0022】

本願において開示される発明のうち、代表的な実施の形態によって得られる効果を簡単に説明すると、不揮発性メモリセルを備えた半導体装置において、信頼性の向上等が実現可能になる。

【図面の簡単な説明】

【0023】

20

【図1】本発明の一実施の形態による半導体装置において、それを適用した情報処理システムの概略構成例を示すブロック図である。

【図2】図1における制御回路の構成例を示すブロック図である。

【図3A】図1における不揮発性メモリ装置の構成例を示すブロック図である。

【図3B】図3Aにおけるチェインメモリアレイの構成例を示す回路図である。

【図4】図3Bのチェインメモリアレイの動作例を示す説明図である。

【図5】図3Bのチェインメモリアレイの別の動作例を示す説明図である。

【図6】図3Aの不揮発性メモリ装置において、その概略的な書き込み動作のタイミングの一例を示す説明図である。

【図7】図3Aの不揮発性メモリ装置において、その概略的な読み出し動作のタイミングの一例を示す説明図である。

30

【図8A】図1の情報処理システムにおいて、電源投入時の初期シーケンスの一例を示す図である。

【図8B】図1の情報処理システムにおいて、電源投入時の初期シーケンスの他の一例を示す図である。

【図9】図1のランダムアクセスメモリに格納される物理アドレステーブルの構成例を示す図である。

【図10A】図1のランダムアクセスメモリに格納される物理セグメントテーブルの構成例を示す図である。

【図10B】図1のランダムアクセスメモリに格納される物理セグメントテーブルの他の構成例を示す図である。

40

【図11A】図2の制御回路や図1のランダムアクセスメモリに格納される書き込み物理アドレステーブルの構成例を示す図である。

【図11B】図2の制御回路や図1のランダムアクセスメモリに格納される書き込み物理アドレステーブルの構成例を示す図である。

【図12A】図1のランダムアクセスメモリに格納されるアドレス変換テーブルの構成例およびその初期設定後の状態例を示す図である。

【図12B】図1の不揮発性メモリ装置における初期設定後の状態例を示す図である。

【図13A】図1におけるブート用の不揮発性メモリ装置に格納されるSSDコンフィグレーション情報の一例を示す図である。

50

【図13B】図1におけるブート用の不揮発性メモリ装置に格納されるSSDコンフィグレーション情報の他の一例を示す図である。

【図13C】図1におけるブート用の不揮発性メモリ装置に格納されるSSDコンフィグレーション情報の更に他の一例を示す図である。

【図14A】図1のメモリモジュールにおいて、制御回路から不揮発性メモリ装置に書き込まれるデータの構成例を示す図である。

【図14B】図14Aにおけるデータ書き込みレイヤ情報の構成例を示す図である。

【図14C】図14Aにおけるデータ書き込みレイヤ情報の構成例を示す図である。

【図15】図1のランダムアクセスメモリに格納されるアドレスマップ範囲の一例を示す図である。

10

【図16】図15の補足図であり、制御回路が図13AのSSDコンフィグレーション情報と図15のアドレスマップ範囲に基づいて設定した書き込み可能なメモリセルの配置例を模式的に示した図である。

【図17】図3Aおよび図3Bの不揮発性メモリ装置において、そのチェーンメモリアレイへの書き込み方式の一例を示す説明図である。

【図18】図3Aおよび図3Bの不揮発性メモリ装置において、そのチェーンメモリアレイへの書き込み方式の他の一例を示す説明図である。

【図19】図3Aおよび図3Bの不揮発性メモリ装置において、そのチェーンメモリアレイへの書き込み方式の更に他の一例を示す説明図である。

【図20】図1の情報処理装置からメモリモジュールへライトリクエストが入力された際に、メモリモジュール内で行われる詳細な書き込み処理手順の一例を示すフロー図である。

20

【図21】図11Aおよび図11Bの書き込み物理アドレステーブルにおいて、その更新方法の一例を示すフロー図である。

【図22A】図15等の第1物理アドレス領域に割り当てられる不揮発性メモリ装置において、その論理アドレス、物理アドレス、チップ内アドレスの対応関係の一例を示す図である。

【図22B】図15等の第2物理アドレス領域に割り当てられる不揮発性メモリ装置において、その論理アドレス、物理アドレス、チップ内アドレスの対応関係の一例を示す図である。

30

【図22C】図2の情報処理回路が不揮発性メモリ装置にデータ書き込みやデータ読み出しを行う際の物理アドレスの変化の様子の一例を示す図である。

【図23A】図1の制御回路が不揮発性メモリ装置の第1物理アドレス領域へデータを書き込む際のアドレス変換テーブルの更新方法および不揮発性メモリ装置のデータ更新方法の一例を示す図である。

【図23B】図23Aに続くアドレス変換テーブルの更新方法および不揮発性メモリ装置のデータ更新方法の一例を示す図である。

【図24A】図1の制御回路が不揮発性メモリ装置の第2物理アドレス領域へデータを書き込む際のアドレス変換テーブルの更新方法および不揮発性メモリ装置のデータ更新方法の一例を示す図である。

40

【図24B】図23Aに続くアドレス変換テーブルの更新方法および不揮発性メモリ装置のデータ更新方法の一例を示す図である。

【図25】図1の情報処理装置からメモリモジュールへリードリクエストが入力された際に、メモリモジュールが行うデータ読み出し動作の一例を示すフロー図である。

【図26】図13Bに示されるSSDコンフィグレーション情報を例として、ライト方法選択情報に応じたメモリモジュールの書き込み動作の一例を示すフロー図である。

【図27】図21の場合に加えて図2の情報処理回路が実行するウェアレベリング方法の一例を示すフロー図である。

【図28】図1の情報処理装置からメモリモジュールへ連続してライトリクエストが発生した際に、メモリモジュール内部でパイプライン的に実行されるデータ書き込み動作の一

50

例を示す図である。

【図29】相変化材料を用いた抵抗性記憶素子の相変化に必要なパルス幅と温度との関係を示す図である。

【発明を実施するための形態】

【0024】

以下の実施の形態においては、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明する。特に明示した場合を除き、それらは互いに無関係ではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

10

【0025】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

【0026】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一または関連する符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

20

【0027】

実施の形態において各ブロックを構成する回路素子は特に制限されないが、公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。さらに、これらのメモリセルには、相変化メモリ、ReRAM（Resistive Random Access Memory）のような抵抗性記憶素子を用いるものとする。

【0028】

《情報処理システムの概要》

図1は、本発明の一実施の形態による半導体装置において、それを適用した情報処理システムの概略構成例を示すブロック図である。図1に示す情報処理システムは、情報処理装置（プロセッサ）CPU__CPとメモリモジュール（半導体装置）NVMMDOとを備える。情報処理装置CPU__CPは、特に限定しないがメモリモジュールNVMMDOへ保存されているデータを最小512バイト単位の論理アドレス（LAD）にて管理するホストコントローラである。情報処理装置CPU__CPは、インターフェース信号HDH__IFを通じ、このメモリモジュールNVMMDOに対してデータの読み出しや書込みを行う。メモリモジュールNVMMDOは、特に限定しないが、例えばSSD（Solid State Drive）等に該当するものである。

30

40

【0029】

情報処理装置CPU__CPとメモリモジュール（半導体装置）NVMMDOを接続する信号方式には、シリアルインターフェース信号方式、パラレルインターフェース信号方式、光インターフェース信号方式などがある。いうまでもなく、全ての方式を利用することができる。情報処理装置CPU__CPとメモリモジュールNVMMDOを動作させるクロック方式には、基準クロック信号REF__CLKを用いるコモクロック方式およびソースシンクロナスクロック方式や、データ信号にクロック情報を埋め込むエンベデッドクロック方式などがある。いうまでもなく、全てのクロック方式を利用することができる。本実施の形態では、一例としてシリアルインターフェース信号方式ならびにエンベデッドクロック方式を用いるものとし、以下に動作を説明する。

50

【 0 0 3 0 】

情報処理装置CPU__CPから、クロック情報が埋め込まれ、シリアルデータへ変換されたリードリクエスト(RQ)やライトリクエスト(WQ)などがインターフェース信号HDH__IFを通じてメモリモジュールNVMMDOへ入力される。リードリクエスト(RQ)には論理アドレス(LAD)、データ読み出し命令(RD)、セクタカウント(SEC)などが含まれ、また、ライトリクエスト(WQ)には論理アドレス(LAD)、データ書込み命令(WRT)、セクタカウント(SEC)および書込みデータ(WDATA)などが含まれる。

【 0 0 3 1 】

メモリモジュール(半導体装置)NVMMDOは、不揮発性メモリ装置NVM10~NVM17と、ランダムアクセスメモリRAMと、これら不揮発性メモリ装置およびランダムアクセスメモリを制御する制御回路MDLCT0を備える。不揮発性メモリ装置NVM10~NVM17は、例えば同じ構成および性能を備えている。不揮発性メモリ装置NVM10は~NVM17には、データ、OS、アプリケーションプログラム、SDDコンフィグレーション情報(SDCFG)を格納し、さらに情報処理装置CPU__CPのブートプログラム等が格納されている。ランダムアクセスメモリRAMは、特に限定しないが、例えばDRAM等である。

10

【 0 0 3 2 】

電源投入直後に、メモリモジュールNVMMDOは、内部の不揮発性メモリ装置NVM10~NVM17と、ランダムアクセスメモリRAMと、制御回路MDLCT0の初期化の動作(所謂パワーオンリセット)を行う。さらに、メモリモジュールNVMMDOは、情報処理装置CPU__CPからのリセット信号RSTSIGを受けた際にも、内部の不揮発性メモリ装置NVM10~NVM17と、ランダムアクセスメモリRAMと、制御回路MDLCT0の初期化を行う。

20

【 0 0 3 3 】

図2は、図1における制御回路の構成例を示すブロック図である。図2に示す制御回路MDLCT0は、インターフェース回路HOST__IFと、バッファBUF0~BUF3と、書込み物理アドレステーブルNXPTBL1, NXPTBL2と、調停回路ARBと、情報処理回路MNGERと、メモリ制御回路RAMC, NVCT10~NVCT17と、マップレジスタMAPREGと、レジスタREG1, REG2を備える。メモリ制御回路RAMCは、図1のランダムアクセスメモリRAMを直接制御し、メモリ制御回路NVCT10~NVCT17は、図1の不揮発性メモリ装置NVM10~NVM17をそれぞれ直接制御する。

30

【 0 0 3 4 】

バッファBUF0~BUF3は、不揮発性メモリ装置NVM10~NVM17の書き込みデータや読み出しデータを一時的に蓄える。書込み物理アドレステーブルNXPTBL1, NXPTBL2は、詳細は図11等で後述するが、次に情報処理装置CPU__CPより論理アドレスを伴う書き込み命令を受けた際に、当該論理アドレスに対して割り当てを行う物理アドレスを蓄えたテーブルであり、特に限定しないが、SRAMやレジスタ等によって実現される。マップレジスタMAPREGおよびレジスタREG1, REG2は、詳細は図13等で後述するが、メモリ空間の全体的な領域に関する情報を保持するレジスタである。なお、SDDコンフィグレーション情報(SDCFG)やブートプログラムは、メモリモジュールNVMMDOの初期設定の高速化を図るため、例えば、図2の情報処理回路MNGERに直接接続される形で制御回路MDLCT0内に配置することも可能である。

40

【 0 0 3 5 】

《不揮発性メモリ装置の全体構成および動作》

図3Aは、図1における不揮発性メモリ装置の構成例を示すブロック図であり、図3Bは、図3Aにおけるチェーンメモリアレイの構成例を示す回路図である。図3Aに示す不揮発性メモリ装置は、図1の不揮発性メモリ装置NVM10~NVM17のそれぞれに該

50

当するものであり、ここでは、一例として相変化型の不揮発性メモリ（相変化メモリ）が用いられている。当該不揮発性メモリ装置は、クロック生成回路SYMD、ステータスレジスタSTREG、イレースサイズ指定レジスタNVREG、アドレス・コマンドインターフェース回路ADCMDIF、IOバッファIOBUF、制御回路CTLOG、温度センサTHMO、データ制御回路DATCTL、メモリバンクBK0～BK3を備える。

【0036】

各メモリバンクBK0～BK3は、メモリアレイARY x （ $x = 0 \sim m$ ）と、各メモリアレイにそれぞれ対応して設けられる読み書き制御ブロックSWB x （ $x = 0 \sim m$ ）と、これらを制御する各種周辺回路を備える。当該各種周辺回路の中には、ロウアドレスラッチRADLT、カラムアドレスラッチCADLT、ロウデコーダROWDEC、カラムデコーダCOLDEC、チェイン選択アドレスラッチCHLT、チェインデコーダCHDEC、データ選択回路DSW1、データバッファDBUF0、DBUF1が含まれる。

10

【0037】

各メモリアレイARY x （ $x = 0 \sim m$ ）は、複数のワード線WL0～WL k と複数のビット線BL0 $_x \sim BLi_x$ の交点に配置される複数のチェインメモリアレイCYと、複数のビット線BL0 $_x \sim BLi_x$ のいずれかを選択してデータ線DT x に接続するビット線選択回路BSW x を備える。各読み書き制御ブロックSWB x （ $x = 0 \sim m$ ）は、データ線DT x に接続されるセンスアンプSA x およびライトドライバWDR x と、書き込み動作時に、これらを用いてデータの検証を行う書込みデータ検証回路WV x を備える。

20

【0038】

各チェインメモリアレイCYは、図3Bに示すように、複数の相変化メモリセルCL0～CL n が直列に接続された構成を備え、その一端はダイオードDを介してワード線WLに接続され、他端はチェイン選択トランジスタTchを介してビット線BLに接続される。複数の相変化メモリセルCL0～CL n は、図示は省略するが、半導体基板に対して高さ方向に積層配置される。また、各相変化メモリセルCLは、可変抵抗型の記憶素子Rと、それに並列接続されるメモリセル選択トランジスタTclを備える。記憶素子Rは、例えばカルコゲナイド材料で形成される。

【0039】

図3Bの例では、2個のチェインメモリアレイCYがダイオードDを共有しており、チェインメモリアレイ選択線SL0、SL1によって各チェインメモリアレイ内のチェイン選択トランジスタTchがそれぞれ制御され、これによっていずれか一方のチェインメモリアレイが選択される。また、メモリセル選択線LY（LY0～LY n ）によって、相変化メモリセルCL0～CL n 内のメモリセル選択トランジスタTclがそれぞれ制御され、これによって各相変化メモリセルが適宜選択される。なお、チェインメモリアレイ選択線SL0、SL1およびメモリセル選択線LY0～LY n は、チェイン制御線CHとして、図1のチェイン選択アドレスラッチCHLTおよびチェインデコーダCHDECを介して適宜駆動される。

30

【0040】

次に、図3Aの不揮発性メモリ装置の動作について簡単に説明する。図3Aにおいて、まず、制御回路CTLOGは、アドレス・コマンドインターフェース回路ADCMDIFを介して制御信号CTLを受ける。制御信号CTLは、特に限定しないが、例えば、コマンド・ラッチイネーブル信号（CLE）、チップイネーブル信号（CEB）、アドレス・ラッチ信号（ALE）、ライトイネーブル信号（WEB）、リードイネーブル信号（REB）、レディビジー信号（RBB）を含み、これらの組み合わせによって、書き込み命令又は読み出し命令が発行される。また、制御回路CTLOGは、制御信号CTLと共に、IOバッファIOBUFを介して入出力信号IOを受ける。入出力信号IOには、アドレス信号が含まれており、制御回路CTLOGは、当該アドレス信号からロウアドレスおよびカラムアドレスを抽出する。制御回路CTLOGは、当該ロウアドレス、カラムアドレス、ならびに予め定められる書き込み・読み出し単位等に基づいて、適宜内部アドレスを生

40

50

成し、ロウアドレスラッチRADLT、カラムアドレスラッチCADLTならびにチェイン選択アドレスラッチCHLTにそれぞれ伝送する。

【0041】

ロウデコーダROWDECは、ロウアドレスラッチRADLTの出力を受けてワード線WL0~WLkの選択を行い、カラムデコーダCOLDECは、カラムアドレスラッチCADLTの出力を受けてビット線BL0~BLiの選択を行う。また、チェインデコーダCHDECは、チェイン選択アドレスラッチCHLTの出力を受けて、チェイン制御線CHの選択を行う。制御信号CTLによって読み出し命令が入力された際、前述したワード線、ビット線およびチェイン制御線の組み合わせによって選択されたチェインメモリアレイCYからビット線選択回路BSW0~BSWmを介してデータが読み出される。当該読み出されたデータは、センスアンプSA0~SAmで増幅され、データ選択回路DSW1を介してデータバッファDBUF0(又はDBUF1)に伝送される。そして、データバッファDBUF0(又はDBUF1)上のデータは、データ制御回路DATCTLおよびIOバッファIOBUFを介して入出力信号IOに順次伝送される。

10

【0042】

一方、制御信号CTLによって書き込み命令が入力された際、入出力信号IOには、前述したアドレス信号に続いてデータ信号が伝送され、当該データ信号は、データ制御回路DATCTLを介してデータバッファDBUF0(又はDBUF1)に入力される。データバッファDBUF0(又はDBUF1)上のデータ信号は、データ選択回路DSW1、ライトドライバWDR0~WDRmおよびビット線選択回路BSW0~BSWmを介して、前述したワード線、ビット線およびチェイン制御線の組み合わせによって選択されたチェインメモリアレイCYに書き込まれる。また、この際に、書き込みデータ検証回路WV0~WVmは、書き込みを行ったデータをセンスアンプSA0~SAmを介して適宜読み出しながら書き込みレベルが十分なレベルに達したかを検証し、十分なレベルに達するまでライトドライバWDR0~WDRmを用いて再度の書き込み動作を行う。

20

【0043】

図4は、図3Bのチェインメモリアレイの動作例を示す説明図である。この図4を用いて、例えば、チェインメモリアレイCY1内の相変化メモリセルCL0における可変抵抗型記憶素子R0を高抵抗や低抵抗にする際の動作について説明する。チェインデコーダCHDECによって、チェインメモリアレイ選択線SL1のみが活性化(SL0=Low、SL1=High)され、チェイン選択トランジスタTch1が導通状態となる。続いて、メモリセル選択線LY0のみが非活性化(LY0=Low、LY1~LYn=High)され、相変化メモリセルCL0のメモリセル選択トランジスタTcl0はカットオフ状態となり、残りのメモリセルCL1~CLnのメモリセル選択トランジスタTcl1~Tclnは導通状態となる。

30

【0044】

次に、ワード線WL0がHighとなり、続いてビット線BL0がLowになると、電流I0がワード線WL0から、ダイオードD0、可変抵抗型記憶素子R0、メモリセル選択トランジスタTcl1~Tclnおよびチェイン選択トランジスタTch1を経由してビット線BL0へ流れる。この電流I0が図29に示したReset電流パルスの形に制御されることで、可変抵抗型記憶素子R0は高抵抗となる。また、この電流I0が図29に示したSet電流パルスの形に制御されることで、可変抵抗型記憶素子R0は低抵抗となる。可変抵抗型記憶素子R0~Rnの抵抗値の違いによってデータ“1”と“0”が区別される。特に限定しないが、可変抵抗型記憶素子が低抵抗になった場合に、データ“1”が記録され、高抵抗になった場合にデータ“0”が記録されるものとする。

40

【0045】

なお、可変抵抗型記憶素子R0に記録されたデータを読み出す場合は、可変抵抗型記憶素子R0の抵抗値が変化しない程度に、データ書込みと同様の経路で電流が印加される。この場合、可変抵抗型記憶素子R0の抵抗値に応じた電圧値がセンスアンプ(この例では図3AのSA0)で検出され、データ“0”および“1”が判定される。

50

【 0 0 4 6 】

図5は、図3Bのチェーンメモリアレイの別の動作例を示す説明図である。この図5を用いて、1チェーンメモリアレイCY1内の全可変抵抗型記憶素子R0～Rnを一括で低抵抗にする際の動作を説明する。チェーンデコーダCHDECによって、チェーンメモリアレイ選択線SL1のみが活性化(SL0=Low、SL1=High)され、チェーン選択トランジスタTch1が導通状態となる。続いて、メモリセル選択線LY0～LYnが非活性化(LY0～LYn=Low)され、メモリセルCL0～CLnのメモリセル選択トランジスタTcl0～Tclnはカットオフ状態となる。次に、ワード線WL0がHighとなり、続いてビット線BL0がLowになると、電流I1がワード線WL0から、ダイオードD0、可変抵抗型記憶素子R0～Rnおよびチェーン選択トランジスタTch1を経由してビット線BL0へ流れる。この電流I1が図29に示したSet電流パルスの形に制御されることで、可変抵抗型記憶素子R0～Rnは一括して低抵抗となる。

10

【 0 0 4 7 】

《チェーンメモリアレイの詳細動作方式》

ここで、本実施の形態の主要な特徴の一つとなるチェーンメモリアレイの動作方式について説明する。図17～図19は、図3Aおよび図3Bの不揮発性メモリ装置において、そのチェーンメモリアレイへの書き込み方式の一例を示す説明図である。本実施の形態による不揮発性メモリ装置は、例えば、ホスト(図1のCPU_CP)側からの1回の書き込み命令に応じて、チェーンメモリアレイを構成する(n+1)ビットの相変化メモリセルに対して(n+1)ビットの書き込みを行う第2動作モードと、jビット(j<(n+1))の書き込みを行う第1動作モードとを備える。以降、各動作モード時の書き込み動作について説明する。なお、当該書き込み動作に伴うワード線、ビット線、チェーン制御線等の詳細な制御方法は、図4および図5の場合と同様である。

20

【 0 0 4 8 】

図17は、前述した第1動作モードでj=1とした場合の書き込み動作に伴うチェーンメモリアレイの変化の様子の一例を示すものである。図17において、例えば、チェーンメモリアレイCY0000とCY0010は同一の物理アドレス[1]に割り当てられるものとする。ここで、当該物理アドレス[1]を対象とする書き込み命令[1]が入力された場合、チェーンメモリアレイCY0000、CY0010では、まず最初に、メモリセル選択線LY0が用いられる。

30

【 0 0 4 9 】

ここで、メモリセル選択線LY0を対象とする書き込み動作が行われる際には、それに先だって、チェーンメモリアレイCY0000、CY0010では、その中の全ての相変化メモリセルを対象として一旦“1”(セット状態)の書き込み(初期書き込み又は消去と称す)が行われる。具体的には、チェーンメモリアレイ選択線SL0が活性化され(SL0=High、SL1=Low)、メモリセル選択線LY0～LYnが全て非活性化(Low)された状態で、ワード線WL0とビット線BL0__0の間、ならびにワード線WL0とビット線BL0__1の間にそれぞれ図29のSet電流パルスが印加される。そして、その後、メモリセル選択線LY0に対応する相変化メモリセルを対象として、当該書き込み命令[1]に伴う所定のデータが書き込まれる。

40

【 0 0 5 0 】

この例では、当該書き込み命令[1]に伴うチェーンメモリアレイCY0000用およびチェーンメモリアレイCY0010用の1ビットデータが共に“0”であるものとして、チェーンメモリアレイCY0000、CY0010では、共にメモリセル選択線LY0に対応する相変化メモリセル(前述したセット状態の初期書き込み(消去)に伴い“1”を保持)を対象として“0”(リセット状態)が書き込まれる。具体的には、チェーンメモリアレイ選択線SL0が活性化(SL0=High、SL1=Low)され、メモリセル選択線LY0のみが非活性化(LY0=Low、LY1～LYn=High)された状態で、ワード線WL0とビット線BL0__0の間、ならびにワード線WL0とビット線BL0__1の間にそれぞれ図29のReset電流パルスが印加される。

50

【 0 0 5 1 】

その後、再び当該物理アドレス [1] を対象とする書き込み命令 [2] が入力された場合、今度はメモリセル選択線 L Y 1 が用いられる。この例では、当該書き込み命令 [2] に伴うチェーンメモリアレイ C Y 0 0 0 0 用の 1 ビットデータが “ 1 ” であり、チェーンメモリアレイ C Y 0 0 1 0 用の 1 ビットデータが “ 0 ” であるものとする。ここで、チェーンメモリアレイ C Y 0 0 0 0 , C Y 0 0 1 0 におけるメモリセル選択線 L Y 1 に対応する相変化メモリセルのデータは、前述したメモリセル選択線 L Y 0 での初期書き込み（消去）に伴い予め “ 1 ” となっている。したがって、当該書き込み命令 [2] に伴う 1 ビットデータが “ 1 ” であるチェーンメモリアレイ C Y 0 0 0 0 では、特に書き込み動作は行われず、チェーンメモリアレイ C Y 0 0 1 0 内のメモリセル選択線 L Y 1 に対応する相変化メモリセルを対象として “ 0 ” （リセット状態）が書き込まれる。具体的には、チェーンメモリアレイ選択線 S L 0 が活性化（ S L 0 = H i g h , S L 1 = L o w ）され、メモリセル選択線 L Y 1 のみが非活性化（ L Y 1 = L o w , L Y 0 , L Y 2 ~ L Y n = H i g h ）された状態で、ワード線 W L 0 とビット線 B L 0 _ 1 の間に図 2 9 の R e s e t 電流パルスが印加される。この際に、ワード線 W L 0 とビット線 B L 0 _ 0 の間には、特に電流パルスは印加されない。

10

【 0 0 5 2 】

図 1 7 のチェーンメモリアレイ C Y 0 0 0 0 , C Y 0 0 1 0 内にはこのような書き込み動作が行われたあとの状態が示されている。以降も同様にして、当該物理アドレス [1] を対象として書き込み命令が入力される度に、使用するメモリセル選択線が L Y 2 L Y 3 ... L Y n と遷移していき、その後、 L Y n から L Y 0 に戻る際に、再度、前述した初期書き込み（消去）が行われる。

20

【 0 0 5 3 】

同様に、図 1 7 において、例えば、チェーンメモリアレイ C Y k 0 0 1 と C Y k 0 1 1 は同一の物理アドレス [2] に割り当てられるものとする。図 1 7 のチェーンメモリアレイ C Y k 0 0 1 , C Y k 0 1 1 内には、当該物理アドレス [2] を対象として、チェーンメモリアレイ C Y k 0 0 1 , C Y k 0 1 1 用の 1 ビットデータを共に “ 1 ” とする書き込み命令が n 回入力されたのち、更に、当該物理アドレス [2] を対象とする書き込み命令 [n + 1] が入力されたあとの状態が示されている。当該書き込み命令 [n + 1] では、チェーンメモリアレイ C Y k 0 0 1 用の 1 ビットデータは “ 1 ” であり、チェーンメモリアレイ C Y k 0 1 1 用の 1 ビットデータは “ 0 ” である。チェーンメモリアレイ C Y k 0 0 1 , C Y k 0 1 1 では、当該 n 回の書き込み命令に応じて、一旦最初に初期書き込み（消去）が行われたのち、メモリセル選択線を L Y 0 L Y 1 ... L Y (n - 1) と推移しながら「 1 」の書き込みが行われる（ただし実際には初期書き込み以外の書き込み動作は行われぬ）。その後、チェーンメモリアレイ C Y k 0 1 1 では、前述した 1 ビットデータ “ 0 ” の書き込み命令 [n + 1] に応じて、メモリセル選択線 L Y n に対応する相変化メモリセルを対象として “ 0 ” （リセット状態）が書き込まれる。

30

【 0 0 5 4 】

図 1 8 は、前述した第 2 動作モード時の書き込み動作に伴うチェーンメモリアレイの変化の様子の一例を示すものである。図 1 8 において、例えば、チェーンメモリアレイ C Y k 0 0 0 と C Y k 0 1 0 は同一の物理アドレス [1] に割り当てられるものとする。ここで、当該物理アドレス [1] を対象とする書き込み命令 [1] が入力された場合、チェーンメモリアレイ C Y k 0 0 0 , C Y k 0 1 0 では、まず、最初にその中の全ての相変化メモリセルを対象として一旦 “ 1 ” （セット状態）の書き込み（すなわち前述した初期書き込み（消去））が行われる。そして、その後に、チェーンメモリアレイ C Y k 0 0 0 , C Y k 0 1 0 内の全ての相変化メモリセルを対象として、当該書き込み命令 [1] に伴う所定のデータが書き込まれる。

40

【 0 0 5 5 】

この例では、当該書き込み命令 [1] に伴うチェーンメモリアレイ C Y k 0 0 0 用の (n + 1) ビットデータが “ 0 ... 0 0 ” であり、チェーンメモリアレイ C Y k 0 1 0 用の (

50

$n + 1$) ビットデータが “ 0 ... 1 0 ” となっている。ここで、チェーンメモリアレイ $CYk000$, $CYk010$ における全相変化メモリセルのデータは、前述した初期書き込み (消去) に伴い予め “ 1 ” となっている。したがって、当該書き込み命令 [1] に伴うデータが “ 1 ” のビットに対応する相変化メモリセル (ここでは $CYk010$ 内の $LY1$ に対応する相変化メモリセル) では、特に書き込み動作が行われず、それ以外の相変化メモリセルを対象として “ 0 ” (リセット状態) が書き込まれる。具体的には、例えば、非活性化するメモリセル選択線を $LY0$ $LY1$... LYn のように順次シフトさせながら、その都度、ワード線 WLk とビット線 $BL0_0$ の間と、ワード線 WLk とビット線 $BL0_1$ の間のそれぞれに図 29 の $Reset$ 電流パルスを押加するか否かが選択される。この例では、メモリセル選択線 $LY1$ が非活性化された際のワード線 WLk とビット線 $BL0_1$ の間を除いた場合で $Reset$ 電流パルスが押加されることになる。

10

【 0 0 5 6 】

その後、再び当該物理アドレス [1] を対象とする書き込み命令 [2] が入力された場合、書き込み命令 [1] の場合と同様に、最初に初期書き込み (消去) が行われたのち、当該書き込み命令 [2] に伴うチェーンメモリアレイ $CYk000$, $CYk010$ 用の各 ($n + 1$) ビットデータに基づいて適宜 “ 0 ” (リセット状態) の書き込みが行われる。なお、ここでは、非活性化するメモリセル選択線を順次シフトさせながら “ 0 ” (リセット状態) の書き込みを行ったが、場合によっては、メモリセル選択線をシフトさせずに一括して書き込みを行うことも可能である。すなわち、例えば、メモリセル選択線 $LY0 \sim LYn$ を全て非活性状態とした状態で、ワード線 WLk とビット線 $BL0_0$ の間に $Reset$ 電流パルスを押加し、その後、メモリセル選択線 $LY0 \sim LYn$ を $LY1$ を除いて全て非活性状態とした状態で、ワード線 WLk とビット線 $BL0_1$ の間に $Reset$ 電流パルスを押加すればよい。

20

【 0 0 5 7 】

図 19 は、前述した第 1 動作モードで $j = 2$ とした場合の書き込み動作に伴うチェーンメモリアレイの変化の様子の一例を示すものである。図 19 において、例えば、チェーンメモリアレイ $CY0000$ と $CY0010$ は同一の物理アドレス [1] に割り当てられるものとする。ここで、当該物理アドレス [1] を対象とする書き込み命令 [1] が入力された場合、チェーンメモリアレイ $CY0000$, $CY0010$ では、まず最初に、2 本のメモリセル選択線 $LY0$, $LY1$ が用いられる。

30

【 0 0 5 8 】

ここで、メモリセル選択線 $LY0$, $LY1$ を対象とする書き込み動作が行われる際には、それに先だって、チェーンメモリアレイ $CY0000$, $CY0010$ では、その中の全ての相変化メモリセルを対象として前述した初期書き込み (消去) が行われる。そして、その後、メモリセル選択線 $LY0$, $LY1$ に対応する相変化メモリセルを対象として、当該書き込み命令 [1] に伴う所定のデータが書き込まれる。ここでは、当該書き込み命令 [1] に伴うチェーンメモリアレイ $CY0000$ 用の 2 ビットデータが “ 0 0 ” であり、チェーンメモリアレイ $CY0010$ 用の 2 ビットデータが “ 1 0 ” である場合を例としている。具体的な書き込み動作は、非活性化するメモリセル選択線を $LY0$ $LY1$ のようにシフトさせ、その都度、ワード線 $WL0$ とビット線 $BL0_0$ の間と、ワード線 $WL0$ とビット線 $BL0_1$ の間のそれぞれに図 29 の $Reset$ 電流パルスを押加するか否かを選択することで行われる。

40

【 0 0 5 9 】

その後、再び当該物理アドレス [1] を対象とする書き込み命令 [2] が入力された場合、今度はメモリセル選択線 $LY2$, $LY3$ が用いられる。この例では、当該書き込み命令 [2] に伴うチェーンメモリアレイ $CY0000$ 用の 2 ビットデータが “ 1 1 ” であり、チェーンメモリアレイ $CY0010$ 用の 2 ビットデータが “ 1 0 ” である場合を例としている。図 19 のチェーンメモリアレイ $CY0000$, $CY0010$ 内にはこのような書き込み動作が行われたあとの状態が示されている。以降も同様にして、当該物理アドレス [1] を対象として書き込み命令が入力される度に、使用するメモリセル選択線が $LY4$

50

, LY5 LY6, LY7 ...と遷移していき、その後、LY $n-1$, LY n からLY0, LY1に戻る際に、再度、前述した初期書き込み(消去)が行われる。

【0060】

以上、図17~図19に示すようなメモリアレイの動作方式を用いることで、例えば次のような効果が得られる。

【0061】

(1) 前述した第1動作モード時には、 $(n+1)$ ビットのチェーンメモリアレイが j ($< (n+1)$)ビットの記憶容量を持つものとして使用されると共に、当該 j ビットは当該チェーンメモリアレイ内で循環するように制御されるため、前述した第2動作モード時と比べて高速化と寿命の拡大が図れる。すなわち、例えば図17の場合、図18の場合と比較して、“0”(リセット状態)の書き込み対象となる最大ビット数が $1/(n+1)$ に減るため、これに伴う書き込みデータ検証動作(ベリファイ動作)も含めて書き込みに要する最大時間を短縮することができる。また、チェーンメモリアレイ内の全ビットは、図17の場合には $(n+1)$ 回の書き込み命令によって1回使用されるのに対して、図18の場合には1回の書き込み命令によって1回使用されるため、図17の場合は図18の場合に比べて寿命が約 $(n+1)$ 倍程度に延びる。

【0062】

一方、第2動作モード時には、第1動作モード時と比べて、大容量化や低コスト化が図れる。すなわち、例えば、図17の場合には1個のチェーンメモリアレイが1ビットの記憶容量を持つものとして使用されるのに対して、図18の場合には、1個のチェーンメモリアレイが $(n+1)$ ビットの記憶容量を持つものとして使用されるため、単位面積当たりの容量値が大きくなり、ビットコストを低く設定できる。これらの結果、例えば不揮発性メモリ装置内において第1動作モードで使用される領域と第2動作モードで使用される領域を設けるなど、第1動作モードと第2動作モードを適宜組み合わせることで、速度、寿命、容量等の性能をバランスよく確保することができ、ユーザの要求性能に対して柔軟に対応することが可能になる。

【0063】

(2) 前述した第1および第2動作モードの双方において、チェーンメモリアレイ内の全てのメモリセルに対して、一旦、セット状態およびリセット状態の中の一方向の状態を一括して書き込んだのち(初期書き込み(消去)ののち)、他方の状態を特定のメモリセルに書き込むような方式を用いることで、安定した書き込み動作が実現可能になる。すなわち、チェーンメモリアレイ内では、まず、一括して一方の状態を書き込むことでチェーンメモリアレイ内の各メモリセルの状態(抵抗値)をほぼ均一に保つことが可能になる。そして、その後特定のメモリセルに対して他方の状態を書き込む際に、当該書き込みに伴う発熱によって当該特定のメモリセルの周辺に配置された各メモリセルは、同様の初期状態から同様の影響を受けるため、結果として、チェーンメモリアレイ内における各メモリセル間の抵抗値のばらつき量を低減することができる。これによって、安定した書き込み動作が実現可能になる。特に、図17~図19に示すような積層構造のチェーンメモリアレイを用いる場合には、積層構造を用いない場合と比べて各メモリセル間がより近接配置される可能性が高いため、このような方式によってばらつき量を低減することがより有益となる。

【0064】

また、さらに、ここでは、初期書き込み(消去)時にセット状態を用い、その後の特定のメモリセルに対する書き込み時にリセット状態を用いている。これによって、より安定した書き込み動作が実現可能になる。例えば、相変化メモリセルでは、通常、リセット状態よりもセット状態の方が安定している。また、図29に示したように、セット状態を書き込む際のパルス幅は、リセット状態を書き込む際のパルス幅に比べて広いため、セット状態を書き込む際には、その分だけ当該書き込み動作に伴う発熱が周辺に広がり易く、周辺の相変化メモリセルの記憶状態に影響を及ぼす可能性が高くなる。これらを鑑みると、本実施の形態の書き込み方式のように、特定の相変化メモリセルを対象としてセット状態

10

20

30

40

50

の書き込みが生じないような方式を用いることが有益となる。本実施の形態の書き込み方式を用いると、特定の相変化メモリセルにリセット状態を書き込む際に、その周辺の相変化メモリセルは初期書き込み（消去）に伴いセット状態で安定しており、更に、リセット状態の書き込みに伴うパルス幅が狭いことから、当該書き込みに伴う熱の広がりも抑制される。

【0065】

(3) 前述した第1動作モードと、前述したチェーンメモリアレイ内の各メモリセルに対する具体的な書き込み方式を組み合わせることで、メモリセルの寿命の向上と共に安定した書き込み動作が実現でき、信頼性の向上が図れる。

【0066】

なお、図17～図19および図3B等では、例えば $n = 7$ 等とし、積層される($n + 1$)個の相変化メモリセルを1個のチェーンメモリアレイに対応させたが、必ずしもこれに限定されるものではなく、適宜対応関係を変更することも可能である。例えば、図17において、 $n = 3$ とし、順に積層される4個の相変化メモリセル（例えばCY0000に該当）と、この隣で順に積層されると共にダイオードおよびビット線を共有する4個の相変化メモリセル（例えばCY0001に該当）とを、1個のチェーンメモリアレイに対応させることも可能である。この場合、当該チェーンメモリアレイの初期書き込み（消去）は、チェーンメモリアレイ選択線SL0, SL1を順に活性化することで2回に分けて行われる。あるいは、例えば書き込み電流を2倍の大きさに設定できるような場合には、チェーンメモリアレイ選択線SL0, SL1を共に活性化することで1回で行うことも可能である。また、例えば、図17では、書き込み命令が入力される毎にメモリセル選択線を順次シフトさせたが、例えば、当該書き込み命令に伴うデータがオール“1”の場合には、当該シフトを行わないような機能を付加することも可能である。

【0067】

《不揮発性メモリ装置への書き込み動作》

図6は、図3Aの不揮発性メモリ装置において、その概略的な書き込み動作のタイミングの一例を示す説明図である。ここでは、図1の不揮発性メモリ装置NVM1x ($x = 0 \sim 7$)のいずれかに対応する図3Aの不揮発性メモリ装置を対象に、MバイトのデータをデータバッファDBUF0を介してメモリアレイARY0～ARYm内の相変化メモリセルに書き込む場合を例とする。なお、図6における「 $m * n$ 」等の「*」は「x」（乗算）を意味するものである。

【0068】

図6において、ロウ・レベルとなっているコマンド・ラッチイネーブル信号CLEをハイ・レベルに駆動し、ハイ・レベルとなっているチップイネーブル信号CEB及びアドレス・ラッチイネーブル信号ALEをロウ・レベルに駆動する。この後、書き込みコマンドW10を出力線IOx ($x = 0 \sim 7$)（図3AのIO[7:0]）を介して入力すると、ライトイネーブル信号WEBの立ち上がりエッジによって書き込みコマンドW10が図3Aのアドレス・コマンドインターフェース回路ADCMDIFへ取り込まれ、解読される。また、書き込みコマンドW10には、データバッファDBUF0あるいはDBUF1を指定する情報も含まれており、図6の例ではデータバッファDBUF0が指定されている。

【0069】

次に、ハイ・レベルとなっているコマンド・ラッチイネーブル信号CLEをロウ・レベルへ、ロウ・レベルとなっているアドレス・ラッチイネーブル信号ALEをハイ・レベルに夫々駆動して、カラムアドレスを2回(CA1, CA2)、ロウアドレスを3回(RA1, RA2, RA3)に分けて順に入力する。これらのアドレスは、ライトイネーブル信号WEBの立ち上がりエッジによって、アドレス・コマンドインターフェース回路ADCMDIFへ取り込まれ、解読される。アドレス・コマンドインターフェース回路ADCMDIFにてアドレスおよび書き込みコマンドW10を解読した結果、メモリバンクBK0への書き込み命令であることが制御回路CTLOGに伝えられると、制御回路CTLOG

10

20

30

40

50

は、メモリバンクBK0にデータを書き込むため、メモリバンクBK0を活性化する。

【0070】

アドレス・コマンドインターフェース回路ADCMDIFへ入力されたロウアドレス(RA1、RA2、RA3)およびカラムアドレス(CA1、CA2)は、制御回路CTLOGを通じて、それぞれ、活性化されたメモリバンクBK0のロウアドレスラッチRADLT、カラムアドレスラッチCADLTおよびチェイン選択アドレスラッチCHLTへ転送される。ここで書き込み動作は、最初に入力されたカラムアドレスから開始される。ロウアドレスラッチRADLTからロウアドレス(RA1、RA2、RA3)がロウデコーダROWDECへ転送され、ロウデコーダROWDECによってロウアドレス(RA1、RA2、RA3)に対応したワード線WLk(ワード線WLk=High)が選択される。次に、チェイン選択アドレスラッチCHLTからチェインアドレス(CHAD)およびセルアドレス(CLAD)がチェインデコーダCHDECへ転送され、チェインデコーダCHDECによって、チェインアドレス(CHAD)およびセルアドレス(CLAD)に対応したチェインメモリアレイ選択線SLおよびメモリセル選択線LYが選択される。

10

【0071】

続いて、カラムアドレスラッチCADLTからカラムアドレス(CA1、CA2)がカラムデコーダCOLDECへ転送され、解読される。カラムデコーダCOLDECからの解読結果は、各メモリアレイARY0~ARYmのビット線選択回路BSW0~BSWmへ入力され、メモリアレイARY0~ARYm毎に一つのビット線BLi_x(x=0~m)が選択され、データ線DT0~DTmを介して書き込み(ライト)ドライバWDR0~WDRmへ接続される。このような状態から、書き込みドライバWDR0~WDRmは、データ線DT0~DTmを介して選択されたビット線BLi_xをLow状態とし、図4および図5に示したように、相変化メモリセルCLの可変抵抗型記憶素子Rに所定の電流を流すことでこの可変抵抗型記憶素子Rを低抵抗状態や高抵抗状態にする。

20

【0072】

相変化メモリセルCLの可変抵抗型記憶素子Rを低抵抗状態にする、すなわち記憶情報“1”を書き込む場合には、データ線DT0~DTmを介して印加するメモリセル電流Ic1はセット動作に必要な値(Iset)に制御される。相変化メモリセルCLを高抵抗状態にする、すなわち記憶情報“0”を書き込む場合には、データ線DT0~DTmを介して印加するメモリセル電流Ic1はリセット動作に必要な値(Ireset)に制御される。例えば、一つのメモリバンクの中に、書き込みドライバWDRが合計(m+1)個存在し、各メモリアレイARY0~ARYm内で8ビットの記憶容量を持つチェインメモリアレイCYが1個ずつ選択されるものとする、メモリバンクの中で、(m+1)バイトを単位とした書き込みを行うことができる。

30

【0073】

次に、ハイ・レベルとなっているアドレス・ラッチイネーブル信号ALEをロウ・レベルに駆動して、ライトイネーブル信号WEBの立ち上がりエッジに同期して、記憶情報DI(1), DI(2), ..., DI(M)が、入出力線IOx(x=0~7)を介してそれぞれ1バイトずつ入力される。この各記憶情報DI(1), DI(2), ..., DI(M)は、順次、データバッファDBUF0へ入力される。データバッファDBUF0へnバイト分のデータが入力されるたびに、n×8個分の書き込みドライバWDRを通じて、nバイト分のデータが書き込まれる。以下に、その動作を示す。

40

【0074】

先ず、最初のnバイト分のデータの書き込み動作を説明する。

【0075】

データバッファDBUF0への最初のnバイト分のデータの中で、最初の1バイト分のデータが入力された時点で、書き込みドライバWDRを通じて、カラムアドレス{CA1、CA2}によって選択された最初のnバイト分のメモリセルが低抵抗状態(消去:ERS1(1))に書き込まれる。次に、データバッファDBUF0に最初のnバイト分のデータがすべて入力された時点で、データバッファDBUF0に保持されているデータの中

50

で“0”のデータに対応する相変化メモリセルが、書き込みドライバWDRを通じて、高抵抗状態（プログラム：PROG0（1））に書き込まれる。最後に、書き込みデータ検証回路WVx（x=0～m）は、相変化メモリセルへ書き込まれた“0”のデータを読み出し、正しく“0”が書き込まれたかを確認する（ベリファイ：VRF0（1））。これによって、最初のnバイト分のデータ書き込みが行われる。

【0076】

次に、2番目のnバイト分のデータの書き込み動作を説明する。

【0077】

データバッファDBUF0への2番目のnバイト分のデータの中で、最初の1バイト分のデータが入力した時点で、書き込みドライバWDRを通じて、カラムアドレス{CA1、CA2}+(n)によって選択された2番目のnバイト分のメモリセルが低抵抗状態（消去：ERS1（2））に書き込まれる。次に、データバッファDBUF0に2番目のnバイト分のデータがすべて入力された時点で、データバッファDBUF0に保持されているデータの中で“0”のデータに対応する相変化メモリセルが、書き込みドライバWDRを通じて、高抵抗状態（プログラム：PROG0（2））に書き込まれる。最後に、書き込みデータ検証回路WVx（x=0～m）は、相変化メモリセルへ書き込まれた“0”のデータを読み出し、正しく“0”が書き込まれたかを確認する（ベリファイ：VRF0（2））。これによって、2番目のnバイト分のデータ書き込みが行われる。

【0078】

3番目のnバイト分のデータの書き込み動作も、上記の動作と同様に行われ、その際のカラムアドレスは{CA1、CA2}+(2n)となる。このように、開始カラムアドレス{CA1、CA2}に対して順にnの倍数を加算しながらカラムアドレスを生成し、当該カラムアドレスによってnバイト分の相変化メモリセルCLが選択される毎に、消去（ERS1）、プログラム（PROG0）およびベリファイ（VRF0）が実行される。なお、当該カラムアドレスの加算は、例えば、図3Aの制御回路CTLOGによって行われる。

【0079】

このような動作により、Mバイトのデータを書き込む際は、消去（ERS1）とプログラム（PROG0）およびベリファイ（VRF0）がM/n回生じることになる。また、書き込みコマンドW10にてデータバッファDBUF1を指定した場合は、入出力線IOx（x=0～7）を介してデータバッファDBUF1へ入力され、データバッファDBUF1に保持されたデータが相変化メモリセルCLへ書き込まれる。なお、図6において、書き込み実行コマンドW11は、記憶情報DI（1）～DI（M）の入力が終わり、メモリアレイに対して実施の書き込み動作を行わせる旨を指示するための命令フォーマット上のコマンドである。ただし、図6の例では、当該書き込み実行コマンドW11を受ける前の段階で、データバッファに所定量のデータが蓄えられる度に実際の書き込み動作を行っており、これによって高速化を図っている。

【0080】

また、特に限定しないが、第2動作モード時のMバイトの書き込みは、例えば1本のワード線に対して各メモリアレイARY0～ARYm毎に1本のビット線を活性化し、これによりARY0～ARYmからそれぞれ1個ずつチェインメモリアレイCYを選択し、当該CY内の全メモリセルを書き込み対象とすることで行われる。当該メモリアレイ構成を前提とする場合、第1動作モード時のMバイトの書き込みは、例えば各メモリアレイARY0～ARYm毎の1本のビット線に対して複数本のワード線を順に活性化し、これによりARY0～ARYmの中からそれぞれ複数個ずつチェインメモリアレイCYを選択し、当該CY内の1個のメモリセルを書き込み対象とすることで行われる。あるいは、例えば1本のワード線に対して各メモリアレイARY0～ARYm毎に複数本のビット線を順に活性化し、これによりARY0～ARYmの中からそれぞれ複数個ずつチェインメモリアレイCYを選択し、当該CY内の1個のメモリセルを書き込み対象とすることで行われる。

。

10

20

30

40

50

【 0 0 8 1 】

以上説明したように、不揮発性メモリ装置 $NVM\ 1 \times (x = 0 \sim 7)$ は M バイトのデータを書き込む際には、要求された M バイトデータサイズだけの消去 (ERS1) とプログラム (PROG0) およびベリファイ (VRF0) 動作を行う。つまり、消去 (ERS1) のデータサイズとプログラム (PROG0) のデータサイズは等しいため、余分なアドレスのデータを消去 (ERS1) する必要な無いため、高速な書き込みを実現できる。また、この書き込み動作において、図 17 ~ 図 19 で述べたように、上書きはせず、一旦、対象となる相変化メモリセル CL を消去状態とすることで、相変化メモリセルの抵抗値の均一化を図ることができ、安定した書き込み動作が実現できる。さらに、プログラム (PROG0) 後、ベリファイ (VRF0) を行うことで、高い信頼性を保つことができる。

10

【 0 0 8 2 】

《不揮発性メモリ装置からの読み出し動作》

図 7 は、図 3 A の不揮発性メモリ装置において、その概略的な読み出し動作のタイミングの一例を示す説明図である。ここでは、図 1 の不揮発性メモリ装置 $NVM\ 1 \times (x = 0 \sim 7)$ のいずれかに対応する図 3 A の不揮発性メモリ装置を対象に、指定されたデータサイズ分のデータを、メモリアレイ $ARY0 \sim ARYm$ 内の相変化メモリセルからデータバッファ $DBUF0$ を介して読み出す場合を例とする。なお、図 7 における「 $k * n$ 」等の「 $*$ 」は「 \times 」(乗算)を意味するものである。

【 0 0 8 3 】

図 7 において、ロウ・レベルとなっているコマンド・ラッチイネーブル信号 CLE をハイ・レベルに駆動し、ハイ・レベルとなっているチップイネーブル信号 CEB 及びアドレス・ラッチイネーブル信号 ALE をロウ・レベルに駆動する。次に、読み出しコマンド $RD4$ が入出力線 $I/Ox (x = 0 \sim 7)$ (図 3 A の $IO[7:0]$) を介して入力されると、ライトイネーブル信号 WEB の立ち上がりエッジによって、第 1 の読み出しコマンド $RD4$ がアドレス・コマンドインターフェース回路 $ADCOMIF$ へ取り込まれ、解読される。

20

【 0 0 8 4 】

次に、ハイ・レベルとなっているコマンド・ラッチイネーブル信号 CLE をロウ・レベルへ、ロウ・レベルとなっているアドレス・ラッチイネーブル信号 ALE をハイ・レベルに夫々駆動して、カラムアドレスを 2 回 ($CA1$ 、 $CA2$)、ロウアドレスを 3 回 ($RA1$ 、 $RA2$ 、 $RA3$) に分けて順に入力する。これらのアドレスは、ライトイネーブル信号 WEB の立ち上がりエッジによって、アドレス・コマンドインターフェース回路 $ADCOMIF$ へ取り込まれ、解読される。

30

【 0 0 8 5 】

次にロウ・レベルとなっているコマンド・ラッチイネーブル信号 CLE をハイ・レベルに駆動し、ハイ・レベルとなっているチップイネーブル信号 CEB 及びアドレス・ラッチイネーブル信号 ALE をロウ・レベルに駆動する。続いて、第 2 の読み出しコマンド $RD41$ を入出力線 $I/Ox (x = 0 \sim 7)$ を介して入力すると、ライトイネーブル信号 WEB の立ち上がりエッジによって、第 2 の読み出しコマンド $RD41$ がアドレス・コマンドインターフェース回路 $ADCOMIF$ へ取り込まれ、解読される。

40

【 0 0 8 6 】

コマンド $RD4$ および $RD41$ には、データバッファ $DBUF0$ あるいは $DBUF1$ を指定する情報も含まれており、図 7 の例ではデータバッファ $DBUF0$ を指定している。アドレス・コマンドインターフェース回路 $ADCOMIF$ にてアドレス、コマンド $RD4$ およびコマンド $RD41$ を解読した結果、メモリバンク $BK0$ への読み出し命令であることが制御回路 $CTLOG$ に伝えられると、制御回路 $CTLOG$ は、メモリバンク $BK0$ からデータを読み出すため、メモリバンク $BK0$ を活性化する。

【 0 0 8 7 】

アドレス・コマンドインターフェース回路 $ADCOMIF$ へ入力されたロウアドレス ($RA1$ 、 $RA2$ 、 $RA3$) およびカラムアドレス ($CA1$ 、 $CA2$) は、制御回路 CTL

50

OGを通じて、それぞれ、活性化されたメモリバンクBK0のロウアドレスラッチRADLT、カラムアドレスラッチCADLTおよびチェイン選択アドレスラッチCHLTへ転送される。ここで読み出し動作は、最初に入力されたカラムアドレスから開始される。ロウアドレスラッチRADLTからロウアドレス(RA1、RA2、RA3)がロウデコーダROWDECへ転送され、ロウデコーダROWDECによってロウアドレス(RA1、RA2、RA3)に対応したワード線WLk(ワード線WLk=High)が選択される。次に、チェイン選択アドレスラッチCHLTからチェインアドレス(CHAD)およびセルアドレス(CLAD)がチェインデコーダCHDECへ転送され、チェインデコーダCHDECによって、チェインアドレス(CHAD)およびセルアドレス(CLAD)に対応したチェインメモリアレイ選択線SLおよびメモリセル選択線LYが選択される。

10

【0088】

続いて、カラムアドレスラッチCADLTからカラムアドレス(CA1、CA2)がカラムデコーダCOLDECへ転送され、解読される。カラムデコーダCOLDECからの解読結果は、各メモリアレイARY0~ARYmのビット線選択回路BSW0~BSWmへ入力され、メモリアレイARY0~ARYm毎に一つのビット線BLi_x(x=0~m)が選択され、データ線DT0~DTmを介してセンスアンプSA0~SAmへ接続される。これにより、メモリアレイARY0~ARYm毎に1ビットの相変化メモリセルCLが選択されるため、一つのメモリバンクの中で同時に合計(m+1)ビットの相変化メモリセルCL(0ビット目からmビット目)が選択される。

【0089】

20

メモリアレイ毎に選択された相変化メモリセルCL(0ビット目からmビット目)を対象に、ワード線からビット線(データ線DT0~DTm)に向けて所定の読み出し電流を流すと、記憶状態に応じた電圧が生成される。センスアンプSA0~SAmは、この際の電圧を計測し、参照電圧と比較することにより、相変化メモリセルCLへ記録された(m+1)ビット分のデータDnbyteを検出する。つまり、カラムアドレス{CA1、CA2}によって選択された最初のnバイト(=(m+1)/8)分のデータDnbyteが相変化メモリセルCLから同時に検出される。

【0090】

例えばメモリアレイARY0において、ワード線WL0とビット線BL0_0の交点に位置するチェインメモリアレイCY内の所定の相変化メモリセルCLがデータ“1”を記憶しており、低抵抗状態にある場合は、ビット線BL0_0及びデータ線DT0が充電され、センスアンプSA0はその電圧からデータ“1”を検出する。一方、メモリアレイARY1において、ワード線WL0とビット線BL0_1の交点に位置するチェインメモリアレイCY内の所定の相変化メモリセルCLがデータ“0”を記憶しており、高抵抗状態にある場合は、ビット線BL0_1及びデータ線DT1は、ほぼ接地電圧VSSに保持され、センスアンプSA1はその電圧からデータ“0”を検出する。

30

【0091】

検出された1番目のnバイト(=(m+1)/8)分のデータDnbyteはデータ選択回路DSW1を介して、コマンドRD4およびRD41によって指定されたデータバッファDBUF0へ転送される。次のnバイト分のデータは、カラムアドレス{CA1、CA2}+(n)によって選択され、データバッファDBUF0へ転送される。このように、開始カラムアドレス{CA1、CA2}に対して順にnの倍数を加算しながらカラムアドレスが選択され、当該選択されたカラムアドレスに対応する相変化メモリセルCLからnバイト分のデータが読み出され、データバッファDBUF0へ順次転送される。このnの倍数の加算は、例えば、図3Aの制御回路CTLOGによって行われる。指定したデータサイズがk*nバイトの時、メモリアレイARYからデータバッファDBUF0へのデータ転送がk回生じる。

40

【0092】

相変化メモリセルCLからデータバッファDBUF0へデータ転送が行われている期間は、ハイ・レベルとなっているレディー/ビジー信号RBBはロウ・レベルとなる。この

50

データ転送が終了した時点で、ロウ・レベルとなっているレディー/ビジー信号 R B B がハイ・レベルとなる。ここで、例えば入出力信号 I O が 8 ビット (1 バイト) の場合、データバッファ D B U F 0 へ格納された $k * n$ バイト分のデータは、読み出しイネーブル信号 R E B の立ち下がりエッジに同期して、入出力信号 I O を介して D O (1) ~ D O ($k * n$) の順に出力される。例えば指定されたデータサイズが 5 1 2 バイトで、同時に選択される相変化メモリセル C L のデータサイズが 1 6 バイトで、入出力信号 I O が 8 ビット (1 バイト) の場合は、相変化メモリセル C L からデータバッファ D B U F 0 へは合計 3 2 回 (= 5 1 2 / 1 6) のデータ転送が行われ、データバッファ D B U F 0 から入出力信号 I O を介してデータを出力する回数は 5 1 2 回となる。

【 0 0 9 3 】

また、コマンド R D 4 および R D 4 1 にてデータバッファ D B U F 1 を指定した場合は、同様に、不揮発性メモリ装置 N V M 1 x ($x = 0 \sim 7$) のメモリアレイから、指定したデータサイズ ($k * n$ バイト) 分のデータが、データバッファ D B U F 1 を介して読み出される。このように、任意のデータサイズを指定した読み出し動作では、必要なサイズ分のデータのみを効率的に読み出しことができるため、高速読み出しが実現できる。

【 0 0 9 4 】

《 電源投入時の初期シーケンス 》

図 8 A および図 8 B は、図 1 の情報処理システムにおいて、電源投入時のそれぞれ異なる初期シーケンスの一例を示す図である。図 8 A は、図 1 のメモリモジュール (半導体装置) N V M M D 0 内の不揮発性メモリ装置 N V M 1 0 ~ N V M 1 7 に格納されている S D D コンフィグレーション情報 (S D C F G) を利用した場合における電源投入時の初期シーケンスを示すものである。図 8 B は、図 1 の情報処理装置 C P U _ C P から送信された S D D コンフィグレーション情報 (S D C F G) を利用した場合における電源投入時の初期シーケンスを示すものある。

【 0 0 9 5 】

まず、図 8 A に示す初期シーケンスを説明する。T 1 の期間 (P w O n) で情報処理装置 C P U _ C P と、メモリモジュール N V M M D 0 内の不揮発性メモリ装置 N V M 1 0 ~ N V M 1 7 と、ランダムアクセスメモリ R A M と、制御回路 M D L C T 0 へ電源投入を行い、T 2 の期間 (R S T) でリセットを行う。リセットの方法は、特に限定されないが、例えばそれぞれの内蔵回路で自動的にリセットを行う方法でも、外部にリセット端子 (リセット信号 R S T S I G) を有し、このリセット信号によってリセット動作を行う方法でもよい。また、例えば情報処理装置 C P U _ C P からインターフェース信号 H D H _ I F を通じて、リセット命令を制御回路 M D L C T 0 へ入力し、リセットを行う方法でもよい。

【 0 0 9 6 】

T 2 のリセット期間 (R S T) では、情報処理装置 C P U _ C P 、制御回路 M D L C T 0 、不揮発性メモリ装置 N V M 1 0 ~ N V M 1 7 、ランダムアクセスメモリ R A M の内部状態が初期化される。この際に、制御回路 M D L C T 0 は、ランダムアクセスメモリ R A M へ格納されているアドレス範囲マップ (A D M A P) および各種テーブルを初期化する。各種テーブルの中には、アドレス変換テーブル (L P T B L) 、物理セグメントテーブル (P S E G T B L 1 , P S E G T B L 2) 、物理アドレステーブル (P A D T B L) 、および書込み物理アドレステーブル (N X P A D T B L) が含まれる。

【 0 0 9 7 】

なお、当該アドレス範囲マップ (A D M A P) および各種テーブルは、詳細に関しては後述するが、簡単に説明すると次のようなものである。アドレス範囲マップ (A D M A P) は、前述した第 1 動作モードで使用されるアドレス領域と第 2 動作モードで使用されるアドレス領域の区画割りを示すものである。アドレス変換テーブル (L P T B L) は、現在の論理アドレスと物理アドレスの対応関係を示すものである。物理セグメントテーブル (P S E G T B L 1 , P S E G T B L 2) は、各物理アドレスでの消去回数等をセグメント単位で管理するものであり、ウェアレベリング等で使用されるものである。物理アドレ

10

20

30

40

50

ステーブル (P A D T B L) は、現在の各物理アドレスの状態を詳細に管理するものである。書込み物理アドレステーブル (N X P A D T B L) は、ウエアレベリングに基づいて、論理アドレスに対して次に割り当てるべき物理アドレスを定めたものである。ここで、当該書込み物理アドレステーブル (N X P A D T B L) は、書き込み速度の高速化を図るため、その情報の一部又は全てが図 2 に示した書込み物理アドレステーブル N X P T B L 1 , N X P T B L 2 にコピーされている。

【 0 0 9 8 】

T 2 の期間が終了した後の T 3 の期間 (M A P) では、制御回路 M D L C T 0 は、不揮発性メモリ N V M 1 0 ~ N V M 1 7 へ格納されている S D D コンフィグレーション情報 (S D C F G) を読み出し、図 2 のマップレジスタ M A P R E G へ転送する。次に、マップ
10 レジスタ M A P R E G 内の S D D コンフィグレーション情報 (S D C F G) を読み出し、この S D D コンフィグレーション情報 (S D C F G) を利用して、前述したアドレス範囲マップ (A D M A P) を生成し、ランダムアクセスメモリ R A M へ格納する。すなわち、S D D コンフィグレーション情報 (S D C F G) には、前述した第 1 動作モードで使用されるアドレス領域と第 2 動作モードで使用されるアドレス領域の情報が含まれている。

【 0 0 9 9 】

さらに、制御回路 M D L C T 0 は、マップレジスタ M A P R E G 内の S D D コンフィグレーション情報 (S D C F G) の中で 2 個の論理アドレス領域 (L R N G 1 と L R N G 2) が設定されていれば、これに応じた書込み物理アドレステーブル (N X P A D T B L) を構築する。具体的には、例えば書込み物理アドレステーブル (N X P A D T B L) 内を
20 、論理アドレス領域 (L R N G 1) 用の書込み物理アドレステーブル (N X P A D T B L 1) と、論理アドレス領域 (L R N G 2) 用の書込み物理アドレステーブル (N X P A D T B L 2) とに切り分ける。例えば、論理アドレス領域 (L R N G 1) は前述した第 1 動作モード用の領域に対応し、論理アドレス領域 (L R N G 2) は前述した第 2 動作モード用の領域に対応する。

【 0 1 0 0 】

特に限定しないが、書込み物理アドレステーブル (N X P A D T B L) が 0 エントリー目から (N - 1) エントリー目までの N 個分のエンタリーで構成されている場合、0 エントリー目から (N / 2 - 1) エントリー目までの N / 2 個分を書込み物理アドレステーブル N X P A D T B L 1 とすることができる。そして、残りの N / 2 エントリー目から N
30 エントリー目までの、N / 2 個分を書込み物理アドレステーブル (N X P A D T B L 2) とすることもできる。

【 0 1 0 1 】

T 3 の期間が終了した後の T 4 の期間 (S e t U p) では、情報処理装置 C P U _ C P は、メモリモジュール N V M M D 0 内の不揮発性メモリ装置 N V M 0 へ格納されているブートプログラムを読み出し、情報処理装置 C P U _ C P を立ち上げる。T 4 の期間が終了した後の T 5 の期間 (I d l e) 以降では、メモリモジュール N V M M D 0 はアイドル状態となり、情報処理装置 C P U _ C P からのリクエストを待つ状態となる。

【 0 1 0 2 】

次に、図 8 B に示す初期シーケンスを説明する。T 1 1 の期間 (P w O n) と、T 2 1
40 の期間 (R S T) では、それぞれ、図 8 A の T 1 の期間及び T 2 の期間と同様の動作を行う。T 2 1 の期間が終了した後の T 3 1 の期間 (H 2 D) では、情報処理装置 C P U _ C P は、メモリモジュール N V M M D 0 へ S D D コンフィグレーション情報 (S D C F G) を送信し、これを受けた制御回路 M D L C T 0 は、この S D D コンフィグレーション情報 (S D C F G) を不揮発性メモリ装置 N V M 1 0 ~ N V M 1 7 に格納する。T 3 1 の期間が終了した後の T 4 1 の期間 (M A P) 、 T 5 1 の期間 (S e t U p) 、 T 6 1 の期間 (I d l e) では、それぞれ、図 8 A の T 3 、 T 4 、 T 5 の期間と同様の動作を行う。

【 0 1 0 3 】

このような初期シーケンスにおいて、図 8 A に示したように、S D D コンフィグレーション情報 (S D C F G) がメモリモジュール N V M M D 0 (不揮発性メモリ装置 N V M 1
50

0 ~ NVM17)へ予め格納されていれば、高速に電源投入時の初期シーケンスを実行することができる。一方、図8Bに示したように、SDDコンフィグレーション情報(SDCFG)を情報処理装置CPU_CPからメモリモジュールNVMMD0へ伝送する場合には、情報処理システムの動作目的等に応じて、適宜、メモリモジュールNVMMD0の構成(使い方)をカスタマイズすることができる。

【0104】

《物理アドレステーブルの詳細》

図9は、図1のランダムアクセスメモリに格納される物理アドレステーブルの構成例を示す図である。物理アドレステーブルPADTBLは、物理アドレスPAD(PAD[31:0])と、この各物理アドレスPADに対応した有効フラグPVL D、消去回数PERC、レイヤモード番号LYMおよびレイヤ番号LYCから構成され、図1のランダムアクセスメモリRAMに格納されている。有効フラグPVL D値が1の場合は、対応する物理アドレスPADが有効であることを示し、0の場合は無効であることを示す。例えば、論理アドレスに割り当てられる物理アドレスが書き込み物理アドレステーブル(NXPADTBL)に基づいて変更された際に、変更後に割り当てられる物理アドレスPADの有効フラグPVL D値が1となり、変更前に割り当てられていた物理アドレスPADの有効フラグPVL D値が0となる。

10

【0105】

消去回数PERCは、前述した初期書き込み(消去)が行われた回数を表す。ここで、例えば、有効フラグPVL D値が0であり、初期書き込み(消去)が行われた回数が少ない物理アドレスPADを優先的に論理アドレスに割り当てれば、消去回数PERCの値を平準化(ウェアレベリング)することができる。また、図2の情報処理回路MNGERは、図9の例では、物理アドレスPADが“00000000”~“027FFFFFFF”までを第1物理アドレス領域PRNG1として、物理アドレスPADが“02800000”~“07FFFFFFF”までを第2物理アドレス領域PRNG2として認識し、物理アドレステーブルPADTBLを管理する。また、特に限定しないが、物理アドレスPAD(PAD[31:0])は、物理セグメントアドレスSGAD(PAD[31:16])と、セグメント別の物理オフセットアドレスPPAD(PAD[15:0])とから構成される。

20

【0106】

また、レイヤモード番号LYMが“0”の場合は、チェインメモリアレイCY内の全相変化メモリセルCL0~CLnに書き込みが行われることを示す(すなわち前述した第2動作モードであることを示す)。また、レイヤモード番号LYMが“1”の場合は、チェインメモリアレイCY内の1個の相変化メモリセルに書き込みが行われることを示す(すなわち前述した第1動作モードであることを示す)。

30

【0107】

また、レイヤ番号LYCの値xは、図4等で示すチェインメモリアレイCY内のメモリセル選択線LYxに対応している。例えば、レイヤ番号LYCが“1”の場合、物理アドレスPADに対応するデータが、図4等で示すチェインメモリアレイCY内のメモリセル選択線LY1に選択された相変化メモリセルCL1に保持されており、有効であることを示す。

40

【0108】

《物理セグメントテーブルの詳細》

図10Aおよび図10Bは、図1のランダムアクセスメモリに格納される物理セグメントテーブルの構成例を示す図である。図10Aは無効物理アドレスに関する物理セグメントテーブルPSEGTBL1を示し、図10Bは有効物理アドレスに関する物理セグメントテーブルPSEGTBL2を示している。特に限定しないが、物理アドレスPAD(PAD[31:0])の上位PAD[31:16]は、物理セグメントアドレスSGADを示す。また、特に限定しないが、1つの物理アドレスのメインデータサイズは512バイトで、1セグメントのメインデータサイズは65536個の物理アドレスが集まって32

50

Mバイトとなっている。

【0109】

まず、図10Aを説明する。物理セグメントテーブルPSEG TBL1は、物理セグメントアドレスSGAD(PAD[31:16])毎に、無効物理アドレス総数TNIPAと、最大消去回数MXERCおよびそれに対応する無効物理オフセットアドレスMXIPADと、最小消去回数MNERCおよびそれに対応する無効物理オフセットアドレスMNIPADとを含んでいる。無効物理アドレス総数TNIPAは、対応する物理セグメントアドレスSGAD内で無効状態となっている物理アドレスの総数であり、最大消去回数MXERCおよびその無効物理オフセットアドレスMXIPADと、最小消去回数MNERCおよびその無効物理オフセットアドレスMNIPADは、当該無効状態となっている物理アドレスの中から抽出される。そして、当該物理セグメントテーブルPSEG TBL1は、図1のランダムアクセスメモリRAMに格納される。

10

【0110】

次に、図10Bを説明する。物理セグメントテーブルPSEG TBL2は、物理セグメントアドレスSGAD(PAD[31:16])毎に、有効物理アドレス総数TNVPAと、最大消去回数MXERCおよびそれに対応する有効物理オフセットアドレスMXVPADと、最小消去回数MNERCおよびそれに対応する有効物理オフセットアドレスMNVPADとを含んでいる。有効物理アドレス総数TNVPAは、対応する物理セグメントアドレスSGAD内で有効状態となっている物理アドレスの総数であり、最大消去回数MXERCおよびその有効物理オフセットアドレスMXVPADと、最小消去回数MNERCおよびその有効物理オフセットアドレスMNVPADは、当該有効状態となっている物理アドレスの中から抽出される。そして、当該物理セグメントテーブルPSEG TBL2は、図1のランダムアクセスメモリRAMに格納される。当該物理セグメントテーブルPSEG TBL1、PSEG TBL2は、後述するダイナックウエアレベリングやスタティックウエアレベリングを行う際に使用される。

20

【0111】

《書込み物理アドレステーブルの詳細》

図11Aおよび図11Bは、図2の制御回路や図1のランダムアクセスメモリに格納される書込み物理アドレステーブルの構成例を示す図である。図11Aには、装置使用開始時の初期状態における書込み物理アドレステーブルNXPAD TBLの状態が示され、図11Bには、内容が適宜更新された後の書込み物理アドレステーブルNXPAD TBLの状態が示される。書込み物理アドレステーブルNXPAD TBLは、ホスト(図1のCPU__CP)側からの論理アドレスを伴う書き込み命令を受けて不揮発性メモリ装置NVM10~NVM17の物理アドレスにデータを書き込む際に、当該論理アドレスに対してどの物理アドレスを優先的に割り当てるかを定めるテーブルである。

30

【0112】

当該書込み物理アドレステーブルNXPAD TBLは、ここでは、複数(N)個の物理アドレスを登録できる構成となっている。ここで、当該書込み物理アドレステーブルNXPAD TBL(NXPAD TBL1, NXPAD TBL2)は、実際に書き込み対象となる物理アドレスを定めるものであり、論理アドレスを受けてから当該テーブルを用いて物理アドレスを決定するまでの時間は、書き込み速度に影響を及ぼすことになる。そこで、当該書込み物理アドレステーブルNXPAD TBL(NXPAD TBL1, NXPAD TBL2)の情報は、図2の制御回路MDLCT0内の書込み物理アドレステーブルNXPTBL1, NXPTBL2において保持され、そのバックアップとして図1のランダムアクセスメモリRAM内で保持される。

40

【0113】

書込み物理アドレステーブルNXPAD TBLは、エントリー番号ENUMと、書き込み物理アドレスNXPADと、この書き込み物理アドレスNXPADに対応する有効フラグNXPLD、消去回数NXPERC、レイヤモード番号NXLYM、および書き込みレイヤ番号NXLYCから構成される。図2の制御回路MDLCT0は、SSDコンフィ

50

グレーション情報 (S D C F G) の中で 2 個の論理アドレス領域 (L R N G 1 と L R N G 2) が定められている場合、これに対応して書込み物理アドレステーブル N X P A D T B L の中も 2 個に分割する。ここでは、エントリー番号 0 から (N / 2 - 1) の N / 2 個分が書込み物理アドレステーブル N X P A D T B L 1 として管理され、エントリー番号 (N / 2) から (N - 1) までの残りの N / 2 個分が書込み物理アドレステーブル N X P A D T B L 2 として管理される。そして、論理アドレス領域 (L R N G 1) への書き込み要求に対しては、書込み物理アドレステーブル N X P A D T B L 1 が利用され、論理アドレス領域 (L R N G 2) への書き込み要求に対しては、書込み物理アドレステーブル N X P A D T B L 2 が利用される。

【 0 1 1 4 】

エントリー番号 E N U M は、複数 (N) 組の書き込み物理アドレス N X P A D における N 値 (0 番 ~ (N - 1) 番) を示し、この N 値は書込み優先度 (登録数) を示す。論理アドレス領域 (L R N G 1) への書き込み要求に対しては、書込み物理アドレステーブル N X P A D T B L 1 の中の N 値が小さい順から優先して使用され、論理アドレス領域 (L R N G 2) への書き込み要求に対しては書込み物理アドレステーブル N X P A D T B L 2 の中の N 値が小さい順から優先して使用される。また、有効フラグ N X P V L D の値が 0 の場合は、対象となる物理アドレスは無効であることを意味し、1 の場合は対象となる物理アドレスは有効であることを意味する。例えば、エントリー番号 E N U M の 0 番が使用された場合、当該 0 番の有効フラグ N X P V L D の値が 1 となるため、次に当該テーブルが参照される際にエントリー番号 E N U M の 0 番は使用済みであることが判別でき、次は 1

10

20

【 0 1 1 5 】

ここで、図 1 1 A において、N = 3 2 の場合を例として、書込み物理アドレステーブル N X P A D T B L の初期設定 (例えば図 8 の T 1 から T 3) について説明する。

【 0 1 1 6 】

まず、論理アドレス領域 (L R N G 1) に対応して物理アドレス領域 (P R N G 1) が設定され、当該物理アドレス領域 (P R N G 1) 内の “ 0 0 0 0 0 0 0 0 ” 番地から “ 0 0 0 0 0 0 0 F ” 番地までの連続した書き込み物理アドレス N X P A D が、エントリー番号 E N U M = 0 番から ((3 2 / 2) - 1) 番までにそれぞれ登録される。また、レイヤモード番号 N X L Y M は “ 1 ” に設定され、書き込みレイヤ番号 N X L Y C は “ 0 ” に設定され、これは、図 9 にて説明したレイヤモード番号 L Y M およびレイヤ番号 L Y C と同様に、第 1 動作モードであり、使用するメモリセル選択線は L Y 0 であることを意味する。

30

【 0 1 1 7 】

同様に、論理アドレス領域 (L R N G 2) に対応して物理アドレス領域 (P R N G 2) が設定され、当該物理アドレス領域 (P R N G 2) 内の “ 0 2 8 0 0 0 0 0 ” 番地から “ 0 2 8 0 0 0 0 F ” 番地までの連続した書き込み物理アドレス N X P A D が、エントリー番号 E N U M = (3 2 / 2) 番から (3 2 - 1) 番までにそれぞれ登録される。また、レイヤモード番号 N X L Y M は “ 0 ” に設定され、書き込みレイヤ番号 N X L Y C は “ 0 ” に設定され、これは、図 9 にて説明したレイヤモード番号 L Y M およびレイヤ番号 L Y C と同様に、第 2 動作モードであることを意味する。そして、これらの書き込み物理アドレス N X P A D に対応する有効フラグ N X P V L D 及び消去回数 N X P E R C はすべて 0 に設定される。

40

【 0 1 1 8 】

次に、この図 1 1 A に示す状態で、情報処理装置 C P U _ C P からインターフェース信号 H D H _ I F を通じ、メモリモジュール (半導体装置) N V M M D 0 の論理アドレス領域 (L R N G 1) へ、セクタカウント (S E C) 値が 1 (5 1 2 バイト) のライトリクエスト (W Q) が (N / 2) 回入力された場合を想定する。この場合、それぞれのライトリクエスト (W Q) に含まれるデータは、図 1 1 A に基づいて、不揮発性メモリ装置内の物理アドレス P A D (N X P A D) の “ 0 0 0 0 0 0 0 0 ” 番地から “ 0 0 0 0 0 0 0 F ” 番

50

地までの連続した番地に対応する箇所に書き込まれる。

【0119】

さらに、情報処理装置CPU__CPからインターフェース信号HDH__IFを通じ、メモリモジュールNVMM0の論理アドレス領域(LRNG2)へ、セクタカウント(SEC)値が1(512バイト)のライトリクエスト(WQ)が(N/2)回入力された場合を想定する。この場合、それぞれのライトリクエスト(WQ)に含まれるデータは、図11Aに基づいて、不揮発性メモリ装置内の物理アドレスPAD(NXPAD)の“02800000”番地から“0280000F”番地までの連続した番地に対応する箇所に書き込まれる。

【0120】

また、別の動作例を挙げれば次のようになる。情報処理装置CPU__CPからインターフェース信号HDH__IFを通じ、メモリモジュールNVMM0の論理アドレス領域(LRNG1)へ、セクタカウント(SEC)値が16(8Kバイト)のライトリクエスト(WQ)が1回入力された場合を想定する。この場合、このライトリクエスト(WQ)に含まれるデータは、512バイト毎の16個の物理アドレスPADへ分解され、物理アドレスPADの“00000000”番地から“0000000F”番地までの連続した番地にて、不揮発性メモリ装置へ書き込まれる。

【0121】

また、情報処理装置CPU__CPからインターフェース信号HDH__IFを通じて、メモリモジュールNVMM0の論理アドレス領域(LRNG2)へ、セクタカウント(SEC)値が16(8Kバイト)のライトリクエスト(WQ)が1回入力された場合を想定する。この場合、このライトリクエスト(WQ)に含まれるデータは、512バイト毎の16個の物理アドレスPADへ分解され、物理アドレスPADの“02800000”番地から“0280000F”番地までの、連続した番地にて、不揮発性メモリ装置へ書き込まれる。

【0122】

また、このような書き込み動作の進行と共に、書き込み物理アドレステーブルNXPADTBLは適宜更新され、その結果、図11Bに示すように、書き込み物理アドレスNXPAD、消去回数NXPERC、書き込みレイヤ番号NXLYC等の値は適宜変更される。この際に、書き込み物理アドレステーブルNXPADTBL1内の書き込みレイヤ番号NXLYCの値は、図17等で述べた第1動作モードに伴いメモリセル選択線LYが順次シフトするためこれに応じて変更される。一方、書き込み物理アドレステーブルNXPADTBL2内の書き込みレイヤ番号NXLYCの値は、図18等で述べた第2動作モードに伴い特に変更はされない。なお、当該書き込み物理アドレステーブルNXPADTBLの更新は、例えば、実際にメモリアレイ内の相変化メモリセルに書き込みを行っている期間を利用して行うことが可能である。

【0123】

《アドレス変換テーブルおよび不揮発性メモリ装置の初期設定》

図12Aは、図1のランダムアクセスメモリに格納されるアドレス変換テーブルの構成例およびその初期設定後の状態例を示す図であり、図12Bは、図1の不揮発性メモリ装置における初期設定後の状態例を示す図である。当該初期設定は、例えば、図8のT1(電源投入直後)の期間で制御回路MDLCT0によって行われる。

【0124】

図12Aに示すアドレス変換テーブルLPTBLは、全ての論理アドレスLADを対象として、各論理アドレスLAD毎に、現在割り当てている物理アドレスPADと、その物理アドレスの有効フラグCPVLDと、その物理アドレスのレイヤ番号LYCとを管理する。初期設定後には、全論理アドレスLADに対する全物理アドレスPADは0に設定され、有効フラグCPVLDは0(無効)に設定され、レイヤ番号LYCは“0”に設定される。また、図12Bに示すように、不揮発性メモリ装置NVM10~NVM17では、各物理アドレスPADに格納されるデータDATAは0に設定され、各物理アドレスPA

10

20

30

40

50

Dに対応する論理アドレスLADおよびデータ有効フラグDVFも0に設定される。また、各物理アドレスPADに対応するレイヤ番号LYCは“0”に設定される。なお、論理アドレスLAD、データ有効フラグDVF、およびレイヤ番号LYCは、例えば不揮発性メモリ装置内に予め設けられた冗長領域を用いて記憶される。

【0125】

《SSDコンフィグレーション情報の詳細》

図13A、図13Bおよび図13Cは、図1におけるブート用の不揮発性メモリ装置NVM0に格納されるSSDコンフィグレーション情報(SDCFG)のそれぞれ異なる一例を示す図である。各図において、LRNGは論理アドレス領域であり、セクタ単位(512バイト)の論理アドレスLADでの範囲を示す。CAPは論理アドレス領域LRNGにて定められた範囲の論理データの容量値を示す。論理アドレス領域LRNG1は、16進数で“0000__0000”~“007F__FFFF”の論理アドレスLAD空間を占め、4Gバイトの容量を持つ。また、論理アドレス領域LRNG2は、16進数で“0080__0000”~“037F__FFFF”の論理アドレス空間を占め、32Gバイトの大きさをもつ。

10

【0126】

また、図中のCHNCELLは、例えば図3B等に示したチェーンメモリアレイCY内の全相変化メモリセルCL0~CLnの内、データの書き込み対象となるメモリセルの数を示す。例えば、図13Aおよび図13Bに示すように、CHNCELLが“18”であれば、チェーンメモリアレイCY内の「8」個のメモリセルの中の「1」個に対して書き込みを行うことを示し、CHNCELLが“88”であれば、チェーンメモリアレイCY内の「8」個のメモリセルの中の「8」個に書き込みを行うことを示す。また、例えば、図13Cに示すように、CHNCELLが“28”であれば、チェーンメモリアレイCY内の「8」個のメモリセルの中の「2」個に書き込みを行うことを示す。

20

【0127】

また、図中のNVMMODEが“0”の場合は、不揮発性メモリ装置NVMへデータを書き込む際に、最小消去データサイズと最小プログラムデータサイズを等しいサイズにして、書き込み動作を行えることを示し、“1”の場合は、最小消去データサイズと最小プログラムデータサイズが異なることを前提した書き込み動作を行えることを示す。図中のERSIZEは、最小消去データサイズ[バイト]を示し、PRGSIZEは最小プログラムデータサイズ[バイト]を示す。例えば、不揮発性メモリ装置NVMが抵抗変化型記憶素子であれば、図13Aまたは図13Bに示すように、NVMMODEを“0”とし、最小消去データサイズ(ERSIZE)と最小プログラムデータサイズ(PRGSIZE)を共に512バイトのように等しいサイズにする。この場合には、高速に書き込み動作を行うことができる。

30

【0128】

一方、不揮発性メモリ装置NVMが例えばNAND型フラッシュメモリであり、このNAND型フラッシュメモリのブロック消去サイズが512キロバイト、ページサイズが4キロバイトである場合、図13Cに示すように、NVMMODEを“1”とする。さらに、NAND型フラッシュメモリの仕様にあわせて、最小消去データサイズ(ERSIZE)を512キロバイトとし、最小プログラムデータサイズ(PRGSIZE)を4キロバイトとすることで、従来型のNAND型フラッシュメモリへの書き込み動作にも対応できる。このように、利用する不揮発性メモリ装置の仕様を反映し、柔軟に対応できる。

40

【0129】

また、図中のTESTMODEが“1”の場合は、電源投入直後に、物理的に隣接するメモリセルに保存されているデータの保持性能を確認するテスト動作を行う。このテスト動作は、このテストを行うために予め用意した、物理的に隣接した複数のチェーンメモリアレイCYから構成されるテスト領域(TESTAREA)を用いて行われる。以下に、テスト動作について説明する。

【0130】

50

このテスト領域 (TEST AREA) 内の物理的に隣接した複数のチェーンメモリアレイ CY は、特に限定しないが 25 個 (5 チェイン × 5 チェイン) あり、CY [1, 1] ~ CY [5, 5] に [X, Y] 配列されるものとする。先ず、その 25 個のチェーンメモリアレイ CY [1, 1] ~ CY [5, 5] 内の全相変化メモリセルの可変抵抗型記憶素子 R を高抵抗状態にする (“0” を書く)。次に、25 個のチェーンメモリアレイ CY [1, 1] ~ CY [5, 5] に囲まれた真ん中の 1 つのチェーンメモリアレイ CY [3, 3] の全相変メモリセルの可変抵抗素子 R を低抵抗状態にする (“1” を書く)。

【0131】

次に、チェーンメモリアレイ CY [3, 3] を囲むチェーンメモリアレイの中で最も隣接しているチェーンメモリアレイ CY [2, 2] ~ CY [2, 4], CY [3, 2], CY [3, 4], CY [4, 2] ~ CY [4, 4] の全相変化メモリセルに保持されているデータを読み出す。これら読み出したデータが、全て “0” であれば、“1” を書き込んだことによって、最も隣接するメモリセルに保持されている “0” のデータが失われないことが確認できる。

10

【0132】

次に、チェーンメモリアレイ CY [3, 3] を囲むチェーンメモリアレイの中で、2 番目に隣接しているチェーンメモリアレイの全相変化メモリセルに保持されているデータを読み出す。すなわち、チェーンメモリアレイ CY [1, 1] ~ CY [1, 5], CY [2, 1], CY [2, 5], CY [3, 1], CY [3, 5], CY [4, 1], CY [4, 5], CY [5, 1] ~ CY [5, 5] のデータを読み出す。これら 2 番目に隣接しているチェーンメモリアレイ内の全相変化メモリセルから読み出したデータが、全て “0” であれば、“1” を書き込んだことによって、2 番目に隣接するメモリセルに保持されている “0” のデータが失われないことが確認できる。

20

【0133】

続いて、これと同様な動作を “0” と “1” を反転した状態で行う。すなわち、25 個のチェーンメモリアレイ CY [1, 1] ~ CY [5, 5] に “1” を書いた状態で、真ん中の 1 つのチェーンメモリアレイ CY [3, 3] に “0” を書き込み、その周辺のチェーンメモリアレイ CY のデータを読み出す。なお、テスト領域 (TEST AREA) 内の物理的に隣接した複数のチェーンメモリアレイ CY の数は、勿論この値に限定されるものではなく、データの保持性能を確認するために適した数値であれば良い。

30

【0134】

図 13A、図 13B および図 13C において、TEST CELL 情報は、テストを行うための連続したメモリセル領域 (AREA) を定めるために必要な情報である。TEST CELL が 5 の場合は、メモリセル領域 (AREA) の大きさは、5 つの物理的に隣接した複数のチェーンメモリアレイ CY となる。TEST CELL 情報の値は、データの保持性能を確認するために適した数値にプログラムすると良い。

【0135】

図中の ECC FLG は、ECC (Error Check and Correct) を行う際のデータの単位を示している。特に限定しないが、ECC FLG が 0 の場合は 512 バイトデータを単位として ECC が行われ、ECC FLG が 1 の場合は 2048 バイトデータを単位として ECC が行われ、同様に、ECC FLG の 2、3、4 の場合にはそれぞれ 4096 バイト、8192 バイト、16384 バイトのデータを単位として ECC が行われる。また、ECC FLG が 5、6、7、8 の場合は、それぞれ、32 バイト、64 バイト、128 バイト、256 バイトのデータを単位として ECC が行われる。

40

【0136】

記憶装置には、ハードディスク、SSD (Solid State Drive)、キャッシュメモリ及びメインメモリなど様々な記憶装置があり、データの読み出しや書き込みの単位が異なる。例えばハードディスクや SSD などのストレージでは、512 バイト以上のデータ単位で読み出しや書き込みが行われる。また、キャッシュメモリでは、そのラインサイズ単位 (32 バイトや 64 バイトなど) でメインメモリとの間でデータ読み出しやデータ書き込み

50

が行われる。このように、データ単位が異なる場合においても、ECCFLGによって、異なるデータ単位でECCを行うことができ、メモリモジュール(半導体装置)NVMM D0への要求に対して柔軟に対応できる。

【0137】

また、図中のライト方法選択情報WRTFLGは、書き込み時の書き込み方法を示している。特に限定しないが、ライト方法選択情報WRTFLGが0の場合は通常方法にて書き込みを行い、WRTFLGが1の場合は反転データを書込み、ライト方法選択情報WRTFLGが2の場合は、データの書き込み前に一旦データを読み出し、その後、データを書込むことを示す。

【0138】

このように、SSDコンフィグレーション情報(SDCFG)は適宜プログラム可能となっているため、メモリモジュール(半導体装置)NVMM D0に要求される機能、性能及び信頼性のレベル等に合わせて柔軟に対応することができる。

【0139】

《書き込みデータの構成例》

図14Aは、図1のメモリモジュールNVMM D0において、制御回路MDLCT0から不揮発性メモリ装置NVM10~NVM17に書き込まれるデータの構成例を示す図である。図14Bおよび図14Cは、図14Aにおけるデータ書き込みレイヤ情報の構成例を示す図である。図14Aにおいて、特に限定しないが、書き込みデータ(ページデータ)PGDATは、メインデータD Area(512バイト)と、冗長データR Area(16バイト)から構成される。冗長データR Areaには、データ反転フラグINVFLG、ライトフラグWTF LG、ECCフラグECCFLG、ステート情報STATE、エリア情報AREA、データ書き込みレイヤ情報LYN、ECCコードECC、バッドブロック情報BADBLK、予備領域RSVが含まれる。

【0140】

データ反転フラグINVFLGは、制御回路MDLCT0が不揮発性メモリ装置NVM10~NVM17へ書き込んだメインデータD Areaが元の書き込みデータの各ビットを反転させたデータかどうかを示す。データ反転フラグINVFLGに0が書き込まれた場合、元のメインデータの各ビットを反転させずにデータが書き込まれたことを示し、1が書き込まれた場合、元のメインデータの各ビットを反転させたデータが書き込まれたことを示す。

【0141】

ライトフラグWTF LGは、制御回路MDLCT0が不揮発性メモリ装置NVM10~NVM17へメインデータD Areaを書き込む際に実行した書き込み方法を示している。特に限定しないが、WTF LGに0が書き込まれた場合、通常方法にてメインデータD Areaが書き込まれたことを示し、WTF LGに1が書き込まれた場合、元のメインデータの各ビットを反転させたデータが書き込まれたことを示す。WTF LGに2が書き込まれた場合、データを書き込む前にデータを一旦読み出し、その後、書き換える必要のあるデータのみが書き込まれたことを示す。

【0142】

ECCフラグECCFLGは、制御回路MDLCT0が不揮発性メモリ装置NVM10~NVM17へメインデータD Areaを書き込む際に、どの程度のメインデータD Areaのサイズに対して、ECCコードを生成したかを示している。特に限定しないが、ECCFLGに0が書き込まれた場合、512バイトのデータサイズに対してコードを生成したことを示し、ECCFLGに1が書き込まれた場合、1024バイトのデータサイズに対してコードを生成したことを示す。ECCFLGに2が書き込まれた場合、2048バイトのデータサイズに対してコードを生成したことを示し、ECCFLGに3が書き込まれた場合、32バイトのデータサイズに対してコードを生成したことを示す。

【0143】

ECCコードECCは、メインデータD Areaのエラーを検出し修正するために必要

10

20

30

40

50

なデータである。ECCは、制御回路MDLCT0が不揮発性メモリ装置NVM10～NVM17へメインデータDAreaを書き込む際に、制御回路MDLCT0によってメインデータDAreaに対応して生成され、冗長データRAreaへ書き込まれる。ステート情報STATEは、不揮発性メモリ装置NVM10～NVM17へ書き込まれたメインデータDAreaが、有効状態か、無効状態か、消去状態かを示す。特に限定しないが、ステート情報STATEに0が書き込まれた場合、メインデータDAreaは無効状態であることを示し、ステート情報STATEに1が書き込まれた場合、メインデータDAreaは有効状態であることを示し、ステート情報STATEに3が書き込まれた場合、メインデータDAreaは消去状態であることを示す。

【0144】

エリア情報AREAは、後述する図15に示すアドレスマップ範囲(ADMAP)の中で、メインデータDAreaが書き込まれたデータが、第1物理アドレス領域PRNG1へ書き込まれたのか、第2物理アドレス領域PRNG2へ書き込まれたのかを示す情報である。特に限定しないが、エリア情報AREA値が1であれば、メインデータDAreaが第1物理アドレス領域PRNG1へ書き込まれたことを示し、エリア情報AREA値が2であれば、メインデータDAreaが第2物理アドレス領域PRNG2へ書き込まれたことを示す。

【0145】

また、図14Bおよび図14Cにおいて、データ書き込みレイヤ情報LYN[n:0]は、チェーンメモリアレイCY内の相変化メモリセルCL0～CLnの中で、どのメモリのデータが有効に書き込まれているかを示す情報である。初期設定では、LYN[n:0]は0に設定される。この例では、チェーンメモリアレイCYには、8個の相変化メモリセルCL0～CL7が含まれている場合について示している。

【0146】

データ書き込みレイヤ情報LYNは、LYN[7:0]の8ビットから構成され、LYN[7]～LYN[0]はそれぞれ相変化メモリセルCL7～CL0に対応している。例えば、相変化メモリセルCL0に有効なデータが書き込まれた場合は、LYN[0]に“1”が書き込まれ、それ以外は“0”が書き込まれる。また、例えば、相変化メモリセルCL1に有効なデータが書き込まれた場合は、LYN[1]に“1”が書き込まれ、それ以外は“0”が書き込まれる。以降、相変化メモリセルCL2～CL7とLYN[2]～LYN[7]との関係についても同様である。

【0147】

図14Bの例では、LYN[0]に“1”が書き込まれ、LYN[7:1]に“0”が書き込まれているので、チェーンメモリアレイCYの相変化メモリセルCL0へ有効なデータが書き込まれたことを示す。図14Cの例では、LYN[0]およびLYN[4]に“1”が書き込まれ、LYN[7:5]およびLYN[3:1]に“0”が書き込まれているので、チェーンメモリアレイCYの相変化メモリセルCL0およびCL4へ有効なデータが書き込まれたことを示す。

【0148】

図14Aにおいて、バッドブロック情報BADBLKは、不揮発性メモリ装置NVM10～NVM17に書き込まれたメインデータDAreaが利用可能かどうかを示す。特に限定しないが、バッドブロック情報BADBLKに0が書き込まれた場合、メインデータDAreaは利用可能であり、1が書き込まれた場合、メインデータDAreaは利用不可能であることを示す。例えば、ECCによるエラー訂正が可能である場合、バッドブロック情報BADBLKは0となり、エラー訂正が不可能である場合、バッドブロック情報BADBLKは1となる。予備領域RSVは、制御回路MDLCT0が自由に定義できる領域として存在する。

【0149】

《アドレスマップ範囲の詳細》

図15は、図1のランダムアクセスメモリに格納されるアドレスマップ範囲(ADMA

10

20

30

40

50

P) の一例を示す図である。当該アドレスマップ範囲 (ADMAP) は、図 8 等でも述べたように、制御回路 MDLCT0 が、NVM10 ~ NVM17 へ格納されている例えば図 13A に示す SSD コンフィグレーション情報 (SDCFG) を利用して生成し、ランダムアクセスメモリ RAM へ格納したものである。

【0150】

図 16 は、図 15 の補足図であり、制御回路 MDLCT0 が図 13A の SSD コンフィグレーション情報と図 15 のアドレスマップ範囲 (ADMAP) に基づいて設定した書き込み可能なメモリセルの配置例を模式的に示したものである。図 16 には、不揮発性メモリ装置内の一つのメモリアレイ ARY の例として、その配置例が示されている。図 16 では、ワード線 WL0 ~ WLk とビット線 BL0 ~ BLi の交点に図 4 等で示されたチェーンメモリアレイ CY が配置されている。ここで、ワード線 WL0 ~ Wlp とビット線 BL0 ~ BLi からなる範囲が第 1 物理アドレス領域 PRNG1 として設定され、その交点の「 」は、チェーンメモリアレイに含まれる複数のメモリセルの中で、例えば 1 個のメモリセルに書き込みが行われることを示す。また、ワード線 Wlp + 1 ~ WLk とビット線 BL0 ~ BLi からなる範囲が第 2 物理アドレス領域 PRNG2 として設定され、その交点の「 」は、チェーンメモリアレイに含まれる複数のメモリセルの全てに書き込みが行われることを示す。

10

【0151】

図 16 におけるテスト領域 TAREA は、ビット線 BLj + 1 から BLj + 5 に接続されるメモリセル領域を示し、5 × ワード線数 (k + 1) 分のメモリセルを含む。制御回路 MDLCT0 は、図 13A 等に示した SSD コンフィグレーション情報 (SDCFG) の TESTCELL 情報値 “5” とアドレスマップ範囲 (ADMAP) の情報により、テスト領域 TAREA を定める。テスト領域 TAREA には、例えば 2 つのモニタリング用のメモリセル MONI1 および MONI2 が設定される。

20

【0152】

図 15 において、LAD は、情報処理装置 CPU_CP からメモリモジュール NVMM D0 へ入力される 512 バイトデータを単位とした論理アドレスである。また、PAD は物理アドレスであり、制御回路 MDLCT0 から不揮発性メモリ装置 NVM10 ~ NVM17 へ入力されるアドレスである。図 15 の例では、1 個の物理アドレス PAD 内に、512 バイトのメインデータ DArea と 16 バイト冗長データ RArea が備わっている。制御回路 MDLCT0 は、論理アドレス LAD を物理アドレス PAD へ変換し、不揮発性メモリ装置 NVM10 ~ NVM17 へデータを書き込む。

30

【0153】

論理アドレス領域 LRNG1 は、16 進数で “0000__0000” ~ “007F__FFFF” の論理アドレス LAD 空間を占め、4 G バイトの容量を持つ。一方、論理アドレス領域 LRNG1 に対応する第 1 物理アドレス領域 PRNG1 は、16 進数で “0000__0000” ~ “04FF__FFFF” の物理アドレス PAD 空間を持っている。この第 1 物理アドレス領域 PRNG1 に対応する物理アドレス PAD 空間内に存在する全メモリセルの容量は、メインデータ DArea が 32 G バイト + 8 G バイトで、冗長データ RArea が 1 G バイト + 256 M バイトである。このように、第 1 物理アドレス領域 PRNG1 内の物理アドレス PAD 空間は、論理アドレス LAD 空間より大きな空間を持ち、図 17 等で述べた第 1 動作モードによって動作する。

40

【0154】

また、論理アドレス領域 LRNG2 は、16 進数で “0080__0000” ~ “037F__FFFF” の論理アドレス LAD 空間を占め、32 G バイトの大きさをもつ。論理アドレス領域 LRNG2 へ対応する第 2 物理アドレス領域 PRNG2 は、16 進数で “0500__0000” ~ “09FF__FFFF” の物理アドレス PAD 空間を持っている。この第 2 物理アドレス領域 PRNG2 に対応する物理アドレス PAD 空間内に存在する全メモリセルの容量はメインデータ DArea が 32 G バイト + 8 G バイトで、冗長データ RArea が 1 G バイト + 256 M バイトである。このように、第 2 物理アドレス領域 PR

50

NG 2内の物理アドレスPAD空間は、論理アドレスLAD空間より大きな空間を持ち、図18等で述べた第2動作モードによって動作する。

【0155】

また、論理ブート領域LBootは、16進数で“038F__0000”～“038F__001F”の論理アドレスLAD空間を占め、この論理ブート領域LBootへ対応する物理ブート領域PBootは、16進数で“0A00__0000”～“0AFF__001F”の物理アドレスPAD空間を持っている。この物理ブート領域PBoot領域へはブートプログラムが格納される。さらに、ブートプログラムは情報処理装置CPU__CPによって適宜、書換え可能である。

【0156】

また、論理コンフィグレーション領域LCfgは、16進数で“038F__0020”～“038F__003F”の論理アドレスLAD空間を占め、この論理コンフィグレーション領域LCfgへ対応する物理コンフィグレーション領域PCfgは、16進数で“0A00__0020”～“0AFF__003F”の物理アドレスPAD空間を持っている。この物理コンフィグレーション領域PCfgへはSSDコンフィグレーション情報(SDCFG)が格納される。さらに、SSDコンフィグレーション情報(SDCFG)は情報処理装置CPU__CPによって、適宜、書換え可能である。

【0157】

以上説明したように、メモリモジュール(半導体装置)NVMMD0の第1物理アドレス領域PRNG1は、その論理アドレス領域LRNG1の10倍の大きさを持つため、論理アドレス領域LRNG1を用いた書き換えの許容回数は、論理アドレス領域LRNG2を用いた書き換えの許容回数の10倍となり、長寿命化が図れる。さらに、チェーンメモリアレイに含まれる8つメモリセルの内、一部(例えば1つ)のメモリセルのみへ書き込みを行うため、高速書き込みが実現できる。一方、メモリモジュール(半導体装置)NVMMD0の第2物理アドレス領域PRNG2は、その論理アドレス領域LRNG2と同等の大きさを持つため、論理アドレス領域LRNG1を用いる場合と比べて大容量化が図れる。さらに、ブートプログラムやSSDコンフィグレーション情報(SDCFG)は適宜プログラム可能であるため、メモリモジュールNVMMD0が要求される寿命や性能に合わせて柔軟に対応することができる。

【0158】

《メモリモジュール(半導体装置)の書き込み動作フロー》

図20は、図1の情報処理装置CPU__CPからメモリモジュールNVMMD0へライトリクエスト(WREQ01)が入力された際に、メモリモジュールNVMMD0内で行われる詳細な書き込み処理手順の一例を示すフロー図である。ここでは、主に図2の情報処理回路MNGERの処理内容が示され、情報処理回路MNGERは、特に限定しないが512バイトのメインデータDAreaと16バイトの冗長データRAreaのサイズ毎に、1個の物理アドレスを対応させ、不揮発性メモリ装置NVM10～NVM17へ書き込みを行っている。

【0159】

まず、情報処理装置CPU__CPから論理アドレス値(例えばLAD=0)、データ書き込み命令(WRT)、セクタカウント値(例えばSEC=1)、および512バイトの書き込みデータ(WDATA0)が含まれる書き込みリクエスト(WQ01)が制御回路MDLCT0へ入力される。図2のインターフェース回路HOST__IFは、ライトリクエスト(WQ01)に埋め込まれているクロック情報を取り出し、シリアルデータ化されたライトリクエスト(WQ01)をパラレルデータに変換し、バッファBUF0および情報処理回路MNGERへ転送する(Step1)。

【0160】

次に、情報処理回路MNGERは、論理アドレス値(LAD=0)、データ書き込み命令(WRT)及びセクタカウント値(SEC=1)を解釈し、ランダムアクセスメモリRAM内のアドレス変換テーブルLPTBL(図12A)を検索する。これにより、情報処

10

20

30

40

50

理回路MNGERは、論理アドレス値(LAD=0)の番地に格納されている現在の物理アドレス値(例えばPAD=0)と、この物理アドレス値(PAD=0)に対応した有効フラグCPVLDの値と、レイヤ番号LYCを読み出す。さらに、情報処理回路MNGERは、ランダムアクセスメモリRAM内の物理アドレステーブルPADTBL(図9)から物理アドレス値(PAD=0)に対応する消去回数値(例えばPERC=400)および有効フラグPVL D値を読み出す(Step2)。

【0161】

次に、情報処理回路MNGERは、ランダムアクセスメモリRAMへ格納したアドレスマップ範囲(ADM A P)(図15)を利用し、情報処理装置CPU__CPから制御回路MDLCT0へ入力された論理アドレス値(LAD=0)が、論理アドレス領域LRNG1内の論理アドレス値であるか、又は、論理アドレス領域LRNG2内の論理アドレス値であるかを判断する。

【0162】

ここで、情報処理回路MNGERは、論理アドレス値(LAD=0)が論理アドレス領域LRNG1内の論理アドレス値の場合は、図11の書き込み物理アドレステーブルNXPADTBL1を参照し、論理アドレス値(LAD=0)が論理アドレス領域LRNG2内の論理アドレス値の場合は、書き込み物理アドレステーブルNXPADTBL2を参照する。なお、実際には、前述したように、当該テーブルは、図2の書き込み物理アドレステーブルNXPTBL1, NXPTBL2に格納されている。情報処理回路MNGERは、いずれか一方の書き込み物理アドレステーブルから、書き込み優先度の高い順(すなわちエントリ番号ENUMが小さい順)に、セクタカウント値(SEC=1)で指定された個数分だけ必要なデータを読み出す。この場合は、1個分だけの書き込み物理アドレス(例えばNXPAD=100)と、この書き込み物理アドレス(NXPAD=100)に対応した有効フラグNXPVLD値と、消去回数NXPERC値と、書き込みレイヤ番号NXLYCが読み出される(Step3)。

【0163】

次に、情報処理回路MNGERは、現在の物理アドレス値(PAD=0)と次に書き込み対象となる書き込み物理アドレス値(NXPAD=100)とが等しいかを判別し(Step4)、等しい場合にはStep5を実行し、異なる場合にはStep11を実行する。Step5では、情報処理回路MNGERは、不揮発性メモリ装置NVM10~NVM17における物理アドレス値(NXPAD=100)に対応する番地に各種データを書き込む。ここでは、図14Aに示したメインデータDAreaとして書き込みデータ(WDATA0)が書き込まれ、冗長データRAreaとして、データ反転フラグINVFLG、ライトフラグWTF LG、ECCフラグECCFLG、ステート情報STATE、データ書き込みレイヤ情報LYN、ECCコードECCが書き込まれる。さらに、図12Bに示したように、物理アドレス値(NXPAD=100)に対応する論理アドレス値(LAD=0)と、有効フラグ値(DVF=1)と、レイヤ番号LYCが書き込まれる。

【0164】

この際に、例えば、書き込み物理アドレステーブルNXPADTBL1から読み出した書き込みレイヤ番号NXLYCが、“10”の場合、メインデータDArea(書き込みデータ(WDATA0))と、冗長データRAreaは、各チェーンメモリアレイCYの中の1個の相変化メモリセルCL0に書き込まれる。これに伴い、図14における冗長データRAreaの中のデータ書き込みレイヤ情報LYN[7:1]には“0”が書き込まれ、データ書き込みレイヤ情報LYN[0]には“1”が書き込まれる。一方、例えば、書き込み物理アドレステーブルNXPADTBL2から読み出した書き込みレイヤ番号NXLYCが、“00”の場合、メインデータDArea(書き込みデータ(WDATA0))と、冗長データRAreaは、各チェーンメモリアレイCY内の全相変化メモリセルCL0~CLnに書き込まれる。また、冗長データRAreaの中のデータ書き込みレイヤ情報LYN[7:0]へは“1”が書き込まれる。

【0165】

10

20

30

40

50

図20において、Step 11では、情報処理回路MNGERは、アドレス変換テーブルLPTBL(図12A)から読み出した物理アドレス値(PAD=0)に対応した有効フラグCPVLD値が0であるかを判定する。有効フラグCPVLD値が0の場合、論理アドレス値(LAD=0)に対応する現在の物理アドレス値(PAD=0)は無効であることを示し、これは論理アドレス値(LAD=0)に対応する物理アドレスは新しい物理アドレス値(NXPAD=100)しか存在しないことを示す。言い換えれば、新しい物理アドレス値(NXPAD=100)を論理アドレス値(LAD=0)に対してそのまま割り当てても、論理アドレス値(LAD=0)に対して重複した物理アドレス値が割り当てられることは無い。そこで、この場合、情報処理回路MNGERは、前述したStep 5を実行する。

10

【0166】

これに対して、Step 11において有効フラグCPVLD値が1の場合、論理アドレス値(LAD=0)に対応する物理アドレス値(PAD=0)が未だに有効であることを示す。したがって、新しい物理アドレス値(NXPAD=100)を論理アドレス値(LAD=0)に対してそのまま割り当てた場合、論理アドレス値(LAD=0)に対して重複した物理アドレス値が存在することになる。そこで、Step 13において、情報処理回路MNGERは、アドレス変換テーブルLPTBL内で論理アドレス値(LAD=0)に対応する物理アドレス値(PAD=0)の有効フラグCPVLD値を0(無効)に変更する。加えて、物理アドレステーブルPADTBL内の物理アドレス値(PAD=0)に対応する有効フラグPVLDも0(無効)にする。情報処理回路MNGERは、このようにして、論理アドレス値(LAD=0)に対応する物理アドレス値(PAD=0)を無効にした後に、前述したStep 5を実行する。

20

【0167】

Step 5に続くStep 6において、情報処理回路MNGERおよび/または不揮発性メモリ装置NVM10~NVM17は、書き込みデータ(WDATA0)が正しく書き込まれたかをチェックする。正しく書き込まれた場合は、Step 7を実行し、正しく書き込まれなかったらStep 12を実行する。Step 12では、情報処理回路MNGERおよび/または不揮発性メモリ装置NVM10~NVM17は、書き込みデータ(WDATA0)が正しく書き込まれたかをチェックするベリファイチェック回数(Nverify)が設定回数(Nvr)以下であるかをチェックする。ベリファイチェック回数(Nverify)が設定回数(Nvr)以下であれば、再度Step 5およびStep 6を実行する。ベリファイチェック回数(Nverify)が設定回数(Nvr)より多い場合は、書き込み物理アドレステーブルNXPADTBL1, NXPADTBL2から読み出した書き込み物理アドレス値(NXPAD=100)へは書き込みデータ(WDATA0)を書き込めないと判断し(Step 14)、再度Step 3を実行する。なお、このようなデータ検証処理は、図3Aに示した不揮発性メモリ装置内の書き込みデータ検証回路WV0~WVmを用いて行われ、不揮発性メモリ装置の内部回路のみで行われる場合や、あるいはその外部(情報処理回路MNGER)と適宜連動しながら行われる場合がある。

30

【0168】

Step 6に続いてStep 7では、情報処理回路MNGERは、アドレス変換テーブルLPTBLを更新する。具体的には、例えば論理アドレス値(LAD=0)の番地へ新たな物理アドレス値(NXPAD=100)を書き込み、有効フラグCPVLD値を1とし、レイヤ番号LYCに書き込みレイヤ番号NXYCを書き込む。次のStep 8では、情報処理回路MNGERは、物理アドレステーブルPADTBLを更新する。具体的には、例えば、書き込み物理アドレステーブルで示される書き込み物理アドレス値(NXPAD=100)の消去回数(NXPERC)値に1を加算した新たな消去回数値を生成し、当該新たな消去回数値を物理アドレステーブルPADTBL内の対応箇所(物理アドレス値(NXPAD=100)の消去回数(PERC))に書き込み。また、物理アドレステーブルPADTBL内の有効フラグPVLDを1とし、レイヤ番号LYCに書き込みレイヤ番号NXYCを書き込む。

40

50

【 0 1 6 9 】

S t e p 9では、情報処理回路M N G E Rは、書き込み物理アドレステーブルN X P A D T B Lへ格納されている全書き込み物理アドレスN X P A Dへの書き込みが完了したかどうかを判定する。書き込み物理アドレステーブルN X P A D T B Lへ格納されている全書き込み物理アドレスN X P A Dへの書き込みが完了した場合はS t e p 10を行い、未完了の場合は情報処理装置C P U _ C PからメモリモジュールN V M M D 0へ向けた新たなライトリクエストを待つ。

【 0 1 7 0 】

S t e p 10では、例えば書き込み物理アドレステーブルN X P A D T B Lへ格納されている全書き込み物理アドレスN X P A Dに対する書き込みが完了した時点で、情報処理回路M N G E Rは、物理セグメントテーブルP S E G T B L (図 1 0) を更新する。すなわち、書き込み物理アドレステーブルN X P A D T B L内のエントリーを全て使い切った際に物理セグメントテーブルP S E G T B Lを更新し、これを用いて詳細は図 2 1で述べるが書き込み物理アドレステーブルN X P A D T B Lの更新も行う。

【 0 1 7 1 】

物理セグメントテーブルP S E G T B Lの更新に際し、情報処理回路M N G E Rは、物理アドレステーブルP A D T B Lにおける物理アドレスの有効フラグP V L Dと消去回数P E R Cを参照する。そして、物理アドレステーブルP A D T B L内で有効フラグP V L Dが0 (無効) となっている物理アドレスを対象として、各物理セグメントアドレスS G A D毎に、無効物理アドレス総数T N I P A、最大消去回数M X E R Cおよびその無効物理オフセットアドレスM X I P A D、最小消去回数M N E R Cおよびその無効物理オフセットアドレスM N I P A Dを更新する。また、物理アドレステーブルP A D T B L内で有効フラグP V L Dが1 (有効) となっている物理アドレスを対象として、各物理セグメントアドレスS G A D毎に、有効物理アドレス総数T N V P A、最大消去回数M X E R Cおよびその有効物理オフセットアドレスM X V P A D、最小消去回数M N E R Cおよびその有効物理オフセットアドレスM N V P A Dを更新する。

【 0 1 7 2 】

さらに、情報処理回路M N G E Rは、書き込み物理アドレステーブルN X P A D T B Lを更新する。書き込み物理アドレステーブルN X P A D T B Lの更新が終了した場合、情報処理装置C P U _ C PからメモリモジュールN V M M D 0へのライトリクエストを待つ。

【 0 1 7 3 】

このように、情報処理回路M N G E Rは、不揮発性メモリ装置N V M 1 0 ~ N V M 1 7への書き込みを行う際に、書き込み物理アドレステーブルN X P A D T B Lを用いて行うため、例えば、書き込みの度に物理アドレステーブルP A D T B Lから消去回数が少ない物理アドレスを探索するような場合と比べて高速な書き込み動作が実現可能となる。また、図 2 に示したように、複数個の書き込み物理アドレステーブルN X P T B L 1 , N X P T B L 2を搭載した場合、各テーブルを独立に管理・更新することができるので、これによっても高速な書き込み動作が実現可能となる。例えば、書き込み物理アドレステーブルN X P T B L 1を使っている間に書き込み物理アドレステーブルN X P T B L 2を更新し、N X P T B L 1を使い切った際にはN X P T B L 2に移行し、N X P T B L 2を使っている間にN X P T B L 1の更新を行うようなことが可能となる。

【 0 1 7 4 】

《書き込み物理アドレステーブルの更新方法 (ウエアレベリング方法 [1]) 》

図 2 1は、図 1 1 Aおよび図 1 1 Bの書き込み物理アドレステーブルにおいて、その更新方法の一例を示すフロー図である。図 1 1 Aおよび図 1 1 Bに示すように、情報処理回路M N G E Rは、書き込み物理アドレステーブルN X P A D T B Lの中において、エントリー番号E N U Mが0から $(N/2 - 1)$ までの $N/2$ 個分を、書き込み物理アドレステーブルN X P A D T B L 1とし、エントリー番号E M U Mが $(N/2)$ から $(N - 1)$ までの $N/2$ 個分を書き込み物理アドレステーブルN X P A D T B L 2として管理する。

【 0 1 7 5 】

また、図 1 5 のアドレス範囲マップ (A D M A P) の例では、物理アドレス P A D が “ 0 0 0 0 _ 0 0 0 0 ” から “ 0 4 F F _ F F F F ” までは、第 1 物理アドレス領域 P R N G 1 を示し、物理アドレス P A D が “ 0 5 0 0 _ 0 0 0 0 ” から “ 0 9 F F _ F F F F ” までは、第 2 物理アドレス領域 P R N G 2 を示す。従って、第 1 物理アドレス領域 P R N G 1 の物理セグメントアドレス S G A の範囲は “ 0 0 0 0 ” から “ 0 4 F F ” となり、第 2 物理アドレス領域 P R N G 2 の物理セグメントアドレス S G A の範囲は “ 0 5 0 0 ” から “ 0 9 F F ” となる。

【 0 1 7 6 】

情報処理回路 M N G E R は、第 1 物理アドレス領域 P R N G 1 の範囲内の物理アドレス P A D に対して書き込み物理アドレステーブル N X P A D T B L 1 を利用し、これを更新し、第 2 物理アドレス領域 P R N G 2 の範囲内の物理アドレス P A D に対して書き込み物理アドレステーブル N X P A D T B L 2 を利用し、これを更新する。書き込み物理アドレステーブル N X P A D T B L を更新するために、まず物理セグメントアドレスを決定し、次に決定された物理セグメントアドレス内の物理オフセットアドレスを決定する。図 1 0 A に示すように、ランダムアクセスメモリ R A M 内の物理セグメントテーブル P S E G T B L 1 には、物理セグメントアドレス S G A D 毎に、無効状態の物理アドレスの総数 (T N I P A) と、無効状態の物理アドレスの中で最小の消去回数を持つ物理オフセットアドレス (M N I P A D) ならびにその消去回数 (M N E R C) が格納されている。

【 0 1 7 7 】

そこで、図 2 1 に示すように、情報処理回路 M N G E R は、まず、ランダムアクセスメモリ R A M の物理セグメントテーブル P S E G T B L 1 を参照し、物理セグメントアドレス S G A D 毎に、前述した無効状態の物理アドレスの総数 (T N I P A)、最小の消去回数を持つ物理オフセットアドレス (M N I P A D) ならびにその消去回数 (M N E R C) を読み出す (S t e p 2 1)。次に、物理セグメントアドレス S G A D 毎の無効状態の物理アドレスの総数 (T N I P A) が書き込み物理アドレステーブル N X P A D T B L の登録数 N より大きな物理セグメントアドレス S G A D を選択する (S t e p 2 2)。さらに、この選択された物理セグメントアドレス S G A D 毎の最小消去回数値 (M N E R C) を比較し、その最小消去回数値の中の最小値 (M N E R C m n) を求める (S t e p 2 3)。

【 0 1 7 8 】

次に、当該最小値 (M N E R C m n) を持つ物理セグメントアドレス (S G A D m n) とその物理オフセットアドレス (M N I P A D m n) を、書き込み物理アドレステーブル N X P A D T B L に登録する第 1 候補として決定する (S t e p 2 4)。なお、 S t e p 2 2 で選択される物理セグメントアドレス S G A D を存在させるには、物理アドレス空間の大きさを論理アドレス空間の大きさより、少なくとも書き込み物理アドレステーブル N X P A D T B L が登録できるアドレス分の大きさ以上にすると良い。

【 0 1 7 9 】

次に、情報処理回路 M N G E R は、物理アドレステーブル P A D T B L (図 9) を参照し、前述した物理セグメントアドレス (S G A D m n) 内の現在候補となっている物理オフセットアドレス P P A D に対応する消去回数 P E R C 値をランダムアクセスメモリ R A M から読み出し、消去回数閾値 E R C t h と比較する (S t e p 2 5)。当該 S t e p 2 5 はループ処理の一部であり、その 1 回目には、前述した物理オフセットアドレス (M N I P A D m n) が物理オフセットアドレス P P A D の候補となる。消去回数 P E R C 値が消去回数閾値 E R C t h 以下の場合、情報処理回路 M N G E R は、現在候補となっている物理オフセットアドレス P P A D を登録対象として確定し、 S t e p 2 6 を行う。

【 0 1 8 0 】

一方、消去回数 P E R C 値が消去回数閾値 E R C t h より大きい場合、情報処理回路 M N G E R は、現在候補となっている物理オフセットアドレス P P A D を一旦候補から除外し、 S t e p 3 2 を行う。 S t e p 3 2 で、情報処理回路 M N G E R は、物理アドレステ

10

20

30

40

50

ーブルPADTBLを参照し、前述した物理セグメントアドレス(SGADmn)内で消去回数閾値ERcth以下の消去回数を持つ無効状態の物理オフセットアドレスの数(Ninv)が、書き込み物理アドレステーブルNXPADTBLに登録できるアドレス数Nより小さいか(Ninv < N)を判定する。小さい場合はStep 33を行い、大きい場合はStep 34を行う。

【0181】

Step 34において、情報処理回路MNGERは、現在候補となっている物理オフセットアドレスPPADへ演算を行い、新たな候補となる物理オフセットアドレスPPADを生成し、Step 25を再度実行する。Step 34では、現在の物理オフセットアドレスPPADへp値を加算し、新たな候補となる物理オフセットアドレスPPADを求め

10

Step 34のp値はプログラム可能であり、情報処理回路MNGERが管理する最小データサイズや、不揮発性メモリの構成によって、最適な値を選ぶと良い。本実施の形態では例えばp = 8を用いている。Step 33では、情報処理回路MNGERは、消去回数閾値ERcthへ、ある値アルファ分だけ加算した新たな消去回数閾値ERcthを生成し、Step 25を再度実行する。

【0182】

Step 26では、Step 25を介して登録対象となった物理オフセットアドレスPPADが第1物理アドレス領域PRNG1内のアドレスかどうかをチェックする。登録対象となった物理オフセットアドレスPPADが第1物理アドレス領域PRNG1内のアドレスであれば、Step 27を実行し、第1物理アドレス領域PRNG1内のアドレスで

20

なければ(すなわち第2物理アドレス領域PRNG2内のアドレスであれば)Step 28を実行する。

【0183】

Step 27では、情報処理回路MNGERは、書き込み物理アドレステーブルNXPADTBL1に対して、登録対象となった物理オフセットアドレスPPADに前述した物理セグメントアドレス(SGADmn)を含めたアドレスを書き込み物理アドレスNXPADとして登録する。また、加えて、当該書き込み物理アドレスNXPADの有効フラグNXPLD値(ここでは0となる)を登録し、当該書き込み物理アドレスNXPADの消去回数(PERC)値を消去回数NXPERCとして登録し、さらに、当該書き込み物理アドレスNXPADの現レイヤ番号LYCに1を加算した値を新レイヤ番号NXLYC

30

として登録する。書き込み物理アドレステーブルNXPADTBL1には、特に限定しないが、N/2組の登録が可能であり、エントリー番号ENUMの小さな番号から順に登録される。

【0184】

レイヤ番号LYC(NXLYC)の最大値は、図3B等に示すように、チェーンメモリアレイCY内に(n+1)個の相変化メモリセルがCL0~CLnが含まれる場合、nとなる。なお、図11の書き込み物理アドレステーブルNXPADTBLの例では、レイヤ番号NXLYC = "n"となる。レイヤ番号LYC(NXLYC)が最大値nに達した際、新しいレイヤ番号LYC(NXLYC)の値は0となる。不揮発性メモリ装置NVM10~NVM17への書き込みは、この書き込み物理アドレステーブルNXPADTBLを

40

用いて行われるため、このように、当該テーブルの更新時にレイヤ番号LYC(NXLYC)を順次シフトさせることで、図17等で述べた第1動作モードを実現できる。

【0185】

Step 28では、情報処理回路MNGERは、書き込み物理アドレステーブルNXPADTBL2に対して、登録対象となった物理オフセットアドレスPPADに前述した物理セグメントアドレス(SGADmn)を含めたアドレスを書き込み物理アドレスNXPADとして登録する。また、加えて、当該書き込み物理アドレスNXPADの有効フラグNXPLD値(ここでは0となる)を登録し、当該書き込み物理アドレスNXPADの消去回数(PERC)および現在のレイヤ番号LYCを、消去回数NXPERCおよびレイヤ番号NXLYCとして登録する。書き込み物理アドレステーブルNXPADTBL2

50

には、特に限定しないが、 $N/2$ 組の登録が可能であり、エントリー番号ENUMの小さな番号から順に登録される。なお、書き込み物理アドレステーブルNXPADTBL1, NXPADTBL2の登録組数は、情報処理回路MNGERによって任意に設定可能であり、不揮発性メモリ装置NVM10~NVM17への書き込み速度が最大となるように設定すると良い。

【0186】

次のStep29では、情報処理回路MNGERは、書き込み物理アドレステーブルNXPADTBL1の全組(全エントリー番号)に対して登録が完了したか否かをチェックする。全組の登録が完了していなければ、Step32を実行し、全組の登録が完了していれば、Step30を実行する。次のStep30では、情報処理回路MNGERは、書き込み物理アドレステーブルNXPADTBL2への全組の登録が完了したか否かをチェックする。全組の登録が完了していなければ、Step32を実行し、全組の登録が完了していれば、書き込み物理アドレステーブルNXPADTBLの更新を完了する(Step31)。

10

【0187】

このような更新フローを用いると、概略的には、消去回数が最小の物理アドレスを持つ物理アドレスセグメントが定められ(Step21~24)、当該物理アドレスセグメントの中で、当該最小の物理アドレスを起点として、消去回数が所定の閾値以下である物理アドレスが順次抽出される(Step25、Step32~34)。この際に、抽出数が所定の登録数に満たない場合には(Step32)、消去回数の閾値を段階的に上げながら(Step33)、抽出数が所定の登録数を満たすまで(Step32、Step29, 30)、同様にして物理アドレスが順次抽出される(Step25, 34)。これによって、無効状態となっている物理アドレス(すなわち論理アドレスに対して現在割り当てが行われていない物理アドレス)を対象として、消去回数を平準化するためのウエアレベリング(ダイナミックウエアレベリング)が実現可能となる。

20

【0188】

《不揮発性メモリ装置のアドレス割り付けの詳細》

図22Aは、図15等の第1物理アドレス領域PRNG1に割り当てられる不揮発性メモリ装置において、その論理アドレス、物理アドレス、チップ内アドレスの対応関係の一例を示す図である。図22Bは、図15等の第2物理アドレス領域PRNG2に割り当てられる不揮発性メモリ装置において、その論理アドレス、物理アドレス、チップ内アドレスの対応関係の一例を示す図である。

30

【0189】

図22Aおよび図22Bには、論理アドレスLADと、物理アドレスPADと、物理アドレスCPADと、不揮発性メモリ装置NVM10~NVM17のチップアドレスCHIPA[2:0]と、各チップ内のバンクアドレスBK[1:0]、ロウアドレスROWおよびコラムアドレスCOLとの対応関係が示されている。さらに、レイヤ番号LYCとコラムアドレスCOLとの対応関係、ロウアドレスROWとワード線WLとの対応関係、コラムアドレスCOLとビット線BL、チェーンメモリアレイ選択線SLおよびメモリセル選択線LYとの対応関係がそれぞれ示されている。

40

【0190】

特に限定しないが、不揮発性メモリNVM10~NVM17は8チップあり、1チップの不揮発性メモリ装置には2本のチェーンメモリアレイ選択線SLがあり、1個のチェーンメモリアレイCYには8個のメモリセルと8本のメモリセル選択線LYがあるものとする。また、1個のメモリバンクBKには528個のメモリアレイARYがあり、1個のメモリアレイARYにて選択されるチェーンメモリアレイCYは1個であるものとする。つまり、1個のメモリバンクBKの中で同時に528個のチェーンメモリアレイCYが選択される。また、メモリバンクは4個である。図22Aの第1物理アドレス領域PRNG1では、1個のチェーンメモリアレイCY内の8個のメモリセルの中で1個のメモリセルのみデータを保持するものとし、図22Bの第2物理アドレス領域PRNG2では、1個

50

のチェーンメモリアレイCY内の8個のメモリセルの中の8個のメモリセルにデータを保持するものとする。

【0191】

図22Aおよび図22Bに示すアドレス割り付けは、例えば、図2の情報処理回路MNGERによって行われる。図22Aにおいて、図2の情報処理回路MNGERは、データを不揮発性メモリ装置NVM10~NVM17へ書き込む際には、書き込み物理アドレステーブルNXPADTBL1(図11)に格納されているレイヤ番号NXLYC(LYC[2:0])と物理アドレスNXPAD(PAD[31:0])と、物理アドレスCPAD[2:0]を対応付ける。また、データを不揮発性メモリ装置NVM10~NVM17から読み出す際は、アドレス変換テーブルLPTBL(図12A)に格納されている物理アドレスPAD[31:0]と、物理アドレスPADのレイヤ番号LYC[2:0]と、物理アドレスCPAD[2:0]とを対応付ける。

10

【0192】

レイヤ番号LYC[2:0]は、カラムアドレスCOL[2:0]へ対応しており、さらに、カラムアドレスCOL[2:0]はメモリセル選択線LY[2:0]へ対応している。レイヤ番号LYC[2:0]の値が、メモリセル選択線LY[2:0]の値となり、レイヤ番号LYC[2:0]で指定されたメモリセルへデータが書き込まれ、また、レイヤ番号LYC[2:0]で指定されたメモリセルからデータが読み出される。

【0193】

物理アドレスCPAD[0]は、カラムアドレスCOL[3]へ対応し、さらに、カラムアドレスCOL[3]はチェーンメモリアレイ選択線SL[0]へ対応している。物理アドレスCPAD[2:1]はカラムアドレスCOL[5:4]へ対応し、さらに、カラムアドレスCOL[5:4]はビット線BL[1:0]へ対応している。物理アドレスPAD[c+0:0]はカラムアドレスCOL[c+6:6]へ対応し、さらに、カラムアドレスCOL[c+6:6]はビット線BL[c:2]へ対応している。

20

【0194】

物理アドレスPAD[d+c+1:c+1]はロウアドレスROW[d+c+7:c+7]へ対応し、さらに、ロウアドレスROW[d+c+7:c+7]はワード線WL[d:0]へ対応している。物理アドレスPAD[d+c+3:d+c+2]はバンクアドレスBK[d+c+9:d+c+8]へ対応し、さらに、バンクアドレスBK[d+c+9:d+c+8]はバンクアドレスBK[1:0]へ対応している。物理アドレスPAD[d+c+6:d+c+4]はチップアドレスCHIPA[d+c+12:d+c+10]へ対応し、さらに、チップアドレスCHIPA[d+c+12:d+c+10]はチップアドレスCHIPA[2:0]へ対応している。

30

【0195】

ここで、例えば、512バイトのメインデータと16バイトの冗長データを書き込む場合を想定する。前提として、物理アドレスPAD[d+c+6:d+c+4]は3、物理アドレスPAD[d+c+3:d+c+2]は2、物理アドレスPAD[d+c+1:c+1]は8、物理アドレスCPAD[c+0:0]は0、物理アドレスCPAD[2:1]は0、物理アドレスCPAD[0]は0、レイヤ番号LYC[2:0]は0であるものとする。

40

【0196】

この場合、図2の情報処理回路MNGERは、レイヤ番号LYCの値および物理アドレスPADの値は変化させず、物理アドレスCPAD[2:0]値を0~7まで+1ずつ変化させ、それぞれのアドレスへ528ビットずつデータを書き込み、合計528バイトのデータを書き込む。また、同様の前提で、512バイトのメインデータと16バイトの冗長データを読み出す際、図2の情報処理回路MNGERは、レイヤ番号LYCの値および物理アドレスPADの値は変化させず、物理アドレスCPAD[2:0]値を0~7まで+1ずつ変化させ、それぞれのアドレスから528ビットずつデータを読み出し、合計528バイトのデータを読み出す。

50

【0197】

すなわち、この例の場合、図3Aにおいて、各メモリアレイARY0～ARY527毎に1本のワード線WLに対して4本のビット線BLが順に選択されると共に、図3Bに示すように、ワード線WLとビット線BLの各交点に位置し、チェインメモリアレイ選択線SLによって選択される2個のチェインメモリアレイCYが選択されることになる。ただし、この際に、各チェインメモリアレイCY内で選択される相変化メモリセルは1個である。

【0198】

一方、図22Bにおいて、図2の情報処理回路MNGERは、データを不揮発性メモリNVM10～NVM17へ書き込む際は、書き込み物理アドレステーブルNXPADTBL2に格納されている物理アドレスNXPAD(PAD[31:0])および物理アドレスCPAD[2:0]と不揮発性メモリNVM10～NVM17のアドレスとを対応付ける。また、データを不揮発性メモリ装置NVM10～NVM17から読み出す際は、アドレス変換テーブルLPTBLに格納されている物理アドレスPAD[31:0]および物理アドレスCPAD[2:0]と不揮発性メモリ装置NVM10～NVM17のアドレスとを対応付ける。

10

【0199】

物理アドレスCPAD[2:0]はカラムアドレスCOL[2:0]へ対応しており、さらに、カラムアドレスCOL[2:0]はメモリセル選択線LY[2:0]へ対応している。物理アドレスCPAD[2:0]の値はメモリセル選択線LY[2:0]の値となり、物理アドレスCPAD[2:0]で指定されたメモリセルへデータが書き込まれ、また、物理アドレスCPAD[2:0]で指定されたメモリセルからデータが読み出される。

20

【0200】

物理アドレスPAD[0]はカラムアドレスCOL[3]へ対応し、さらに、カラムアドレスCOL[3]はチェインメモリアレイ選択線SL[0]へ対応している。物理アドレスPAD[a+1:1]はカラムアドレスCOL[a+4:4]へ対応し、さらに、カラムアドレスCOL[a+4:4]はビット線BL[a:0]へ対応している。物理アドレスPAD[b+a+2:a+2]はロウアドレスROW[b+a+5:a+5]へ対応し、さらに、ロウアドレスROW[b+a+5:a+5]はワード線WL[b:0]へ対応している。

30

【0201】

物理アドレスPAD[b+a+4:b+a+3]はバンクアドレスBK[b+a+7:b+a+6]へ対応し、さらに、バンクアドレスBK[b+a+7:b+a+6]はバンクアドレスBK[1:0]へ対応している。物理アドレスPAD[b+a+7:b+a+5]はチップアドレスCHIPA[b+a+10:b+a+8]へ対応し、さらに、チップアドレスCHIPA[b+a+10:b+a+8]はチップアドレスCHIPA[2:0]へ対応している。

【0202】

ここで、例えば、512バイトのメインデータと16バイトの冗長データを書き込む場合を想定する。前提として、物理アドレスPAD[b+a+7:b+a+5]は3、物理アドレスPAD[b+a+4:b+a+3]は2、物理アドレスPAD[b+a+2:a+2]は8、物理アドレスPAD[a+1:1]は0、物理アドレスPAD[0]は0、物理アドレスCPAD[2:0]は0であるものとする。

40

【0203】

この場合、図2の情報処理回路MNGERは、物理アドレスPADの値は変化させず、物理アドレスCPAD[2:0]値を0～7まで+1ずつ変化させ、それぞれのアドレスへ528ビットずつデータを書き込み、合計528バイトのデータを書き込む。同様の前提で512バイトのメインデータと16バイトの冗長データを読み出す際、図2の情報処理回路MNGERは、物理アドレスPADの値は変化させず、物理アドレスCPAD[2

50

: 0] 値を 0 ~ 7 まで + 1 ずつ変化させ、それぞれのアドレスから 5 2 8 ビットずつデータを読み出し、合計 5 2 8 バイトのデータを読み出す。

【 0 2 0 4 】

すなわち、この例の場合、図 3 A において、各メモリアレイ A R Y 0 ~ A R Y 5 2 7 毎に 1 本のワード線 W L に対して 1 本のビット線 B L が選択されると共に、図 3 B に示すように、ワード線 W L とビット線 B L の各交点に位置し、チェーンメモリアレイ選択線 S L によって選択される 2 個のチェーンメモリアレイ C Y 中の 1 個が選択されることになる。ただし、この際に、各チェーンメモリアレイ C Y 内で選択される相変化メモリセルは 8 個である。

【 0 2 0 5 】

図 2 2 C は、図 2 の情報処理回路 M N G E R が不揮発性メモリ装置にデータ書き込みやデータ読み出しを行う際の物理アドレス P A D および物理アドレス C P A D の変化の様子の一例を示す図である。まず、情報処理回路 M N G E R は、セクタカウント S E C、物理アドレス P A D および物理アドレス C P A D (= 0) を決定し、変数 q を 0 に設定したのち (S t e p 4 1)、この物理アドレス P A D が第 1 物理アドレス領域 P R N G 1 内の物理アドレスかどうかをチェックする (S t e p 4 2)。この物理アドレス P A D が第 1 物理アドレス領域 P R N G 1 内の物理アドレスではない場合は、 S t e p 4 8 を実行する。また、この物理アドレス P A D が第 1 物理アドレス領域 P R N G 1 内の物理アドレスであれば、図 2 2 A で示すアドレス変換を行い (S t e p 4 3)、不揮発性メモリ装置へのデータ書き込みやデータ読み出しを行う (S t e p 4 4)。

【 0 2 0 6 】

次に、情報処理回路 M N G E R は、変数 q の値が n 以上であるかを確認し (S t e p 4 5)、変数 q の値が n より小さい場合は、物理アドレス C P A D へ 1 を加算した新たな物理アドレス C P A D を求め (S t e p 4 7)、再度、 S t e p 4 3 を実行し、その後 S t e p 4 4 を実行する。変数 q の値が n 以上の場合は、セクタカウント S E C を 1 つずつ減少させ、さらに変数 q の値を 0 に設定し (S t e p 4 6)、次に S t e p 5 1 を実行する。 S t e p 5 1 では、セクタカウント S E C 値が 0 以下であるかを確認し、セクタカウント S E C 値が 0 以下では無い場合、物理アドレス P A D へ 1 を加算した新たな物理アドレス P A D を求め (S t e p 5 2)、再度、 S t e p 4 2 へ戻り、処理を続ける。セクタカウント S E C 値が 0 以下であればデータ書き込みやデータ読み出しを完了する (S t e p 5 3)。

【 0 2 0 7 】

S t e p 4 7 で物理アドレス C P A D へ 1 を加算した場合には、図 2 2 A から分かるように、チェーンメモリアレイ選択線 S L またはビット線 B L (すなわちチェーンメモリアレイ C Y の位置) が変わることになる。 S t e p 4 8 では、情報処理回路 M N G E R は、図 2 2 B で示すアドレス変換を行い (S t e p 4 8)、不揮発性メモリ装置へのデータ書き込みやデータ読み出しを行う (S t e p 4 9)。次に、変数 q の値が r 以上であるかを確認し (S t e p 5 0)、変数 q の値が r より小さい場合は、物理アドレス C P A D へ 1 を加算した新たな物理アドレス C P A D を求め (S t e p 4 7)、再度、 S t e p 4 8 を実行し、その後 S t e p 4 9 を実行する。変数 q の値が r 以上の場合は、 S t e p 4 6 以降を実行する。 S t e p 4 7 で物理アドレス C P A D へ 1 を加算した場合には、図 2 2 B から分かるように、メモリセル選択線 L Y (すなわちチェーンメモリアレイ C Y 内のメモリセルの位置) が変わることになる。

【 0 2 0 8 】

なお、 S t e p 4 5 の n 値や、 S t e p 5 0 の r 値は、プログラム可能であり、情報処理回路 M N G E R が管理する最小データサイズや、不揮発性メモリ装置の構成によって、最適な値を選ぶと良い。本実施の形態では例えば n = r = 7 を用いている。

【 0 2 0 9 】

《アドレス変換テーブルおよび不揮発性メモリ装置の更新動作例》

図 2 3 A および図 2 3 B は、図 1 の制御回路 M D L C T 0 が不揮発性メモリ装置の第 1

10

20

30

40

50

物理アドレス領域 P R N G 1 へデータを書き込む際のアドレス変換テーブル L P T B L の更新方法および不揮発性メモリ装置のデータ更新方法の一例を示す図である。アドレス変換テーブル L P T B L は、情報処理装置 C P U _ C P から制御回路 M D L C T 0 へ入力された論理アドレス L A D を不揮発性メモリ装置の物理アドレス P A D へ転換するためのテーブルである。

【 0 2 1 0 】

アドレス変換テーブル L P T B L は、論理アドレス L A D に対応した物理アドレス P A D と、当該物理アドレスの有効フラグ C P V L D およびレイヤ番号 L Y C から構成される。また、このアドレス変換テーブル L P T B L はランダムアクセスメモリ R A M へ格納される。不揮発性メモリ装置には、物理アドレス P A D に対応したデータ D A T A と、論理アドレス L A D と、データ有効フラグ D V F と、レイヤ番号 L Y C が格納される。

10

【 0 2 1 1 】

図 2 3 A には、時間 T 0 より後に、情報処理装置 C P U _ C P から制御回路 M D L C T 0 へ論理アドレス領域 L R N G 1 へのライトリクエスト W Q 0、W Q 1、W Q 2 及び W Q 3 が入力されたあとの状態が示されている。具体的には、これらのライトリクエストのデータが不揮発性メモリ装置の第 1 物理アドレス領域 P R N G 1 へ書き込まれた後の時間 T 1 におけるアドレス変換テーブル L P T B L 及び不揮発性メモリ装置が格納するアドレス、データおよび有効フラグおよびレイヤ番号 L Y C が示されている。

【 0 2 1 2 】

ライトリクエスト W Q 0 には論理アドレス値 (L A D = 0)、データ書き込み命令 (W R T)、セクタカウント値 (S E C = 1)、書き込みデータ (D A T A 0) が含まれる。ライトリクエスト W Q 1 には論理アドレス値 (L A D = 1)、データ書き込み命令 (W R T)、セクタカウント値 (S E C = 1)、書き込みデータ (D A T A 1) が含まれる。ライトリクエスト W Q 2 には論理アドレス値 (L A D = 2)、データ書き込み命令 (W R T)、セクタカウント値 (S E C = 1)、書き込みデータ (D A T A 2) が含まれる。ライトリクエスト W Q 3 には論理アドレス値 (L A D = 3)、データ書き込み命令 (W R T)、セクタカウント値 (S E C = 1)、書き込みデータ (D A T A 3) が含まれる。ライトリクエスト W Q 0、W Q 1、W Q 2 及び W Q 3 が制御回路 M D L C T 0 へ入力された際は、インターフェース回路 H O S T _ I F は、これらのライトリクエストをバッファ B U F 0 へ転送する。

20

30

【 0 2 1 3 】

次に、情報処理回路 M N G E R は、バッファ B U F 0 へ格納されているライトリクエスト W Q 0、W Q 1、W Q 2 及び W Q 3 を順に読み出す。続いて、情報処理回路 M N G E R は、ライトリクエスト W Q 0、W Q 1、W Q 2 及び W Q 3 の論理アドレス値 (L A D) がそれぞれ 0、1、2 および 3 であるため、これらに応じた情報を、メモリ制御回路 R A M C を通じてランダムアクセスメモリ R A M へ保存されているアドレス変換テーブル L P T B L からそれぞれ読み出す。すなわち、アドレス変換テーブル L P T B L の論理アドレス L A D の 0 番地、1 番地、2 番地および 3 番地から物理アドレス (P A D) 値、有効フラグ (C P V L D) 値およびレイヤ番号 L Y C を読み出す。

【 0 2 1 4 】

40

最初は、図 1 2 A に示したように、読み出された全ての有効フラグ (C P V L D) 値は 0 であるため、論理アドレス L A D の 0 番地、1 番地、2 番地および 3 番地には物理アドレス P A D が割り当てられていないことがわかる。次に、情報処理回路 M N G E R は、書き込み物理アドレステーブル N X P A D T B L 1 のエントリー番号 E N U M の 0 番から 3 番までに格納されている書き込み物理アドレス値 (N X P A D) およびレイヤ番号 N X L Y C を読み出し、論理アドレス L A D の 0 番地、1 番地、2 番地および 3 番地にそれぞれ割り当てる。この例では、エントリー番号 E N U M の 0 番から 3 番までに格納された書き込み物理アドレス値 (N X P A D) は、それぞれ 10 進数で 0、1、2、3 であり、レイヤ番号 N X L Y C は、それぞれ 0、0、0、0 であるものとする。

【 0 2 1 5 】

50

次に、情報処理回路MNGERは、ライトリクエストWQ0、1、2および3のそれぞれの書き込みデータDATA0、1、2および3に対するECCコードECC0、1、2および3を生成し、図14に示すデータフォーマットに従い不揮発性メモリ装置への書き込みデータWDATA0、1、2および3を生成する。すなわち、書き込みデータWDATA0は、書き込みデータ(DATA0)からなるメインデータDArea0とそれに対応する冗長データRArea0から構成され、書き込みデータWDATA1は、書き込みデータ(DATA1)からなるメインデータDArea1とそれに対応する冗長データRArea1から構成される。同様に、書き込みデータWDATA2は、書き込みデータ(DATA2)からなるメインデータDArea2とそれに対応する冗長データRArea2から構成され、書き込みデータWDATA3は、書き込みデータ(DATA3)からなるメインデータDArea3とそれに対応する冗長データRArea3から構成される。

10

【0216】

情報処理回路MNGERにより、書き込みデータWDATA0、1、2および3は、不揮発性メモリ装置の4つの物理アドレスへそれぞれ書き込まれる。冗長データRArea0、1、2および3には、それぞれECCコードECC0、1、2および3が含まれる。さらに、共通に、データ反転フラグ値(INVFLG=0)、ライトフラグ値(WTFLG=0)、ECCフラグ値(ECCFLG=0)、ステート情報値(STATE=1)、エリア情報値(AREA=1)、データ書き込みレイヤ情報値(LYN=1)、バッドブロック情報値(BADBLK=0)、予備領域値(RSV=0)が含まれる。

【0217】

20

なお、論理アドレス領域LRNG1へのライトリクエストであれば、エリア情報値(AREA)は1となり、論理アドレス領域LRNG2へのライトリクエストであれば、エリア情報値(AREA)は2となる。また、書き込み物理アドレステーブルNXPADTBL1から読み出したレイヤ番号NXYC値が0の場合、データ書き込みレイヤ情報LYN[n:0]の中の、LYN[n:1]が0、LYN[0]が1となり、チェインメモリアレイCY内の相変化メモリセルCLOへデータが書き込まれることを示す。

【0218】

さらに、情報処理回路MNGERは、書き込み物理アドレス値(NXPAD)の10進数で0、1、2および3に従い、調停回路ARBとメモリ制御回路NVCT10~NVCT17を通じて不揮発性メモリ装置NVM10~NVM17に書き込みを行う。すなわち、不揮発性メモリ装置NVMの物理アドレスPADの0番地へは、ライトリクエストWQ0に対応する書き込みデータWDATA0、論理アドレス値(LAD=0)、およびレイヤ番号(LYC=0)を書き込み、データ有効フラグ(DVF)値として1を書き込む。不揮発性メモリ装置NVMの物理アドレスPADの1番地へは、ライトリクエストWQ1に対応する書き込みデータWDATA1、論理アドレス値(LAD=1)、およびレイヤ番号(LYC=0)を書き込み、データ有効フラグ(DVF)値として1を書き込む。同様に、物理アドレスPADの2番地へは、書き込みデータWDATA2、論理アドレス値(LAD=2)、データ有効フラグ(DVF=1)、レイヤ番号(LYC=0)を書き込み、物理アドレスPADの3番地へは、書き込みデータWDATA3、論理アドレス値(LAD=3)、データ有効フラグ(DVF=1)、レイヤ番号(LYC=0)を書き込む。

30

40

【0219】

最後に、情報処理回路MNGERは、メモリ制御回路RAMCを通じてランダムアクセスメモリRAMに保存されているアドレス変換テーブルLPTBLを更新する。すなわち、論理アドレスLADの0番地へは割り当て後の物理アドレス(PAD=0)、有効フラグ(CPVL D=1)およびレイヤ番号(LYC=0)を書き込み、論理アドレスLADの1番地へは割り当て後の物理アドレス(PAD=1)、有効フラグ(CPVL D=1)およびレイヤ番号(LYC=0)を書き込む。論理アドレスLADの2番地へは割り当て後の物理アドレス(PAD=2)、有効フラグ(CPVL D=1)およびレイヤ番号(LYC=0)を書き込み、論理アドレスLADの3番地へは割り当て後の物理アドレス(P

50

AD = 3)、有効フラグ(CPVL D = 1)およびレイヤ番号(LYC = 0)を書き込む。

【0220】

図23Bには、時間T1より後に、情報処理装置CPU__CPから制御回路MDLCT0へライトリクエストWQ4、WQ5、WQ6、WQ7、WQ8およびWQ9が入力された後の状態が示されている。具体的には、これらのライトリクエストのデータが不揮発性メモリ装置の第1物理アドレス領域PRNG1へ書き込まれた後の時間T2において、アドレス変換テーブルLPTBLおよび不揮発性メモリ装置に格納されるアドレス、データおよび有効フラグが示されている。

【0221】

ライトリクエストWQ4には、論理アドレス値(LAD = 0)、データ書き込み命令(WRT)、セクタカウント値(SEC = 1)、書き込みデータ(DATA4)が含まれる。ライトリクエストWQ5には、論理アドレス値(LAD = 1)、データ書き込み命令(WRT)、セクタカウント値(SEC = 1)、書き込みデータ(DATA5)が含まれる。ライトリクエストWQ6には、論理アドレス値(LAD = 4)、データ書き込み命令(WRT)、セクタカウント値(SEC = 1)、書き込みデータ(DATA6)が含まれる。ライトリクエストWQ7には、論理アドレス値(LAD = 5)、データ書き込み命令(WRT)、セクタカウント値(SEC = 1)、書き込みデータ(DATA7)が含まれる。ライトリクエストWQ8には、論理アドレス値(LAD = 2)、データ書き込み命令(WRT)、セクタカウント値(SEC = 1)、書き込みデータ(DATA8)が含まれる。ライトリクエストWQ9には、論理アドレス値(LAD = 3)、データ書き込み命令(WRT)、セクタカウント値(SEC = 1)、書き込みデータ(DATA9)が含まれる。ライトリクエストWQ4、WQ5、WQ6、WQ7、WQ8およびWQ9が制御回路MDLCT0へ入力された際には、インターフェース回路HOST__IFは、これらのライトリクエストをバッファBUF0へ転送する。

【0222】

次に、情報処理回路MNGERは、バッファBUF0へ格納されているライトリクエストWQ4、WQ5、WQ6、WQ7、WQ8およびWQ9を順に読み出す。続いて、情報処理回路MNGERは、図14に示すデータフォーマットに従い、ライトリクエストWQ4、5、6、7、8および9にそれぞれ対応する書き込みデータWDATA4、5、6、7、8および9を生成する。書き込みデータWDATA4は、書き込みデータDATA4からなるメインデータDAREA4と冗長データRAREA4から構成され、書き込みデータWDATA5は書き込みデータDATA5からなるメインデータDAREA5と冗長データRAREA5から構成される。書き込みデータWDATA6は書き込みデータDATA6からなるメインデータDAREA6と冗長データRAREA6から構成され、書き込みデータWDATA7は書き込みデータDATA7からなるメインデータDAREA7と冗長データRAREA7から構成される。書き込みデータWDATA8は書き込みデータDATA8からなるメインデータDAREA8と冗長データRAREA8から構成され、書き込みデータWDATA9は書き込みデータDATA9からなるメインデータDAREA9と冗長データRAREA9から構成される。

【0223】

冗長データRAREA4、5、6、7、8および9には、それぞれ、書き込みデータDATA4、5、6、7、8および9を用いて情報処理回路MNGERによって生成されたECCコードECC4、5、6、7、8および9が含まれる。さらに、共通に、データ反転フラグ値(INVFLG = 0)、ライトフラグ値(WTFLG = 0)、ECCフラグ値(ECCFLG = 0)、ステート情報値(STATE = 1)、エリア情報値(AREA = 1)、パッドブロック情報値(BADBLK = 0)、予備領域値(RSV = 0)が含まれる。

【0224】

情報処理回路MNGERにより、書き込みデータWDATA4、5、6、7、8および

10

20

30

40

50

9は、不揮発性メモリ装置の6つの物理アドレスへそれぞれ書き込まれる。この際に、情報処理回路MNGERは、ライトリクエストWQ4、5、6、7、8および9の論理アドレス値(LAD)がそれぞれ0、1、4、5、2および3であるため、これらに応じた情報を、メモリ制御回路RAMCを通じてランダムアクセスメモリRAMへ保存されているアドレス変換テーブルLPTBLからそれぞれ読み出す。すなわち、アドレス変換テーブルLPTBLの論理アドレスLADの0番地、1番地、4番地、5番地、2番地および3番地から、それぞれ物理アドレス値(PAD)、有効フラグ値(CPVL D)およびレイヤ番号LYCを読み出す。

【0225】

図23Aのアドレス変換テーブルLPTBLにおいて、論理アドレスLADの0番地の物理アドレス値(PAD)は0、有効フラグ値(CPVL D)は1、レイヤ番号LYCは0であり、論理アドレスLADの0番地へのライトリクエストWQ4に伴い既に書き込まれている物理アドレスPADの0番地のデータを無効にする必要がある。そこで、情報処理回路MNGERは、不揮発性メモリ装置における物理アドレスPADの0番地の有効フラグ値(DVF)を0に設定する(図23Aの101 図23Bの111)。同様に、図23Aにおいて、論理アドレスLADの1番地の物理アドレス値(PAD)は1、有効フラグ値(CPVL D)は1、レイヤ番号LYCは0であり、ライトリクエストWQ5に伴い物理アドレスPADの1番地のデータを無効にする必要がある。そこで、情報処理回路MNGERは、物理アドレスPADの1番地の有効フラグ値(DVF)を0に設定する(図23Aの102 図23Bの112)。

【0226】

また、図23Aのアドレス変換テーブルLPTBLにおいて、ライトリクエストWQ6に伴う論理アドレスLADの4番地の物理アドレス値(PAD)は0、有効フラグ値(CPVL D)は0、レイヤ番号LYCは0であり、論理アドレスLADの4番地には、物理アドレスPADが割り当てられていないことがわかる。同様に、図23Aにおいて、ライトリクエストWQ7に伴う論理アドレスLADの5番地の物理アドレス値(PAD)は0、有効フラグ値(CPVL D)は0、レイヤ番号LYCは0であり、論理アドレスLADの5番地には、物理アドレスPADが割り当てられていないことがわかる。

【0227】

一方、図23のアドレス変換テーブルLPTBLにおいて、論理アドレスLADの2番地の物理アドレス値(PAD)は2、有効フラグ値(CPVL D)は1、レイヤ番号LYCは0であり、論理アドレスLADの2番地へのライトリクエストWQ8に伴い既に書き込まれている物理アドレスPADの2番地のデータを無効にする必要がある。そこで、情報処理回路MNGERは、物理アドレスPADの2番地の有効フラグ値(DVF)を0に設定する(図23Aの103 図23Bの113)。同様に、図23Aにおいて、論理アドレスLADの3番地の物理アドレス値(PAD)は3、有効フラグ値(CPVL D)は1、レイヤ番号LYCは0であり、ライトリクエストWQ9に伴い物理アドレスPADの3番地のデータを無効にする必要がある。そこで、情報処理回路MNGERは、物理アドレスPADの6番地の有効フラグ値(DVF)を0に設定する(図23Aの104 図23Bの114)。

【0228】

次に、情報処理回路MNGERは、書き込み物理アドレステーブルNXPADTBL1のエントリー番号ENUMの4番から9番までに格納されている書き込み物理アドレス値(NXPAD)およびレイヤ番号NXLYCを読み出し、論理アドレスLADの0番地、1番地、4番地、5番地、2番地および3番地にそれぞれ割り当てる。この例では、エントリー番号ENUMの4番から9番までに格納された書き込み物理アドレス値(NXPAD)は、それぞれ4、5、6、7、8および9であり、レイヤ番号NXLYCは、それぞれ1、1、1、1、1および1であるものとする。

【0229】

続いて、情報処理回路MNGERは、書き込み物理アドレス値(NXPAD)の4、5

10

20

30

40

50

、6、7、8および9に従い、調停回路A R Bとメモリ制御回路N V C T 1 0 ~ N V C T 1 7を通じて不揮発性メモリ装置N V M 1 0 ~ N V M 1 7に書き込みを行う。すなわち、不揮発性メモリ装置N V Mの物理アドレスP A Dの4番地へは、ライトリクエストW Q 4に対応する書き込みデータW D A T A 4、論理アドレス値(L A D = 0)、およびレイヤ番号(L Y C = 1)を書き込み、データ有効フラグ(D V F)値として1を書き込む。不揮発性メモリ装置N V Mの物理アドレスP A Dの5番地へは、ライトリクエストW Q 5に対応する書き込みデータW D A T A 5、論理アドレス値(L A D = 1)、およびレイヤ番号(L Y C = 1)を書き込み、データ有効フラグ(D V F)値として1を書き込む。

【0230】

また、情報処理回路M N G E Rは、不揮発性メモリ装置N V Mの物理アドレスP A Dの6番地へは、ライトリクエストW Q 6に対応する書き込みデータW D A T A 6、論理アドレス値(L A D = 4)、およびレイヤ番号(L Y C = 1)を書き込み、データ有効フラグ(D V F)値として1を書き込む。同様に、不揮発性メモリ装置N V Mの物理アドレスP A Dの7番地へは、ライトリクエストW Q 7に対応する書き込みデータW D A T A 7、論理アドレス値(L A D = 5)、およびレイヤ番号(L Y C = 1)を書き込み、データ有効フラグ(D V F)値として1を書き込む。

10

【0231】

さらに、情報処理回路M N G E Rは、不揮発性メモリ装置N V Mの物理アドレスP A Dの8番地へは、ライトリクエストW Q 8に対応する書き込みデータW D A T A 8、論理アドレス値(L A D = 2)、およびレイヤ番号(L Y C = 1)を書き込み、データ有効フラグ(D V F)値として1を書き込む。同様に、不揮発性メモリ装置N V Mの物理アドレスP A Dの9番地へは、ライトリクエストW Q 9に対応する書き込みデータW D A T A 9、論理アドレス値(L A D = 3)、およびレイヤ番号(L Y C = 1)を書き込み、データ有効フラグ(D V F)値として1を書き込む。

20

【0232】

図24Aおよび図24Bは、図1の制御回路M D L C T 0が不揮発性メモリ装置の第2物理アドレス領域P R N G 2へデータを書き込む際のアドレス変換テーブルL P T B Lの更新方法および不揮発性メモリ装置のデータ更新方法の一例を示す図である。ここでは、図23Aおよび図23Bの場合と同様に、アドレス変換テーブルL P T B Lおよび不揮発性メモリ装置N V Mの状態が示されている。

30

【0233】

アドレス変換テーブルL P T B Lは、論理アドレスL A Dに対応した物理アドレスP A Dと、当該物理アドレスの有効フラグC P V L Dおよびレイヤ番号L Y Cから構成される。また、このアドレス変換テーブルL P T B LはランダムアクセスメモリR A Mへ格納される。不揮発性メモリ装置には、物理アドレスP A Dに対応したデータD A T Aと、論理アドレスL A Dと、データ有効フラグD V Fと、レイヤ番号L Y Cが格納される。ここでは、レイヤ番号L Y Cは、全て“0”であるため図面からは省略している。

【0234】

図24Aは、時間T 0より後に、情報処理装置C P U __ C Pから制御回路M D L C T 0へ、論理アドレス領域L R N G 2へのライトリクエストW Q 0、W Q 1、W Q 2およびW Q 3が入力された後の状態が示されている。具体的には、これらのライトリクエストのデータが不揮発性メモリ装置の第2物理アドレス領域P R N G 2へ書き込まれた後の時間T 1における、アドレス変換テーブルL P T B Lおよび不揮発性メモリ装置に格納されるアドレス、データおよび有効フラグが示されている。

40

【0235】

ライトリクエストW Q 0には、16進数で論理アドレス値(L A D = “800000”)、データ書き込み命令(W R T)、セクタカウント値(S E C = 1)、書き込みデータ(D A T A 0)が含まれる。ライトリクエストW Q 1には、16進数で論理アドレス値(L A D = “800001”)、データ書き込み命令(W R T)、セクタカウント値(S E C = 1)、書き込みデータ(D A T A 1)が含まれる。ライトリクエストW Q 2には、1

50

6進数で論理アドレス値(LAD = “800002”)、データ書き込み命令(WRT)、セクタカウント値(SEC = 1)、書き込みデータ(DATA2)が含まれる。ライトリクエストWQ3には、16進数で論理アドレス値(LAD = “800003”)、データ書き込み命令(WRT)、セクタカウント値(SEC = 1)、書き込みデータ(DATA3)が含まれる。

【0236】

ライトリクエストWQ0、WQ1、WQ2およびWQ3が制御回路MDLCT0へ入力された際、インターフェース回路HOST_IFは、これらのライトリクエストをバッファBUF0へ転送する。次に、情報処理回路MNGERは、バッファBUF0へ格納されているライトリクエストWQ0、WQ1、WQ2およびWQ3を順に読み出す。この際に、情報処理回路MNGERは、メモリ制御装置RAMCを通じてランダムアクセスメモリRAMへ保存されているアドレス変換テーブルLPTBLを参照し、ライトリクエストWQ0、1、2および3に対応する各種情報を読み出す。具体的には、アドレス変換テーブルLPTBLの論理アドレスLADの“800000”番地、“800001”番地、“800002”番地および“800003”番地からそれぞれ物理アドレス値(PAD)および有効フラグCPVLDを読み出す。

10

【0237】

最初は、図12Aのように読み出された全ての有効フラグCPVLDは0であるため、論理アドレスLADの“800000”番地、“800001”番地、“800002”番地および“800003”番地には物理アドレスPADが割り当てられていないことが分かる。次に、情報処理回路MNGERは、ライトリクエストWQ0、1、2および3に対応して、図14に示すデータフォーマットに従い、不揮発性メモリ装置への書き込みデータWDATA0、1、2および3を生成する。書き込みデータWDATA0は、書き込みデータDATA0からなるメインデータDArea0とその冗長データRArea0から構成され、書き込みデータWDATA1は書き込みデータDATA1からなるメインデータDArea1とその冗長データRArea1から構成される。書き込みデータWDATA2は書き込みデータDATA2からなるメインデータDArea2とその冗長データRArea2から構成され、書き込みデータWDATA3は書き込みデータDATA3からなるメインデータDArea3とその冗長データRArea3から構成される。

20

【0238】

冗長データRArea0、1、2および3には、それぞれ、書き込みデータDATA0、1、2および3を用いて情報処理回路MNGERによって生成されたECCコードECC0、1、2および3が含まれる。さらに共通に、データ反転フラグ値(INVFLG = 0)、ライトフラグ値(WTFLG = 0)、ECCフラグ値(ECCFLG = 0)、ステート情報値(STATE = 1)、エリア情報値(AREA = 1)、バッドブロック情報値(BADBLK = 0)、予備領域値(RSV = 0)が含まれる。

30

【0239】

情報処理回路MNGERにより、書き込みデータWDATA0、1、2および3は、不揮発性メモリ装置の4つの物理アドレスへそれぞれ書き込まれる。この際に、情報処理回路MNGERは、ライトリクエストWQ0~WQ3に応じて書き込み物理アドレステーブルNXPADTBL2のエントリ番号ENUMの例えば16番から19番までに格納されている書き込み物理アドレスNXPADを読み出し、それらを各論理アドレスに割り当てる。ここでは、当該書き込み物理アドレス値(NXPAD)が、それぞれ、“2800000”、“2800001”、“2800002”および“2800003”であるものとして、情報処理回路MNGERは、これらを、論理アドレスLADの“800000”番地、“800001”番地、“800002”番地および“800003”番地にそれぞれ割り当てる。

40

【0240】

さらに、情報処理回路MNGERは、当該書き込み物理アドレス値(NXPAD)に従い、調停回路ARBとメモリ制御回路NVCT10~NVCT17を通じて、不揮発性メ

50

メモリ装置NVM10～NVM17に書き込みを行う。具体的には、不揮発性メモリ装置の物理アドレスPADの“2800000”番地へはライトリクエストWQ0に対応する書き込みデータWDATA0、論理アドレス値(LAD=“800000”)を書き込み、データ有効フラグDVFとして1を書き込む。不揮発性メモリ装置の物理アドレスPADの“2800001”番地へはライトリクエストWQ1に対応する書き込みデータWDATA1、論理アドレス値(LAD=“800001”)を書き込み、データ有効フラグDVFとして1を書き込む。

【0241】

また、情報処理回路MNGERは、不揮発性メモリ装置の物理アドレスPADの“2800002”番地へはライトリクエストWQ2に対応する書き込みデータWDATA2、論理アドレス値(LAD=“800002”)を書き込み、データ有効フラグDVFとして1を書き込む。同様に、不揮発性メモリ装置の物理アドレスPADの“2800003”番地へはライトリクエストWQ3に対応する書き込みデータWDATA3、論理アドレス値(LAD=“800003”)を書き込み、データ有効フラグDVFとして1を書き込む。

10

【0242】

最後に、情報処理回路MNGERは、メモリ制御回路RAMCを通じ、ランダムアクセスメモリRAMに保存されているアドレス変換テーブルLPTBLを更新する。具体的には、アドレス変換テーブルLPTBLにおける論理アドレスLADの“800000”番地へは、物理アドレス値(PAD=“2800000”)および有効フラグ値(CPVL D=1)を書き込む。また、論理アドレスLADの“800001”番地へは物理アドレス値(PAD=“2800001”)および有効フラグ値(CPVL D=1)を書き込む。同様に、論理アドレスLADの“800002”番地へは物理アドレス値(PAD=“2800002”)および有効フラグ値(CPVL D=1)を書き込み、論理アドレスLADの“800003”番地へは物理アドレス値(PAD=“2800003”)および有効フラグ値(CPVL D=1)を書き込む。

20

【0243】

図24Bには、時間T1より後に、情報処理装置CPU__CPから制御回路MDLCT0へ、ライトリクエストWQ4、WQ5、WQ6、WQ7、WQ8およびWQ9が入力された後の状態が示される。具体的には、これらのライトリクエストのデータが不揮発性メモリ装置の第2物理アドレス領域PRNG2へ書き込まれた後の時間T2における、アドレス変換テーブルLPTBLおよび不揮発性メモリ装置に格納されるアドレス、データおよび有効フラグが示されている。

30

【0244】

ライトリクエストWQ4には、論理アドレス値(LAD=“800000”)、データ書き込み命令(WRT)、セクタカウント値(SEC=1)、書き込みデータ(DATA4)が含まれる。ライトリクエストWQ5には、論理アドレス値(LAD=“800001”)、データ書き込み命令(WRT)、セクタカウント値(SEC=1)、書き込みデータ(DATA5)が含まれる。ライトリクエストWQ6には、論理アドレス値(LAD=“800004”)、データ書き込み命令(WRT)、セクタカウント値(SEC=1)、書き込みデータ(DATA6)が含まれる。ライトリクエストWQ7には論理アドレス値(LAD=“800005”)、データ書き込み命令(WRT)、セクタカウント値(SEC=1)、書き込みデータ(DATA7)が含まれる。ライトリクエストWQ8には、論理アドレス値(LAD=“800002”)、データ書き込み命令(WRT)、セクタカウント値(SEC=1)、書き込みデータ(DATA8)が含まれる。ライトリクエストWQ9には、論理アドレス値(LAD=“800003”)、データ書き込み命令(WRT)、セクタカウント値(SEC=1)、書き込みデータ(DATA9)が含まれる。

40

【0245】

ライトリクエストWQ4、WQ5、WQ6、WQ7、WQ8およびWQ9が制御回路M

50

D L C T 0へ入力された際、インターフェース回路H O S T _ I Fは、これらのライトリクエストをバッファB U F 0へ転送する。次に、情報処理回路M N G E Rは、バッファB U F 0へ格納されているライトリクエストW Q 4、W Q 5、W Q 6、W Q 7、W Q 8およびW Q 9を順に読み出す。続いて、情報処理回路M N G E Rは、図14に示すデータフォーマットに従い、ライトリクエストW Q 4、5、6、7、8および9にそれぞれ対応する不揮発性メモリ装置への書き込みデータW D A T A 4、5、6、7、8および9を生成する。

【0246】

書き込みデータW D A T A 4は、書き込みデータD A T A 4からなるメインデータD A r e a 4とその冗長データR A r e a 4から構成され、書き込みデータW D A T A 5は、書き込みデータD A T A 5からなるメインデータD A r e a 5とその冗長データR A r e a 5から構成される。書き込みデータW D A T A 6は、書き込みデータD A T A 6からなるメインデータD A r e a 6とその冗長データR A r e a 6から構成され、書き込みデータW D A T A 7は、書き込みデータD A T A 7からなるメインデータD A r e a 7とその冗長データR A r e a 7から構成される。書き込みデータW D A T A 8は、書き込みデータD A T A 8からなるメインデータD A r e a 8とその冗長データR A r e a 8から構成され、書き込みデータW D A T A 9は、書き込みデータD A T A 9からなるメインデータD A r e a 9とその冗長データR A r e a 9から構成される。

10

【0247】

冗長データR A r e a 4、5、6、7、8および9には、それぞれ、書き込みデータD A T A 4、5、6、7、8および9を用いて情報処理回路M N G E Rによって生成されたE C CコードE C C 4、5、6、7、8および9が含まれる。さらに、共通に、データ反転フラグ値(I N V F L G = 0)、ライトフラグ値(W T F L G = 0)、E C Cフラグ値(E C C F L G = 0)、ステート情報値(S T A T E = 1)、エリア情報値(A R E A = 1)、バッドブロック情報値(B A D B L K = 0)、予備領域値(R S V = 0)が含まれる。

20

【0248】

情報処理回路M N G E Rにより、書き込みデータW D A T A 4、5、6、7、8および9は、不揮発性メモリ装置の6つの物理アドレスへそれぞれ書き込まれる。この際に、情報処理回路M N G E Rは、メモリ制御回路R A M Cを通じてランダムアクセスメモリR A Mに保存されているアドレス変換テーブルL P T B Lを参照し、ライトリクエストW Q 4、5、6、7、8および9に対応する各種情報をそれぞれ読み出す。具体的には、アドレス変換テーブルL P T B Lの論理アドレスL A Dの“800000”番地、“800001”番地、“800004”番地、“800005”番地、“800002”番地および“800003”番地から、それぞれ物理アドレスP A Dおよび有効フラグC P V L Dを読み出す。

30

【0249】

図24Aのアドレス変換テーブルL P T B Lにおいて、論理アドレスL A Dの“800000”番地の物理アドレス値(P A D)は“2800000”、有効フラグ値(C P V L D)は1であり、論理アドレスL A Dの“800000”番地へのライトリクエストW Q 4に伴い、既に書き込まれている物理アドレスのデータを無効にする必要がある。そこで、情報処理回路M N G E Rは、物理アドレスP A Dの“2800000”番地の有効フラグD V Fを0に設定する(図24Aの201 図24Bの211)。同様に、図24Aの論理アドレスL A Dの“800001”番地の物理アドレス値(P A D)は“2800001”、有効フラグ値(C P V L D)は1であり、ライトリクエストW Q 5に伴い、既に書き込まれている物理アドレスのデータを無効にする必要がある。そこで、情報処理回路M N G E Rは、物理アドレスP A Dの“2800001”番地の有効フラグD V Fを0に設定する(図24Aの202 図24Bの212)。

40

【0250】

一方、図24Aのアドレス変換テーブルL P T B Lにおいて、ライトリクエストW Q 6

50

に伴う論理アドレスLADの“800004”番地の物理アドレス値(PAD)は0、有効フラグ値(CPVL D)は0であり、論理アドレスLAD“800004”番地には、物理アドレスPADが割り当てられていないことが分かる。同様に、ライトリクエストWQ7に伴う論理アドレスLADの“800005”番地の物理アドレス値(PAD)は0、有効フラグ値(CPVL D)は0であり、論理アドレスLADの“800005”番地には、物理アドレスPADが割り当てられていないことが分かる。

【0251】

また、図24Aのアドレス変換テーブルLPTBLにおいて、論理アドレスLADの“800002”番地の物理アドレス値(PAD)は“2800002”、有効フラグ値(CPVL D)は1であり、論理アドレスLADの“800002”番地へのライトリクエストWQ8に伴い既に書き込まれている物理アドレスを無効にする必要がある。そこで、情報処理回路MNGERは、物理アドレスPADの“2800002”番地の有効フラグ値(DVF)を0に設定する(図24Aの203 図24Bの213)。同様に、図24Aにおける論理アドレスLADの“800003”番地の物理アドレス値(PAD)は“2800003”、有効フラグ値(CPVL D)は1であり、ライトリクエストWQ9に伴い既に書き込まれている物理アドレスのデータを無効にする必要がある。そこで、情報処理回路MNGERは、物理アドレスPADの“2800003”番地の有効フラグ値(DVF)を0に設定する(図24Aの204 図24Bの214)。

【0252】

次に、情報処理回路MNGERは、ライトリクエストWQ4~WQ9に応じて書き込み物理アドレステーブルNXPADTBL2のエントリー番号ENUMの20番から25番までに格納されている書き込み物理アドレスNXPADを読み出し、それらを各論理アドレスに割り当てる。ここでは、当該書き込み物理アドレス値(NXPAD)が、それぞれ“2800004”、“2800005”、“2800006”、“2800007”、“2800008”および“2800009”であるものとする。そして、それらが論理アドレスLADの“800000”番地、“800001”番地、“800004”番地、“800005”番地、“800002”番地および“800003”番地にそれぞれ割り当てられる。

【0253】

続いて、情報処理回路MNGERは、これらの物理アドレスの割り当てに従って、調停回路ARBおよびメモリ制御回路NVCT10~NVCT17を通じて不揮発性メモリ装置NVM10~NVM17に書き込みを行う。具体的には、不揮発性メモリ装置NVMの物理アドレスPADの“2800004”番地へはライトリクエストWQ4に対応する書き込みデータWDATA4、論理アドレス値(LAD=“800000”)が書き込まれ、データ有効フラグDVFに1が書き込まれる。物理アドレスPADの“2800005”番地へはライトリクエストWQ5に対応する書き込みデータWDATA5、論理アドレス値(LAD=“800001”)が書き込まれ、データ有効フラグDVFに1が書き込まれる。

【0254】

同様にして、物理アドレスPADの“2800006”番地へは、ライトリクエストWQ6に対応する書き込みデータWDATA6、論理アドレス値(LAD=“800004”)が書き込まれ、データ有効フラグDVFに1が書き込まれる。物理アドレスPADの“2800007”番地へは、ライトリクエストWQ7に対応する書き込みデータWDATA7、論理アドレス値(LAD=“800005”)が書き込まれ、データ有効フラグDVFに1が書き込まれる。物理アドレスPADの“2800008”番地へは、ライトリクエストWQ8に対応する書き込みデータWDATA8、論理アドレス値(LAD=“800002”)が書き込まれ、データ有効フラグDVFに1が書き込まれる。物理アドレスPADの“2800009”番地へは、ライトリクエストWQ9に対応する書き込みデータWDATA9、論理アドレス値(LAD=“800003”)が書き込まれ、データ有効フラグDVFに1が書き込まれる。そして、最後に、情報処理回路MNGERは、

メモリ制御回路RAMCを通じ、ランダムアクセスメモリRAMに保存されているアドレス変換テーブルLPTBLを図24Bに示されるような状態に更新する。

【0255】

《メモリモジュール(半導体装置)の読み出し動作》

図25は、図1の情報処理装置CPU_CPからメモリモジュールNVMMD0へリードリクエスト(RQ)が入力された際に、メモリモジュールNVMMD0が行うデータ読み出し動作の一例を示すフロー図である。まず、情報処理装置CPU_CPから論理アドレス値(例えばLAD=0)、データ読み出し命令(RD)、セクタカウント値(SEC=1)が含まれるリードリクエスト(RQ)が制御回路MDLCT0へ入力される。これを受けて、インターフェース回路HOST_IFは、リードリクエスト(RQ)に埋め込まれているクロック情報を取り出し、シリアルデータ化されたリードリクエスト(RQ)をパラレルデータへ変換し、バッファBUF0および情報処理回路MNGERへ転送する(Step61)。

10

【0256】

次に、情報処理回路MNGERは、論理アドレス値(LAD=0)、データ読み出し命令(RD)およびセクタカウント値(SEC=1)を解釈し、ランダムアクセスメモリRAMへ保存されているアドレス変換テーブルLPTBLを参照して、各種情報を読み出す。具体的には、アドレス変換テーブルLPTBLにおいて、論理アドレスLADの0番地に格納されている物理アドレス値PAD(例えばPAD=0)と、この物理アドレスPADに対応した有効フラグCPVLDおよびレイヤ番号LYCを読み出す(Step62)。

20

【0257】

もし、有効フラグCPVLDが0の場合、情報処理回路MNGERは、当該論理アドレス値(LAD=0)には物理アドレスPADが割り当てられていないことを認識する。この場合、不揮発性メモリ装置NVMからデータを読み出すことができないため、情報処理回路MNGERは、エラーが発生したことをインターフェース回路HOST_IFを通じて情報処理装置CPU_CPへ伝える(Step65)。

【0258】

もし、有効フラグCPVLD値が1の場合、情報処理回路MNGERは、当該論理アドレス値(LAD=0)には物理アドレス値PAD(PAD=0)が対応していると判断する。論理アドレス値(LAD=0)に対応している物理アドレス値PAD(PAD=0)が、第1物理アドレス領域PRNG1内のアドレスであれば、物理アドレス値PAD(PAD=0)と、物理アドレス値CPAD(CPAD=0)と、レイヤ番号LYCは、図22Aに示した不揮発性メモリ装置NVMのチップアドレスCHIPAと、バンクアドレスBKと、ロウアドレスROWと、カラムアドレスCOLへ変換される。一方、論理アドレス値(LAD=0)に対応している物理アドレス値(PAD=0)が、第2物理アドレス領域PRNG2内のアドレスであれば、物理アドレス値PAD(PAD=0)と、物理アドレス値CPAD(CPAD=0)は、図22Bに示した不揮発性メモリ装置NVMのチップアドレスCHIPAと、バンクアドレスBKと、ロウアドレスROWと、カラムアドレスCOLへ変換される。

30

40

【0259】

さらに、物理アドレス値PAD(PAD=0)と、物理アドレス値CPADと、レイヤ番号LYCとから変換された不揮発性メモリ装置NVMのチップアドレスCHIPAと、バンクアドレスBKと、ロウアドレスROWおよびカラムアドレスCOLは、調停回路ARBおよびメモリ制御回路NVCTを通じて不揮発性メモリ装置NVMへ入力される。そして、図22Cに示した動作にしたがって、不揮発性メモリ装置NVMに格納されたデータ(RDATA0)が読み出される。データ(RDATA0)には、メインデータDArea0と冗長データRArea0が含まれ、さらに冗長データRArea0には、ライトフラグWTF LGおよびECCコードECC0が含まれる(Step64)。

50

【0260】

次に、情報処理回路MNGERは、不揮発性メモリNVMへ格納されているSSDコンフィグレーション情報(SDCFG)内の論理アドレス領域LRNGと、この論理アドレス領域LRNGに対応したライト方法選択情報WRTFLG(図13)を読み出す。そして、論理アドレス値(LAD=0)がどの論理アドレス領域LRNGに属するかを調べ、これに対応したライト方法選択情報WRTFLGを求める。さらに、ライト方法選択情報WRTFLGの値が1かどうかをチェックする(Step66)。

【0261】

ライト方法選択情報WRTFLGの値が1であれば、情報処理回路MNGERは、メインデータDArea0およびECCコードECC0の各ビットを反転させ、メインデータ(/DArea0)およびECCコード(/ECC0)を生成する(Step67)。その後、情報処理回路MNGERは、ECCコード(/ECC0)を利用して、メインデータ(/DArea0)にエラーがあるかチェックし、エラーがあれば訂正を行い(Step68)、インターフェース回路HOST_IFを通じて情報処理装置CPU_CPへ転送する(Step69)。

10

【0262】

一方、ライト方法選択情報WRTFLG値が1でなければ、情報処理回路MNGERは、ECCコードECC0を利用して、メインデータDArea0にエラーがあるかチェックし、エラーがあれば訂正を行い(Step68)、インターフェース回路HOST_IFを通じて情報処理装置CPU_CPへ転送する(Step69)。

20

【0263】

《ライト方法選択情報に応じたメモリモジュール(半導体装置)の書き込み動作》

図26は、図13Bに示されるSSDコンフィグレーション情報(SDCFG)を例として、ライト方法選択情報(WRTFLG)に応じたメモリモジュールの書き込み動作の一例を示すフロー図である。図13Bの例では、論理アドレス領域LRNG1のライト方法選択情報WRTFLGは0へ設定され、論理アドレス領域LRNG2のライト方法選択情報WRTFLGは1に設定されている。特に限定しないが、セット状態のメモリセルは“1”のビットデータを表し、リセット状態のメモリセルは“0”のビットデータを表す。

【0264】

まず、情報処理装置CPU_CPから論理アドレス値(LAD)、データ書き込み命令(WRT)、セクタカウント値(SEC=1)、512バイトの書き込みデータ(DATA0)が含まれるライトリクエスト(WQ01)がインターフェース回路HOST_IFを通じて情報処理回路MNGERへ入力される(Step71)。情報処理回路MNGERは、ランダムアクセスメモリRAMへ格納されたアドレスマップ範囲(ADMAP)を利用し、論理アドレス値(LAD)が、論理アドレス領域LRNG1内の論理アドレス値であるか、あるいは、論理アドレス領域LRNG2内の論理アドレス値であるかを判断し、それぞれの論理アドレス領域LRNG1およびLRNG2のライト方法選択情報WRTFLGをチェックする(Step72)。

30

【0265】

情報処理回路MNGERは、ライトリクエスト(WQ01)に含まれる論理アドレス値(LAD)が論理アドレス領域LRNG1内の論理アドレスLADであれば、論理アドレス領域LRNG1のライト方法選択情報WRTFLGが0に設定されているので、Step76に進んで不揮発性メモリ装置に対する書き込みを行う。すなわち、書き込みデータ(DATA0)および書き込みデータ(DATA0)に対応する冗長データ(RArea0)は、図16の第1物理アドレス領域PRNG1内の「」で示される複数のチェーンメモリアレイ内のうち、メモリセル選択線で選択された1個のメモリセルへ書き込まれる(Step76)。

40

【0266】

一方、情報処理回路MNGERは、ライトリクエスト(WQ01)に含まれる論理アド

50

レス値 (LAD) が論理アドレス領域 LRNG 2 内の論理アドレス LAD であれば、論理アドレス領域 LRNG 2 のライト方法選択情報 WRTFLG が 1 へ設定されているので、Step 73 から Step 76 を実行する。すなわち、情報処理回路 MNGER は、Step 73 で、512 バイト (512 × 8 ビット) の書き込みデータ (DATA0) の中で、“0” のビットデータおよび “1” のビットデータを数え (Step 73)、“0” のビットデータの数と “1” のビットデータの数を比較する (Step 74)。次に、情報処理回路 MNGER は、“0” のビットデータの数が “1” のビットデータの数より大きい場合は、書き込みデータ (DATA0) の各ビットを反転させ (Step 75)、Step 76 に進んで当該反転データを不揮発性メモリ装置に書き込む。すなわち、図 16 の第 2 物理アドレス領域 PRNG 2 内の「 」で示される複数のチェーンメモリアレイ内の各メモリセルに対して書き込みを行う (Step 76)。

10

【0267】

このように、書き込みデータ (DATA0) の各ビットを反転させることで、“0” のビットデータの数は、512 バイト (512 × 8 ビット) の内、常に 2048 ビット (= 4096 / 2) 以下となる。これにより、書き込みデータ中の “1” のビットデータの数が常に 1 / 2 以下となり、書き込むデータ量を半減できる。すなわち、前述したように、メモリセルへ 512 バイト (512 × 8 ビット) データを書き込む際には、一旦、512 バイト (512 × 8 ビット) のメモリセルがセット状態にされ (“1” ビットデータに消去され)、その後、必要なメモリセルがリセット状態へ書き換えられる (“0” ビットデータに書き込まれる)。この際に、図 16 の第 2 物理アドレス領域 PRNG 2 内の「 」で示される複数のチェーンメモリアレイ内において、“0” のビットデータを半数のメモリセルへ書き込むだけで良いので、高速且つ低電力の SSD を実現できる。

20

【0268】

また、図 26 の Step 72 において、仮に入力された論理アドレス値 (LAD) が含まれる論理アドレス領域を対象として、ライト方法選択情報 WRTFLG が 2 に設定されている場合、情報処理回路 MNGER は、Step 77 ~ Step 79 を実行する。すなわち、情報処理回路 MNGER は、当該論理アドレス値 (LAD) に対応する不揮発性メモリ装置の物理アドレスから一旦データを読み出し (Step 77)、当該読み出されたデータと入力された書き込みデータ (DATA0) とを各ビット毎に比較する (Step 78)。そして、この比較結果により、データが異なるビットのみを対象として不揮発性メモリ装置に対する書き込みを行う (Step 79)。

30

【0269】

なお、上記の書き込み方法では、図 13B を例として、論理アドレス領域 LRNG 1 のライト方法選択情報 WRTFLG は 0 に設定され、論理アドレス領域 LRNG 2 のライト方法選択情報 WRTFLG は 1 に設定されている場合について説明した。ただし、勿論、この場合に限らず、論理アドレス領域 LRNG 1 のライト方法選択情報 WRTFLG が 1 に設定された場合でも、同様の効果があるのはいうまでもない。

【0270】

《ウエアレベリング方法 [2]》

図 27 は、図 21 の場合に加えて図 2 の情報処理回路 MNGER が実行するウエアレベリング方法の一例を示すフロー図である。図 11 に示したように、情報処理回路 MNGER は、書き込み物理アドレステーブル NXPADTBL の中で、エン트리番号 0 から (N / 2 - 1) までの N / 2 個分を書き込み物理アドレステーブル NXPADTBL1 とし、エン트리番号 (N / 2) から N までの残りの N / 2 個分を書き込み物理アドレステーブル NXPADTBL2 として管理する。図 21 で説明したように、当該書き込み物理アドレステーブル NXPADTBL を図 10A の物理セグメントテーブル PSEG TBL1 を用いて更新することによるダイナミックウエアレベリングは、無効状態の物理アドレスを対象とした動的な消去回数の平準化方法である。

40

【0271】

しかしながら、ダイナミックウエアレベリングは、無効状態の物理アドレスが対象とな

50

るため、全体的に、無効状態の物理アドレスの消去回数と有効状態の物理アドレスの消去回数との差が段々と拡大していく場合がある。例えば、ある論理アドレス（それに対応する物理アドレス）に書き込みが行われたのち、当該物理アドレスが有効状態となり、その後、長期間に渡って当該論理アドレス（それに対応する物理アドレス）に対して書き込み命令が生じなかった場合、当該物理アドレスは、長期間に渡ってウエアレベリングの対象から外されることになる。そこで、図2の情報処理回路MNGERは、図27に示すように、無効状態の物理アドレスの消去回数と有効状態の物理アドレスの消去回数のバラツキを抑える静的な消去回数の平準化方法（スタティックウエアレベリング）を実行する。

【0272】

情報処理回路MNGERは、図15のアドレス範囲マップ（ADMAMP）における第1物理アドレス領域PRNG1および第2物理アドレス領域PRNG2の範囲内のそれぞれで、図27に示す静的な消去回数の平準化方法を行う。まず、情報処理回路MNGERは無効物理アドレスに関する物理セグメントテーブルPSEGTBL1（図10A）内で最大消去回数MXERCの中の最大値MXERCmxと、有効物理アドレスに関する物理セグメントテーブルPSEGTBL2（図10B）内で最小消去回数MNERCの中の最小値MNERCmnを検出する。そして、この最大値MXERCmxと最小値MNERCmnの差DIFF（=MXERCmx - MNERCmn）を求める（Step51）。

【0273】

次のStep52で、情報処理回路MNGERは、無効状態の物理アドレスの消去回数と、有効状態の物理アドレスの消去回数の差の閾値DERCthを設定し、この閾値DERCthと消去回数差DIFFを比較する。消去回数差DIFFが閾値DERCthより大きい場合、情報処理回路MNGERは、消去回数の平準化を行うためStep53を行い、小さい場合はStep58を行う。Step58において、情報処理回路MNGERは、物理セグメントテーブルPSEGTBL1又はPSEGTBL2が更新されたか否かを判定し、更新された場合はStep51にて再度、消去回数差DIFFを求め、いずれの物理セグメントテーブルも更新されていない場合は、再度Step58を行う。

【0274】

Step53で、情報処理回路MNGERは、有効物理アドレスに関する物理セグメントテーブルPSEGTBL2内の最小消去回数MNERCの中で最も小さな消去回数から順にm個分の物理アドレスSPAD1～SPADmを選択する。Step54では、情報処理回路MNGERは、無効物理アドレスに関する物理セグメントテーブルPSEGTBL1内の最大消去回数MXERCの中で最も大きな消去回数から順にm個分の物理アドレスDPAD1～DPADmを候補として選択する。

【0275】

Step55では、情報処理回路MNGERは、候補とされた物理アドレスDPAD1～DPADmが、書き込み物理アドレステーブルNXPADTBLへ登録されているかを調べる。もし、候補とされた物理アドレスDPAD1～DPADmのいずれかが、書き込み物理アドレステーブルNXPADTBLに登録されていれば、Step59においてこの物理アドレスDPAD1～DPADmのいずれを候補から除外し、再度Step54で候補の補充を行う。もし、選択された物理アドレスDPAD1～DPADmが、書き込み物理アドレステーブルNXPADTBLへ登録されていなければStep56を行う。

【0276】

Step56では、情報処理回路MNGERは、不揮発性メモリ装置内における物理アドレスSPAD1～SPADmのデータを物理アドレスDPAD1～DPADmへ移動させる。Step57では、情報処理回路MNGERは、物理アドレスSPAD1～SPADmのデータを物理アドレスDPAD1～DPADmへ移動させたことにより、更新する必要のある全テーブルを更新する。

【0277】

このようなスタティックウエアレベリングを図21に示したダイナミックウエアレベリングと併用することで、不揮発性メモリ装置NVM10～NVM17全体で消去回数の平

10

20

30

40

50

準化を図ることが可能となる。なお、この例では、 m 個分の物理アドレスのデータを移動した例を示したが、 m の値は、目標性能に応じて情報処理回路MNGERによってプログラム可能であり、書き込み物理アドレステーブルNXPADTBLの登録数 N とすると例えば $1 \leq m \leq N$ に設定すると良い。

【0278】

《パイプライン書き込み動作》

図28は、図1の情報処理装置CPU_CPからメモリモジュールNVMMDOへ連続してライトリクエストが発生した際に、メモリモジュールNVMMDO内部でパイプライン的に実行されるデータ書き込み動作の一例を示す図である。特に限定しないが、図2の制御回路MDLCTO内のバッファBUF0～BUF3には、それぞれ $N \times 512$ バイトの書き込みデータが格納できる。

10

【0279】

図28に示すバッファ転送動作WTBUF0、1、2および3では、ライトリクエストWQがバッファBUF0、1、2および3へそれぞれ転送される。事前準備動作PREOP0、1、2および3では、バッファBUF0、1、2および3に転送された書き込みデータをそれぞれ不揮発性メモリ装置NVMへ書き込むための事前準備動作が行われる。データ書き込み動作WTNVM0、1、2および3では、バッファBUF0、1、2および3に格納された書き込みデータが、それぞれ不揮発性メモリ装置NVMへ書き込まれる。

【0280】

バッファ転送動作WTBUF0、1、2および3と、事前準備動作PREOP0、1、2および3と、データ書き込み動作WTNVM0、1、2および3は、図28に示すように、制御回路MDLCTOによるパイプライン動作によって実行される。これにより、書き込み速度を向上させることが可能となる。具体的には、以下のようなパイプライン動作が行われる。

20

【0281】

時間 T_0 から T_2 の期間に発生した N 回のライトリクエスト($WQ[1] \sim WQ[N]$)はインターフェース回路HOST_IFにおいて、まず、バッファBUF0へ転送される($WTBUF0$)。バッファBUF0へ書き込みデータが格納できなくなると、時間 T_2 から T_4 の期間に発生した N 回のライトリクエスト($WQ[N+1] \sim WQ[2N]$)はバッファBUF1へ転送される($WTBUF1$)。バッファBUF1へ書き込みデータが格納できなくなると、時間 T_4 から T_6 の期間に発生した N 回のライトリクエスト($WQ[2N+1] \sim WQ[3N]$)はバッファBUF2へ転送される($WTBUF2$)。バッファBUF2へ書き込みデータが格納できなくなると、時間 T_6 から T_8 の期間に発生した N 回のライトリクエスト($WQ[3N+1] \sim WQ[4N]$)はバッファBUF3へ転送される($WTBUF3$)。

30

【0282】

情報処理回路MNGERは、時間 T_1 から T_3 の期間において、バッファBUF0に格納されている書き込みデータを不揮発性メモリ装置NVMへ書き込むための事前準備(PREOP0)を行う。情報処理回路MNGERが行う事前準備動作PREOP0の主な動作内容を以下に示す。なお、他の事前準備動作PREOP1、2、3も当該事前準備動作PREOP0と同様の動作となる。

40

(1) ライトリクエスト($WQ[1] \sim WQ[N]$)へ含まれる論理アドレスLAD値を利用し、アドレス変換テーブルLPTBLから物理アドレスPADを読み出し、必要に応じてこの物理アドレスPADの有効フラグ(CPVL D, PVLD, DVF)値を0にし、データを無効にする。

(2) アドレス変換テーブルLPTBLを更新する。

(3) 書き込み物理アドレステーブルNXPADTBLに格納されている書き込み物理アドレスNXPADを読み出し、この書き込み物理アドレスNXPADへライトリクエスト($WQ[1] \sim WQ[N]$)に含まれる論理アドレスLADを割り当てる。

(4) 物理セグメントテーブルPSEGTBLを更新する。

50

(5) 物理アドレステーブル P A D T B L を更新する。

(6) 次の書き込みに備えて、書き込み物理アドレステーブル N X P A D T B L を更新する。

【0283】

次に、情報処理回路 M N G E R は、時間 T 3 から T 5 の期間において、バッファ B U F 0 に格納されている書き込みデータを不揮発性メモリ装置 N V M へ書き込む (W T N V M 0)。この際に、データが書き込まれた不揮発性メモリ装置 N V M の物理アドレスは、上記 (3) での書き込み物理アドレス N X P A D 値と等しい。他のデータ書き込み動作 W T N V M 1、2、3 もデータ書き込み動作 W T N V M 0 と同様の動作となる。

【0284】

《まとめ》

これまでの説明を反映して、本実施の形態によって得られる代表的な構成を纏めると以下ようになる。

【0285】

(1) 本実施の形態による半導体装置は、複数のメモリセルを含む不揮発性メモリ部と、当該不揮発性メモリ部へのアクセスを制御する制御回路とを有する。当該不揮発性メモリ部は、複数の第1信号線と、複数の第1信号線と交差する複数の第2信号線との交点に配置される複数のメモリセル群を有し、複数のメモリセル群は第1から第Nのメモリセルを有し、第1から第Nのメモリセルは、第1から第Nの第3信号線に接続される。ここで、制御回路は、1回のデータ書き込み動作の際、第1から第Nのメモリセルの中でM個 (M < N) のメモリセルへデータを書き込む。

【0286】

(2) 前記 (1) の構成において、制御回路は、1回のデータ読み出し動作の際、第1から第Nのメモリセルの中でM個 (M < N) のメモリセルからデータを読み出す。

【0287】

(3) 前記 (1) の構成において、制御回路は、Mの値をプログラム可能である。

【0288】

(4) 前記 (1) の構成において、第1から第Nのメモリセルは直列に接続されている。

【0289】

(5) 前記 (4) の構成において、第1から第Nのメモリセルの各々は、選択トランジスタと抵抗性記憶素子とを有し、選択トランジスタと抵抗性記憶素子とは並列に接続されている。

【0290】

(6) 前記 (1) の構成において、制御回路は、不揮発性メモリ部の第1のアドレス毎に、第1番から第N番までの番号の中で、いずれかの番号を持つメモリセル選択番号を保持し、データ書き込みの際は、第1から第Nのメモリセルの中で、メモリセル選択番号にて指定されたメモリセルが選択され、当該選択されたメモリセルへデータを書き込む。

【0291】

(7) 前記 (1) の構成において、制御回路は、不揮発性メモリ部の第1のアドレス毎に、第1番から第N番までの番号の中で、いずれかの番号を持つメモリセル選択番号を保持し、データ読み出しの際は、第1から第Nのメモリセルの中で、メモリセル選択番号にて指定されたメモリセルが選択され、当該選択されたメモリセルからデータを読み出す。

【0292】

(8) 前記 (6) の構成において、不揮発性メモリ部の第1のアドレスが保持するメモリセル選択番号は、制御回路の外部から与えられる第2のアドレスに対応して同一となる第1のアドレスが割り当てられるたびに、制御回路によって、第1番から第N番まで順に変更される。

【0293】

(9) また、本実施の形態による半導体装置は、複数のメモリセルを含む不揮発性メモ

10

20

30

40

50

リ部と、当該不揮発性メモリ部へのアクセスを制御する制御回路とを有する。不揮発性メモリ部は、複数のワード線と、複数のワード線と交差する複数のビット線との交点に配置される複数のメモリセル群を有する。複数のメモリセル群の各々は、直列接続された第1から第Nのメモリセルを有し、第1から第Nのメモリセルの各々は、選択トランジスタと抵抗性記憶素子とを有し、選択トランジスタと抵抗性記憶素子とは並列に接続されている。第1から第Nのメモリセルにおける選択トランジスタのゲート電極は第1から第Nゲート線に接続される。ここで、制御回路は、1回のデータ書き込み動作の際、第1から第Nのメモリセルの全メモリセルへデータを書き込む。

【0294】

(10)前記(9)の構成において、制御回路は、1回のデータ読み出し動作の際、第1から第Nのメモリセルの全メモリセルからデータを読み出す。

10

【0295】

(11)前記(1)または(9)の構成において、制御回路は、第1から第Nのメモリセルの中で、データを書き込まれたメモリセルのデータを読み出し、当該データが正しく書き込まれたかを検証する。

【0296】

(12)また、本実施の形態による半導体装置は、複数のメモリセルを含む不揮発性メモリ部と、当該不揮発性メモリ部へのアクセスを制御する制御回路とを有する。不揮発性メモリ部は、複数のワード線と、複数のワード線と交差する複数のビット線との交点に配置される複数のメモリセル群を有し、複数のメモリセル群の各々は、直列接続された第1から第Nのメモリセルを有する。第1から第Nのメモリセルの各々は、選択トランジスタと抵抗性記憶素子とを有し、選択トランジスタと抵抗性記憶素子とは並列に接続され、第1から第Nのメモリセルにおける選択トランジスタのゲート電極は第1から第Nゲート線に接続される。ここで、制御回路は、不揮発性メモリ部に対して第1のアドレス領域と第2のアドレス領域を設定できる。第1のアドレス領域は、1回のデータ書き込み動作の際、第1から第Nのメモリセルの中でM個($M < N$)のメモリセルへデータを書き込むことができる領域であり、第2のアドレス領域は、1回のデータ書き込み動作の際、第1から第Nのメモリセルの全メモリセルへデータを書き込むことができる領域である。

20

【0297】

(13)前記(12)の構成において、制御回路は、第1のアドレス領域と、第2のアドレス領域の大きさをプログラム可能である。

30

【0298】

(14)前記(1)の構成において、制御回路は、1回のデータ書き込み動作の際、第1から第Nのメモリセルの全メモリセルへ“1”のデータを書き込んだ後、第1から第Nのメモリセルの中のM個($M < N$)のメモリセルの内“0”のデータのみを書き込む。

【0299】

(15)前記(12)の構成において、“1”のデータは、抵抗性記憶素子を低抵抗に設定し、“0”のデータは抵抗性記憶素子を高抵抗に設定する。

【0300】

(16)前記(1)の構成において、抵抗性記憶素子はカルコゲナイド材料で形成される。

40

【0301】

(17)本実施の形態による半導体装置は、複数のメモリセルを含む不揮発性メモリ部と、当該不揮発性メモリ部へのアクセスを制御する制御回路とを有する。ここで、制御回路は、不揮発性メモリ部の第1のアドレスに対応する第1領域情報と、当該第1領域情報に対するメモリ容量情報、書き込みメモリセル数情報、テストモード情報、最小消去データサイズ情報、最小書き込みデータサイズ情報、テスト領域情報、エラー検出訂正データサイズ情報、書き込み方法選択情報を含む第1のコンフィグレーション情報とを記憶する記憶領域を有する。

【0302】

50

(18) 前記(17)の構成において、第1のコンフィグレーション情報はプログラム可能である。

【0303】

(19) 前記(17)の構成において、制御回路は、第1のコンフィグレーション情報の一部を利用し、不揮発性メモリ部の第1のアドレスと制御回路の外部から与えられる第3のアドレスとの対応付けを行うアドレスマップを決定する。

【0304】

(20) 前記(17)の構成において、制御回路は、電源が投入された直後に、アドレスマップを決定する。

【0305】

(21) 前記(17)の構成において、制御回路は、不揮発性メモリ部の第2のアドレスに対応する第2領域情報と、当該第2領域情報に対するメモリ容量情報、書き込みメモリセル数情報、テストモード情報、最小消去データサイズ情報、最小書き込みデータサイズ情報、テスト領域情報、エラー検出訂正データサイズ情報、書き込み方法選択情報を含む第2のコンフィグレーション情報とを記憶する記憶領域を有する。

【0306】

(22) 前記(21)の構成において、制御回路は、第1及び第2のコンフィグレーション情報の一部を利用し、第1領域情報と第2領域情報のそれぞれに対応する不揮発性メモリ装置の複数のメモリセルに対して書き込み許可領域を決定する。

【0307】

また、以上に説明した実施の形態によって得られる主な効果は以下の通りである。

【0308】

第1に、図17等で述べたように、相変化メモリのチェインメモリアレイを構成するn個のメモリセルの内のj個($j < n$)のメモリセルへデータが書き込まれる第1領域を設け、入力された1個の論理アドレスに対して不揮発性メモリ装置の物理アドレスを n/j 個割り当てることで、高信頼で長寿命なメモリモジュール(半導体装置)を実現できる。

【0309】

第2に、図18等で述べたように、相変化メモリのチェインメモリアレイを構成するn個のメモリセルの全部へデータが書き込まれる第2領域を設け、入力された1個の論理アドレスに対して不揮発性メモリ装置の物理アドレスを1個割り当てることで、低コストかつ大容量なメモリモジュール(半導体装置)を実現できる。

【0310】

第3に、図19等で述べたように、前述した第1領域のチェインメモリアレイ上のn個のメモリセルの中で、データが書き込まれるメモリセルの数を可変に設定できるように構成することで、第1領域と第2領域の容量を可変に設定できるため、不揮発性メモリ装置を利用する情報処理システムの要求仕様に柔軟に対応できる。

【0311】

第4に、図13A、図13Bおよび図13C等で述べたように、SDDコンフィグレーション情報(SDCFG)はプログラム可能なため、情報処理システムへの要求仕様に

【0312】

第5に、図26等で述べたように、ライト方法選択情報等を用いてデータを圧縮することで、書き込みデータサイズを削減できるため、書き込み速度の向上が図れる。

【0313】

第6に、図28等で述べたように、ライトリクエストのバッファへの格納と、書き込み事前準備と、相変化メモリへの書き込み動作をパイプライン的に処理することで、高性能な情報処理システムを実現できる。

【0314】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発

10

20

30

40

50

明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。例えば、前述した実施の形態は、本発明を分かり易く説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施の形態の構成の一部を他の実施の形態の構成に置き換えることが可能であり、また、ある実施の形態の構成に他の実施の形態の構成を加えることも可能である。また、各実施の形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

【 0 3 1 5 】

例えば、ここでは、主に相変化メモリを代表に説明を行ったが、R e R A M (Resistive RAM) 等を含めて抵抗変化型のメモリであれば、同様に適用して同様の効果が得られる。また、前述した第1領域(第1動作モード)と第2領域(第2動作モード)を設けることに伴う各種効果は、抵抗変化型のメモリに限らず、例えばN A N D型フラッシュメモリ等を用いた場合であっても、ある程度得ることが可能である。

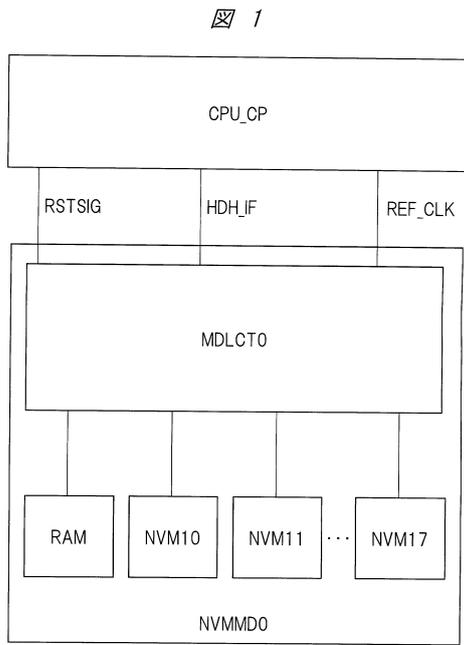
【符号の説明】

【 0 3 1 6 】

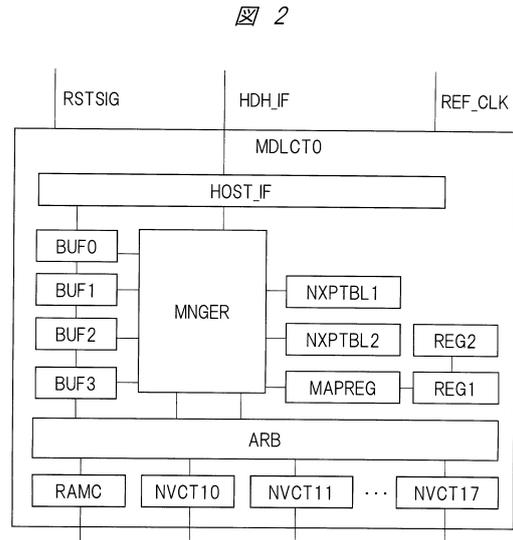
A D C M D I F	アドレス・コマンドインターフェース回路	
A R B	調停回路	
A R Y	メモリアレイ	
B K	メモリバンク	
B L	ビット線	20
B S W	ビット線選択回路	
B U F	バッファ	
C A D L T	カラムアドレスラッチ	
C H	チェイン制御線	
C H D E C	チェインデコーダ	
C H L T	チェイン選択アドレスラッチ	
C L	相変化メモリセル	
C O L D E C	カラムデコーダ	
C P A D	物理アドレス	
C P U _ C P	情報処理装置(プロセッサ)	30
C P V L D	有効フラグ	
C T L O G	制御回路	
C Y	チェインメモリアレイ	
D	ダイオード	
D A T C T L	データ制御回路	
D B U F	データバッファ	
D S W	データ選択回路	
D T	データ線	
E N U M	エントリー番号	
H D H _ I F	インターフェース信号	40
H O S T _ I F	インターフェース回路	
I O B U F	I Oバッファ	
L A D	論理アドレス	
L R N G	論理アドレス領域	
L P T B L	アドレス変換テーブル	
L Y	メモリセル選択線	
L Y C	レイヤ番号	
L Y M	レイヤモード番号	
L Y N	レイヤ情報	
M A P R E G	マップレジスタ	50

MDLCT	制御回路	
MNERC	最小消去回数	
MNGER	情報処理回路	
MNIPAD	無効物理オフセットアドレス	
MNVPAD	有効物理オフセットアドレス	
MXERC	最大消去回数	
MXIPAD	無効物理オフセットアドレス	
MXVPAD	有効物理オフセットアドレス	
NVCT	メモリ制御回路	
NVM	不揮発性メモリ装置	10
NVMMD	メモリモジュール	
NVREG	イレースサイズ指定レジスタ	
NXLYC	レイヤ番号	
NXLYM	レイヤモード番号	
NXPAD	書き込み物理アドレス	
NXPADTBL	書き込み物理アドレステーブル	
NXPERC	消去回数	
NXPTBL	書き込み物理アドレステーブル	
NXPVLD	有効フラグ	
PSEG TBL	物理セグメントテーブル	20
PAD	物理アドレス	
PADTBL	物理アドレステーブル	
PERC	消去回数	
PPAD	物理オフセットアドレス	
PRNG	物理アドレス領域	
PVLD	有効フラグ	
R	記憶素子	
RADLT	ロウアドレスラッチ	
RAM	ランダムアクセスメモリ	
RAMC	メモリ制御回路	30
REF__CLK	基準クロック信号	
REG	レジスタ	
ROWDEC	ロウデコーダ	
RSTSIG	リセット信号	
SA	センスアンプ	
SGAD	物理セグメントアドレス	
SL	チェインメモリアレイ選択線	
STREG	ステータスレジスタ	
SWB	読み書き制御ブロック	
SYMD	クロック生成回路	40
Tch	チェイン選択トランジスタ	
Tcl	メモリセル選択トランジスタ	
THMO	温度センサ	
TNIPA	無効物理アドレス総数	
TNVPA	有効物理アドレス総数	
WDR	ライトドライバ	
WL	ワード線	
WV	書き込みデータ検証回路	

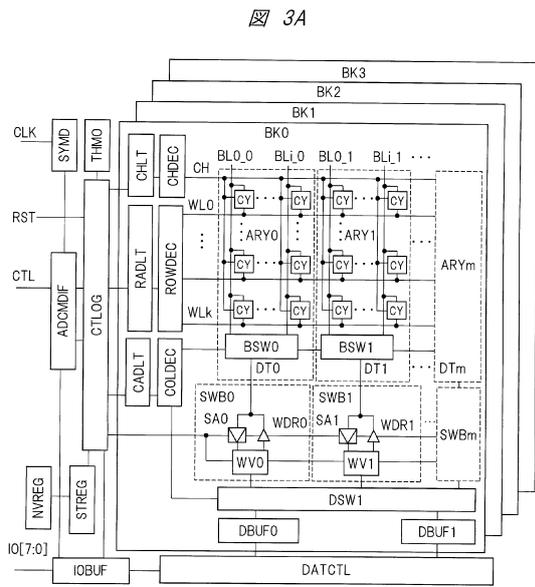
【 図 1 】



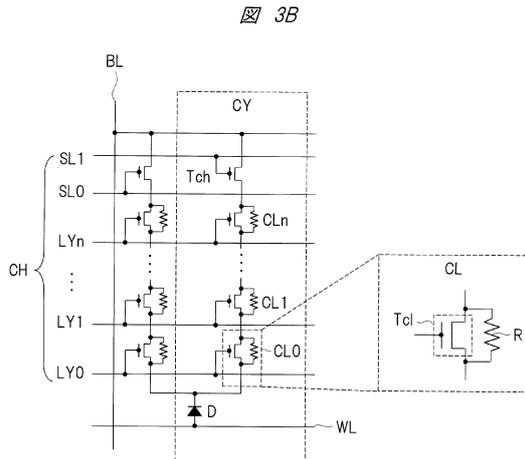
【 図 2 】



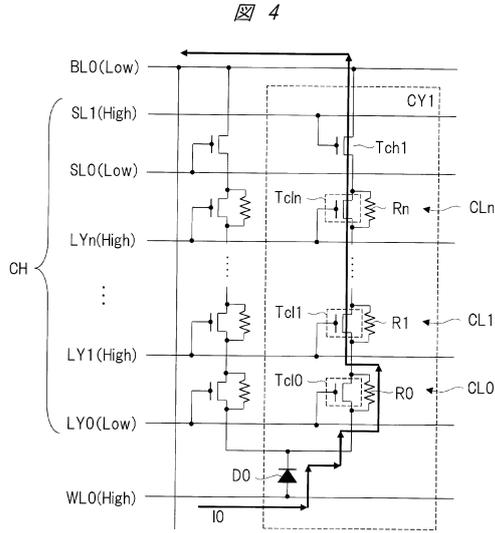
【 図 3 A 】



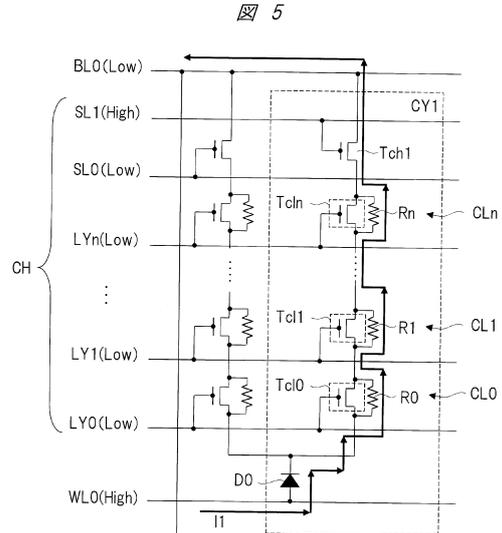
【 図 3 B 】



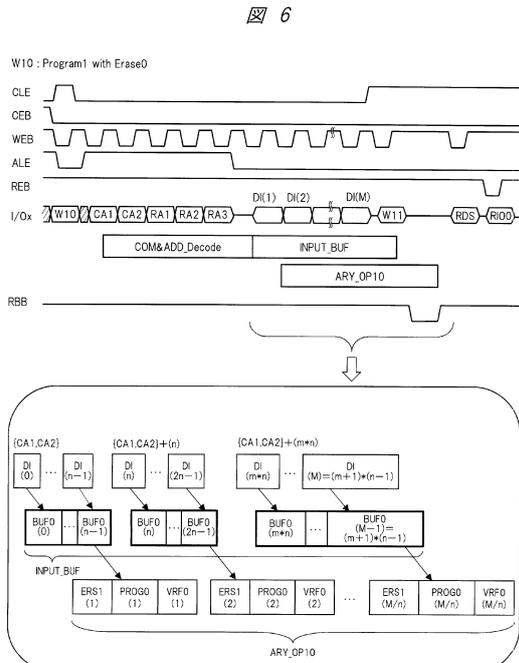
【 図 4 】



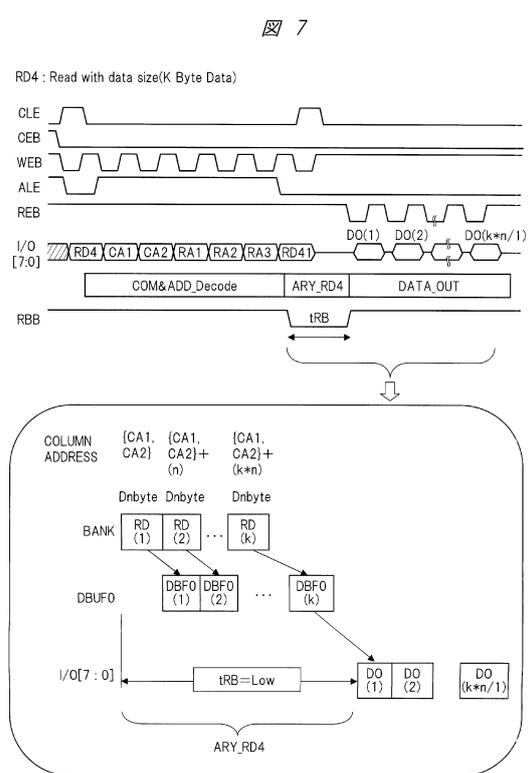
【 図 5 】



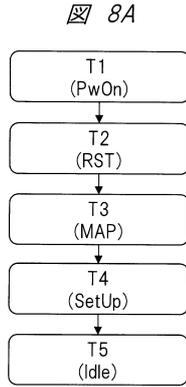
【 図 6 】



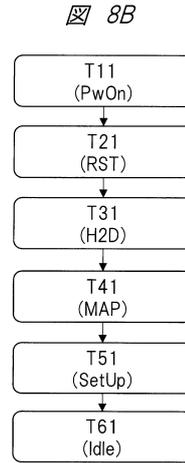
【 図 7 】



【図 8 A】



【図 8 B】



【図 9】

図 9

		PADTBL						
		PAD[31:0]		PVLD	PERC	LYM	LYC	
		PAD [31:16] (SGAD)	PAD [15:0] (PPAD)	0:invalid 1:valid	(Erase count)	(Layer mode)	(Layer count)	
PRNG1	0000	0000	0000	0	400	1	0	
	0001	1	100	1	0	
	0002	0	300	1	0	
	
	0000	FFFF	0	200	1	0
	0001	0000	0	10	1	1
	0001	0	20	1	1

	0001	FFFF	0	100	1	1

	027F	0000	0	200	1	2
	0001	1	150	1	2
PRNG2	
	027F	FFFF	0	200	1	2
	0280	0000	0	210	0	0
	0001	1	100	0	0

	0280	FFFF	0	210	0	0

	07FF	0000	0	30	0	0
	0001	0	20	0	0

	07FF	FFFF	0	10	0	0

【図 10 A】

図 10A

PSEGTBL1 (IPAに関する)					
SGAD	TNIPA	MXIPAD	MXERC	MNIPAD	MNERC
0	1000	255	150	81	120
1	3333	511	110	256	180
2	4444	63	160	32	130
...
2047	500	1023	120	512	90

【図 10 B】

図 10B

PSEGTBL2 (VPAIに関する)					
SGAD	TNVPA	MXVPAD	MXERC	MNVPAD	MNERC
0	N-1000	1000	50	1011	40
1	N-3333	2000	10	2033	1
2	N-4444	600	80	622	70
...
2047	N-500	6000	30	6055	20

【 1 1 A 】

11A

NXPADTBL					
ENUM	NXPAD [31:0]	NXPVLD 0:invalid 1:valid	NXPERC	NXLYM	NXLYC
0	00000000	0	0	1	0
1	00000001	0	0	1	0
...
(N/2)-1	0000000F	0	0	1	0
N/2	02800000	0	0	0	0
...
N-2	0280000E	0	0	0	0
N-1	0280000F	0	0	0	0

NXPADTBL1
NXPADTBL2

【 1 1 B 】

11B

NXPADTBL					
ENUM	NXPAD [31:0]	NXPVLD 0:invalid 1:valid	NXPERC	NXLYM	NXLYC
0	01000000	0	100	1	0
1	01000011	0	101	1	3
...
(N/2)-1	01000378	0	110	1	4
N/2	02900000	0	100	0	0
...
N-2	02900022	0	110	0	0
N-1	02900420	0	112	0	0

NXPADTBL1
NXPADTBL2

【 1 2 A 】

12A

LPTBL			
LAD	PAD	CPVLD	LYC
0	0	0	0
1	0	0	0
2	0	0	0
...
5	0	0	0
...
037F_FFFF	0	0	0

0:invalid
1:valid

【 1 2 B 】

12B

NVM{NVM10~NVM17}				
PAD	DATA	LAD	DVF	LYC
0	0	0	0	0
1	0	0	0	0
2	0	0	0	0
3	0	0	0	0
...
9	0	0	0	0
...
0000_FFFF	0	0	0	0
1_0000	0	0	0	0
...
07FF_FFFF	0	0	0	0

【 1 3 A 】

13A

CASE1									
LRNG	CAP	CHN CELL	TEST MODE	NVM MODE	ERS SIZE	PRG SIZE	TEST CELL	ECC FLG	WRT FLG
LRNG1: 0000_0000 ~ 007F_FFFF	4GB	18	1	0	512	512	5	0	0
LRNG2: 0080_0000 ~ 03FF_FFFF	32GB	88	1	0	512	512	5	0	0

【 13 B 】

13B

CASE2

LRNG	CAP	CHN CELL	TEST MODE	NVM MODE	ERS SIZE	PRG SIZE	TEST CELL	ECC FLG	WRT FLG
LRNG1: 0000_0000 ~ 007F_FFFF	4GB	18	1	0	512	512	5	0	0
LRNG2: 0080_0000 ~ 03FF_FFFF	32GB	88	1	0	512	512	5	0	1

【 13 C 】

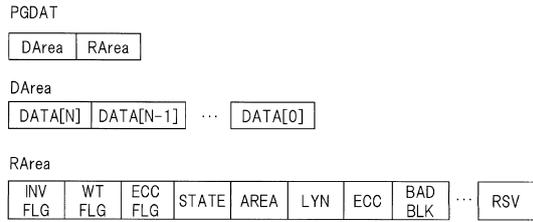
13C

CASE3

LRNG	CAP	CHN CELL	TEST MODE	NVM MODE	ERS SIZE	PRG SIZE	TEST CELL	ECC FLG	WRT FLG
LRNG1: 0000_0000 ~ 007F_FFFF	4GB	28	0	0	512	512	0	0	1
LRNG2: 0080_0000 ~ 03FF_FFFF	32GB	88	0	1	512* 1024	4096	0	0	0

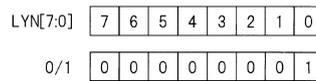
【 14 A 】

14A



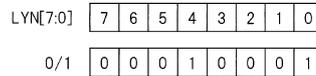
【 14 B 】

14B



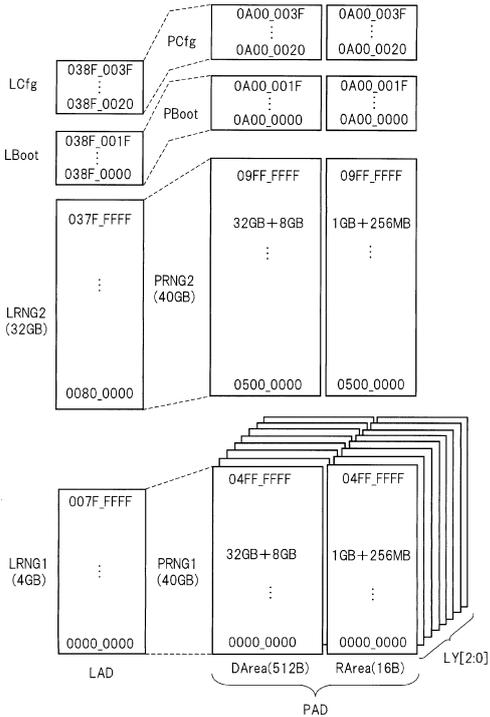
【 14 C 】

14C



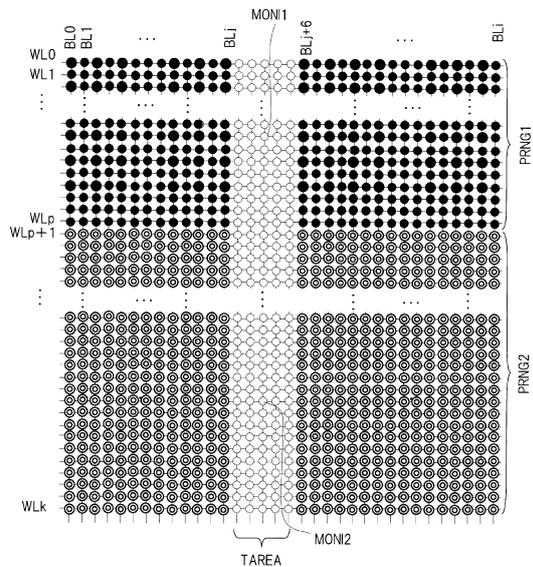
【 15 】

15



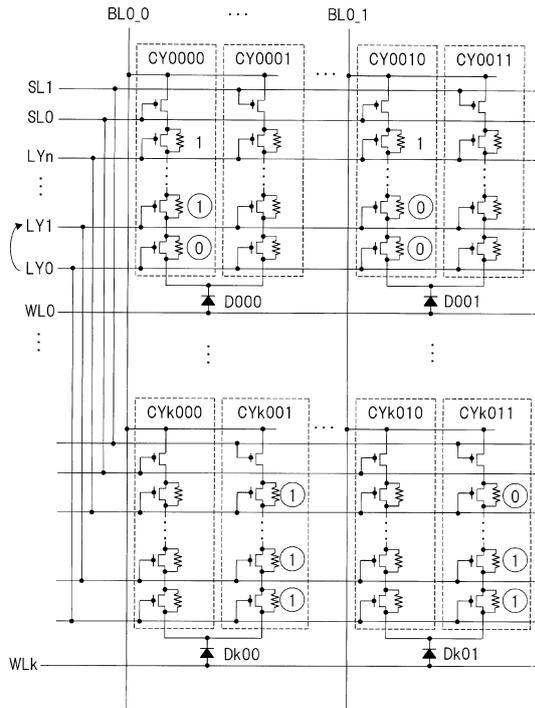
【 16 】

16



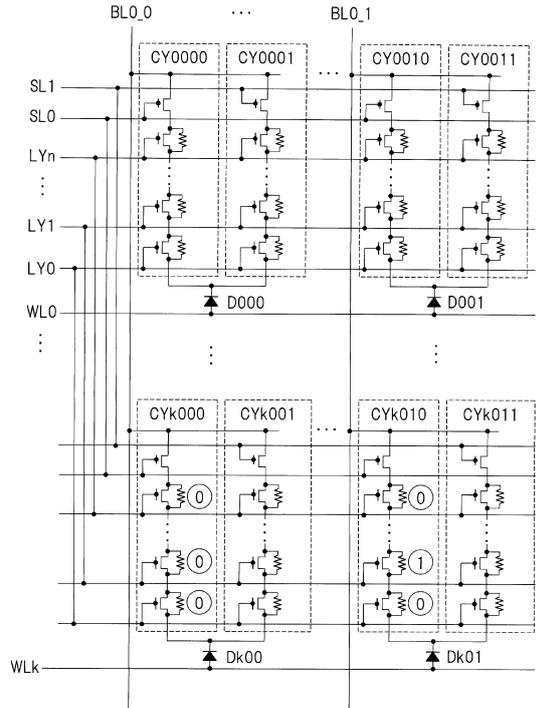
【 図 17 】

図 17



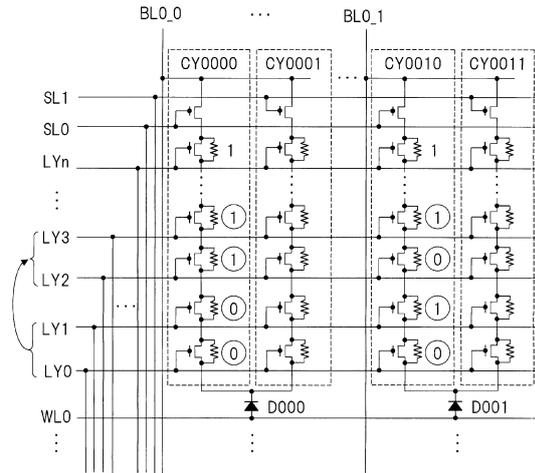
【 図 18 】

図 18



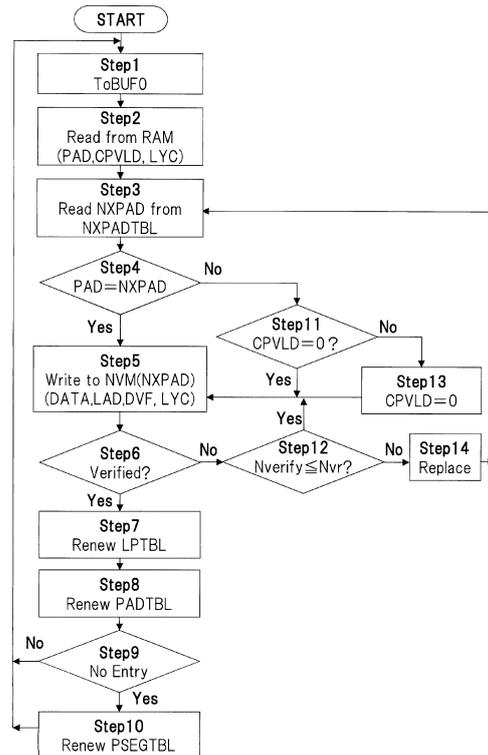
【 図 19 】

図 19

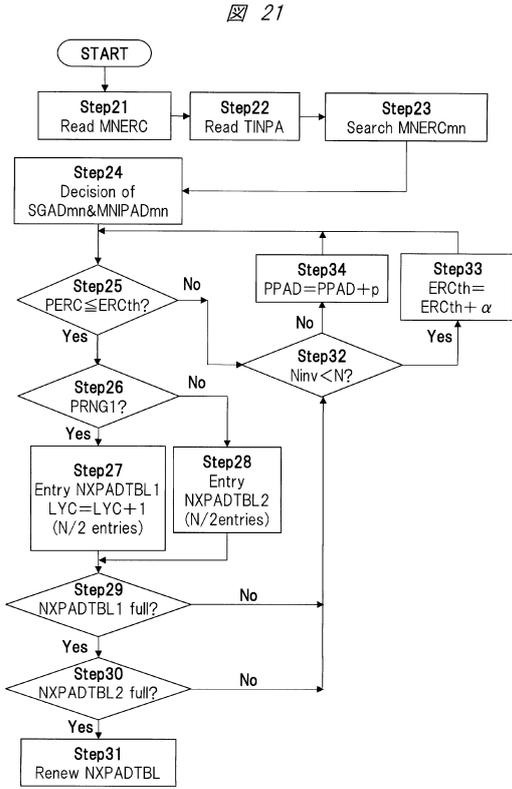


【 図 20 】

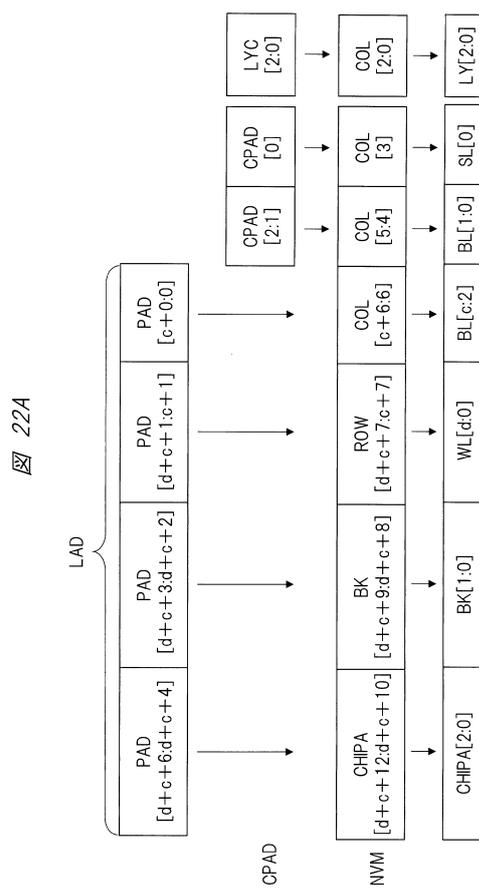
図 20



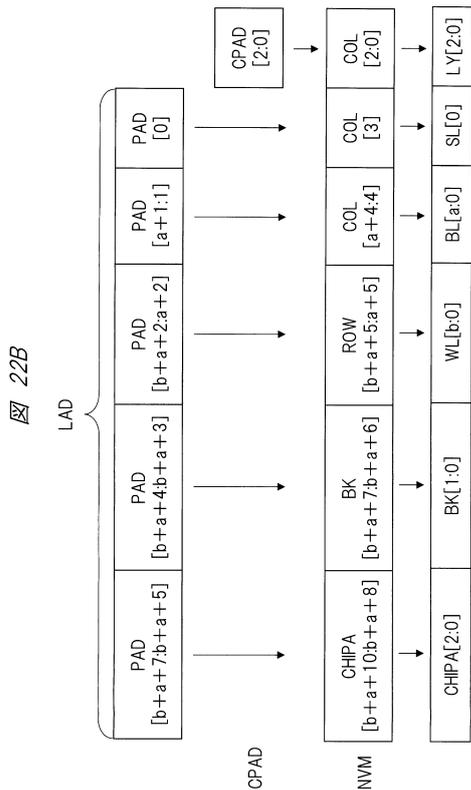
【 2 1 】



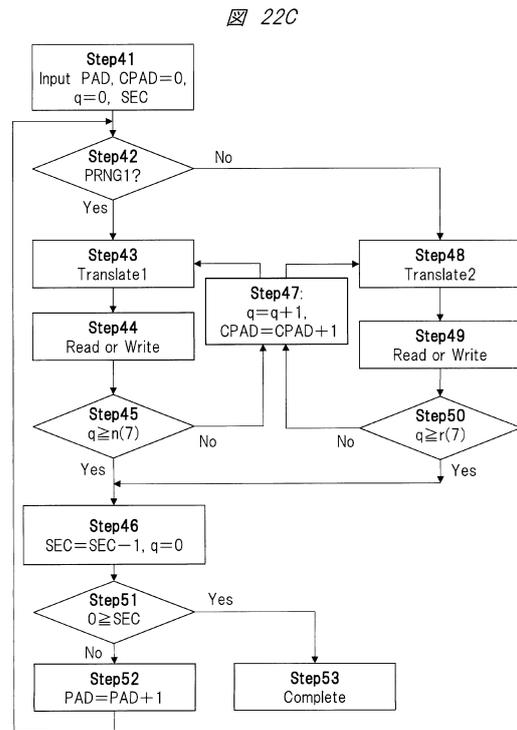
【 2 2 A 】



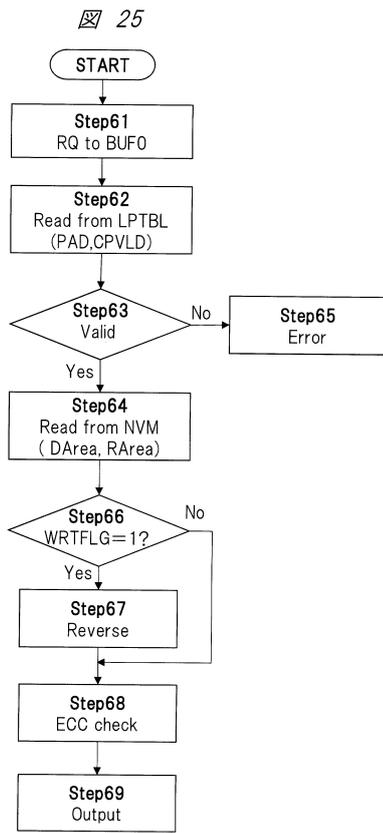
【 2 2 B 】



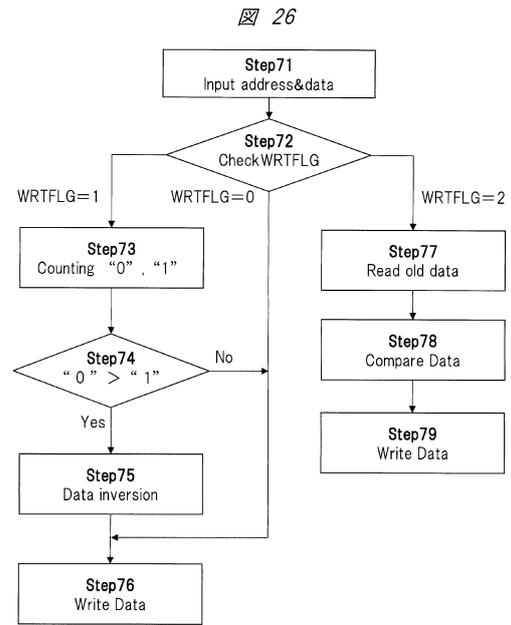
【 2 2 C 】



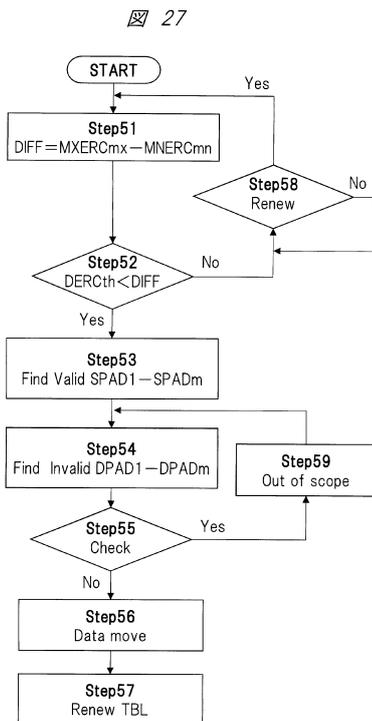
【 25 】



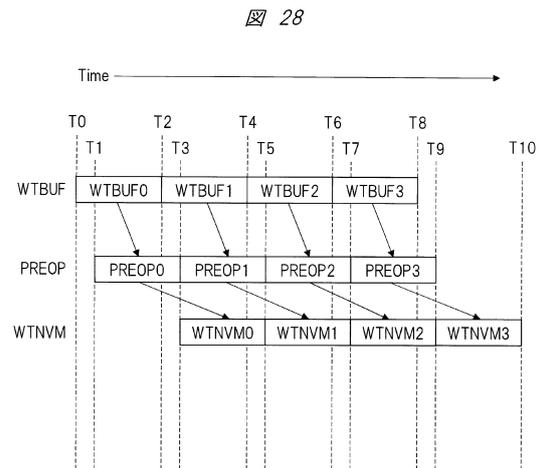
【 26 】



【 27 】

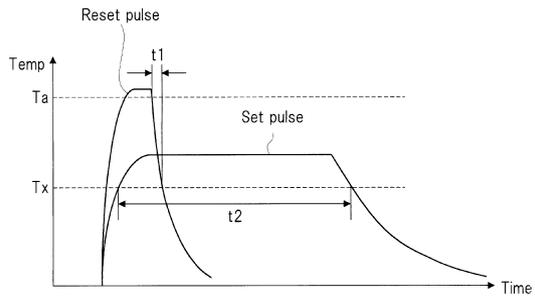


【 28 】



【 図 29 】

図 29



フロントページの続き

審査官 塩澤 如正

- (56)参考文献 国際公開第2012/032730(WO, A1)
特開2008-251059(JP, A)
特開2008-160004(JP, A)
国際公開第2011/074545(WO, A1)
M.KINOSHITA, et al., Scalable 3-D vertical chain-cell-type phase-change memory with 4F
2 poly-Si diodes, VLSI Technology(VLSIT), 2012 Symposium on, IEEE, 2012年 6月14
日, PP. 35-36

(58)調査した分野(Int.Cl., DB名)

G11C 13/00

G11C 11/15

G11C 16/02 - G11C 16/06

G06F 12/16