

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5716347号
(P5716347)

(45) 発行日 平成27年5月13日(2015.5.13)

(24) 登録日 平成27年3月27日(2015.3.27)

(51) Int.Cl.		F I		
HO 1 L 27/146	(2006.01)	HO 1 L 27/14		A
HO 1 L 21/3205	(2006.01)	HO 1 L 21/88		S
HO 1 L 21/768	(2006.01)	HO 1 L 21/88		J
HO 1 L 23/522	(2006.01)			

請求項の数 8 (全 27 頁)

(21) 出願番号	特願2010-236420 (P2010-236420)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成22年10月21日(2010.10.21)	(74) 代理人	110000925 特許業務法人信友国際特許事務所
(65) 公開番号	特開2012-89739 (P2012-89739A)	(72) 発明者	堀池 真知子 東京都港区港南1丁目7番1号 ソニー株式会社内
(43) 公開日	平成24年5月10日(2012.5.10)	(72) 発明者	糸長 総一郎 東京都港区港南1丁目7番1号 ソニー株式会社内
審査請求日	平成25年9月11日(2013.9.11)	審査官	柴山 将隆

最終頁に続く

(54) 【発明の名称】 固体撮像装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

2つ以上の半導体チップ部が貼り合わされ、少なくとも第1の半導体チップ部に画素アレイと第1多層配線層が形成され、第2の半導体チップ部にロジック回路と第2多層配線層が形成された積層半導体チップと、

前記第1の半導体チップ部と前記第2の半導体チップ部との間を接続する複数の接続配線と、

一方向の隣り合う前記接続配線間をシールドする第1シールド配線と、

前記一方向と直行する方向に延びる複数の前記第1シールド配線を連結する第2シールド配線と、を有し、

各接続配線は、

前記第1多層配線層内の所要の第1配線に繋がる第1の接続パッドに接続された接続導体と、

前記第1の半導体チップ部を貫通して前記第2多層配線層内の所要の第2配線に繋がる第2の接続パッドに接続された貫通接続導体と、

前記接続導体と前記貫通接続導体とを連結する連結導体とを有し、

前記第1シールド配線は、前記第1多層配線層又はノ及び第2多層配線層内の所要の層の配線により形成され、

前記第2シールド配線は、前記第1多層配線層内及び第2多層配線層内の所要の層の配線により形成されている

裏面照射型の固体撮像装置として構成されている
固体撮像装置。

【請求項 2】

前記接続配線が他方向に複数配列された接続配線群が前記一方向に複数配列され、
各接続配線群が連続した前記第 1 シールド配線で区分されている
請求項 1 記載の固体撮像装置。

【請求項 3】

前記画素アレイは、
光電変換部と複数の画素トランジスタからなり行列状に配列されたる複数の画素と、
各列の画素に共通接続した垂直信号線とを有し、
前記垂直信号線が前記第 1 配線に相当する
請求項 2 記載の固体撮像装置。

10

【請求項 4】

前記第 1 の半導体チップ部の一部の半導体部分の全てが除去された半導体除去領域を有し、
前記半導体除去領域内に前記複数の接続配線が形成されている
請求項 3 記載の固体撮像装置。

【請求項 5】

2 つ以上の半導体チップ部が貼り合わされ、少なくとも第 1 の半導体チップ部に画素アレイと第 1 多層配線層が形成され、第 2 の半導体チップ部にロジック回路と第 2 多層配線層が形成された積層半導体チップと、
前記第 1 の半導体チップ部と前記第 2 の半導体チップ部との間を接続する複数の接続配線と、

20

前記接続配線とこれに隣接する他の接続配線に繋がる第 1 配線及び第 2 配線との間をシールドする第 2 シールド配線とを有し、

各接続配線は、

前記第 1 多層配線層内の所要の第 1 配線に繋がる第 1 の接続パッドに接続された接続導体と、

前記第 1 の半導体チップ部を貫通して前記第 2 多層配線層内の所要の第 2 配線に繋がる第 2 の接続パッドに接続された貫通接続導体と、

30

前記接続導体と前記貫通接続導体とを連結する連結導体とを有し、

前記第 2 シールド配線は、前記第 1 多層配線層内及び第 2 多層配線層内の所要の層の配線により形成され、

裏面照射型の固体撮像装置として構成されている
固体撮像装置。

【請求項 6】

前記画素アレイは、
光電変換部と複数の画素トランジスタからなり行列状に配列されたる複数の画素と、
各列の画素に共通接続した垂直信号線とを有し、
前記垂直信号線が前記第 1 配線に相当する
請求項 5 記載の固体撮像装置。

40

【請求項 7】

前記第 1 の半導体チップ部の一部の半導体部分の全てが除去された半導体除去領域を有し、
前記半導体除去領域内に前記複数の接続配線が形成されている
請求項 6 記載の固体撮像装置。

【請求項 8】

固体撮像装置と、
前記固体撮像装置のフォトダイオードに入射光を導く光学系と、
前記固体撮像装置の出力信号を処理する信号処理回路とを備え、

50

前記固体撮像装置が、請求項 1 乃至 7 のいずれかに記載の固体撮像装置で構成されている電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置、及びこの固体撮像装置を備えたカメラ等の電子機器に関する。

【背景技術】

10

【0002】

固体撮像装置として、CMOS (Complementary Metal Oxide Semiconductor) 等の MOS 型イメージセンサに代表される増幅型固体撮像装置が知られている。また、CCD (Charge Coupled Device) イメージセンサに代表される電荷転送型固体撮像装置が知られている。これら固体撮像装置は、デジタルスチルカメラ、デジタルビデオカメラなどに広く用いられている。近年、カメラ付き携帯電話や PDA (Personal Digital Assistant) などのモバイル機器に搭載される固体撮像装置としては、電源電圧が低く、消費電力の観点などから MOS 型イメージセンサが多く用いられている。

【0003】

MOS 型の固体撮像装置は、単位画素が光電変換部となるフォトダイオードと複数の画素トランジスタで形成され、この複数の単位画素が 2 次元アレイ状に配列された画素アレイ (画素領域) と、周辺回路領域を有して構成される。複数の画素トランジスタは、MOS トランジスタで形成され、転送トランジスタ、リセットトランジスタ、増幅トランジスタの 3 トランジスタ、あるいは選択トランジスタを加えた 4 トランジスタで構成される。

20

【0004】

従来、このような MOS 型固体撮像装置において、複数の画素を配列した画素アレイが形成された半導体チップと、信号処理を行うロジック回路が形成された半導体チップとを電氣的に接続して 1 つのデバイスとして構成した固体撮像装置が種々提案されている。例えば、特許文献 1 では、各画素セル毎にマイクロパッド有する裏面照射型のイメージセンサチップと、信号処理回路が形成されマイクロパッドを有する信号処理チップとを、マイクロバンプによって接続した半導体モジュールが開示されている。

30

【0005】

特許文献 2 では、イメージセンサを備えた第 1 の半導体チップと、アナログ/デジタル変換器アレイを備えた第 2 の半導体チップと、メモリ素子アレイを備えた第 3 の半導体チップとを積層した半導体イメージセンサ・モジュールが開示されている。第 1 の半導体チップと第 2 の半導体チップとは導電性接続導体であるバンプを介して接続される。第 2 の半導体チップと第 3 の半導体チップとは、第 2 の半導体チップを貫通する貫通コンタクトにより接続される。

【0006】

40

引用文献 1 等に示されるように、イメージセンサチップと信号処理を行うロジック回路などの異種回路チップを混載する技術は、種々提案されている。従来技術では、機能チップがほぼ完成した状態で貫通接続孔を形成してチップ間を相互接続したり、バンプを介してチップ間を相互接続していた。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2006 - 49361 号公報

【特許文献 2】WO 2006 / 129762 号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0008】

本出願人は、先に、画素アレイを備えた半導体チップ部と、ロジック回路を備えた半導体チップ部とを貼り合わせ、夫々の性能を十分発揮できるようにして高性能化を図り、かつ量産性、コスト低減を図った固体撮像装置を提案した。この固体撮像装置は、共に半製品状態の画素アレイを備えた第1半導体チップ部と、ロジック回路を備えた第2半導体チップ部とを貼り合わせ、第1半導体チップ部を薄膜化した後、画素アレイとロジック回路の接続がなされる。接続は、第1半導体チップ部の所要の配線に接続する接続導体と、第1半導体チップ部を貫通して第2半導体チップ部の所要の配線に接続する貫通接続導体と、両接続導体を繋ぐ連結導体からなる接続配線を形成して行われる。その後、完成品状態にしてチップ化して、裏面照射型の固体撮像装置として構成される。

10

【0009】

ところで、この固体撮像装置では、接続導体及び貫通接続導体は、第1半導体チップ部のシリコン基板を貫通する貫通孔内に絶縁膜を介して埋め込むように形成される。接続導体及び貫通接続導体は、横断面積が比較的に大きい。このため、接続導体及び貫通接続導体とシリコン基板との間に形成される寄生容量が無視できない場合、この寄生容量は、回路の駆動速度の低下を招き、固体撮像装置での高性能化の阻害要因となることが判明した。

【0010】

さらに、貼り合わせ半導体チップ部間を接続導体及び貫通接続導体で接続する構成の固体撮像装置においては、各垂直信号線に相当する配線（つまり引き回し配線）毎に、対をなす上記の導体（接続導体及び貫通接続導体）が接続される。このとき、寄生容量である対グランド容量と隣接カップリング容量が発生する。対グランド容量は、配線とグランド電位である例えば半導体基板との間の寄生容量である。隣接カップリング容量は、隣り合う引き回し配線間、あるいは隣り合う対の導体間の寄生容量である。対グランド容量は、電源を強化したり、バッファ回路を設けて電流を流すようにすれば解消が可能である。しかし、隣接カップリング容量は、隣の列との干渉であるため、解消できない。

20

【0011】

本発明は、上述の点に鑑み、少なくとも隣接カップリング容量を抑制し、高性能な固体撮像装置を提供するものである。また、この固体撮像装置を備えたカメラ等の電子機器を提供するものである。

30

【課題を解決するための手段】

【0012】

本発明に係る固体撮像装置は、2つ以上の半導体チップ部が貼り合わされ、少なくとも第1の半導体チップ部に画素アレイと第1多層配線層が形成され、第2の半導体チップ部にロジック回路と第2多層配線層が形成された積層半導体チップを有する。さらに、本発明は、第1の半導体チップ部と第2の半導体チップ部との間を接続する複数の接続配線と、一方向に隣り合う接続配線間をシールドする第1シールド配線と、一方向と直行する方向に延びる複数の第1シールド配線を連結する第2シールド配線とを有する。各接続配線は、第1多層配線層内の所要の第1配線に繋がる第1の接続パッドに接続された接続導体と、第1の半導体チップ部を貫通して第2多層配線層内の所要の第2配線に繋がる第2の接続パッドに接続された貫通接続導体を有する。さらに、接続配線は、接続導体と貫通接続導体とを連結する連結導体とを有して形成される。第1シールド配線は、第1多層配線層又は/及び第2多層配線層内の所要の層の配線により形成される。第2シールド配線は、第1多層配線層内及び第2多層配線層内の所要の層の配線により形成される。本発明の固体撮像装置は、裏面照射型の固体撮像装置として構成されている。

40

【0013】

本発明の固体撮像装置では、一方向に隣り合う接続配線間をシールドする第1シールド配線を有し、この第1のシールド配線が第1多層配線層又は/及び第2多層配線層内の所要の層の配線により形成されるので、隣接カップリング容量を容易に抑制できる。また、

50

配線工程を増やすことなく、多層配線層の配線を用いて第1シールド配線を形成するので、構成も簡素化され、この種の固体撮像装置の製造も容易になる。

【0014】

本発明に係る固体撮像装置の好ましい形態は、上記固体撮像装置において、さらに接続配線とこれに隣接する他の接続配線に繋がる第1配線及び第2配線との間をシールドする第2シールド配線を有する。第2シールド配線は、第1多層配線層及び第2多層配線層内の所要の層の配線により形成される。

【0015】

本発明の固体撮像装置では、隣接する接続配線間の隣接カップリング容量が第1シールド配線で抑制できると共に、さらに接続配線とこれに隣接する他の接続配線に繋がる第1配線及び第2配線との間を第2シールド配線でシールドしている。第2シールド配線も第1多層配線層及び第2多層配線層内の所要の層の配線により形成している。従って、隣接する接続配線間、及び接続配線とこれに隣接する第1及び第2配線との間の隣接カップリング容量の全体を抑制することができる。

【0016】

本発明に係る固体撮像装置は、2つ以上の半導体チップ部が貼り合わされ、少なくとも第1の半導体チップ部に画素アレイと第1多層配線層が形成され、第2の半導体チップ部にロジック回路と第2多層配線層が形成された積層半導体チップを有する。さらに、本発明は、第1の半導体チップ部と第2の半導体チップ部との間を接続する複数の接続配線と、これに隣接する他の接続配線に繋がる第1配線及び第2配線との間をシールドする第2シールド配線とを有する。各接続配線は、第1多層配線層内の所要の第1配線に繋がる第1の接続パッドに接続された接続導体と、第1の半導体チップ部を貫通して第2多層配線層内の所要の第2配線に繋がる第2の接続パッドに接続された貫通接続導体を有する。さらに、接続配線は、接続導体と貫通接続導体とを連結する連結導体を有して形成される。第2シールド配線は、第1多層配線層及び第2多層配線層内の所要の層の配線により形成される。本発明の固体撮像装置は、裏面照射型の固体撮像装置として構成されている。

【0017】

本発明の固体撮像装置では、接続配線とこれに隣接する他の接続配線に繋がる第1配線及び第2配線との間に第2シールド橋線を有するので、接続配線と第1及び第2配線との間の隣接カップリング容量を容易に抑制できる。また、配線工程を増やすことなく、多層配線層の配線を用いて第2シールド配線を形成するので、構成も簡素化され、この種の固体撮像装置の製造も容易になる。

【0018】

本発明に係る電子機器は、固体撮像装置と、固体撮像装置の光電変換部に入射光を導く光学系と、固体撮像装置の出力信号を処理する信号処理回路とを備える。固体撮像装置は、上記本発明に係る固体撮像装置のいずれかで構成される。

【0019】

本発明の電子機器では、固体撮像装置における隣接する接続配線間、又は/及び接続配線とこれに隣接する接続配線に繋がる第1、第2配線との間の隣接カップリング容量を抑制することができる。

【発明の効果】

【0020】

本発明に係る固体撮像装置によれば、隣接する接続配線間のカップリング容量及び/又は接続配線とこれに隣接する他の接続配線に繋がる第1及び第2配線との間のカップリング容量を抑制することができ、高性能の固体撮像装置を提供することができる。

【0021】

本発明に係る電子機器によれば、隣接カップリング容量を抑制して高性能化を図った、貼り合わせチップによる裏面照射型の固体撮像装置を備えることにより、高品質のカメラ等の電子機器を提供することができる。

10

20

30

40

50

【図面の簡単な説明】

【0022】

【図1】本発明に適用されるMOS固体撮像装置の一例を示す概略構成図である。

【図2】A～C 本発明の実施の形態に係る固体撮像装置と従来例に係る固体撮像装置の模式図である。

【図3】本発明の実施の形態に適用される裏面照射型のMOS固体撮像装置の要部を示す断面図である。

【図4】本発明の実施の形態に適用される接続パッドのレイアウト例を示す平面図である。

【図5】A～C 本発明に係る固体撮像装置の第1実施の形態を示す要部の平面図、図Aの矢印b方向から見た断面図及び図Aの矢印cから見た断面図である。 10

【図6】A～C 本発明に係る固体撮像装置の第2実施の形態を示す要部の平面図、図Aの矢印b方向から見た断面図及び図Aの矢印cから見た断面図である。

【図7】A～C 本発明に係る固体撮像装置の第3実施の形態を示す要部の平面図、図Aの矢印b方向から見た断面図及び図Aの矢印cから見た断面図である。

【図8】A～C 本発明に係る固体撮像装置の第4実施の形態を示す要部の平面図、図Aの矢印b方向から見た断面図及び図Aの矢印cから見た断面図である。

【図9】本発明に係る固体撮像装置の第5実施の形態を示す要部の平面図である。

【図10】本発明に係る固体撮像装置の第6実施の形態を示す要部の平面図である。

【図11】本発明に係る固体撮像装置の第7実施の形態を示す要部の平面図である。 20

【図12】本発明に係る固体撮像装置の第8実施の形態を示す要部の平面図である。

【図13】本発明に係る固体撮像装置の第9実施の形態を示す要部の平面図である。

【図14】本発明の第11実施の形態に係る電子機器を示す概略構成図である。

【発明を実施するための形態】

【0023】

以下、発明を実施するための形態（以下実施の形態とする）について説明する。なお、説明は以下の順序で行う。

1. MOS固体撮像装置の概略構成例
2. 本発明に適用されるMOS固体撮像装置（固体撮像装置の構成例）
3. 第1実施の形態（固体撮像装置の構成例） 30
4. 第2実施の形態（固体撮像装置の構成例）
5. 第3実施の形態（固体撮像装置の構成例）
6. 第4実施の形態（固体撮像装置の構成例）
7. 第5実施の形態（固体撮像装置の構成例）
8. 第6実施の形態（固体撮像装置の構成例）
9. 第7実施の形態（固体撮像装置の構成例）
10. 第8実施の形態（固体撮像装置の構成例）
11. 第9実施の形態（固体撮像装置の構成例）
12. 第10実施の形態（固体撮像装置の構成例）
13. 第11実施の形態（電子機器） 40

【0024】

< 1. MOS固体撮像装置の概略構成例 >

図1に、本発明の半導体装置に適用されるMOS固体撮像装置の概略構成を示す。このMOS固体撮像装置は、各実施の形態の固体撮像装置に適用される。本例の固体撮像装置1は、図1に示すように、半導体基板11例えばシリコン基板に複数の光電変換部を含む画素2が規則的に2次元アレイ状に配列された画素アレイ（いわゆる画素領域）3と、周辺回路部とを有して構成される。画素2は、光電変換部となる例えばフォトダイオードと、複数の画素トランジスタ（いわゆるMOSトランジスタ）を有して成る。複数の画素トランジスタは、例えば転送トランジスタ、リセットトランジスタ及び増幅トランジスタの3つのトランジスタで構成することができる。その他、選択トランジスタ追加して4つの 50

トランジスタで構成することもできる。単位画素の等価回路は通常と同様であるので、詳細説明は省略する。画素2は、1つの単位画素として構成することができる。また、画素2は、共有画素構造とすることもできる。この画素共有構造は、複数のフォトダイオードと、複数の転送トランジスタと、共有する1つのフローティングディフュージョンと、共有する1つずつの他の画素トランジスタとから構成される。

【0025】

周辺回路部は、垂直駆動回路4と、カラム信号処理回路5と、水平駆動回路6と、出力回路7と、制御回路8などを有して構成される。

【0026】

制御回路8は、入力クロックと、動作モードなどを指令するデータを受け取り、また固体撮像装置の内部情報などのデータを出力する。すなわち、制御回路8では、垂直同期信号、水平同期信号及びマスタクロックに基いて、垂直駆動回路4、カラム信号処理回路5及び水平駆動回路6などの動作の基準となるクロック信号や制御信号を生成する。そして、これらの信号を垂直駆動回路4、カラム信号処理回路5及び水平駆動回路6等に入力する。

10

【0027】

垂直駆動回路4は、例えばシフトレジスタによって構成され、画素駆動配線を選択し、選択された画素駆動配線に画素を駆動するためのパルスを供給し、行単位で画素を駆動する。すなわち、垂直駆動回路4は、画素アレイ3の各画素2を行単位で順次垂直方向に選択走査し、垂直信号線9を通して各画素2の光電変換部となる例えばフォトダイオードにおいて受光量に応じて生成した信号電荷に基く画素信号をカラム信号処理回路5に供給する。

20

【0028】

カラム信号処理回路5は、画素2の例えば列ごとに配置されており、1行分の画素2から出力される信号を画素列ごとにノイズ除去などの信号処理を行う。すなわちカラム信号処理回路5は、画素2固有の固定パターンノイズを除去するためのCDSや、信号増幅、AD変換等の信号処理を行う。カラム信号処理回路5の出力段には水平選択スイッチ（図示せず）が水平信号線10との間に接続されて設けられる。

【0029】

水平駆動回路6は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路5の各々を順番に選択し、カラム信号処理回路5の各々から画素信号を水平信号線10に出力させる。

30

【0030】

出力回路7は、カラム信号処理回路5の各々から水平信号線10を通して順次に供給される信号に対し、信号処理を行って出力する。例えば、パファリングだけする場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理などが行われる場合もある。入出力端子12は、外部と信号のやりとりをする。

【0031】

図2に、本発明に係るMOS固体撮像装置の基本的な概略構成を示す。従来のMOS固体撮像装置151は、図2Aに示すように、1つの半導体チップ152内に、画素アレイ153と、制御回路154と、信号処理するためのロジック回路155とを搭載して構成される。通常、画素アレイ153と制御回路154でイメージセンサ156が構成される。これに対して、本発明の一実施の形態におけるMOS固体撮像装置21は、図2Bに示すように、第1の半導体チップ部22に画素アレイ23と制御回路24を搭載し、第2の半導体チップ部26に信号処理するための信号処理回路を含むロジック回路25を搭載する。この第1及び第2の半導体チップ部22及び26を相互に電氣的に接続して1つの半導体チップとしてMOS固体撮像装置21が構成される。本発明の他の実施の形態におけるMOS固体撮像装置27は、図2Cに示すように、第1の半導体チップ部22に画素アレイ23を搭載し、第2の半導体チップ部26に制御回路24と、信号処理回路を含むロジック回路25を搭載する。この第1及び第2の半導体チップ部22及び26を相互に電氣

40

50

的に接続して1つの半導体チップとしてMOS固体撮像装置27が構成される。

【0032】

図示しないが、MOS固体撮像装置の構成によっては、2つ以上の半導体チップ部を貼り合わせて構成することもできる。例えば、上記の第1及び第2の半導体チップ部以外に、メモリ素子アレイを備えた半導体チップ部、その他の回路素子を備えた半導体チップ部などを追加して3つ以上の半導体チップ部を貼り合わせて、1つのチップとしたMOS固体撮像装置を構成することもできる。

【0033】

< 2 . 本発明に適用されるMOS固体撮像装置 >

[固体撮像装置の構成例]

図3に、本発明に適用される裏面照射型のMOS固体撮像装置の実施の形態を示す。本実施の形態に係るMOS固体撮像装置27は、画素アレイ23と制御回路24が形成された第1の半導体チップ部22と、ロジック回路25が形成された第2の半導体チップ部26とが貼り合わされた積層半導体チップ27を有して構成される。第1の半導体チップ部22と第2の半導体チップ部26とは、互いの多層配線層41及び55が向かい合うようにして貼り合わされる。貼り合わせは、本例では保護膜42及び56を介して接着剤層57にてなされる。その他、プラズマ接合で貼り合わせることもできる。

【0034】

本実施の形態では、第1の半導体チップ部22の一部の半導体部分を全て除去した半導体除去領域52が形成され、この半導体除去領域52内において、第1の半導体チップ部22と第2の半導体チップ部26との間を接続する接続配線67が形成されて成る。半導体除去領域52は、画素アレイ23の各垂直信号線に相当する引き回し配線40d、52dに接続される各接続配線67が形成される部分を包含する全体領域であり、画素アレイ23の外側に形成される。半導体除去領域52は、いわゆる電極パッド領域に相当する。

【0035】

第1の半導体チップ部22は、薄膜化された第1の半導体基板31に、光電変換部となるフォトダイオード(PD)と複数の画素トランジスタTr1、Tr2からなる画素アレイ23と、MOSトランジスタTr3、Tr3からなる制御回路24が形成される。画素トランジスタTr1及びTr2、MOSトランジスタTr3及びTr4は、それぞれ代表して示している。半導体基板31の表面31a側には、層間絶縁膜39を介して複数、本例では3層のメタルM1~M3による配線40[40a, 40b, 40c]を配置した多層配線層41が形成される。

【0036】

第2の半導体チップ部26は、第2の半導体基板45に、MOSトランジスタTr6~Tr8からなるロジック回路25が形成される。半導体基板45の表面45a側には、層間絶縁膜49を介して複数、本例では3層のメタルM11~M13による配線53[53a, 53b, 53c]を配置した多層配線層55が形成される。

【0037】

第1の半導体チップ部22の半導体除去領域52では、第1の半導体基板31の全てが例えばエッチングにより除去されている。半導体除去領域31の底面、側面から半導体基板の表面に延長して、例えばシリコン酸化(SiO2)膜58とシリコン窒化(SiN)膜59による積層絶縁膜61が形成される。積層絶縁膜61は、半導体除去領域52の凹部の側面に露出する半導体基板31を保護する保護用絶縁膜であり、かつ画素における反射防止膜を兼ねている。

【0038】

半導体除去領域52では、シリコン窒化膜59から第1の半導体チップ部22における多層配線層41の所要の配線、本例では3層目メタルM3による引き回し配線40dに電氣的に繋がる第1の接続パッド65に達する接続孔64が形成される。また、第1の半導体チップ部22の多層配線層41を貫通して第2の半導体チップ部26における多層配線層55の所要の配線、本例では1層目メタルM11による第2の接続パッド63に達する

10

20

30

40

50

貫通接続孔 6 2 が形成される。1層目メタル M 1 1 による接続パッド 6 3 は、2層目メタル M 1 2 を介して 3層目メタル M 1 3 による引き回し配線 5 3 d に電氣的に繋がる。

【 0 0 3 9 】

接続配線 6 7 は、接続孔 6 4 , 6 2 内に埋め込まれて第 1 の接続パッド 6 5 に電氣的に接続する接続導体 6 8 と、第 2 の接続パッド 6 3 に電氣的に接続する貫通接続導体 6 9 と、両導体 6 8 及び 6 9 の上端で電氣的に連結する連結導体 7 1 とにより形成される。

【 0 0 4 0 】

第 1 の半導体チップ部 2 2 のフォトダイオード 3 4 の光入射面となる裏面 3 1 b 側上に遮光を必要とする領域を覆う遮光膜 7 2 が形成される。さらに遮光膜 7 2 を覆うように平坦化膜 7 3 が形成され、平坦化膜 7 3 上に各画素に対応してオンチップカラーフィルタ 7 4 が形成され、その上にオンチップマイクロレンズ 7 5 が形成され、裏面照射型の固体撮像装置 2 8 が構成される。接続配線 6 7 の外部に露出する連結導体 7 1 が、外部配線とボンディングワイヤを介して接続するための電極パッドとなる。

【 0 0 4 1 】

本実施の形態に係る固体撮像装置 2 7 によれば、第 1 の半導体チップ部 2 2 に画素アレイ 2 3 及び制御回路 2 4 を形成し、第 2 の半導体チップ部 2 6 に信号処理するロジック回路 2 5 を形成している。このように画素アレイの機能とロジック機能を異なるチップ部に形成して貼り合わせた構成であるので、画素アレイ 2 3、ロジック回路 2 5 のそれぞれに最適なプロセス技術を用いることができる。従って、画素アレイ 2 3、ロジック回路 2 5 のそれぞれの性能を十分に発揮させることができ、高性能の固体撮像装置を提供することができる。

【 0 0 4 2 】

本実施の形態では、特に、第 1 の半導体チップ部 2 2 の一部、すなわち接続導体及び貫通接続導体が形成される領域の半導体部分を全て除去している。この半導体部分が除去された半導体除去領域 5 2 内に、接続導体 6 8 及び貫通接続導体 6 9 が形成されるので、接続導体 6 8 及び貫通接続導体 6 9 と半導体基板 3 1 との間の寄生容量が低減し、固体撮像装置のより高性能化を図ることができる。

【 0 0 4 3 】

図 2 C の構成を採用すれば、第 1 の半導体チップ部 2 2 側には光を受ける画素アレイ 2 3 を形成するだけで良く、制御回路 2 4 及びロジック回路 2 5 は分離して第 2 の半導体チップ部 2 6 に形成することができる。これによって、それぞれの半導体チップ部 2 2 , 2 6 の製造に最適なプロセス技術を独立して選択することができると共に、製品モジュールの面積も削減することができる。

【 0 0 4 4 】

本実施の形態では、画素アレイ 2 3 及び制御回路 2 4 を有する第 1 の半導体基板 3 1 とロジック回路 2 5 を有する第 2 の半導体基板 4 5 を共に半製品状態で貼り合わせ、第 1 の半導体基板 3 1 を薄膜化している。つまり、第 2 の半導体基板 4 5 を、第 1 の半導体基板 3 1 の薄膜化の際の支持基板として用いている。これによって、部材の節約、製造工程の節約を図ることができる。

【 0 0 4 5 】

本実施の形態では、第 1 の半導体基板 3 1 を薄膜化し、さらに半導体部分が除去された半導体除去領域 5 2 内に貫通接続孔 6 2 及び接続孔 6 4 の形成を行うので、孔のアスペクト比が小さくなり、高精度に接続孔 6 2 及び 6 4 を形成することができる。従って、高性能の固体撮像装置を高精度に製造することができる。

【 0 0 4 6 】

[固体撮像装置の構成の変形例 1]

図示しないが、接続配線と、第 1 の半導体チップ部における多層配線層の配線及び第 2 の半導体チップ部における多層配線層の配線との接続構成の変形例 1 を説明する。この実施の形態では、接続配線 6 7 の貫通接続導体 6 9 が第 2 の半導体チップ部 2 6 側の多層配線層 5 5 の 3層目メタル M 1 3 による接続パッド 6 3 に接続される。接続パッド 6 3 は、

10

20

30

40

50

同層の3層目メタルM13による垂直信号線に相当する引き回し配線53dに繋がる。他の構成は、図3で説明したと同様である。

【0047】

[固体撮像装置の構成の変形例2]

図示しないが、接続配線と、第1の半導体チップ部における多層配線層の配線及び第2の半導体チップ部における多層配線層の配線との接続構成の変形例2を説明する。この実施の形態では、接続配線67の接続導体68が第1の半導体チップ部22側の多層配線41の1層目メタルM1による接続パッド65に接続される。後述の図4で示す複数の接続配線のレイアウトを有する場合、各接続パッド65にそれぞれ接続する垂直信号線に相当する引き回し配線は、1層目～3層目のメタルM1～M3から適宜選択して形成される。一方、接続配線67の貫通接続導体69は、第2の半導体チップ部26側の多層配線層55の3層目メタルM13による接続パッド63に接続される。この場合も、複数の接続パッド63にそれぞれ接続する垂直信号線に相当する引き回し配線は、1層目～3層目のメタルM11～M13から適宜選択して形成される。この実施の形態では、所要の接続パッドに接続する引き回し配線が、他の接続パッド下を横切って配線することが可能になり、接続配線の緻密なレイアウトが形成できる。

10

【0048】

[接続パッドのレイアウト例1]

図4に、上記固体撮像装置27における画素アレイ23の各垂直信号線に相当する引き回し配線に接続する接続配線のレイアウトを示す。本実施の形態では、第1の半導体チップ部22における多層配線層41の配線40が複数層、本例では3層のメタルM1～M3で形成される。第1の接続パッド65は3層目メタルM3で形成され、垂直信号線に相当する引き回し配線が3層目メタルM3、あるいは3層目以外のメタルM2、M3で形成される。第2の半導体チップ部26における多層配線層55の配線53が複数層、本例では3層のメタルM11～M13で形成される。第2の接続パッド63は3層目メタルM13で形成され、垂直信号線に相当する引き回し配線が3層目メタルM13、あるいは3層目以外のメタルM12、M11で形成される。

20

【0049】

第2の接続パッド63は、第1、第2の半導体チップ部22、26での貼り合わせの位置ずれを考慮して、第1の接続パッド65より広い面積で形成される。対をなす第1及び第2の接続パッド65及び63を纏めて、接続パッド対99という。

30

【0050】

第1及び第2の接続パッド65、63は、平面上から見て八角形、好ましくは正八角形に形成される。接続パッド対99を構成する第1及び第2の接続パッド65及び63は、垂直信号線に相当する引き回し配線40d、53dが延長する垂直方向(いわゆる縦方向)に配列される。この接続パッド対99は、引き回し配線40d、53dが配列される水平方向に沿って複数配列されると共に、垂直方向に複数段、本例では3段配列されて、接続パッドアレイ98が構成される。

【0051】

接続パッド対99に接続される垂直信号線に相当する引き回し配線の他のレイアウトを説明する。前述の図4の例では、3段に配列された接続パッド対の両側にそれぞれ第1の接続パッド65に接続する引き回し配線40d(実線)と第2の接続パッド63に接続する引き回し配線53d(破線)が配列されて構成とした。図示しないが、3段に配列された接続パッド対99の片側にそれぞれ第1の接続パッド65に接続する引き回し配線40d(実線)と第2の接続パッド63に接続する引き回し配線53d(破線)が配列された構成とすることもできる。

40

【0052】

なお、第1の半導体チップ部22及び第2の半導体チップ部26における多層配線層41及び55の配線を3層メタル以外の複数層メタル、例えば4層メタルなどで形成することもできる。その場合、引き回し配線を接続パッドと重なるように引き回せるように、接

50

続パッドと引き回し配線を別の層のメタルで形成することが好ましい。

【0053】

また、第2の半導体チップ部26における多層配線層55の配線53を例えば4層のメタルで構成するとき、第2の接続パッド63は4層目メタルで形成し、この接続パッド63に接続される引き回し配線53dは1層目メタルで形成することが好ましい。このとき、引き回し配線を第2の接続パッド63と重なるように配置することができる。なお、これに限らず、第2の接続パッド63及び引き回し配線53dは、いずれの層のメタルで形成することもできる。

【0054】

< 3. 第1実施の形態 >

[固体撮像装置の構成例]

図5に、本発明に係る固体撮像装置、すなわちMOS固体撮像装置の第1実施の形態を示す。同図は、特に第1及び第2の半導体チップ部間を電氣的に接続する接続配線と、これに繋がる垂直信号線に相当する引き回し配線と、シールド配線部分を示す。図5Aは平面図、図5Bは図5Aの矢印b方向から見た断面図、図5Cは図5Aの矢印cから見た断面図である。その他の構成は、前述の図3及び図4に示す実施の形態の構成を適用できるので、図5において図3、図4と対応する部分には同一符号を付して詳細説明を省略する。

【0055】

第1実施の形態に係わる固体撮像装置101は、第1の半導体チップ部22と第2の半導体チップ部26が貼り合わされ、両半導体チップ部22及び26が接続導体68及び貫通接続導体69を有する接続配線67により接続されて構成される。接続配線67は、水平方向に複数配列され、また図示しないが垂直方向に複数段配列され、各接続配線67における接続導体68及び貫通接続導体69にそれぞれ垂直信号線に相当する引き回し配線40d及び53dが接続される。

【0056】

本例では、接続導体68が第1の半導体チップ部22における多層配線層41内の第1接続パッド65を介してこれに繋がる垂直信号線に相当する引き回し配線40dに接続される。第1接続パッド65及びこれに繋がる引き回し配線40dは、同じ3層目メタルM3で形成される。また、貫通接続導体69が第2の半導体チップ部26における多層配線層55内の第2接続パッド63を介してこれに繋がる垂直信号線に相当する引き回し配線53dに接続される。第2接続パッド63は1層目メタルM11で形成され、これに繋がる引き回し配線53dは、3層目メタルM13で形成される。第2接続パッド63は、2層目メタルM12を介して3層目メタルM13の引き回し配線53dに接続される。

【0057】

本実施の形態においては、接続配線67と、この接続配線67に隣接する他の接続配線67に繋がる垂直信号線に相当する引き回し配線40d、53dとの間をシールドするシールド配線103[103a、103b]を有して構成される。すなわち、接続配線67の接続導体68と、この接続導体68と隣接する他の接続導体68に繋がる上記引き回し配線40dとの間をシールドするシールド配線103aが配置される。同時に、接続配線67の貫通接続導体69と、この貫通接続導体69と隣接する他の貫通接続導体69に繋がる上記引き回し配線53dとの間をシールドするシールド配線103bが配置される。

【0058】

シールド配線103a、103bは、それぞれ第1の半導体チップ部22及び第2の半導体チップ部26における第1多層配線層41内及び第2多層配線層55内の所要の層の配線メタルにより形成される。シールド配線103aは、接続導体68に繋がる引き回し配線40dに平行し、かつ接続導体68に対応する位置まで延長するように、この引き回し配線40dとなる3層目メタルM3と同じ層の3層目メタルM3で形成される。シールド配線103bは、貫通接続導体69に繋がる引き回し配線53dに平行し、かつ貫通接続導体69に対応する位置まで延長するように、この引き回し配線53dとなる3層目メ

10

20

30

40

50

タルM13と同じ層の3層目メタルM13で形成される。シールド配線103[103a、103b]の長さは、引き回し配線40d、53dのパターンに応じて設定される。シールド配線103a、103bは、それぞれ対応する引き回し配線40d、53dに対して同じ側に配置される。図5Aではシールド配線103a、103bが右側に配置される。

【0059】

第1実施の形態に係る固体撮像装置101によれば、各接続配線67の接続導体68及び貫通接続導体69に繋がる引き回し配線40d、53dに平行して接続導体68、貫通接続導体69まで延長するシールド配線103a、103bが形成される。丁度、一の接続配線67と、これに隣接する他の接続配線67に繋がる引き回し配線の間、2つのシールド配線103a、103bが配置される形になる。これにより、一の接続配線67と、これに隣接する他の接続配線67に繋がる引き回し配線40d、53dの間の隣接カップリング容量を抑制することができる。シールド配線103a、103bは、異なる層のメタルM3、M13により形成されるので、3次元的な隣接カップリング容量を、容易に低減することができる。従って、高性能の固体撮像装置を提供することができる。シールド配線103[103a、103b]は、多層配線層41、55を構成する配線メタルを用いて形成される。このため、多層配線層41、55における配線のパターン工程と同時工程でシールド配線103a、103bを形成できるので、構成も簡素化され、製造工程数を増やすことなく、本実施の形態の固体撮像装置101を製造することができる。

【0060】

シールド配線103a、103bを形成することにより、多層配線層41、55の表面がより均一な平面になるので、例えばCMP（化学機械研磨）等により第1の半導体チップ部22のシリコン基板の薄膜化した後の形状も安定化する。

【0061】

< 4. 第2実施の形態 >

[固体撮像装置の構成例]

図6に、本発明に係る固体撮像装置、すなわちMOS固体撮像装置の第2実施の形態を示す。同図は、特に第1及び第2の半導体チップ部間を電氣的に接続する接続配線と、これに繋がる垂直信号線に相当する引き回し配線と、シールド配線部分を示す。図6Aは平面図、図6Bは図6Aの矢印b方向から見た断面図、図6Cは図6Aの矢印cから見た断面図である。その他の構成は、前述の図3及び図4に示す実施の形態の構成を適用できるので、図6において図3、図4と対応する部分には同一符号を付して詳細説明を省略する。

【0062】

第2実施の形態に係る固体撮像装置105は、前述と同様に、第1の半導体チップ部22と第2の半導体チップ部26が貼り合わされ、両半導体チップ部22及び26が接続導体68及び貫通接続導体69を有する接続配線67により接続されて構成される。接続配線67は、水平方向に複数配列され、また図示しないが垂直方向に複数段配列され、各接続配線67における接続導体68及び貫通接続導体69にそれぞれ垂直信号線に相当する引き回し配線40d及び53dが接続される。

【0063】

本例では、接続導体68が第1の半導体チップ部22における多層配線層41内の第1接続パッド65を介してこれに繋がる垂直信号線に相当する引き回し配線40dに接続される。第1接続パッド65及びこれに繋がる引き回し配線40dは、同じ3層目メタルM3で形成される。また、貫通接続導体69が第2の半導体チップ部26における多層配線層55内の第2接続パッド63を介してこれに繋がる垂直信号線に相当する引き回し配線53dに接続される。第2接続パッド63は1層目メタルM11で形成され、これに繋がる引き回し配線53dは、3層目メタルM13で形成される。第2接続パッド63は、2層目メタルM12を介して3層目メタルM13の引き回し配線53dに接続される。

【0064】

10

20

30

40

50

本実施の形態においては、接続配線 67 と、この接続配線 67 に隣接する他の接続配線 67 に繋がる垂直信号線に相当する引き回し配線 40d、53d との間をシールドするシールド配線 103 [103a、103b] を有して構成される。すなわち、接続配線 67 の接続導体 68 と、この接続導体 68 と隣接する他の接続導体 68 に繋がる上記引き回し配線 40d との間をシールドするシールド配線 103a が配置される。同時に、接続配線 67 の貫通接続導体 69 と、この貫通接続導体 69 と隣接する他の貫通接続導体 69 に繋がる上記引き回し配線 53d との間をシールドするシールド配線 103b が配置される。

【0065】

シールド配線 103a、103b は、それぞれ第 1 の半導体チップ部 22 及び第 2 の半導体チップ部 26 における第 1 多層配線層 41 内及び第 2 多層配線層 55 内の所要の層の配線メタルにより形成される。シールド配線 103a は、接続導体 68 に繋がる引き回し配線 40d に重なり、かつ接続導体 68 に対応する位置まで延長するように、この引き回し配線 40d となる 3 層目メタル M3 と異なる 2 層目メタル M2 で形成される。シールド配線 103b は、貫通接続導体 69 に繋がる引き回し配線 53d に重なり、かつ貫通接続導体 69 に対応する位置まで延長するように、この引き回し配線 53d となる 3 層目メタル M13 と異なる 2 層目メタル M12 で形成される。

【0066】

第 2 実施の形態に係る固体撮像装置 105 によれば、各接続配線 67 の接続導体 68 及び貫通接続導体 69 に繋がる引き回し配線 40d、53d にそれぞれ重なり、接続導体 68 及び貫通接続導体 69 まで延長するシールド配線 103a、103b が形成される。従って、一の接続配線 67 と、これに隣接する他の接続配線 67 に繋がる引き回し配線の間、実質的に 2 つのシールド配線 103a、103b が配置される形になる。これにより、一の接続配線 67 と、これに隣接する他の接続配線 67 に繋がる引き回し配線 40d、53d と間の隣接カップリング容量を抑制することができる。シールド配線 103a、103b は、異なる層のメタルにより形成されるので、3 次元的な隣接カップリング容量を、容易に低減することができる。従って、高性能の固体撮像装置を提供することができる。シールド配線 103a、103b は、多層配線層 41、55 を構成する配線メタルを用いて形成される。このため、多層配線層 41、55 における配線のパターン工程と同時工程でシールド配線 103a、103b を形成できるので、構成も簡素化され、製造工程数を増やすことなく、本実施の形態の固体撮像装置 105 を製造することができる。

【0067】

シールド配線 103a、103b を形成することにより、多層配線層 41、55 の表面がより均一な平面になるので、例えば CMP (化学機械研磨) 等により第 1 の半導体チップ部 22 のシリコン基板の薄膜化した後の形状も安定化する。

【0068】

< 5 . 第 3 実施の形態 >

[固体撮像装置の構成例]

図 7 に、本発明に係る固体撮像装置、すなわち MOS 固体撮像装置の第 3 実施の形態を示す。同図は、特に第 1 及び第 2 の半導体チップ部間を電氣的に接続する接続配線と、これに繋がる垂直信号線に相当する引き回し配線と、シールド配線部分を示す。図 7A は平面図、図 7B は図 7A の矢印 b 方向から見た断面図、図 7C は図 7A の矢印 c から見た断面図である。その他の構成は、前述の図 3 及び図 4 に示す実施の形態の構成を適用できるので、図 7 において図 3、図 4 と対応する部分には同一符号を付して詳細説明を省略する。

【0069】

第 3 実施の形態に係る固体撮像装置 106 は、前述と同様に、第 1 の半導体チップ部 22 と第 2 の半導体チップ部 26 が貼り合わされ、両半導体チップ部 22 及び 26 が接続導体 68 及び貫通接続導体 69 を有する接続配線 67 により接続されて構成される。接続配線 67 は、水平方向に複数配列され、また図示しないが垂直方向に複数段配列され、各接続配線 67 における接続導体 68 及び貫通接続導体 69 にそれぞれ垂直信号線に相当する

引き回し配線 40d 及び 53d が接続される。

【0070】

本例では、接続導体 67 が第 1 の半導体チップ部 22 における多層配線層 41 内の第 1 接続パッド 65 を介してこれに繋がる垂直信号線に相当する引き回し配線 40d に接続される。第 1 接続パッド 65 及びこれに繋がる引き回し配線 40d は、同じ 3 層目メタル M3 で形成される。また、貫通接続導体 68 が第 2 の半導体チップ部 26 における多層配線層 55 内の第 2 接続パッド 63 を介してこれに繋がる垂直信号線に相当する引き回し配線 53d に接続される。第 2 接続パッド 63 は 3 層目メタル M13 で形成され、これに繋がる引き回し配線 53d は、1 層目メタル M11 で形成される。第 2 接続パッド 63 は、2 層目メタル M12 を介して 1 層目メタル M11 の引き回し配線 53d に接続される。

10

【0071】

本実施の形態においては、接続配線 67 と、この接続配線 67 に隣接する他の接続配線 67 に繋がる垂直信号線に相当する引き回し配線 40d、53d との間をシールドするシールド配線 103 [103a, 103b] を有して構成される。すなわち、接続配線 67 の接続導体 68 と、この接続導体 68 と隣接する他の接続導体 68 に繋がる上記引き回し配線 40d との間をシールドするシールド配線 103a が配置される。同時に、接続配線 67 の貫通接続導体 69 と、この貫通接続導体 69 と隣接する他の貫通接続導体 69 に繋がる上記引き回し配線 53d との間をシールドするシールド配線 103b が配置される。

【0072】

シールド配線 103a, 103b は、それぞれ第 1 の半導体チップ部 22 及び第 2 の半導体チップ部 26 における第 1 多層配線層 41 内及び第 2 多層配線層 55 内の所要の層の配線メタルにより形成される。シールド配線 103a は、接続導体 68 に繋がる引き回し配線 40d に平行し、かつ接続導体 68 に対応する位置まで延長するように、この引き回し配線 40d となる 3 層目メタル M3 と同じ層の 3 層目メタル M3 で形成される。シールド配線 103b は、貫通接続導体 69 に繋がる引き回し配線 53d に重なり、かつ貫通接続導体 69 に対応する位置まで延長するように、この引き回し配線 53d となる 3 層目メタル M13 と異なる 2 層目メタル M12 で形成される。

20

【0073】

第 3 実施の形態に係る固体撮像装置 106 によれば、各接続配線 67 における接続導体 68 に繋がる引き回し配線 40d に平行し、かかる接続導体 68 まで延長するように、同じ層のメタルによるシールド配線 103a が形成される。また、貫通接続導体 69 に繋がる引き回し配線 53d に重なり、貫通接続導体 69 まで延長するように、引き回し配線 53d と異なる層のメタルによるシールド配線 103b が形成される。従って、一の接続配線 67 と、これに隣接する他の接続配線 67 に繋がる引き回し配線 40d, 53d の間に、実質的に 2 つのシールド配線 103a, 103b が配置される形になる。これにより、一の接続配線 67 と、これに隣接する他の接続配線 67 に繋がる引き回し配線 40d, 53d との間を隣接カップリング容量を抑制することができる。シールド配線 103a, 103b は、異なる層のメタルにより形成されるので、3 次元的な隣接カップリング容量を、容易に低減することができる。従って、高性能の固体撮像装置を提供することができる。シールド配線 103a, 103b は、多層配線層 41、55 を構成する配線メタルを用いて形成される。このため、多層配線層 41、55 における配線のパターン工程と同時工程でシールド配線 103a, 103b を形成することができるので、製造工程数を増やすことなく、本実施の形態の固体撮像装置 106 を製造することができる。

30

40

【0074】

シールド配線 103a, 103b を形成することにより、多層配線層 41、55 の表面がより均一な平面になるので、例えば CMP (化学機械研磨) 等により第 1 の半導体チップ部 22 のシリコン基板の薄膜化した後の形状も安定化する。

【0075】

[変形例]

図 7 の引き回し配線 40d とシールド配線 103a の関係と、引き回し配線 53d とシ

50

ールド配線 103b の関係とを逆にして構成することもできる。すなわち、接続導体 68 に繋がる接続パッド 65 を 3 層目メタル M3 で形成し、接続パッド 65 に繋がる引き回し配線 40d を 2 層目メタル M2 で形成し、シールド配線 103a を引き回し配線 40d に重なるように 3 層目又は 1 層目メタル M3、M1 で形成する。また、貫通接続導体 69 に接続パッド 63 を介して繋がる引き回し配線 53d を 3 層目メタル M13 形成し、シールド配線 103b を引き回し配線 53d と平行するように、3 層目メタル M13 で形成する。

【0076】

このような構成においても、第 3 実施の形態で説明したと同様の効果を奏する。

【0077】

< 6 . 第 4 実施の形態 >

[固体撮像装置の構成例]

図 8 に、本発明に係る固体撮像装置、すなわち MOS 固体撮像装置の第 4 実施の形態を示す。同図は、特に第 1 及び第 2 の半導体チップ部間を電氣的に接続する接続配線と、これに繋がる垂直信号線に相当する引き回し配線と、シールド配線部分を示す。図 8A は平面図、図 8B は図 8A の矢印 b 方向から見た断面図、図 8C は図 8A の矢印 c から見た断面図である。その他の構成は、前述の図 3 及び図 4 に示す実施の形態の構成を適用できるので、図 8 において図 3、図 4 と対応する部分には同一符号を付して詳細説明を省略する。

【0078】

第 4 実施の形態に係る固体撮像装置 107 は、前述と同様に、第 1 の半導体チップ部 22 と第 2 の半導体チップ部 26 が貼り合わされ、両半導体チップ部 22 及び 26 が接続導体 68 及び貫通接続導体 69 を有する接続配線 67 により接続されて構成される。接続配線 67 は、水平方向に複数配列され、また図示しないが垂直方向に複数段配列され、各接続配線 67 における接続導体 68 及び貫通接続導体 69 にそれぞれ垂直信号線に相当する引き回し配線 40d、53d が接続される。

【0079】

本実施の形態では、接続導体 68 が第 1 の半導体チップ部 22 における多層配線層 41 内の第 1 接続パッド 65 を介してこれに繋がる垂直信号線に相当する引き回し配線 40d に接続される。第 1 接続パッド 65 及びこれに繋がる引き回し配線 40d は、同じ 2 層目メタル M2 で形成される。また、貫通接続導体 68 が第 2 の半導体チップ部 26 における多層配線層 55 内の第 2 接続パッド 63 を介してこれに繋がる垂直信号線に相当する引き回し配線 53d に接続される。第 2 接続パッド 63 及びこれに繋がる引き回し配線 63d は、2 層目メタル M12 で形成される。

【0080】

本実施の形態では、接続配線 67 と、この接続配線 67 に隣接する他の接続配線 67 に繋がる垂直信号線に相当する引き回し配線 40d、53d との間をシールドするシールド配線 103 [103a、103b] を有して構成される。すなわち、接続配線 67 の接続導体 68 と、この接続導体 68 と隣接する他の接続導体 68 に繋がる上記引き回し配線 40d との間をシールドするシールド配線 103a が配置される。同時に、接続配線 67 の貫通接続導体 69 と、この貫通接続導体 69 と隣接する他の貫通接続導体 69 に繋がる上記引き回し配線 53d との間をシールドするシールド配線 103b が配置される。

【0081】

シールド配線 103a は、第 1 の半導体チップ 22 の多層配線層 41 内の、接続導体 68 に繋がる引き回し配線 40d を上下で挟み、接続導体 68 まで延長するように 1 層目メタル M1 及び 3 層目メタル M3 による 2 つのシールド配線により構成される。シールド配線 103b は、第 2 の半導体チップ 26 の多層配線層 55 内の、貫通接続導体 69 に繋がる引き回し配線 53d を上下で挟み、貫通接続導体 69 まで延長するように 1 層目メタル M11 及び 3 層目メタル M13 による 2 つのシールド配線により構成される。

【0082】

10

20

30

40

50

第4実施の形態に係る固体撮像装置107によれば、それぞれの接続導体68、貫通接続導体69に繋がる引き回し配線40d, 53dが、上下のシールド配線103aと103b、103bと103bにより挟まれて形成される。従って、一の接続配線67と、これに隣接する他の接続配線67に繋がる引き回し配線40d, 53dの間に、実質的に2つのシールド配線103a, 103bが配置される形になる。これにより、一の接続配線67と、これに隣接する他の接続配線67に繋がる引き回し配線の間40d, 53dとの間の隣接カップリング容量を抑制することができる。シールド配線103a, 103bは、異なる層のメタルにより形成されるので、3次元的な隣接カップリング容量を、容易に低減することができる。従って、高性能の固体撮像装置を提供することができる。シールド配線103a, 103bは、それぞれの多層配線層41, 55を構成するメタルを用いて形成される。このため、多層配線層41, 55における配線のパターン工程と同時工程でシールド配線103a, 103bを形成することができるので、製造工程数を増やすことなく、本実施の形態の固体撮像装置107を製造することができる。

10

【0083】

シールド配線103a, 103bを形成することにより、多層配線層41, 55の表面がより均一な平面になるので、例えばCMP（化学機械研磨）等により第1の半導体チップ部22のシリコン基板の薄膜化した後の形状も安定化する。

【0084】

< 7. 第5実施の形態 >

[固体撮像装置の構成例]

20

図9に、本発明に係る固体撮像装置、すなわち裏面照射型のMOS固体撮像装置の第5実施の形態を示す。同図は、特に第1及び第2の半導体チップ部間を電氣的に接続する複数の接続配線が配置された接続配線アレイと、隣接する接続配線間のシールド配線部分を示す。その他の構成は、前述の図3及び図4に示す実施の形態の構成を適用できるので、図9において図3、図4と対応する部分には同一符号を付して詳細説明を省略する。

【0085】

第5実施の形態に係る固体撮像装置111は、第1の半導体チップ部22と第2の半導体チップ部26が貼り合わされ、両半導体チップ部22及び26が接続導体68及び貫通接続導体69を有する接続配線67により接続されて構成される。複数の接続配線67によって接続配線アレイ109が構成される。接続配線アレイ109は、接続配線67が垂直方向に複数段、本例では3段配列された接続配線群110が、水平方向に複数列、本例では4列配列されて成る。各接続配線67における接続導体68及び貫通接続導体69には、それぞれ垂直信号線に相当する引き回し配線40d, 53d（図示せず）が接続される。同図では、引き回し配線40d, 53dを省略しているが、前述の図4と同じパターンで引き回し配線40d, 53dが接続される。引き回し配線40d, 53dは矢印yの方向に延長して形成される。

30

【0086】

本実施の形態では、接続配線アレイ109において、上面から見て、各列に相当する接続配線群110が連続したシールド配線113で区分される。このシールド配線113は、各接続配線群110の両側を挟むようにして隣り合う接続配線群110間に配置されたシールド配線部113aと、各シールド配線部113aを上記引き回し配線の延長側の端部を連結するシールド配線部113bとを有している。すなわち、シールド配線113は、上記引き回し配線40d, 53dの延長側を閉じるように櫛歯状パターンに形成される。

40

【0087】

このシールド配線113は、例えば、第1の半導体チップ部22側の多層配線層41における所要の層のメタルで形成することができる。あるいは、シールド配線113は、第2の半導体チップ部26側の多層配線層55における所要の層のメタルで形成することができる。あるいは、シールド配線113は、第1及び第2の半導体チップ部22及び26における多層配線層41, 55におけるそれぞれの所要のメタルで形成することができる。

50

この場合、多層配線層 4 1 における所要のメタルで上記櫛歯状パターンのシールド配線 1 1 3 を形成し、多層配線層 5 5 における所要のメタルで上記櫛歯状パターンのシールド配線 1 1 3 を形成する。シールド配線 1 1 3 は、グランド電位（接地電位）が与えられる。

【 0 0 8 8 】

第 5 実施の形態に係る固体撮像装置 1 1 1 によれば、接続配線アレイ 1 0 9 において、上記引き回し配線の延長側と反対側を解放した櫛歯状パターンのシールド配線 1 1 3 で各接続配線群 1 1 0 が囲われるので、隣接する接続配線群 1 1 0 間がシールドされる。このため、隣接する接続配線群 1 1 0 間の隣接カップリング容量を抑制することができる。それぞれの多層配線層 4 1、5 5 におけるメタルで各々の櫛歯状パターンのシールド配線 1 1 3 を形成するときは、3 次元的な隣接カップリング容量を、より容易に低減することができる。従って、高性能の固体撮像装置を提供することができる。シールド配線 1 1 3 は、多層配線層 4 1 又は / 及び 5 5 を構成するメタルを用いて形成される。このため、多層配線層 4 1、5 5 における配線のパターン工程と同時工程でシールド配線を形成することができるので、製造工程数を増やすことなく、本実施の形態の固体撮像装置 1 1 1 を製造することができる。

10

【 0 0 8 9 】

シールド配線 1 1 3 を形成することにより、多層配線層 4 1、5 5 の表面がより均一な平面になるので、例えば CMP（化学機械研磨）等により第 1 の半導体チップ部 2 2 のシリコン基板の薄膜化した後の形状も安定化する。

【 0 0 9 0 】

20

< 8 . 第 6 実施の形態 >

[固体撮像装置の構成例]

図 1 0 に、本発明に係る固体撮像装置、すなわち裏面照射型の MOS 固体撮像装置の第 6 実施の形態を示す。同図は、特に第 1 及び第 2 の半導体チップ部間を電氣的に接続する複数の接続配線が配置された接続配線アレイと、隣接する接続配線間のシールド配線部分を示す。その他の構成は、前述の図 3 及び図 4 に示す実施の形態の構成を適用できるので、図 1 0 において図 3、図 4 と対応する部分には同一符号を付して詳細説明を省略する。

【 0 0 9 1 】

第 6 実施の形態に係る固体撮像装置 1 1 2 は、第 1 の半導体チップ部 2 2 と第 2 の半導体チップ部 2 6 が貼り合わされ、両半導体チップ部 2 2 及び 2 6 が接続導体 6 8 及び貫通接続導体 6 9 を有する接続配線 6 7 により接続されて構成される。複数の接続配線 6 7 によって接続配線アレイ 1 0 9 が構成される。接続配線アレイ 1 0 9 は、接続配線 6 7 が垂直方向に複数段、本例では 3 段配列された接続配線群 1 1 0 が、水平方向に複数列、本例では 4 列配列されて成る。各接続配線 6 7 における接続導体 6 8 及び貫通接続導体 6 9 には、それぞれ垂直信号線に相当する引き回し配線 4 0 a、5 3 d（図示せず）が接続される。同図では、引き回し配線 4 0 d、5 3 d を省略しているが、前述の図 4 と同じパターンで引き回し配線 4 0 d、5 3 d が接続される。引き回し配線 4 0 d、5 3 d は矢印 y の方向に延長して形成される。

30

【 0 0 9 2 】

本実施の形態では、接続配線アレイ 1 0 9 において、上面から見て、各列に相当する接続配線群 1 1 0 が連続したシールド配線 1 1 3 で区分される。このシールド配線 1 1 3 は、前述の第 5 実施の形態における櫛歯状パターンと上下逆にした櫛歯状パターンに形成される。すなわち、各接続配線群 1 1 0 の両側を挟むようにして隣り合う接続配線群 1 1 0 間に配置されたシールド配線部 1 1 3 a と、各シールド配線部 1 1 3 a を上記引き回し配線の延長側と反対側の端部を連結するシールド配線部 1 1 3 c とを有している。従って、シールド配線 1 1 3 は、上記引き回し配線の延長側を解放した櫛歯状パターンに形成される。

40

【 0 0 9 3 】

このシールド配線 1 1 3 は、例えば、第 1 の半導体チップ部 2 2 側の多層配線層 4 1 における所要の層のメタルで形成することができる。あるいは、シールド配線 1 1 3 は、第

50

2の半導体チップ部26側の多層配線層55における所要の層のメタルで形成することができる。あるいは、シールド配線113は、第1及び第2の半導体チップ22及び26の多層配線層41、55におけるそれぞれの所要のメタルで形成することができる。この場合、多層配線層41における所要のメタルで上記櫛歯状パターンのシールド配線113を形成し、多層配線層55における所要のメタルで上記櫛歯状パターンのシールド配線113を形成する。シールド配線113は、グランド電位（接地電位）が与えられる。

【0094】

第6実施の形態に係る固体撮像装置112によれば、接続配線アレイ109において、上記引き回し配線の延長側を解放した櫛歯状パターンのシールド配線113で各接続配線群110が囲われるので、隣接する接続配線群110間がシールドされる。このため、隣接する接続配線群110間の隣接カップリング容量を抑制することができる。それぞれの多層配線層41、55におけるメタルで各々の櫛歯状パターンのシールド配線113を形成するときは、3次元的な隣接カップリング容量を、より容易に低減することができる。従って、高性能の固体撮像装置を提供することができる。シールド配線113は、多層配線層41又は/及び55を構成するメタルを用いて形成される。このため、多層配線層41、55における配線のパターン工程と同時工程でシールド配線を形成することができるので、製造工程数を増やすことなく、本実施の形態の固体撮像装置112を製造することができる。

【0095】

< 9. 第7実施の形態 >

[固体撮像装置の構成例]

図11に、本発明に係る固体撮像装置、すなわち裏面照射型のMOS固体撮像装置の第7実施の形態を示す。同図は、特に第1及び第2の半導体チップ部間を電氣的に接続する複数の接続配線が配置された接続配線アレイと、隣接する接続配線間のシールド配線部分を示す。その他の構成は、前述の図3及び図4に示す実施の形態の構成を適用できるので、図11において図3、図4と対応する部分には同一符号を付して詳細説明を省略する。

【0096】

第7実施の形態に係る固体撮像装置114は、第1の半導体チップ部22と第2の半導体チップ部26が貼り合わされ、両半導体チップ部22及び26が接続導体68及び貫通接続導体69を有する接続配線67により接続されて構成される。複数の接続配線67によって接続配線アレイ109が構成される。接続配線アレイ109は、接続配線67が垂直方向に複数段、本例では3段配列された接続配線群110が、水平方向に複数列、本例では4列配列されて成る。各接続配線67における接続導体68及び貫通接続導体69には、それぞれ垂直信号線に相当する引き回し配線40d, 53d（図示せず）が接続される。同図では、引き回し配線40d, 53dを省略しているが、前述の図4と同じパターンで引き回し配線40d, 53dが接続される。引き回し配線40d, 53dは矢印yの方向に延長して形成される。

【0097】

本実施の形態では、接続配線アレイ109において、上面から見て、各列に相当する接続配線群110が連続したシールド配線113で区分される。このシールド配線113は次のようなパターンを有して形成される。シールド配線113は、各接続配線群110の両側を挟むようにして隣り合う接続配線群110間に配置されたシールド配線部113aを有する。また、シールド配線113は、1列目の接続配線群110の上記引き回し配線の延長側と反対側を閉じるシールド配線部113dと、4列目の接続配線群110の上記引き回し配線の延長側を閉じるシールド配線部113eを有する。さらに、シールド配線113は、2列目の接続配線群110の1段目と2段目の接続配線67間に差し渡るシールド配線部113fと、3列目の接続配線群110の3段目と4段目の接続配線67間を差し渡るシールド配線部113gとを有する。

【0098】

このシールド配線113は、例えば、第1の半導体チップ部22側の多層配線層41に

10

20

30

40

50

おける所要の層のメタルで形成することができる。あるいは、シールド配線 1 1 3 は、第 2 の半導体チップ部 2 6 側の多層配線層 5 5 における所要の層のメタルで形成することができる。あるいは、シールド配線 1 1 3 は、第 1 及び第 2 の半導体チップ 2 2 及び 2 6 の多層配線層 4 1、5 5 におけるそれぞれの所要のメタルで形成することができる。この場合、多層配線層 4 1 における所要のメタルで上記パターンのシールド配線 1 1 3 を形成し、多層配線層 5 5 における所要のメタルで上記パターンのシールド配線 1 1 3 を形成する。シールド配線 1 1 3 は、グランド電位（接地電位）が与えられる。

【 0 0 9 9 】

第 7 実施の形態に係る固体撮像装置 1 1 4 によれば、図 1 1 に示すパターンのシールド配線 1 1 3 により各隣接する接続配線群 1 1 0 間、及び一部の垂直方向の接続配線 6 7 間がシールドされる。このため、隣接する接続配線群 1 1 0 間、及び一部の垂直方向の接続配線 6 7 間の隣接カップリング容量を抑制することができる。それぞれの多層配線層 4 1、5 5 におけるメタルで各々の上記パターンのシールド配線 1 1 3 を形成するときは、3 次元的な隣接カップリング容量を、より容易に低減することができる。従って、高性能の固体撮像装置を提供することができる。シールド配線 1 1 3 は、多層配線層 4 1 又は / 及び 5 5 を構成するメタルを用いて形成される。このため、多層配線層 4 1、5 5 における配線のパターン工程と同時工程でシールド配線 1 1 3 を形成することができるので、製造工程数を増やすことなく、本実施の形態の固体撮像装置 1 1 4 を製造することができる。

【 0 1 0 0 】

シールド配線 1 1 3 を形成することにより、多層配線層 4 1、5 5 の表面がより均一な平面になるので、例えば CMP（化学機械研磨）等により第 1 の半導体チップ部 2 2 のシリコン基板の薄膜化した後の形状も安定化する。

【 0 1 0 1 】

< 1 0 . 第 8 実施の形態 >

[固体撮像装置の構成例]

図 1 2 に、本発明に係る固体撮像装置、すなわち裏面照射型の MOS 固体撮像装置の第 8 実施の形態を示す。同図は、特に第 1 及び第 2 の半導体チップ部間を電気的に接続する複数の接続配線が配置された接続配線アレイと、隣接する接続配線間のシールド配線部分を示す。その他の構成は、前述の図 3 及び図 4 に示す実施の形態の構成を適用できるので、図 1 2 において図 3、図 4 と対応する部分には同一符号を付して詳細説明を省略する。

【 0 1 0 2 】

第 8 実施の形態に係る固体撮像装置 1 1 5 は、第 1 の半導体チップ部 2 2 と第 2 の半導体チップ部 2 6 が貼り合わされ、両半導体チップ部 2 2 及び 2 6 が接続導体 6 8 及び貫通接続導体 6 9 を有する接続配線 6 7 により接続されて構成される。複数の接続配線 6 7 によって接続配線アレイ 1 0 9 が構成される。接続配線アレイ 1 0 9 は、接続配線 6 7 が垂直方向に複数段、本例では 3 段配列された接続配線群 1 1 0 が、水平方向に複数列、本例では 4 列配列されて成る。各接続配線 6 7 における接続導体 6 8 及び貫通接続導体 6 9 には、それぞれ垂直信号線に相当する引き回し配線 4 0 d、5 3 d（図示せず）が接続される。同図では、引き回し配線 4 0 d、5 3 d を省略しているが、前述の図 4 と同じパターンで引き回し配線 4 0 d、5 3 d が接続される。引き回し配線 4 0 d、5 3 d は矢印 y の方向に延長して形成される。

【 0 1 0 3 】

本実施の形態では、接続配線アレイ 1 0 9 において、上面から見て、各列に相当する接続配線群 1 1 が連続したシールド配線 1 1 3 で区分される。すなわち、シールド配線 1 1 3 は、各列の接続配線群 1 1 0 間がシールドされるように、連続するジグザグ状パターンに形成される。

【 0 1 0 4 】

このシールド配線 1 1 3 は、例えば、第 1 の半導体 2 2 の多層配線層 4 1 における所要の層のメタルで形成することができる。あるいは、シールド配線 1 1 3 は、第 2 の半導体チップ部 2 6 側の多層配線層 5 5 における所要の層のメタルで形成することができる。あ

10

20

30

40

50

るいは、シールド配線 1 1 3 は、第 1 及び第 2 の半導体チップ 2 2 及び 2 6 の多層配線層 4 1、5 5 におけるそれぞれの所要のメタルで形成することができる。この場合、多層配線層 4 1 における所要のメタルで上記ジグザグ状パターンのシールド配線 1 1 3 を形成し、多層配線層 5 5 における所要のメタルで上記ジグザグ状パターンのシールド配線 1 1 3 を形成する。シールド配線 1 1 3 は、グランド電位（接地電位）が与えられる。

【 0 1 0 5 】

第 8 実施の形態に係る固体撮像装置 1 1 5 によれば、各隣接する接続配線群 1 1 0 間がジグザグ状パターンのシールド配線 1 1 3 によりシールドであるので、隣接する接続配線群 1 1 0 間の隣接カップリング容量を抑制することができる。それぞれの多層配線層 4 1、5 5 におけるメタルで各々のジグザグ状パターンのシールド配線 1 1 3 を形成するときは、3 次元的な隣接カップリング容量を、より容易に低減することができる。従って、高性能の固体撮像装置を提供することができる。シールド配線 1 1 3 は、多層配線層 4 1 又は / 及び 5 5 を構成するメタルを用いて形成される。このため、多層配線層 4 1、5 5 における配線のパターン工程と同時工程でシールド配線 1 1 3 を形成することができるので、製造工程数を増やすことなく、本実施の形態の固体撮像装置 1 1 5 を製造することができる。

10

【 0 1 0 6 】

シールド配線 1 1 3 を形成することにより、多層配線層 4 1、5 5 の表面がより均一な平面になるので、例えば CMP（化学機械研磨）等により第 1 の半導体チップ部 2 2 のシリコン基板の薄膜化した後の形状も安定化する。

20

【 0 1 0 7 】

< 1 1 . 第 9 実施の形態 >

[固体撮像装置の構成例]

図 1 3 に、本発明に係る固体撮像装置、すなわち裏面照射型の MOS 固体撮像装置の第 9 実施の形態を示す。同図は、特に第 1 及び第 2 の半導体チップ部間を電氣的に接続する複数の接続配線が配置された接続配線アレイと、隣接する接続配線間のシールド配線部分を示す。その他の構成は、前述の図 3 及び図 4 に示す実施の形態の構成を適用できるので、図 1 3 において図 3、図 4 と対応する部分には同一符号を付して詳細説明を省略する。

【 0 1 0 8 】

第 9 実施の形態に係る固体撮像装置 1 1 6 は、第 1 の半導体チップ部 2 2 と第 2 の半導体チップ部 2 6 が貼り合わされ、両半導体チップ部 2 2 及び 2 6 が接続導体 6 8 及び貫通接続導体 6 9 を有する接続配線 6 7 により接続されて構成される。複数の接続配線 6 7 によって接続配線アレイ 1 0 9 が構成される。接続配線アレイ 1 0 9 は、垂直方向に複数段配列された接続配線群 1 1 0 が、垂直方向に複数列、本例では 5 列配列されて成る。本例では、1、3、5 列の奇数列の接続配線群 1 1 0 が 3 段の接続配線 6 7 を有し、2、4 列の偶数列の接続配線群 1 1 0 が 2 段の接続配線 6 7 を有している。各接続配線 6 7 における接続導体 6 8 及び貫通接続導体 6 9 には、それぞれ垂直信号線に相当する引き回し配線 4 0 d、5 3 d（図示せず）が接続される。同図では、引き回し配線 4 0 d、5 3 d を省略しているが、前述の図 4 と同じパターンで引き回し配線 4 0 d、5 3 d が接続される。引き回し配線 4 0 d、5 3 d は矢印 y の方向に延長して形成される。

30

40

【 0 1 0 9 】

本実施の形態では、接続配線アレイ 1 0 9 において、上面から見て、各列に相当する接続配線群 1 1 0 が連続したシールド配線 1 1 3 で区分される。このシールド配線 1 1 3 は図示するパターン形状を有する。すなわち、シールド配線 1 1 3 は、各接続配線群 1 1 0 の両側を挟むようにして接続配線群 1 1 0 間に配置されたシールド配線部 1 1 3 a を有する。また、シールド配線 1 1 3 は、1 行目、4 行目の接続配線群 1 1 0 の引き回し配線の延長側と反対側が閉じられたシールド配線部 1 1 3 h と、3 列目の接続配線群 1 1 0 をシールド配線 1 1 3 a と共に取り囲むようにしたシールド配線部 1 1 3 i を有する。さらに、シールド配線 1 1 3 は、2 列目の接続配線 6 7 間を差し渡るシールド配線部 1 1 3 j と、4 列目の接続配線群 1 1 0 の 1 段目と 2 段目の接続配線 6 7 間を差し渡るシールド配線

50

部 1 1 3 k とを有する。

【 0 1 1 0 】

このシールド配線 1 1 3 は、例えば、第 1 の半導体チップ部 2 2 側の多層配線層 4 1 における所要の層のメタルで形成することができる。あるいは、シールド配線 1 1 3 は、第 2 の半導体チップ部 2 6 側の多層配線層 5 5 における所要の層のメタルで形成することができる。あるいは、シールド配線 1 1 3 は、第 1 及び第 2 の半導体チップ 2 2 及び 2 6 の多層配線層 4 1、5 5 におけるそれぞれの所要のメタルで形成することができる。この場合、多層配線層 4 1 における所要のメタルで上記パターンのシールド配線 1 1 3 を形成し、多層配線層 5 5 における所要のメタルで上記パターンのシールド配線 1 1 3 を形成する。シールド配線 1 1 3 は、グランド電位（接地電位）が与えられる。

10

【 0 1 1 1 】

第 9 実施の形態に係る固体撮像装置 1 1 6 によれば、図 9 に示すパターンのシールド配線 1 1 3 により各隣接する接続配線群 1 1 0 間、及び一部の垂直方向の接続配線 6 7 間がシールドされる。このため、隣接する接続配線群 1 1 0 間、及び一部の垂直方向の接続配線 6 7 間の隣接カップリング容量を抑制することができる。それぞれの多層配線層 4 1、5 5 におけるメタルで各々の上記パターンのシールド配線 1 1 3 を形成するときは、3 次元的な隣接カップリング容量を、より容易に低減することができる。従って、高性能の固体撮像装置 1 1 6 を提供することができる。シールド配線 1 1 3 は、多層配線層 4 1 又は / 及び 5 5 を構成するメタルを用いて形成される。このため、多層配線層 4 1、5 5 における配線のパターン工程と同時工程でシールド配線 1 1 3 を形成することができるので、製造工程数を増やすことなく、本実施の形態の固体撮像装置 1 1 6 を製造することができる。

20

【 0 1 1 2 】

シールド配線 1 1 3 を形成することにより、多層配線層 4 1、5 5 の表面がより均一な平面になるので、例えば CMP（化学機械研磨）等により第 1 の半導体チップ部 2 2 のシリコン基板の薄膜化した後の形状も安定化する。

【 0 1 1 3 】

【表 1】

	第5 実施の形態	第6 実施の形態	第7 実施の形態	第8 実施の形態	第9 実施の形態
トータル容量	1.0	1.18	0.99	1.2	0.99
隣接 カップリング容量	1.0	0.7	0.88	0.7	0.94

30

【 0 1 1 4 】

表 1 に、第 5 実施の形態～第 9 実施の形態に係る固体撮像装置 1 1 1、1 1 2、1 1 4、1 1 5、1 1 6 におけるシールド配線 1 1 3 のレイアウト毎のトータル容量及び隣接カップリング容量を比較して示す。表 1 では、第 5 実施の形態に係る固体撮像装置 1 1 1 のトータル容量及び隣接カップリング容量を基準としている。

40

ここで、隣接カップリング容量とは、接続配線アレイ 1 0 9 におけるトータルの隣接カップリング容量である。トータル容量とは、隣接カップリング容量と、他の容量（基板と貫通導体間で生じる容量と、シールドと貫通導体間で生じる容量との総和）との合計の容量である。

【 0 1 1 5 】

表 1 から明らかのように、第 6 実施の形態では、隣接カップリング容量を大きく下げることができる。トータル容量は上がる可能性がある。第 7 実施の形態では、トータル容量

50

及び隣接カップリング容量を共に下げることができる。第 8 実施の形態では、トータル容量が下がり、隣接カップリング容量を大きく下げることができる。第 9 実施の形態では、トータル容量及び隣接カップリング容量を共に下げることができる。

【 0 1 1 6 】

< 1 2 . 第 1 0 実施の形態 >

[固体撮像装置の構成例]

次に、本発明に係る固体撮像装置、すなわち裏面照射型の M O S 固体撮像装置の第 1 0 実施の形態について説明する。第 1 0 実施の形態に係る固体撮像装置は、図示しないが、前述の第 1 ~ 第 4 実施の形態で示したシールド配線 1 0 3 と、第 5 ~ 第 9 実施の形態で示したシールド配線 1 1 3 とを適宜組み合わせる構成される。

10

【 0 1 1 7 】

第 1 0 実施の形態に係る固体撮像装置によれば、シールド配線 1 0 3 により、接続配線 6 7 とこれに隣接する接続配線 6 7 に繋がる垂直信号線に相当する引き回し配線との間の隣接カップリング容量を抑制することができる。同時に、シールド配線 1 1 3 により、隣接する接続配線群 1 1 0 間（一部接続配線間を含み）の隣接カップリング容量を抑制することができる。このように、シールド配線 1 0 3、1 1 3 を配置することにより、3 次元的な隣接カップリング容量を更に抑制することができる。従って、更に高性能の固体撮像装置を提供することができる。

【 0 1 1 8 】

< 1 3 . 第 1 1 実施の形態 >

[電子機器の構成例]

上述の本発明に係る固体撮像装置は、例えばデジタルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話、あるいは撮像機能を備えた他の機器、などの電子機器に適用することができる。

20

【 0 1 1 9 】

図 1 4 に、本発明に係る電子機器の一例としてカメラに適用した第 1 1 実施の形態を示す。本実施の形態に係るカメラは、静止画像又は動画撮影可能なビデオカメラを例としたものである。本実施の形態のカメラ 1 2 1 は、固体撮像装置 1 2 2 と、固体撮像装置 1 2 2 の受光センサ部に入射光を導く光学系 1 2 3 と、シャッタ装置 1 2 4 を有する。さらに、カメラ 1 2 1 は、固体撮像装置 1 4 2 を駆動する駆動回路 1 2 5 と、固体撮像装置 1 2 2 の出力信号を処理する信号処理回路 1 2 6 とを有する。

30

【 0 1 2 0 】

固体撮像装置 1 2 2 は、上述した各実施の形態の固体撮像装置のいずれかが適用される。光学系（光学レンズ）1 2 3 は、被写体からの像光（入射光）を固体撮像装置 1 2 2 の撮像面上に結像させる。これにより、固体撮像装置 1 2 2 内に、一定期間信号電荷が蓄積される。光学系 1 2 3 は、複数の光学レンズから構成された光学レンズ系としてもよい。シャッタ装置 1 2 4 は、固体撮像装置 1 2 2 への光照射期間及び遮光期間を制御する。駆動回路 1 2 5 は、固体撮像装置 1 2 2 の転送動作及びシャッタ装置 1 2 4 のシャッタ動作を制御する駆動信号を供給する。駆動回路 1 2 5 から供給される駆動信号（タイミング信号）により、固体撮像装置 1 2 2 の信号転送を行う。信号処理回路 1 2 6 は、各種の信号処理を行う。信号処理が行われた映像信号は、メモリなどの記憶媒体に記憶され、或いは、モニタに出力される。

40

【 0 1 2 1 】

第 1 1 実施の形態に係るカメラなどの電子機器によれば、固体撮像装置 1 2 2 において高性能化が図られ、信頼性の高い電子機器を提供することができる。

【 符号の説明 】

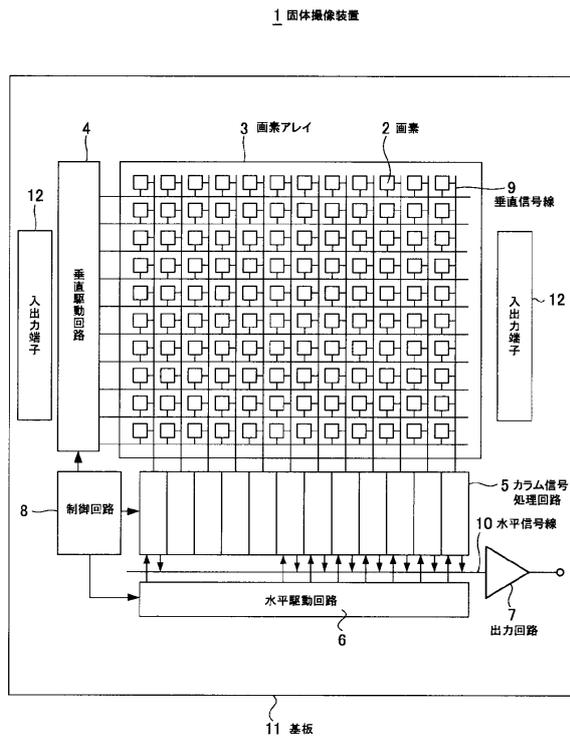
【 0 1 2 2 】

2 2 . . . 第 1 の半導体チップ部、2 6 . . . 第 2 の半導体チップ部、4 0 d、5 3 d . . . 垂直信号線に相当する引き回し配線、6 3、6 5 . . . 接続パッド、6 7 . . . 接続配線、6 8 . . . 接続導体、6 9 . . . 貫通接続導体、1 0 1、1 0 5 ~ 1 0 7、1 1 1 ~ 1 1 2、1

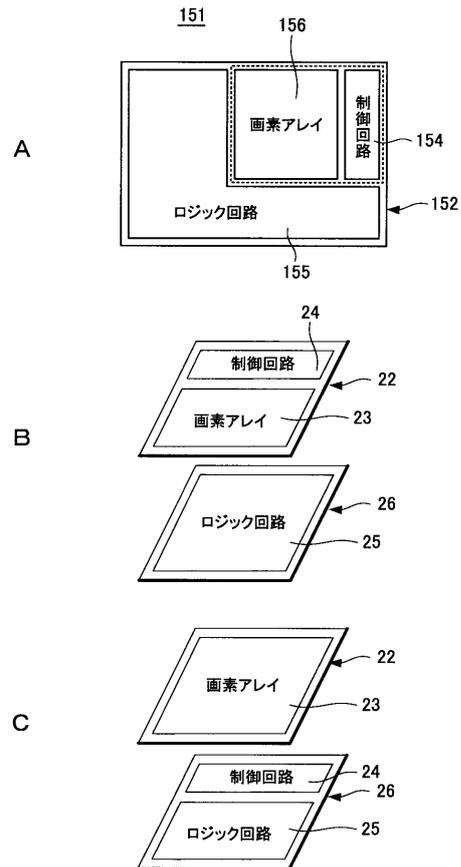
50

14 ~ 116・・・固体撮像装置、103、113・・・シールド配線、109・・・接続配線
アレイ、110・・・接続配線群、121・・・カメラ

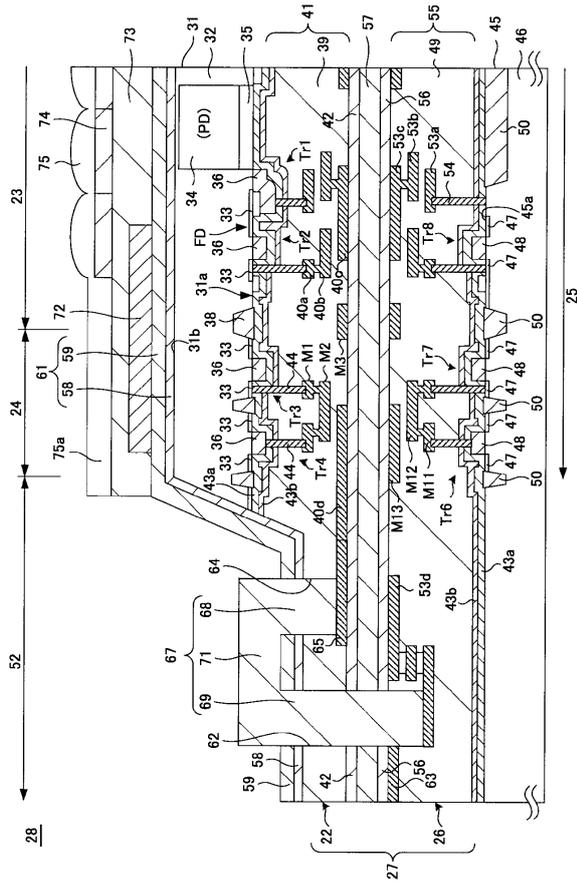
【図1】



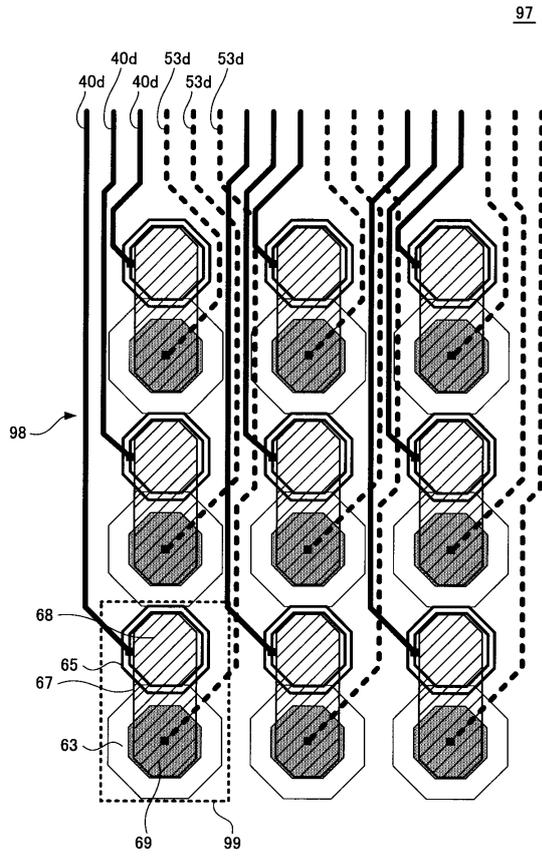
【図2】



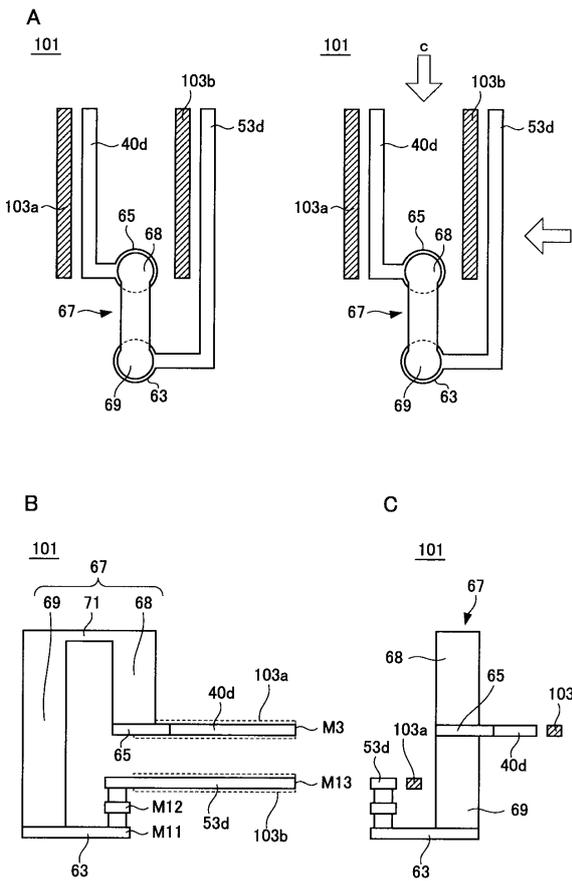
【 図 3 】



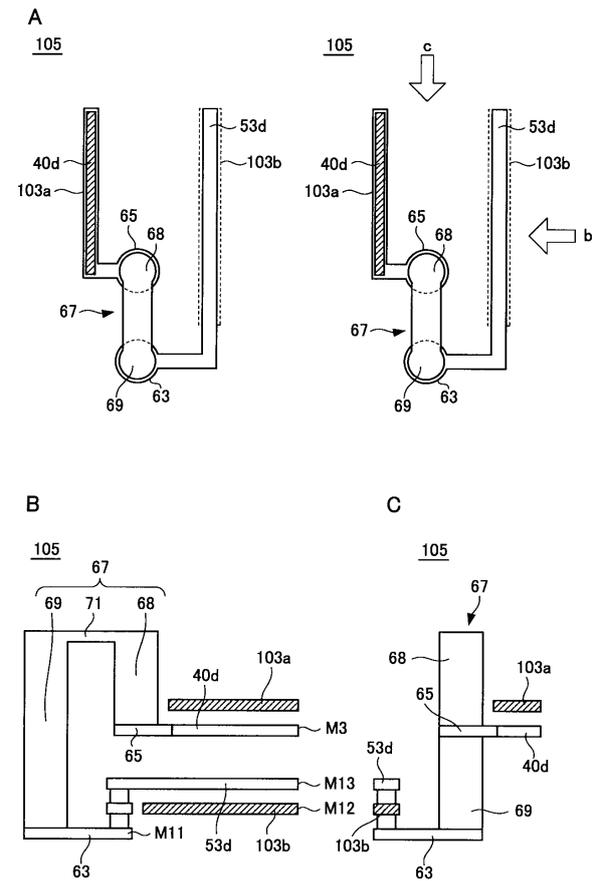
【 図 4 】



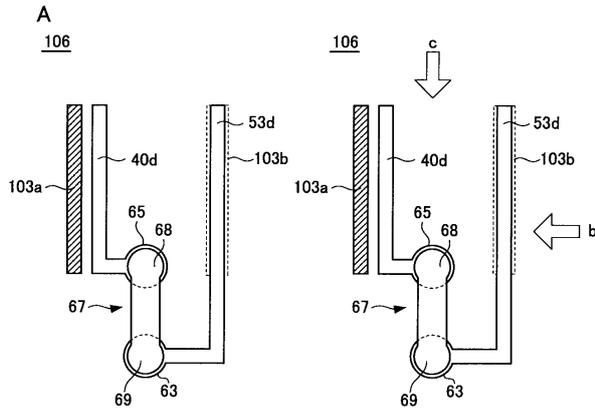
【 図 5 】



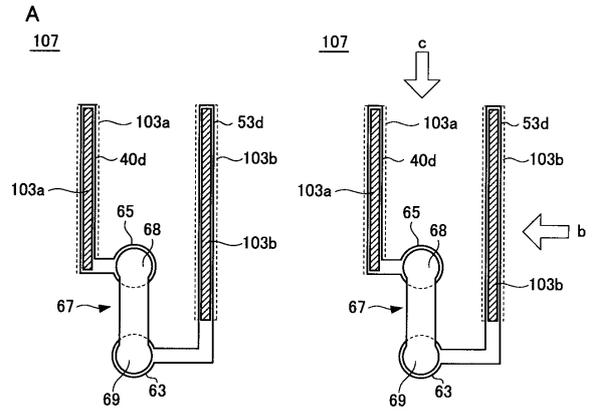
【 図 6 】



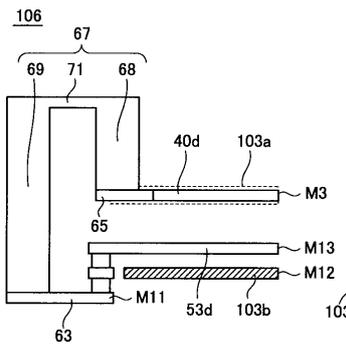
【 図 7 】



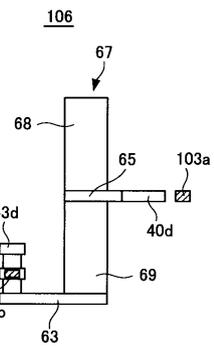
【 図 8 】



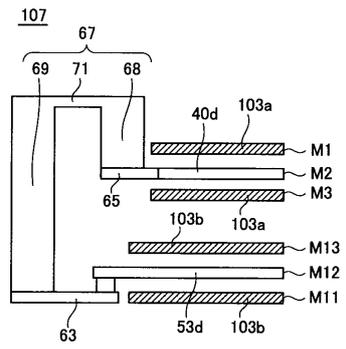
B



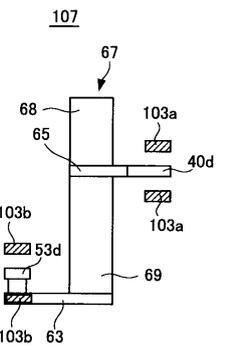
C



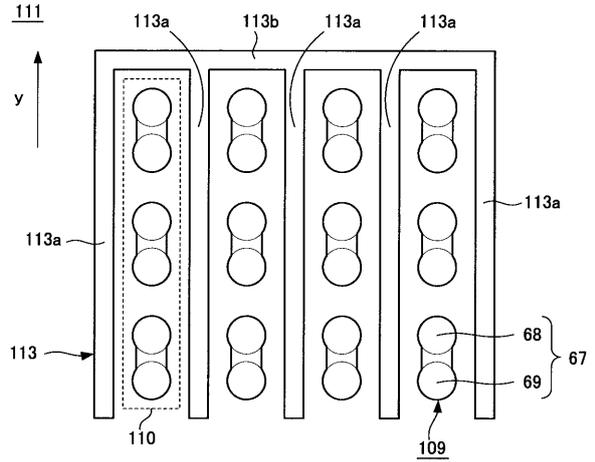
B



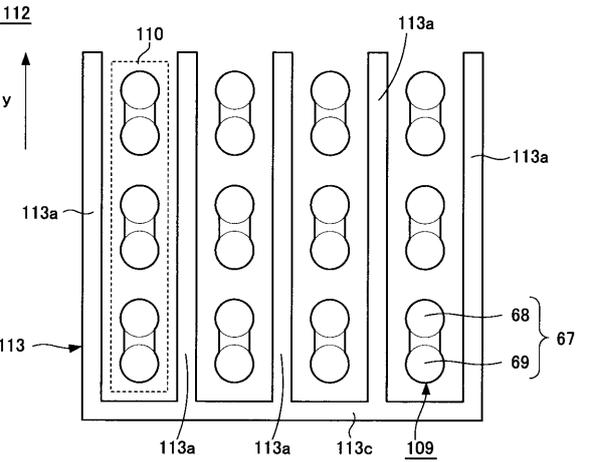
C



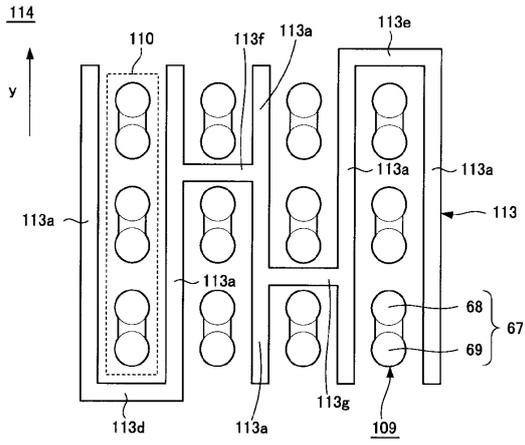
【 図 9 】



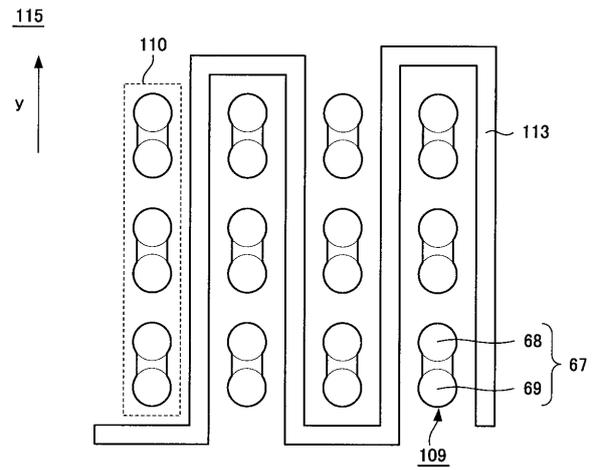
【 図 10 】



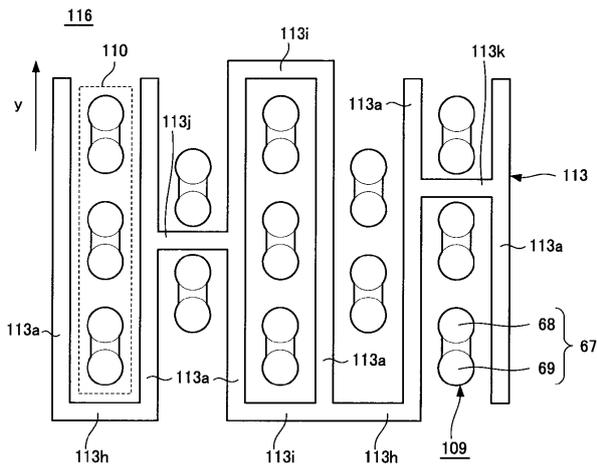
【 1 1】



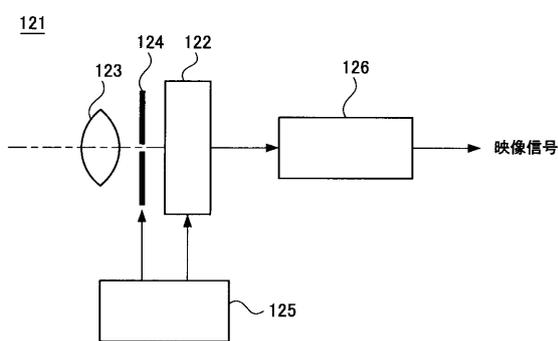
【 1 2】



【 1 3】



【 1 4】



フロントページの続き

- (56)参考文献 特開2009-170448(JP,A)
国際公開第2010/030329(WO,A1)
特開平5-275613(JP,A)
特開2000-209379(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146
H01L 21/3205
H01L 21/768
H01L 23/522
H01L 25/065
H01L 27/00