

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4648380号
(P4648380)

(45) 発行日 平成23年3月9日(2011.3.9)

(24) 登録日 平成22年12月17日(2010.12.17)

(51) Int. Cl.		F I			
H03L	7/197	(2006.01)	H03L	7/18	A
H04B	1/26	(2006.01)	H04B	1/26	U
H04B	1/40	(2006.01)	H04B	1/40	

請求項の数 19 (全 15 頁)

(21) 出願番号	特願2007-501148 (P2007-501148)	(73) 特許権者	598036300
(86) (22) 出願日	平成17年2月17日 (2005.2.17)		テレフオンアクチーボラゲット エル エム エリクソン (パブル)
(65) 公表番号	特表2007-526700 (P2007-526700A)		スウェーデン国 ストックホルム エスー
(43) 公表日	平成19年9月13日 (2007.9.13)		1 6 4 8 3
(86) 国際出願番号	PCT/EP2005/001616	(74) 代理人	100076428
(87) 国際公開番号	W02006/045346		弁理士 大塚 康德
(87) 国際公開日	平成18年5月4日 (2006.5.4)	(74) 代理人	100112508
審査請求日	平成20年1月17日 (2008.1.17)		弁理士 高柳 司郎
(31) 優先権主張番号	10/794, 830	(74) 代理人	100115071
(32) 優先日	平成16年3月5日 (2004.3.5)		弁理士 大塚 康弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治

最終頁に続く

(54) 【発明の名称】 分数周波数シンセサイザ

(57) 【特許請求の範囲】

【請求項 1】

基準信号と所望の周波数関係を有する出力クロック信号を発生する方法であって、前記出力クロック信号の異なる位相を提供するリング発振器回路において前記出力クロック信号を発生する工程と、

ディザ回路において、前記出力クロック信号と前記基準信号との間の前記所望の周波数関係に関連する時間平均値を有する位相選択値の一定でない順序を発生する工程と、

前記基準信号の各サイクルにおける前記出力クロック信号の位相の選択と、前記出力クロック信号の前記選択された位相と前記基準信号との比較とに基づき前記リング発振器回路の発振周波数を制御する工程と、

比較のために前記位相選択値の一定でない順序に従って前記出力クロック信号の位相を選択することで、前記出力クロック信号と前記基準信号との間の前記所望の周波数関係に従って、前記リング発振器回路の前記発振周波数を固定化する工程と、

前記出力クロック信号が前記所望する周波数関係にロックされるとき、前記リング発振器回路において累積されたタイミングジッタを取り除くため前記基準信号のクロックエッジを使用する工程と

を備え、

前記リング発振器回路において累積されたタイミングジッタを取り除くため前記基準信号のクロックエッジを使用する工程は、各基準クロックエッジの前に、前記リング発振器回路の各段の入力を先行する段の出力に接続し、各基準クロックエッジの後に、前記各段

の入力を前記基準信号に接続することによって前記各段におけるタイミングジッタをゼロ化する工程を含む
ことを特徴とする方法。

【請求項 2】

前記位相選択値の一定でない順序を発生する工程は、前記基準信号又は前記出力クロック信号で定義される注目する周波数範囲の中で非周期的な、一定でない数的順序を発生する工程を含むことを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記位相選択値の一定でない順序を発生する工程は、同時にランダムな位相ノイズを示している、前記所望の時間平均値を有することを示す一定でない順序を発生する工程を含むことを特徴とする請求項 1 又は 2 に記載の方法。

10

【請求項 4】

前記位相選択値の一定でない順序を発生する工程は、可変とされた位相選択のステップサイズ及び可変とされた位相選択の方向の少なくとも 1 つを有する数値の順序を発生する工程を含むことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の方法。

【請求項 5】

前記ディザ回路は、デルタ - シグマ変調器を利用することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の方法。

【請求項 6】

前記デルタ - シグマ変調器の解像度は、前記位相選択値の順序の前記所望する時間平均値の所望する精度に合致することを特徴とする請求項 5 に記載の方法。

20

【請求項 7】

前記基準信号は、発振器出力信号を備え、
 前記方法は、公称上の発振周波数に対する前記発振器出力信号の周波数誤差を判断する工程と、前記出力クロック信号が前記公称上の発振周波数となるように、前記位相選択値の一定でない順序を発生する工程と、をさらに備えることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の方法。

【請求項 8】

前記基準信号は、発振器出力信号を備え、
 前記方法は、離れた送信機からの 1 つ以上の信号を受信する工程と、前記 1 つ以上の信号に基き、前記発振器出力信号の周波数誤差を判断する工程と、前記出力クロック信号の前記周波数誤差を補償するために前記位相選択値の一定でない順序を発生する工程と、をさらに備えることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の方法。

30

【請求項 9】

前記発振器出力信号の前記周波数誤差が通信機器の 1 つ以上のクロック駆動の回路と前記離れた送信機との間のタイミングドリフトとならないように、前記クロック駆動の回路をクロック駆動するためのシステムクロック信号として前記出力クロック信号を使用する工程をさらに備えることを特徴とする請求項 8 に記載の方法。

【請求項 10】

基準信号に対して所望の周波数関係を有する出力クロック信号を発生するように構成された周波数シンセサイザ回路であって、
 出力クロック信号を発生し、前記出力クロック信号の異なる位相を提供するように構成されたリング発振器回路と、
 前記基準信号の各サイクルにおいて、前記出力クロック信号の選択された位相と、前記基準信号との比較に基き、前記リング発振器回路の発振周波数を制御するように構成された発振器制御回路と、
 前記出力クロック信号と前記基準信号との間の前記所望の周波数関係に関連した時間平均値を有する位相選択値の一定でない順序にしたがって、前記出力クロック信号の選択された位相を前記発振器制御回路に帰還するように構成された位相選択回路と、
 を備え、

40

50

前記位相選択回路は、前記位相選択値の一定でない順序を発生するように構成されたディザ回路を含み、

前記周波数シンセサイザ回路は、前記出力クロック信号が前記所望する、固定された周波数関係にロックされる時、前記リング発振器回路に累積されたタイミングジッタを取り除くために、前記基準信号のクロックエッジを使用するように構成されたジッタ除去回路をさらに含み、

前記ジッタ除去回路は、各基準クロックエッジの前に、前記リング発振器回路の各段の入力を先行する段の出力に接続し、各基準クロックエッジの後に、前記各段の入力を前記基準信号に接続することにより前記各段におけるタイミングジッタをゼロとすることで、前記リング発振器回路において累積されたタイミングジッタを取り除くために、前記基準信号の前記クロックエッジを使用するように構成されたことを特徴とする周波数シンセサイザ回路。

10

【請求項 1 1】

前記位相選択回路は、前記基準信号又は出力クロック信号で定義される注目する周波数範囲の中で非周期的な一定でない数的順序として、前記位相選択値の一定でない順序を発生するように構成されたことを特徴とする請求項 1 0 に記載の周波数シンセサイザ回路。

【請求項 1 2】

前記位相選択回路は、同時にランダムな位相ノイズを示している、前記所望の時間平均値を有する一定でない順序として、前記位相選択値の一定でない順序を発生するように構成されたことを特徴とする請求項 1 0 又は 1 1 に記載の周波数シンセサイザ回路。

20

【請求項 1 3】

前記位相選択回路は、可変とされた位相選択のステップサイズ及び可変とされた位相選択の方向の少なくとも 1 つを数値の順序として、前記位相選択値の一定でない順序を発生するように構成されたことを特徴とする請求項 1 0 乃至 1 2 のいずれか 1 項に記載の周波数シンセサイザ回路。

【請求項 1 4】

前記ディザ回路は、デルタ - シグマ変調器を利用することを特徴とする請求項 1 0 乃至 1 3 のいずれか 1 項に記載の周波数シンセサイザ回路。

【請求項 1 5】

前記デルタ - シグマ変調器は、前記位相選択値の順序の前記所望する時間平均値の所望する精度に合致する解像度を有することを特徴とする請求項 1 4 に記載の周波数シンセサイザ回路。

30

【請求項 1 6】

前記基準信号は、発振器出力信号を備え、

前記周波数シンセサイザ回路は、公称上の発振周波数に対して前記発振器出力信号の周波数誤差を判断し、前記出力クロック信号が前記公称上の発振周波数となるように前記位相の順序を発生するように構成されたことを特徴とする請求項 1 0 乃至 1 5 のいずれか 1 項に記載の周波数シンセサイザ回路。

【請求項 1 7】

無線通信端末であって、

出力クロック信号の異なる位相を提供するリング発振器回路において前記出力クロック信号を発生し、

40

ディザ回路において、前記出力クロック信号と基準信号との間の所望の周波数関係に関連する時間平均値を有する位相選択値の一定でない順序を発生し、

前記基準信号の各サイクルにおける前記出力クロック信号の位相の選択と、前記出力クロック信号の前記選択された位相と前記基準信号との比較とに基づき前記リング発振器回路の発振周波数を制御し、

比較のために前記位相選択値の一定でない順序に従って前記出力クロック信号の位相を選択することで、前記出力クロック信号と前記基準信号との間の前記所望の周波数関係に従って、前記リング発振器回路の前記発振周波数の固定化し、

50

前記出力クロック信号が前記所望する周波数関係にロックされるとき、前記リング発振器回路において累積されたタイミングジッタを取り除くため前記基準信号のクロックエッジを使用する

するように構成された周波数シンセサイザ回路を備え、

前記リング発振器回路において累積されたタイミングジッタを取り除くため前記基準信号のクロックエッジを使用することは、各基準クロックエッジの前に、前記リング発振器回路の各段の入力を先行する段の出力に接続し、各基準クロックエッジの後に、前記各段の入力を前記基準信号に接続することによって前記各段におけるタイミングジッタをゼロ化することを含むことを特徴とする無線通信端末。

【請求項 18】

前記基準信号は、発振器出力信号を備え、

前記周波数シンセサイザ回路は、離れた送信機から受信された1つ以上の信号に基き、前記発振器出力信号の周波数誤差を判断し、前記発振器出力信号の前記周波数誤差を補償する前記位相選択の順序を発生するように構成されたことを特徴とする請求項 17 に記載の無線通信端末。

【請求項 19】

前記無線通信端末は、前記発振器出力信号の前記周波数誤差が前記無線通信端末の1つ以上のクロック駆動の回路と前記離れた送信機との間のタイミングドリフトとならないように、前記無線通信端末において、前記クロック駆動の回路をクロック駆動するためのシステムクロック信号として前記出力クロック信号を使用するように、さらに構成されたことを特徴とする請求項 18 に記載の無線通信端末。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概してクロック信号の発生に係り、特に所望のクロック周波数の合成に関する。

【背景技術】

【0002】

周波数の合成は、1つ以上の基準周波数から所望の周波数を発生する行為として広く定義される。例えば、周波数の合成は、単一の基準周波数を使用して1つ以上の出力周波数を生成するのに使用されてもよい。周波数合成の他の形は、夫々異なる周波数の2つ又は2つ以上の基準信号の相互作用に基づき所望の周波数を引き出す。

【0003】

想像されるように、色々な形の周波数合成は、各種のシステムやデバイス形式を跨り、幅広く使用されていることが分かる。周波数合成の1つの使用例は、単一の基準周波数信号から、1つ以上のシステムクロック信号を生成することである。同じ基準周波数からのシステムクロック信号の生成は、全てのクロックタイミングが同じ基本周波数に関連することを保証する。そのような同期は、サンプルされたデータシステムにおいては重要であり、そこにおいては、アナログ信号のデジタル化サンプルへの変換の処理は、マイクロプロセッサクロック又は他のシステムクロックに同期して実行されなければならない。

【0004】

同じベースラインの基準周波数に同期した複数の周波数の使用は、有線（電氣的及び光学的）及び無線通信システムを含む多くの形式の通信システムで、また重要である。例えば、移動体端末は、典型的にその動作において、受信/送信の信号混用、フィルタ用、ダウン変換用、信号のデジタル化用及びベースバンド信号処理用の異なる周波数を含む、複数の周波数を使用する。そのような動作は、ベースラインシステムタイミングに同期して典型的に実行されなければならないので、そのような移動体端末は、典型的にベースライン周波数で稼動する基準周波数を有し、典型的に、基準クロック信号に対し所望する周波数関係を有する1つ以上の追加クロック信号を発生する、1つ以上の周波数シンセサイザを採用する。

10

20

30

40

50

【0005】

勿論、そのような周波数合成の側面とアプリケーションは当業者には良く知られており、ある形の周波数合成では、例えば、 $2 \times$ 、 $3 \times$ 、 $1/2 \times$ 、 $1/4 \times$ 等の、基準信号の整数倍又は分数である合成された周波数を達成するために、単純な乗算器及び/又は除算器を使用する様な比較的直接的な回路で実施することが出来る。

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、基準信号と出力信号との間の所望する周波数関係が分数成分を有するときは、合成はより複雑となる。

【課題を解決するための手段】

【0007】

本発明は、基準信号に対して、基本的に任意の周波数関係を有するクロック信号を発生する方法及び装置を備える。特に、本発明は、出力クロック信号に対する、任意の少量調整ステップを達成するため、複数の出力位相の使用に基づく例示的な周波数合成方法を提供し、それにより、規準周波数に対する任意の値の周波数の正確な合成を可能とする。このように、本発明は、クロック信号の大変正確な設定の基本を提供する。例えば、本発明は、規準周波数信号における小さな誤差がゼロとなる様に、ほんの100万分の1 (PPM) の数倍の周波数補正に応用するように使われてもよい。

【0008】

広い意味で、本発明は、入力基準信号周波数に関連して所望する周波数において出力クロック信号を発生する、位相の選択可能なリング発振器を含む周波数シンセサイザ回路を備える。出力周波数は、動作中にリング発振器回路を駆動するのに使用される位相選択の順序に依存し、例示的な回路は、必要に応じて所望する周波数関係を達成するために、実効的な分数又は分数でない位相選択のステップサイズを有する位相選択の順序を発生することが出来る位相選択発生器を含む。

【0009】

かくして、例示的な実施例においては、本発明は、基準信号に対し所望する周波数関係を有する出力クロック信号を発生する方法を備える。この例示的な方法は、出力クロック信号の異なる位相を提供するリング発振器回路における出力クロック信号の発生、基準信号の各サイクルにおける出力クロック信号の位相の選択と、出力クロック信号の選択した位と基準信号との比較に基づくリング発振器回路の発振周波数の制御、及び所望する周波数関係に影響を与えるために出力クロック信号の位相を選択するための位相選択の順序の発生を備える。

【0010】

他の例示的な実施例においては、本発明は、周波数シンセサイザ回路を備える。かくして、例示的な回路は、出力クロック信号を発生し、出力クロック信号の異なる位相を提供するように構成されたリング発振器回路、基準信号の各サイクルにおいて、出力クロック信号の選択された位相と基準信号との比較に基いてリング発振器回路の発振周波数を制御するように構成された発振器制御回路、及び基準信号と出力クロック信号との間の所望する周波数関係に対応する位相選択の順序を発生し、出力クロック信号の選択された位相を位相選択の順序に従って発振器制御回路に帰還するように構成された位相選択回路を備える。

【0011】

本発明の1つ以上の例示的な実施例によれば、例示的な位相選択回路は、位相選択の順序に従って、基準信号の各サイクルにおいて、発振器制御回路に帰還するために、出力クロック信号の異なる位相を選択することで、出力クロック信号の周波数を制御するように構成される。位相選択回路は、出力クロック信号の所望する周波数と基準信号の周波数との間の周波数関係に依存して、非整数(分数)の位相選択のステップサイズに対応する順序の平均を有する位相選択の順序を発生するように構成される。

10

20

30

40

50

【発明の効果】

【0012】

即ち、本発明は、任意の微小解像度の実質値の位相選択のステップサイズに対応する、時間平均化された値を有する位相選択の順序を発生することで、基準信号周波数に関連し、基本的に所望する如何なる周波数を発生する、例示的な周波数シンセサイザ回路を可能とする。

【0013】

勿論、本発明は、上記の要約情報では限定されない。当業者は、次の説明を読み、添付の図面を見れば、他の特徴や利点を認識するであろう。

【発明を実施するための最良の形態】

【0014】

参照番号が、セルラ無線電話機、携帯情報端末(PDAs)、ラップトップ/パームトップコンピュータ等の無線通信機器及び/又はシステムの説明による本発明の周波数シンセサイザの構成及び使用に関連する以下の説明を通じて現れる。実際に、1つ以上の添付の図面は、1つ以上のその種の周波数シンセサイザを含む無線通信端末を図示する。しかしながら、当然の事ながら、本発明は、柔軟で正確な周波数の発生が有用である、基本的に如何なる電子機器及びシステムにも広範に適用可能である。

【0015】

上記を念頭に入れ、図1は、本発明の1つ以上の実施例による、例示的な周波数シンセサイザ回路10を図示する。図示する様に、シンセサイザ回路10は、複数の遅延段14、発振器制御回路16及び位相選択回路18を含むリング発振器回路12を備える。シンセサイザ回路10はまた、位相選択可能なリング発振器回路と呼ばれ、その基本的な動作を以下に説明する。

【0016】

広い意味で、周波数シンセサイザ回路10は、入力基準信号に対して所望する周波数関係を有する出力クロック信号を発生するように構成され、そこでは、その周波数関係は、入力基準信号の連続する各サイクル毎に、発振器制御回路16に帰還される出力クロック信号位相を選択するのに使用される位相選択の順序により判断される。当業者は、基本的なリング発振器回路は良く知られていると認識しているが、本発明は、基準信号周波数に対して任意の周波数関係を有する出力クロック周波数信号を発生する、特許性のある位相選択の発生を使用する。さらに、出力周波数の任意の微調整、例えば ± 10 ppm、を提供するために同じ選択の順序の発生方法を使用することが出来、又、温度、処理及び電圧変化から生ずるクリスタル発振器の変化のダイナミックな補償を提供するために使用することが出来る。

【0017】

より詳しくは、リング発振器回路12は、出力クロック信号を発生し、異なる位相の出力クロック信号を提供するように構成される。同様に、発振器制御回路16は、基準信号の各サイクルにおいて、出力クロック信号の選択された位相と基準信号との比較に基づいてリング発振器回路12の発振周波数を制御するように構成される。位相選択回路18は、基準信号と出力クロック信号との間の、所望する周波数関係に対応する位相選択の順序を発生し、入力周波数制御信号により定義される位相選択の順序に従って、出力クロック信号の選択された位相を発振器制御回路16に帰還するように構成される。

【0018】

上記の例示的な構成により、出力クロック信号の周波数は、周波数制御信号mを介して位相選択ステップサイズを設定することで、入力規準周波数に関連して設定することが出来る。より具体的には、位相選択回路18は、出力クロックの新しい位相を選択する。次に、制御回路16は、例示的な実施例において、出力クロック信号の帰還位相と基準信号との間の位相差に比例するリング制御信号を発生する。発振器制御回路16によって発生された制御信号は、リング発振器回路12の発振周波数を変化させ、その基本的な機能は、以下で与えられる。

10

20

30

40

50

【 0 0 1 9 】

【 数 1 】

$$f_{FB} = \frac{1}{(2N+m)\tau} = f_{REF}, \quad (1)$$

【 0 0 2 0 】

従って、

【 0 0 2 1 】

【 数 2 】

$$\tau = \frac{1}{(2N+m)f_{REF}}. \quad (2)$$

【 0 0 2 2 】

ここで、 τ はリング発振器回路 1 2 の各段 1 4 の単位遅延、 f_{FB} は、入力基準信号の連続するサイクルを通じて、出力クロック信号の異なる位相を選択することで発生された多重化帰還信号、 f_{REF} は入力基準信号の周波数、 N は遅延段 1 4 の数であり、 m は位相選択回路 1 8 による出力クロック位相のサイクル間の選択の位相選択のステップサイズである。

【 0 0 2 3 】

次に、出力クロック信号の周波数 f_{OUT} は以下の様に与えられる。

【 0 0 2 4 】

【 数 3 】

$$f_{OUT} = \frac{1}{2N\tau} = f_{REF} \frac{2N+m}{2N} = f_{REF} \left(1 + \frac{m}{2N} \right), \quad (3)$$

【 0 0 2 5 】

ここで、 m は、入力基準信号に対する帰還比較のための、出力クロック信号の位相の連続する選択に使用される位相選択のステップサイズを暗示する。上記の方程式によれば、その後、所望する出力周波数は、入力基準信号の周波数に関連して、 m の設定により以下の様に設定することが出来る。

【 0 0 2 6 】

【 数 4 】

$$m = \left(\frac{f_{OUT}}{f_{REF}} - 1 \right) \cdot 2N. \quad (4)$$

【 0 0 2 7 】

図 1 及び図 2 に示された図において、正の m は、 m 遅延段 1 4 だけ右側に動かすことで、基準信号の各サイクルにおいて、入力基準信号との比較のための次の位相出力帰還信号を選択する進み位相の選択の順序を示す。反対に、 m の負の値は、基準信号の各サイクルにおいて、 m 遅延段だけ左側に動かす遅れ位相の選択の順序を示す。遅れの位相選択の順序は、 $f_{OUT} < f_{REF}$ となり、一方進みの位相選択の順序は、 $f_{OUT} > f_{REF}$ となる。($m = 0$ である普通の場合、即ち、サイクル間の位相のステップがないと、 $f_{OUT} = f_{REF}$ となる。) また、選択の順序は、選択の方向に依存してリング発振器回路 1 2 の最初から最後又はその反対を包含することに注目されたい。

【 0 0 2 8 】

上記の関係の更なる理解をするため、位相選択回路 1 8 が 1 の位相ステップサイズを使用し、基準信号の各サイクルにおいて出力クロック信号の異なる位相を選択することで、 m を - 1 と仮定する。従って、位相選択の順序は、段 1 4 - N からの位相 N 、段 1 4 - (

10

20

30

40

50

N - 1) からの位相 N - 1、段 1 4 - (N - 2) からの位相 N - 2、段 1 4 - (N - 3) からの位相 N - 3、等となる。入力帰還信号の各比較サイクルにおいて帰還信号を 1 段 1 4 だけ進めることで、帰還信号の位相は、量 $m \times$ (ここで、 $m = - 1$) だけ早い。従って、発振器制御回路 1 6 の観点からして、リング発振器回路 1 2 がとても早く動作し、それにより、制御回路 1 6 がリング発振器回路 1 2 を遅くさせ、周波数を減少する。 m を - 2 に設定し、入力基準信号サイクル毎に 2 段 1 4 だけリング発振器回路 1 2 をステップさせることは、帰還信号の位相を $2 \times$ だけ早くさせる。勿論、反対の関係が、 m の正の値で作用する。例えば、 m が + 2 であれば、帰還信号は、基準信号の各サイクルにおいて $2 \times$ の量だけ遅くなり、制御回路 1 6 がリング発振器回路 1 2 の周波数を増加させることとなる。

10

【 0 0 2 9 】

本発明の利点の 1 つは、サイクル間の位相選択のステップサイズ m を、適当な位相選択の順序の発生により、所望する如何なる効果的な値に設定することが出来ることである。言い換えれば、位相選択のステップサイズの順序は、非整数の位相ステップサイズである、所望する如何なる時間平均値を持つように発生することが出来る。単純な例として、位相選択の順序は、 $m = 「 1、 1、 1、 0、 1、 1、 1、 0、 1、 1、 1、 0、 . . . 」$ である。この順序は、位相選択回路 1 8 を、基準信号の 4 つの連続するサイクル毎に、次の遅延段の位相出力に対し 3 つだけ右方向に進める。基準信号の各 4 つの連続サイクルで現在選択している位相を保持する効果は、 $m = 0 . 7 5$ の効果的な非整数の位相ステップサイズをもつことにある。

20

【 0 0 3 0 】

図 2 は、図 1 の回路の例示的な詳細を図示し、任意の値の位相ステップサイズを得るために、一定でない位相選択の順序の発生を完全に回路 1 0 の追加の詳細の説明の基本を提供する。かくして、上記の説明は、周波数合成状況を考慮するように拡張され、ここでは、基準信号と出力クロック信号との間の所望する周波数関係は、整数の位相ステップサイズでは達成されない。1 つ以上の例示的な実施例において、位相選択回路 1 8 は、そのような周波数関係を達成するために、一定でない位相選択の順序を発生するように構成される。ここで使用されているように、用語 "一定でない" 位相選択の順序は、ステップサイズ及び / 又はステップ方向が基準信号の連続するサイクルにおいて変化する位相選択の順序を暗示する。

30

【 0 0 3 1 】

追加の回路図の詳細に戻ると、例示的な発振器制御回路 1 6 は、多重化帰還信号と入力基準信号との間の位相差の関数として遅延制御信号を発生するフェーズロックループ (P L L) として構成される。例示的な P L L を基本とする位相検出器の構成は、位相比較器 2 0、チャージポンプ回路 2 2 及び図においては 1 次 R C フィルタを備えるループフィルタ回路 2 4 を含む。入力基準信号の各サイクルにおいて、チャージポンプ回路 2 2 は、帰還信号位相が基準信号位相に対し進んでいるか又は遅れているかに応じて、ループフィルタ回路 2 4 の電流を印加し、又は吸収する。チャージポンプ回路 2 2 により印加され又は吸収される電流の量は、位相差の大きさに比例し、ループフィルタ回路 2 4 は、リング 1 2 において各遅延段 1 4 に適用される滑らかに変化する遅延制御信号を生成するため、チャージポンプ出力を時間平均する。

40

【 0 0 3 2 】

実際、ここで説明される周波数シンセサイザ回路 1 0 で提供される利点の 1 つは、そのサイクル毎の比較動作にある。すなわち、多重化帰還信号の相対位相は、入力基準信号の各サイクル毎に変化され、その結果で制御回路 1 6 の位相調整は、入力信号の減少した分数においてよりも入力基準信号において生ずる。入力基準周波数において、リング周波数補正を行うことは、フィルタ回路 2 4 のロールオフ周波数の好ましい設定を可能とする。

【 0 0 3 3 】

他の図示された詳細に着目すると、位相選択回路 1 8 は、制御可能スイッチ 2 8 を含むマルチプレクサ回路 2 6、モジュロ N 累積器 ($Y = (A + B) \text{ mod } N$) 3 0、加算器 3

50

2 及び例示的な実施例では、モジューロ Q デルタ - シグマ () 変調器を備える順序変調器 34 を備える。スイッチ 28 は、図において、SEL とラベルされた選択信号入力の値に依存し、基準信号の各サイクルにおいて定義された数のスイッチ位置だけ、各時計方向又は反時計方向に移動する。

【0034】

図示された回路構成により提供される機能性を詳細に検討するにあたり、説明を変調器 34 の内容に与えられた数式 (4) に戻す。数式 (4) は、 f_{OUT} が、 f_{REF} と m との関数、即ち、 $f_{OUT} = f(f_{REF}, m)$ と図示する。その関係を見ると、 m の値が任意の値に設定できる限り、任意の関係が達成出来ることが判る。たとえば、もし m を、 $0.5 f_{REF} < m < 1.5 f_{REF}$ の範囲において、基本的に所望する如何なる値に設定することが出来るならば、周波数シンセサイザ回路 10 は、 f_{REF} に向かって任意の小さい補正に使用することが出来る。ここで説明されるように、そのような動作は、規準クロックに依存する 1 つ以上のクロック動作の回路においてタイミングドリフトとなる誤差を取り除く、規準クロック回路におけるたとえ大変小さい周波数誤差の補正において、特別な利点を有する。

10

【0035】

これら及び他の応用において、本発明は、一定でない位相選択の順序を介し、所望する値 m を生成するための変調器 34 又は他の "ディザ" 回路を使用して、基本的に効果的な m の如何なる値も生成するメカニズムを提供する。即ち、変調器 34 は、位相選択回路 18 が、分数位相ステップサイズに対応する時間平均値を有する位相選択の順序を発生し、それにより、 f_{OUT} と f_{REF} との間の任意の周波数関係を達成し、 f_{OUT} の任意の微小調整解像度を提供するように構成することが出来る、とするメカニズムを提供する。

20

【0036】

変調器 34 及び加算器 32 の追加により、出力周波数 f_{OUT} は以下の様に表される。

【0037】

【数 5】

$$f_{OUT}(z) = f_{REF} \left(1 + \frac{m + \Delta(z)}{2N} \right), \quad (5)$$

30

【0038】

ここで、 $\Delta(z)$ は以下の様に表される。

【0039】

【数 6】

$$\Delta(z) = \frac{F}{Q} + e_q (1 - z^{-1})^n, \quad (6)$$

【0040】

ここで、 e_q は量子化誤差である。変調器 34 に対して汎用ノイズ伝送関数を伴う n 次のデルタ - シグマ変調器の構成 (例えば、積分器の縦列) 及び分数入力信号値 F を仮定する。概して F は、「 $-Q/2$ 、 \dots 、 $+Q/2$ 」の範囲内に制限されても良い。

40

【0041】

デルタ - シグマ変調器の実施における、量子化器のデジタルの性質からして、最小の可能な量子化ステップは 1 である。量子化誤差は十分にランダムなので、 e_q のスペクトル密度は、 $1 / 12 f_{REF}$ である。量子化ノイズに関連した周波数の揺らぎの積分は、出力クロック信号の位相揺らぎの、片側電力スペクトル密度を導き、それは、以下の様に表される。

【0042】

【数 7】

$$S_{\phi}(z) = \left(\frac{\pi}{N}\right)^2 \cdot \frac{1}{12f_{REF}} \cdot \left| (1 - z^{-1}) \right|^{2(n-1)}, \text{ where } z = e^{-sT} f_{REF}. \tag{7}$$

【0043】

上記の結果は、出力クロック信号の計測可能な出力位相ノイズスペクトルを得るために、制御回路16とリング回路12のループ位相伝達関数 $|H(s)|^2$ の大きさを掛け算することが出来る。本発明の1つ以上の実施例によれば、変調器34は、出力位相ノイズの周波数スペクトルが、出力クロック信号用の注目する周波数範囲の外側にあるように、位相ステップ変調信号 (z) を発生するように構成される。その効果は、例えば、 $m + (z)$ により発生される位相選択のパターンが注目する周波数範囲内で繰り返す周期的な変化を持たないことを確実にすることを伴う。

10

【0044】

一般的に、 $m + (z)$ により形成される位相ステップ値の順序は、基本的に所望する如何なる時間平均値を有することが出来ることに注意されたい。例えば、 f_{REF} と f_{OUT} との間の所望の周波数関係が、0.5の効果的位相ステップサイズを要求すると仮定する。値 m は、規準クロック周波数において1の順序、即ち「1、1、1、1、...」として発生することが出来、又変調器34は、-1及び0の代替的な順序、即ち「0、-1、0、-1、...」として (z) を発生することが出来、それにより、 $m + (z)$ の平均値は0.5となる。勿論、上記で記載したように、より好ましい平均化のスキームは、位相選択の順序が、よりランダム位相ノイズを有することでもよい。この様に、より良い順序は、 $m + (z) =$ 「1、1、1、0、1、1、0、0、1、0、0、0、...」となる。勿論当業者は、この単純な例が、本発明に従って使用される位相選択の順序に関し、限定するものではない事を評価する。一般的に、位相選択の順序は、位相選択の値における変化が、注目する周波数の範囲内でよりノイズのようになる、もしくは周期性を示すこと避けるように発生することが出来る。

20

【0045】

一般的に、変調器34は、たとえば16ビット、20ビット等の所望する解像度を有する様に構成することが出来、それにより、カウンタ30による位相選択の順序出力の時間平均値が所望の精度を有する。例えば、変調器34の20ビットの解像度は、1/10又はそれより少ないオーダーの調整ステップを許容する。言い換えれば、図示の構成は、 $(z) + m$ の組み合わせが、所望する出力周波数を生ずる位相選択の順序をカウンタ30で出力するように、必要とされる実際の値の数が何であろうとも、システム制御器又は他のプロセッサが、 F の値を設定するのを許容する。この構成により、出力クロック信号の周波数は、以下の様に表すことが出来る。

30

【0046】

【数 8】

$$f_{OUT}(z) = f_{REF} \left(1 + \frac{m + F/Q}{2N} \right) \tag{8}$$

40

【0047】

単純な例の基本として、 $f_{REF} = 26.00\text{MHz}$ 、所望する $f_{REF} = 30.72\text{MHz}$ (即ち、 $f_{REF} = f_{REF} \times (1 + 59/325)$) と仮定する。それにより、リング発振器回路12の段14の数に依存して、必要なパラメータ及び量子化レベルの選択は下の表1で与えられる。

表1 . 例示的パラメータ及び量子化値

N	m	F	Q
4	1	147	325 (0, 1)

50

8	3	- 3 1	3 2 5	(- 1、 0、 1)
1 6	6	- 6 2	3 2 5	(- 1、 0、 1)
3 2	1 2	- 1 2 4	3 2 5	(- 1、 0、 1)

N = 8 の遅延段 1 4 及び変調器 3 4 からの量子化の出力値 (- 1、 0、 1) の場合に着目すると、サイクル間の位相のステップサイズは、 $m + (z) = (2、3、4)$ の範囲である。ロック状態においては、各遅延段 1 4 は、 $= 1 / (2 \times 8 \times 30.72 \text{ MHz}) = 2.03 \text{ ns}$ の遅延を有する。

【 0 0 4 8 】

勿論、本発明は、これまで図示された回路構成には限定されない。例えば、回路 1 0 は、周波数 f_{OUT} の範囲を $0.5 f_{REF}$ より少ない、又は $1.5 f_{REF}$ より大きい値に広げる様に変形することが可能である。追加的に或いは代替的に、回路 1 0 はジッタ制御を含む様に変形することが出来る。図 3 は、回路 1 0 の例示的な構成を図示し、そこにおいて、リング発振器回路 1 2 は、リング発振器回路 1 2 の位相出力毎に 1 つのスイッチのように配列された複数のスイッチを備えるジッタ制御回路 4 0 を含む。ジッタ制御動作は以下で説明する。

10

【 0 0 4 9 】

制御回路 1 6 のロック状態においては、基準信号の信号エッジは、位相選択回路 1 8 により提供される、多重化された帰還信号の対応するエッジに整列する。ロック状態においては、基準信号と帰還信号におけるエッジとの間の整列の違いは、タイミングジッタのために起きる。基準信号におけるエッジは、累積されたタイミングジッタを取り除くため、基準信号の各サイクルにおいてリング発振器回路 1 2 をリセットするように、ロック状態において使用することが出来る。

20

【 0 0 5 0 】

より詳しくは、制御回路 1 6 がロック状態においては、ジッタ回路のスイッチは、クロック位相を規準として基準信号の各サイクル毎に、各サイクルでゼロタイミングジッタにリセットされる。各スイッチのリセットは、スイッチを基準信号のエッジの少し手前で "位置 1" に動かせ、各基準信号のエッジの少し後で "位置 2" に戻す。かくして、リング発振器回路 1 2 における連続する各遅延段 1 4 は、先行する遅延段 1 4 で累積されたエッジジッタを伴うこと無しに、正しい連続する位相時間でクロックされる。ジッタ制御回路 4 0 は、SEL 信号を使用して、又は適当な周波数を有する他の信号を使用して、規準周波数でクロックすることが出来る。

30

【 0 0 5 1 】

図 4 及び図 5 は、 $1.5 f_{REF}$ より大きく、 $0.5 f_{REF}$ (図 5) より少ない倍率で f_{OUT} を発生する例示的な回路構成を図示する。当業者は、同じ効果を達成するのに他の回路構成も使用することが出来ることを評価する。兎に角、図 4 は、リング発振器回路 1 2 の遅延段 1 4 毎に、2 つのクロックエッジを提供する追加の論理ゲート 4 4 (ここでは、XOR ゲート) の使用を図示する。この構成により、混合された出力における信号周波数は、基本的な規準周波数より N 倍高くなり、数式 (8) との関連で以下のように表される。

40

【 0 0 5 2 】

【 数 9 】

$$f_{OUT}(z) = f_{REF} \left(N + \frac{m + F/Q}{2} \right) \tag{9}$$

【 0 0 5 3 】

図 5 に関連し、当業者は、それ自身が分数除算器でありうる除算器 4 6 の割る値を調整することで、最終出力周波数が基本的に所望する如何なる値も取り得ることを評価する。

【 0 0 5 4 】

上記の実施例の何れも、広く色々なシステムに採用されても良い。図 6 は例示的な実施

50

例を示し、例えば、無線通信ネットワークで使用される移動体端末等の無線通信機器 50 は、本発明に従って構成された少なくとも 1 つの周波数シンセサイザ回路 10 を含む。図示された機器 50 は、アンテナ 52 及びスイッチ/デュプレクサ 54 を含むアンテナ組立体を備え、さらに、受信機 56、送信機 58、ベースバンド信号プロセッサ 60、システム制御器 62、1 つ以上の蓄積機器 64 (例えば、1 つ以上のメモリ回路)、例えばキーパッド、ディスプレイ、スピーカ及びマイクロフォンを含むユーザインターフェース 66 及び発振器回路 70 (例えばクリスタル発振器) を備える。

【0055】

普通、発振器回路 70 は、無線機器において、プロセッサ回路のクロック動作のための時間規準として作用する 1 つ以上の規準周波数で稼動するように構成される。特に、無線通信機器においては、規準周波数時間規準は、しばしば、無線システム全体の通信信号タイミングを補充するように選ばれる。

10

【0056】

発振器回路 70 は、高い精度で構成することが出来る一方、そのような回路は、典型的に機器 50 におけるタイミングドリフトの原因となる周波数誤差を示す。発振器回路において、その様な周波数誤差を補償する 1 つの方法は、回路 70 の計測された周波数誤差のために補正された受信機及び送信機周波数発生することであって、機器 50 は、そのような周波数誤差を判断するため、1 つ以上の受信信号を使用してもよい。従来の方法は、無線信号の送信及び受信において使用される周波数を補正する一方、回路 70 による基礎である基本周波数信号を補正せずに残すので、回路 70 でクロックされる何れかの回路の動作にタイミングドリフトを与える。

20

【0057】

本発明の例示的な実施例によれば、周波数シンセサイザ回路 10 は、そのクロック出力信号を、回路 70 で補正された規準周波数出力の補正版として発生するように構成される。回路 10 からの出力クロック信号は、かくして、ベースバンドプロセッサ回路 60、システム制御器 62、及び本発明に従って、又は従うことなく構成された、追加の如何なる周波数シンセサイザ 68 等のシステムクロックとして使用することが出来る。言い換えれば、例示的な実施例は、通信信号処理動作の全ての時間で、機器 50 で使用される規準周波数信号における計測された誤差をゼロにするため、非常に微小な周波数補正、即ち、ppm 範囲での補正を行う本発明の能力を生かすものである。

30

【0058】

その様にして機器 50 は、例えば 1 つ以上の受信した信号から取り出されたタイミング情報を使用して発振器回路 70 の周波数誤差を判断する様に構成することが出来る。明示的に示してはいないが、ベースバンドプロセッサ 60 及び/又はシステム制御器 62 は、発振器回路 70 から直接に割り算されることとなる出力の逡降されたものを受信し、タイミング誤差を測定するためにその信号を使用しても良い。いなか場合であっても、ベースバンドプロセッサ 60 及び/又はシステム制御器 62 は、回路 70 のタイミング誤差を判断し、シンセサイザ回路 10 からの出力クロック信号において所望とする誤差ゼロを達成するのに、必要に応じて m 及び F を発生する。その出力クロック信号は、かくして、名目上の規準周波数にある誤差補償された基本基準周波数信号を提供する。

40

【0059】

さらに、ベースバンドプロセッサ 60 及び/又はシステム制御器 62 は、発振器回路 70 において変化する誤差をダイナミックに追跡する時間を通して、必要に応じてダイナミックに m 及び F を調整しても良い。1 つの例としては、発振器回路 70 の出力周波数は、温度で補償されなくてもよく、従って、重要な温度係数を示す。発振器回路 70 からの出力を監視することで又は温度変化を追跡し、発振器回路 70 のために予測した又は校正した温度係数データを使用することで、 m 及び/又は F の値は、誤差ゼロが変化する誤差を追跡するように調整することが出来る。勿論、当業者は、本発明で提供される微調整により、誤差ゼロが、供給電圧等のような他の環境的及びシステムの的な変化を追跡することとなされることを評価する。

50

【0060】

如何なる場合も、本発明は、正確なタイミング及び同期を必要とする移動体端末の様な機器に、明確な優位性を提供するが、ある種類や別の種類のクロック信号を使用する如何なる機器にも適用することが可能である。それゆえ、本発明は、前述の説明又は添付の図面により限定されない。実際には、本発明は、以下の請求項及びそれらの妥当な均等物のみにより限定される。

【図面の簡単な説明】

【0061】

【図1】本発明における例示的な周波数シンセサイザ回路の回路図である。

【図2】図1の回路の例示的な詳細を示す回路図である。

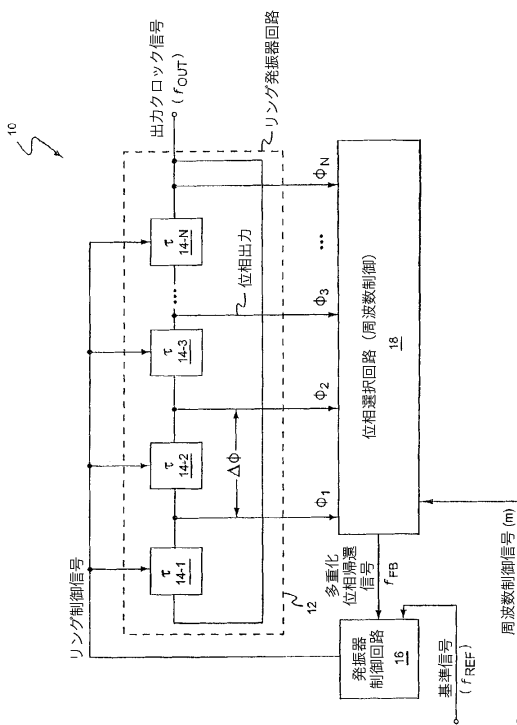
【図3】例示的なジッタ制御回路の詳細を示す回路図である。

【図4】、

【図5】出力周波数範囲を拡大する例示的な回路の回路図である。

【図6】本発明に従って構成された1つ以上の周波数シンセサイザを含む例示的な無線通信端末の回路図である。

【図1】



【図2】

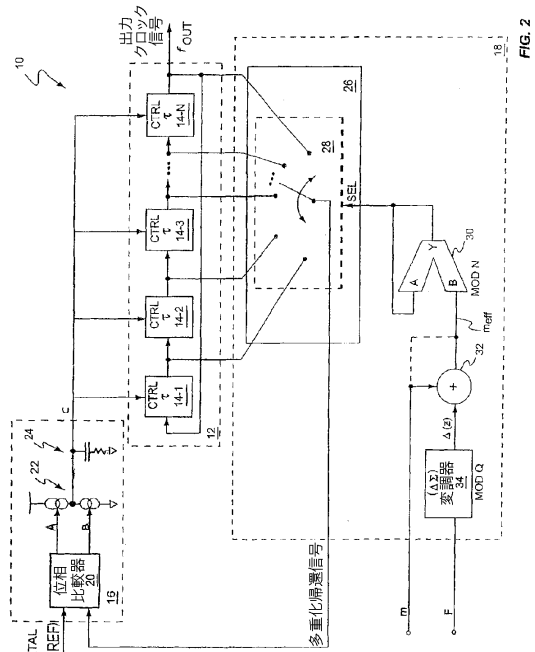


FIG. 1

FIG. 2

【 図 3 】

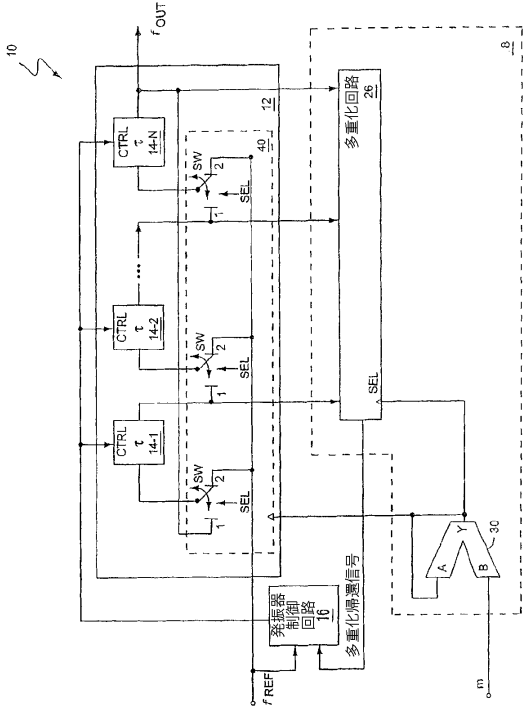


FIG. 3

【 図 4 】

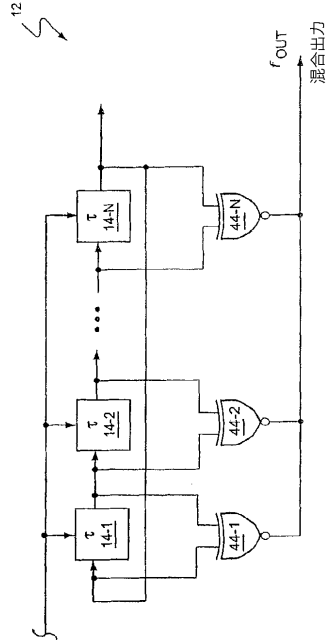


FIG. 4

【 図 5 】

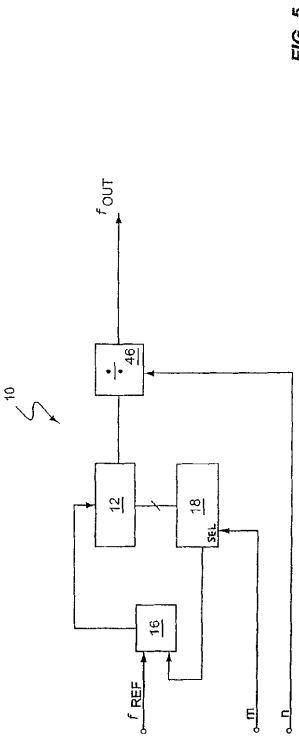


FIG. 5

【 図 6 】

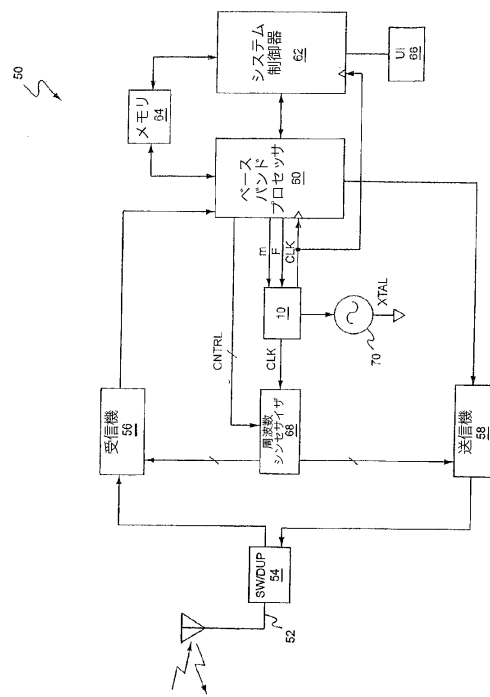


FIG. 6

フロントページの続き

(72)発明者 クレマー, ニコラウス
アメリカ合衆国 ノースカロライナ州 275 19, キャリー, フォレスト ブルック ドラ
イブ 214

審査官 畑中 博幸

(56)参考文献 米国特許出願公開第2003/0198311(US, A1)
欧州特許出願公開第01206039(EP, A1)
特開2002-050963(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/197

H04B 1/26

H04B 1/40