



(21)申請案號：098145062 (22)申請日：中華民國 98 (2009) 年 12 月 25 日
 (51)Int. Cl. : **G11C16/06 (2006.01)**
 (30)優先權：2009/01/09 美國 12/318,863
 (71)申請人：A R M股份有限公司(英國) ARM LIMITED (GB)
 英國
 (72)發明人：尼爾斯瑞尼克馬克 NEVERS, YANNICK MARC (FR)；史庫皮文森菲利普 SCHUPPE,
 VINCENT PHILLIPPE (FR)
 (74)代理人：蔡坤財；李世章
 (56)參考文獻：
 US 7436690B2
 審查人員：蔡明宏
 申請專利範圍項數：12 項 圖式數：12 共 43 頁

(54)名稱

產生 ROM 位元格陣列

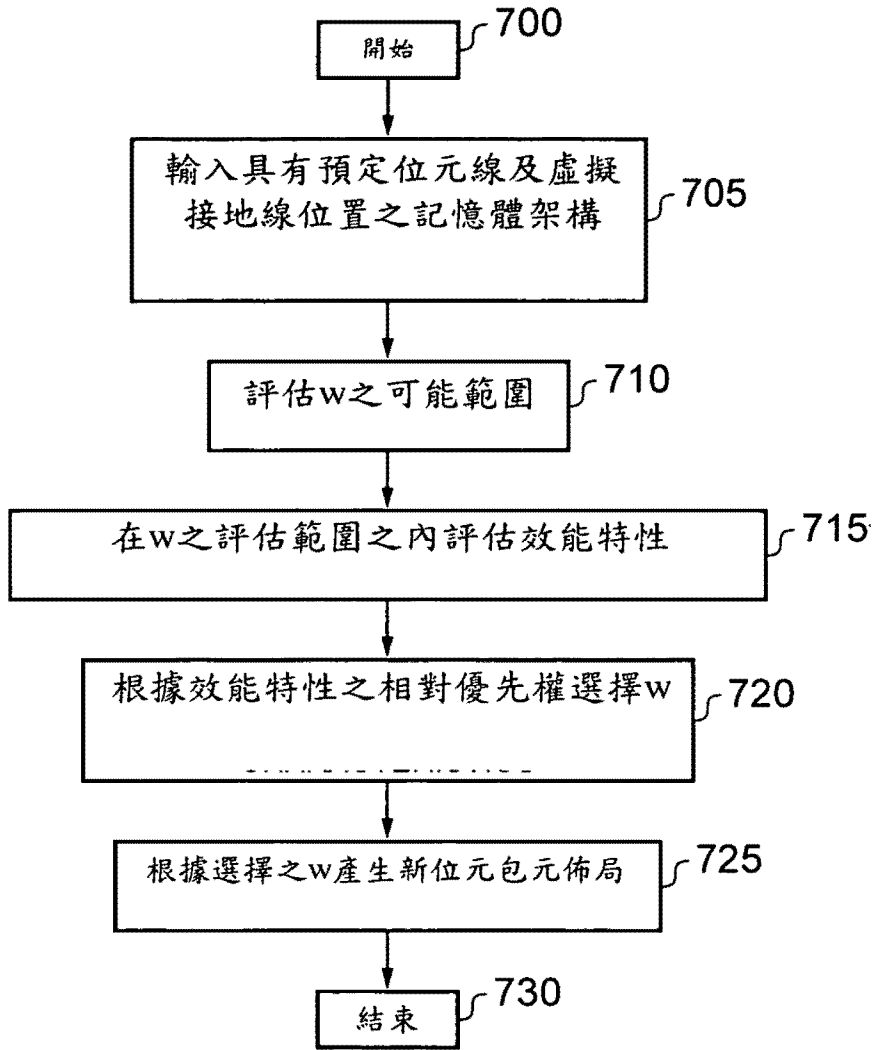
GENERATING ROM BIT CELL ARRAYS

(57)摘要

本發明提供一種產生一 ROM 位元格陣列佈局之方法，該方法包含以下步驟：輸入具有位元線及虛擬接地線之一預定定位之一預定記憶體架構，該記憶體架構包含記憶體格之複數行，記憶體格之每一行位於其固有相關聯位元線與其固有相關聯虛擬接地線之間，且記憶體格之每一行中之相鄰記憶體格共用一至該相關聯位元線或該相關聯虛擬接地線之共同連接；取決於位元線及虛擬接地線之該預定定位，評估記憶體格之該等行中每一者之有效區域之寬度之一可能範圍；取決於與有效區域之一最終寬度相關聯之至少一個效能特性，選擇有效區域之該最終寬度；及取決於有效區域之該最終寬度產生該 ROM 位元格陣列佈局。因此，系統設計者可再使用一現有記憶體架構，但在該最終 ROM 位元格陣列之效能特性選擇方面仍保留有利的靈活度。

A method of generating a ROM bit cell array layout is provided, the method comprising the steps of: inputting a predetermined memory architecture having a predetermined positioning of bit lines and virtual ground lines, said memory architecture comprising a plurality of columns of memory cells, each column of memory cells being located between its own associated bit line and its own associated virtual ground line, and adjacent memory cells in each column of memory cells sharing a common connection to either said associated bit line or said associated virtual ground line; evaluating a possible range of width of active area of each of said columns of memory cells, in dependence on said predetermined positioning of bit lines and virtual ground lines; selecting a final width of active area in dependence on at least one performance characteristic associated with said final width of active area; and generating said ROM bit cell array layout according to said final width of active area. Thus the system designer can reuse an existing memory architecture, yet still retain an advantageous degree of flexibility with regard to performance characteristic selection of the final ROM bit cell array.

- 700 . . . 步驟
- 705 . . . 步驟
- 710 . . . 步驟
- 715 . . . 步驟
- 720 . . . 步驟
- 725 . . . 步驟
- 730 . . . 步驟



第9圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：98145062

※申請日期：2009年12月25日

※IPC分類：G11C 16/06
(2006.01)

一、發明名稱：(中文/英文)

產生 ROM 位元格陣列

GENERATING ROM BIT CELL ARRAYS

二、中文發明摘要：

本發明提供一種產生一 ROM 位元格陣列佈局之方法，該方法包含以下步驟：輸入具有位元線及虛擬接地線之一預定定位之一預定記憶體架構，該記憶體架構包含記憶體格之複數行，記憶體格之每一行位於其固有相關聯位元線與其固有相關聯虛擬接地線之間，且記憶體格之每一行中之相鄰記憶體格共用一至該相關聯位元線或該相關聯虛擬接地線之共同連接；取決於位元線及虛擬接地線之該預定定位，評估記憶體格之該等行中每一者之有效區域之寬度之一可能範圍；取決於與有效區域之一最終寬度相關聯之至少一個效能特性，選擇有效區域之該最終寬度；及取決於有效區域之該最終寬度產生該 ROM 位元格陣列佈局。因此，系統設計者可再使用一現有記憶體架構，但在該最終 ROM 位元格陣列之效能特性選擇方面仍保留有利的靈活度。

三、英文發明摘要：

A method of generating a ROM bit cell array layout is provided, the method comprising the steps of: inputting a

predetermined memory architecture having a predetermined positioning of bit lines and virtual ground lines, said memory architecture comprising a plurality of columns of memory cells, each column of memory cells being located between its own associated bit line and its own associated virtual ground line, and adjacent memory cells in each column of memory cells sharing a common connection to either said associated bit line or said associated virtual ground line; evaluating a possible range of width of active area of each of said columns of memory cells, in dependence on said predetermined positioning of bit lines and virtual ground lines; selecting a final width of active area in dependence on at least one performance characteristic associated with said final width of active area; and generating said ROM bit cell array layout according to said final width of active area. Thus the system designer can reuse an existing memory architecture, yet still retain an advantageous degree of flexibility with regard to performance characteristic selection of the final ROM bit cell array.

四、指定代表圖：

(一)本案指定代表圖為：第 (9) 圖。

(二)本代表圖之元件符號簡單說明：

700 步驟

705 步驟

710 步驟

715 步驟

720 步驟

725 步驟

730 步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於 ROM 位元格陣列及產生此等 ROM 位元格陣列之佈局的方法。

【先前技術】

由位元格之多行組成的高密度 ROM 位元格陣列已藉由實施排列得以達成，在該等排列中同一行中之相鄰位元格共用至一相鄰位元線或虛擬接地線之一源極/汲極連接。

在美國專利第 5,917,224 號中揭示一緊密 ROM 矩陣，其中位元格之兩個相鄰行共用一虛擬接地線。第 1 圖示意地圖示已揭示之排列。一 ROM 位元格陣列 10 由以行排列之電晶體 12 組成，其中僅展示三行（14、16 及 18）。藉助於共用源極或汲極（在本文中一般地稱作「汲極」）連接之每一行中的相鄰位元格，在垂直方向上達成格之高密度。此等汲極連接將每一行中之每一電晶體連接至與電晶體之一相鄰行共用的虛擬接地線，或連接至與該特定行唯一相關聯之位元線。舉例而言，在行 18 中所圖示之兩個電晶體 12a 及 12b 共用一至位元線 BL_2 之共同汲極連接。電晶體 12a 與其上方之電晶體共用一至虛擬接地線 20 之汲極連接，同時電晶體 12b 與其下方之電晶體共用一至位元線 BL_2 之汲極連接。每一電晶體藉由連

接至同一線（位元線或虛擬接地線）之兩個其汲極連接或藉由連接至每一種線之一個汲極連接而編碼一邏輯「0」或「1」。因此，當充電一特定位元線（例如， BL_2 ）且啟用一特定字線（例如， WL_1 ）時，則位於彼等線之相交處的電晶體（在此實例中電晶體 12a）將藉由放電位元線 BL_2 至虛擬接地線 20 上來顯示由其汲極連接編碼之邏輯「0」。相反地，若替代地啟用字線 WL_2 （為了讀取電晶體 12b），將不發生位元線之顯著放電（連接至同一線之電晶體 12b 的兩個汲極），則指示由其汲極連接編碼之邏輯「1」（應理解，上文所描述之「1」與「0」的編碼僅為一習知選擇且可被明顯地轉化）。行 16 與行 18 共用虛擬接地線 20，且分別具有其固有位元線 BL_1 及位元線 BL_2 。同樣地，行 14 與其左側之電晶體之行（未圖示）共用虛擬接地線 22 且具有固有專用位元線 BL_0 。電晶體 12 藉由字線 WL_0 、 WL_1 、 WL_2 及 WL_3 以列切換。為清楚起見，未完全地圖示該等字線。

在美國專利第 7,002,827 號中揭示一 ROM 陣列，其中位元格之一行在一側與位元格之一相鄰行共用一虛擬接地線，且在另一側與位元格之一相鄰行共用一位元線。第 2 圖示意地圖示已揭示之排列。一 ROM 位元格陣列 100 由以行排列之電晶體 110 組成，其中僅展示三行（120、130 及 140）。如在第 1 圖中所示之排列中，藉助於共用汲極連接之每一行中的相鄰位元格，在垂直方向上達成格之高密度。在此排列中，藉助於汲極連接將每

一行中之每一電晶體連接至在一側與電晶體之一相鄰行共用之虛擬接地線，或連接至在另一側與電晶體之一相鄰行共用之位元線的事實，達成水平方向上之較大密度。舉例而言，在行 140 中所圖示之兩個電晶體 110a 及 110b 共用一至位元線 BL_1 之共同汲極連接。電晶體 110a 與其上方之電晶體共用一至虛擬接地線 150 之汲極連接，同時電晶體 110b 與其下方之電晶體共用一至位元線 BL_1 之汲極連接。藉助於各電晶體之汲極連接在每一電晶體中編碼之邏輯值係如上文參看第 1 圖所描述。行 130 與行 140 共用位於其之間的虛擬接地線 150，同時與在其各別相對側上之相鄰行共用一位元線。因此，行 130 與行 120 共用位元線 BL_0 ，且行 140 與其右側之行（未圖示）共用位元線 BL_1 。同樣地，行 120 與其左側之電晶體之行（未圖示）共用虛擬接地線 160。如第 1 圖中，為清楚起見，未完全地圖示字線 WL_0 、 WL_1 、 WL_2 及 WL_3 。

然而，藉由上文所描述之兩個先前技術排列達成之位元格之密度並不是沒有相關聯成本。舉例而言，在美國專利第 5,917,224 號之排列中，在相鄰位元線（例如， BL_0 與 BL_1 ）之間的耦合電容可異常地高，尤其對於具有與其相連之大量電晶體的位元線。另一方面，美國專利第 7,002,827 號之排列（例如）需要更多複雜之讀出邏輯，以確保給定位元線之所量測放電由希望讀取之位元格引起。

此等高度緊密的 ROM 位元格陣列可使高密度之位元

格能夠排列於一給定區域中，特定言之，藉助於具有接近於擴散極限操作之幾何形狀，亦即，在位元格之行之有效區域之間的時間隔不可再進一步減少。在此情形下，位元格之有效區域將被理解為在遮罩等級下對應於實體地用以界定金屬氧化物半導體（MOS，Metal-Oxide-Semiconductor）裝置之汲極及通道的形狀。此可自第 12 圖看出，其表示 MOS 電晶體之一佈局圖及一橫截面圖。標注為「有效區域」之矩形（佈局圖）界定在其中建立有效區域之區域，從而產生有效區域（歸因於在過程之較早階段已沈積之多晶矽（閘極））之兩個區域（橫截面圖）。

此外，建立此高密度 ROM 裝置係一複雜任務，其不但包括該位元格陣列本身之佈局，而且包括控制及讀出該位元格陣列所必需之相關聯控制電路、字線解碼器及位元線解碼器。歸因於此複雜性，已知該建立過程再使用控制電路、字線解碼器及位元線解碼器之現有排列。接著，根據對於 ROM 裝置之該執行個體的規定要求而產生（「編譯」）該位元格陣列中之位元格之特定排列。然而，以此方式再使用控制電路、字線解碼器及位元線解碼器之系統設計者可獲得之彈性係受事實之限制，即再使用控制電路之強加約束在於字線、位元線及虛擬接地線之佈局係固定的（以便正確地連接至解碼器）。此外，具有接近於擴散極限操作之幾何形狀的此等高密度 ROM 裝置所強加之額外約束導致提供給該系統設計者調整該

ROM 位元格陣列之特性的彈性仍更進一步受到限制。

將需要提供一種用於產生 ROM 位元格陣列之改良技術。

【發明內容】

根據第一態樣，本發明提供一種產生一 ROM 位元格陣列佈局之方法，該方法包含以下步驟：輸入具有位元線及虛擬接地線之一預定定位的一預定記憶體架構，該記憶體架構包含記憶體格之複數行，記憶體格之每一行位於其固有相關聯位元線與其固有相關聯虛擬接地線之間，且記憶體格之每一行中之相鄰記憶體格共用至該相關聯位元線或該相關聯虛擬接地線之一共同連接；取決於位元線及虛擬接地線之該預定定位，評估記憶體格之該等行中每一者之有效區域之寬度的可能範圍；取決於與有效區域之一最終寬度相關聯之至少一個效能特性，選擇有效區域之該最終寬度；及取決於有效區域之該最終寬度產生該 ROM 位元格陣列佈局。

先前當產生一 ROM 位元格陣列佈局時，再使用具有位元線及虛擬接地線之一預定定位的預定記憶體架構已顯著約束系統設計者可獲得之彈性。然而，根據本發明之該等技術，其中該預定記憶體架構包含記憶體格之複數行，記憶體格之每一行位於其固有相關聯位元線與其固有相關聯虛擬接地線之間，提供在水平方向上可能「金

屬受限」(metal constrained)之位元格陣列，亦即，該等位元線與虛擬接地線之間隔可經選擇為技術上可能之下限。相反地，正如在當前技術之位元格陣列之狀況下，本發明之記憶體架構在水平方向上並不「擴散受限」(diffusion constrained)。雖然此舉意謂一給定位元格（且因此整個位元格陣列）之水平尺寸相對於先前技術而言略微增加，但本發明之發明者已意外地發現在以折衷較小位元格密度之情況下，在再使用預定記憶體架構時，可提供設計靈活性之顯著改良給系統設計者。

因為本發明之記憶體架構並不擴散受限，所以該系統設計者可根據該等位元線及虛擬接地線之預定定位，評估記憶體格之該等行中每一者之有效區域之寬度的可能範圍。一給定位元格陣列佈局之效能特性視記憶體格之該等行中每一者之有效區域的寬度而定，且系統設計者可接著根據至少一個效能特性選擇有效區域之一最終寬度。接著，根據有效區域之選定最終寬度產生最終 ROM 位元格陣列佈局。因此，提供一高密度 ROM 位元格陣列佈局，其中記憶體格之每一行中之相鄰記憶體格共用一至相關聯位元線或相關聯虛擬接地線之共同連接，同時在調整該最終 ROM 位元格陣列之至少一個效能特性方面亦給予系統設計者有利的彈性。

應瞭解，可以多種方式進行根據與有效區域之最終寬度相關聯的至少一個效能特性選擇有效區域之最終寬度的步驟。在一實施例中，該選擇步驟包含參考一預定查

找表，該預定查找表使至少一個效能特性與有效區域之寬度相關。此舉基於至少一個相關聯效能特性而提供選擇有效區域之最終寬度的簡單及直接方法。在另一實施例中，該選擇步驟包含在該可能範圍之內選擇有效區域之一候選寬度；取決於該候選寬度預測至少一個效能特性；及在該可能範圍之內調整有效區域之寬度以改良至少一個效能特性。此舉提供具有至少一個迭代步驟之方法，取決於該方法可能精確調整有效區域之最終寬度之選擇，以精確調整依賴於其之至少一個效能特性。

在一實施例中，取決於與有效區域之該最終寬度相關聯之一個以上效能特性的相對優先順序來選擇有效區域之最終寬度。因此，可基於該最終 ROM 位元格陣列中之彼等效能特性之相對重要性來選擇不同效能特性。

在一實施例中，記憶體格之每一相鄰對之行經排列以使得與記憶體格之一行相關聯的位元線鄰接於與記憶體格之另一行相關聯的虛擬接地線。藉由此排列，與記憶體格之兩個相鄰行相關聯的位元線本身並非直接相鄰，且實際上藉由一介入虛擬接地線相互屏蔽。此舉在位元線之間產生顯著減少之耦合電容。

熟習此項技術者將瞭解，可自廣泛範圍之效能特性選擇至少一個效能特性，該等效能特性被理解為視記憶體格之該等行中每一者之有效區域的選定最終寬度而定。然而，在一實施例中，該至少一個效能特性係選自：位元線電容；虛擬接地線電容；操作速度；功率消耗；有

效區域大小；及電流洩漏。此等實例效能特性可表示 ROM 位元格陣列之顯著特徵結構，且因此在再使用一現有記憶體架構時，系統設計者仍然能夠調整此等效能特性中至少一者係有利的。

應瞭解，該等記憶體格可採取多種形式。在一實施例中，該等記憶體格包含至少一個 NMOS 電晶體。在另一實施例中，該等記憶體格包含至少一個 PMOS 電晶體。

同時，可以各種方式產生藉由根據本發明之第一態樣之方法產生的 ROM 位元格陣列佈局，有利地在一實施例中，該 ROM 位元格陣列佈局以一電腦可讀格式得以產生。在一實施例中，此電腦可讀格式為圖形數據系統 2 (gds2) 格式，然而，應瞭解亦可使用其他格式（例如，OASIS）。

根據本發明之第二態樣，提供一種 ROM 記憶體裝置，其包含：包含記憶體格之複數行之一位元格陣列，記憶體格之每一行位於其固有相關聯位元線與其固有相關聯虛擬接地線之間，其中記憶體格之每一行中之相鄰記憶體格共用一至該相關聯位元線或該相關聯虛擬接地線之共同連接。

根據本發明之第三態樣，提供一種電腦可讀儲存媒體，該媒體儲存根據本發明之第一態樣之方法產生的 ROM 位元格陣列佈局之表示。

根據本發明之第四態樣，提供一種電腦可讀儲存媒體，該媒體儲存根據本發明之第二態樣之 ROM 記憶體裝

置之表示。

根據本發明之第五態樣，提供一種用於產生一 ROM 位元格陣列佈局之系統，該系統包含：用於接收一預定記憶體架構之一輸入，該預定記憶體架構具有位元線及虛擬接地線之一預定定位，該記憶體架構包含記憶體格之複數行，記憶體格之每一行位於其固有相關聯位元線與其固有相關聯虛擬接地線之間，且記憶體格之每一行中之相鄰記憶體格共用一至該相關聯位元線或該相關聯虛擬接地線之共同連接；及用於執行以下步驟之處理邏輯：取決於位元線及虛擬接地線之該預定定位，評估記憶體格之該等行中每一者之有效區域之寬度的可能範圍；取決於與有效區域之一最終寬度相關聯之至少一個效能特性，選擇有效區域之該最終寬度；及取決於有效區域之該最終寬度產生該 ROM 位元格陣列佈局。

【實施方式】

第 3 圖示意地圖示根據本發明之技術產生之一實例 ROM 裝置 200 的佈局。ROM 裝置 200 由控制電路 210 控制，控制電路 210 控制字線解碼器 220 及位元線解碼器 230 之操作。字線解碼器 220 及位元線解碼器 230 之操作使編碼於位元格（亦稱作記憶體格）240 之陣列中的邏輯值能夠被讀出。此讀出過程涉及根據標準技術，藉由字線解碼器 220 選擇一特定字線及藉由位元線解碼

器 230 讀出一特定位元線，且在本文中不再詳細地描述。歸因於裝置（諸如，ROM 裝置 200）之複雜性，當此 ROM 裝置之特定實例由系統設計者建立（「編譯」）時，常見狀況為再使用控制電路 210、字線解碼器 220 及位元線解碼器 230 之現有排列，且僅根據該最終 ROM 裝置之所要特性來再界定位元格陣列 240。在一典型記憶體編譯器中，其包含排列基本子元件(leaf cell)（參見實例基本子元件 250），基本子元件本身包含位元格之一小陣列（例如， 4×4 ）。歸因於正再使用字線解碼器 220 及位元線解碼器 230 之事實，字線（例如，字線 WL_Y ）及位元線（例如，位元線 BL_X ）之位置為預定且固定的。然而，根據本發明之位元格陣列排列，對於系統設計者之顯著設計彈性仍然存在，如將在下文中進一步闡釋。根據此方法產生之最終 ROM 位元格陣列佈局實務上將通常以電腦可讀表示之形式（諸如，以 gds2 格式）被輸出。因此，系統設計者可容易地將該最終佈局輸送至製造設備。

第 4 圖圖示根據本發明之一實施例之 ROM 位元格陣列 300 的圖解說明。在此實施例中，該等記憶體格包含以垂直行排列之 NMOS 電晶體 302，其中僅圖示三行 310、312 及 314。在一替代實施例中，此等電晶體可（例如）為 PMOS 電晶體。電晶體之每一行具有其固有的相關聯虛擬接地線及位元線，例如，電晶體之行 310 位於虛擬接地線 320 與位元線 BL_0 之間。在此實施例中，虛擬接

地線 320、322 及 324 以及位元線 BL_0 、 BL_1 及 BL_3 經排列以使得在電晶體之該等行之間，一行之位元線與下一行之虛擬接地線鄰接。在其他實施例中，有可能將兩個位元線相互鄰接且將兩個虛擬接地線相互鄰接，若將虛擬接地線 322 與位元線 BL_1 交換，則第 4 圖中所圖示之實例將實現該狀況。然而，由於藉由插入式虛擬接地線提供位元線之屏蔽，故第 4 圖中所圖示之位元線鄰接於虛擬接地線之排列係較佳的。因此，在所展示之排列中，在最接近之位元線之間的耦合電容顯著減少。

藉助於一行中之相鄰電晶體共用一至與該行相關聯之虛擬接地線或與該行相關聯之位元線的汲極連接之事實，達成 ROM 位元格之相對高密度。舉例而言，電晶體 302a 與電晶體 302b 共用一至虛擬接地線 324 之汲極連接。電晶體 302b 與電晶體 302c 共用一至位元線 BL_3 之汲極連接。字線 WL_0 、 WL_1 、 WL_2 及 WL_3 在該 ROM 位元格陣列上完全延伸，但為清楚起見，未將其在第 4 圖中完全圖示。雖然第 4 圖中所圖示之位元格陣列之水平尺寸略微大於在共用所有虛擬接地線與位元線時可達到之水平尺寸，但已發現在再使用位元格陣列控制電路及解碼器（如參看第 3 圖所論述）時，第 4 圖中所圖示之排列可給予系統設計者有利彈性，如將在下文中進一步闡釋。在第 4 圖之位元格陣列中，邏輯「1」及「0」之編碼係標準的且在本文中不再進一步描述。同樣地，藉由啟用一給定字線且量測一特定位元線上之放電來讀取該

ROM 裝置之特定位元格的程序亦係標準的，且在本文中不再進一步描述。

由第 4 圖中引入之位元格陣列排列提供系統設計者之優勢將由第 5 圖及第 6 圖之以下論述可更加明白，第 5 圖及第 6 圖圖示分別根據先前技術及根據本發明之一實施例之位元格佈局。在第 5 圖及第 6 圖中，僅圖示與當前論述相關之位元格組件（亦即，虛擬接地線、位元線及位元格有效區域），且不展示與本論述無關之其他組件（例如，字線層及金屬接點）。

根據位元格之排列（諸如在第 2 圖中所圖示之位元格之排列），在第 5 圖中圖示兩個水平相鄰之位元格 400 及 402。每一位元格分別具有有效區域 404 及 406，其寬度為 w 且藉由在一側之虛擬接地線與在另一側之位元線定界。舉例而言，位元格 400 在左側藉由虛擬接地線 408 定邊界，且在右側藉由位元線 410 定邊界。同樣地，位元格 402 在左側藉由位元線 410 定邊界，且在右側藉由虛擬接地線 412 定邊界。將虛擬接地線與位元線之間的距離標示為 $SPACE_{METAL}$ ，且同樣地，將相鄰有效區域之間的距離標注為 $SPACE_{ACTIVE}$ 。因為期望將盡可能大密度之位元格裝配至位元格陣列中，通常將用設定為技術上可能下限之 $SPACE_{ACTIVE}$ 來建構位元格 400 及 402。在這一點上，之所以說該位元格在水平方向上擴散受限，是因為若 $SPACE_{ACTIVE}$ 成為任何較小值，則在有效區域 404 與 406 之間的擴散將對於每一格之正確獨立運作而言太

大。實際上，亦可能存在亦將 $SPACE_{METAL}$ 設定為技術上可能之最低值以在陣列中建立盡可能高密度之位元格的狀況。應注意，在第 5 圖中圖示偏移於虛擬接地線 408 及 412 及位元線 410 之有效區域 404 及 406。此僅為了清楚起見，且實際上位元格之各種組件係以層組成（在進出頁面之方向上）的典型構造將使該等有效區域與虛擬接地線及位元線重疊。如此排列可看出該位元格之水平尺寸由 $SPACE_{ACTIVE}/2+w+SPACE_{ACTIVE}/2$ 給定。因為位元格之此排列擴散受限（亦即，處於 $SPACE_{ACTIVE}$ 之下限），若將再使用 ROM 裝置之控制電路及解碼器（如參看第 3 圖所描述），則在將虛擬接地線及位元線固定於適當位置（藉助於至字線及位元線解碼器之必需介面）後，系統設計者將無法增加有效區域之寬度 w 。

轉向第 6 圖，呈現根據本發明之一實施例之兩個水平相鄰位元格之佈局（諸如第 3 圖中所圖示之佈局）的類似視圖。在左側，位元格 500 橫跨其專用虛擬接地線 504 及其專用位元線 BL_0 。在此虛擬接地線與位元線之間係位元格 500 之有效區域 506，有效區域 506 圖示為具有寬度 w （如同第 5 圖中之有效區域 404 及 406 之寬度）。位元格 500 之有效區域在其寬度上具有由虛線 507 所圖示之上限（將在下文中論述）。同樣地，位元格 502 橫跨虛擬接地線 508 及位元線 BL_1 。在虛擬接地線 508 與位元線 BL_1 之間，有效區域 510 亦具有寬度 w 且在其寬度上具有由虛線 511 所圖示之上限。在此實施例中，該等

位元格在水平方向上金屬受限，即虛擬接地線與位元線之間的距離 ($SPACE_{METAL}$) 為在技術上可能之最小值。相反，此等位元格在水平方向上並不擴散受限，即水平相鄰格之有效區域之間的距離大於在技術上可能之 $SPACE_{ACTIVE}$ 之最小值。此距離最初為 $SPACE_{ACTIVE}$ (初始)。

當考慮再使用控制電路、字線解碼器及位元線解碼器之製程 (如參看第 3 圖所論述) 時，位元格之此排列的特定優勢將很明顯。現有控制電路及解碼器預定位元線及虛擬接地線之架構排列。然而，藉由本發明之位元格佈局，儘管存在當再使用控制電路及解碼器時，位元線及虛擬接地線之位置為預定且固定的事實，系統設計者仍然具有選擇有效區域之寬度 w 之彈性，以調整正生產之該 ROM 裝置之效能特性。因此，假定 $SPACE_{ACTIVE}$ (初始) 對應於當 w 為在技術上可能之最小值時的排列，則系統設計者可在達到 $SPACE_{ACTIVE}$ (最小) 時，增加 w (如由第 6 圖中之虛線所圖示) 直至 w 之上限。個別位元格及從而整個位元格陣列之多種效能特性視位元格之有效區域之寬度 W 而定，且因此最終位元格陣列之此等效能特性可由系統設計者選擇。

第 7 圖示意地圖示取決於選擇之有效區域寬度 w 而變化之一個此效能特性。第 7 圖中之圖表圖示視位元格電晶體之寬度 (w) 而定的位元線電壓之放電。在所展示之實例中，正讀出一位元格，該位元格已藉由具有至虛擬

接地線之一個汲極連接及至位元線之一個汲極連接而編碼一邏輯值「0」。因此，當啟用對應於此位元格之字線時，該位元線放電。此放電在圖形中由下降到臨限值 V_{THRESH} 之初始電壓 V_{INIT} 展示，臨限值 V_{THRESH} 表示邊界以用於解譯由儲存於相應位元格中之邏輯值「0」產生之位元線放電。已知位元線放電所用之速度視正讀取之位元格之有效區域的寬度而定，且在第 7 圖之實例中，有效區域寬度 w_1 小於有效區域寬度 w_2 ，從而對於較寬之有效區域產生更快的位元線放電。因此，臨限電壓讀取待達到之 V_{THRESH} 所花費的時間對於較寬之有效區域而言較短。儘管已論述位元線放電速度之此實例效能特性，但熟習此項技術者將認識到個別位元格及位元格陣列之許多效能特性視位元格之有效區域之寬度 w 而定，諸如位元線電容、虛擬接地線電容、功率消耗、有效區域大小及電流洩漏。取決於此等效能特性之相對優先順序，系統設計者可選擇 w 以視需要產生位元格陣列。

第 8 圖示意地圖示根據本發明之一實施例之給予各種組件之更多實際相對尺寸的位元格佈局。位元格 600 由有效區域 605、位元線 610、虛擬接地線 615 及字線 620 組成。字線 620 包含兩層，即金屬層 625 及多晶矽層 (poly layer) 630。兩個正方形 635 及 640 為將作用層 605 連接至上部金屬層 645 及 650 之接點。提供上部金屬層 645 及 650 以使得連接可由位元線或虛擬接地與源極或汲極之間的通孔形成。當系統設計者在位元格陣列佈局中排

列多個位元格時，虛線 660 為位元格之標稱邊緣，其表示平鋪之單元的邊界。

第 9 圖為圖示根據本發明之一實施例在一製程中採取之步驟的流程圖。該流程起始於步驟 700 且進入步驟 705，在步驟 705 處輸入具有預定位元線及虛擬接地線位置之記憶體架構。接著，基於此記憶體架構，在步驟 710 處評估有效區域之寬度 w 之可能範圍。基於對 w 之範圍的此評估，在步驟 715 處評估對應於 w 之該評估範圍的至少一個效能特性。接著，在步驟 720 處根據對應於 w 之該選擇之該等效能特性的相對優先順序選擇 w 之值，且在步驟 725 處根據該選擇之 w 產生新位元格佈局。該流程在步驟 730 處結束。

在第 10 圖中圖示取決於有效區域之寬度之評估的可能範圍選擇 w 之最終值的實例。第 10 圖示意地圖示一洩漏電流查找表。已知位元格之洩漏電流視有效區域之寬度 w 而定。洩漏電流查找表 800 使列出之洩漏電流之預定預測與 w 值之範圍相關。一旦已取決於記憶體架構之預定位元線及虛擬接地線位置評估 w 之可能範圍，則可使 w 之此範圍與洩漏電流之一相應範圍相關。系統設計者可接著判定來自查找表 800 之可接受之洩漏電流且取決於其選擇 w 之最終值。在一替代實施例中，選擇 w 之最終值的方法包含選擇 w 之一候選值、取決於其預測一效能特性（例如，藉由參考一查找表、藉由取決於第一原理計算等）且接著調整有效區域之寬度（在評估之可

能範圍之該等約束之內)以改良該效能特性。此後一方法可藉由基於有效區域之該經調整寬度再預測該效能特性而變得迭代。

第 11 圖示意地圖示可用以實施上述 ROM 位元格陣列產生技術之類型的通用電腦 900。該通用電腦 900 包括中央處理單元 902、隨機存取記憶體 904、唯讀記憶體 906、網路介面卡 908、硬碟驅動器 910、顯示驅動器 912 及顯示器 914 及具有鍵盤 918 及滑鼠 920 之使用者輸入/輸出電路 916，此等元件全部經由共同匯流排 922 得以連接。在操作中，中央處理單元 902 將執行電腦程式指令，該等指令可儲存於隨機存取記憶體 904、唯讀記憶體 906 及硬碟驅動器 910 中之一或多者中，或經由網路介面卡 908 得以動態地下載。所執行之處理的結果可經由顯示驅動器 912 及顯示器 914 顯示給使用者。用於控制通用電腦 900 之操作的使用者輸入可經由使用者輸入/輸出電路 916 自鍵盤 918 或滑鼠 920 得以接收(且因此例如可經由此機制進入有效區域之最終寬度的選擇)。應瞭解，可以多種不同電腦語言寫入電腦程式。該電腦程式可儲存且分散於記錄媒體上或動態地下載至通用電腦 900。當在控制之下操作一適當電腦程式時，通用電腦 900 可執行上述 ROM 位元格陣列產生技術且可被認為形成用於執行上述技術之裝置。通用電腦 900 之架構可有相當大的變化且第 11 圖僅為一個實例。

因此，本發明提供一種產生一 ROM 位元格陣列佈局之

方法，儘管其再使用一現有記憶體架構，但其在選擇及精確調整具有產生位元格陣列佈局之最終 ROM 裝置之效能特性方面為系統設計者提供有利彈性。

儘管已在本文中描述本發明之特定實施例，但顯而易見本發明並不限於此，且可在本發明之範疇內進行許多修改及添加。舉例而言，在不脫離本發明之範疇之情況下，可進行以下依附項之特徵結構與獨立項之特徵結構的各種組合。

【圖式簡單說明】

將僅以舉例之方式，參考在隨附圖式中所圖示之本發明之實施例來進一步描述本發明，各圖式中：

第 1 圖圖示先前技術 ROM 位元格陣列之一示意圖；

第 2 圖圖示另一先前技術 ROM 位元格陣列之一示意圖；

第 3 圖示意地圖示包括一位元格陣列、字線解碼器、位元線解碼器及控制電路之 ROM 位元格裝置；

第 4 圖圖示根據本發明之一實施例之 ROM 位元格陣列的一示意圖；

第 5 圖示意地圖示根據先前技術之位元格佈局；

第 6 圖示意地圖示根據本發明之一實施例之一實例位元格佈局；

第 7 圖示意地圖示具有有效區域之寬度之實例效能特

性的一變化；

第 8 圖示意地圖示根據本發明之一實施例之一實例位元格佈局；

第 9 圖為圖示根據本發明之一實施例採取之實例步驟的流程圖；

第 10 圖示意地圖示使有效區域之寬度之一可能範圍與一實例效能特性相關；

第 11 圖為一電腦系統之圖解，可在該電腦系統上執行本發明之實施例之該等產生方法；及

第 12 圖為圖示一先前技術 MOS 電晶體之組件的方塊圖。

【主要元件符號說明】

10	ROM 位元格陣列
12	電晶體
12a	電晶體
12b	電晶體
14	行
16	行
18	行
20	虛擬接地線
22	虛擬接地線
100	ROM 位元格陣列

- 110 電晶體
- 110a 電晶體
- 110b 電晶體
- 120 行
- 130 行
- 140 行
- 150 虛擬接地線
- 160 虛擬接地線
- 200 ROM 裝置
- 210 控制電路
- 220 字線解碼器
- 230 位元線解碼器
- 240 位元格陣列
- 250 基本子元件
- 300 ROM 位元格陣列
- 302 NMOS 電晶體
- 302a 電晶體
- 302b 電晶體
- 302c 電晶體
- 310 行
- 312 行
- 314 行
- 320 虛擬接地線
- 322 虛擬接地線

324	虛擬接地線
400	位元格
402	位元格
404	有效區域
406	有效區域
408	虛擬接地線
410	位元線
412	虛擬接地線
500	位元格
502	位元格
504	虛擬接地線
506	有效區域
507	虛線
508	虛擬接地線
510	有效區域
511	虛線
600	位元格
605	有效區域/作用層
610	位元線
615	虛擬接地線
620	字線
625	金屬層
630	多晶矽層
635	正方形

- 640 正方形
- 645 上部金屬層
- 650 上部金屬層
- 660 虛線
- 700 步驟
- 705 步驟
- 710 步驟
- 715 步驟
- 720 步驟
- 725 步驟
- 730 步驟
- 800 洩漏電流查找表
- 900 通用電腦
- 902 中央處理單元
- 904 隨機存取記憶體
- 906 唯讀記憶體
- 908 網路介面卡
- 910 硬碟驅動器
- 912 顯示驅動器
- 914 顯示器
- 916 使用者輸入/輸出電路
- 918 鍵盤
- 920 滑鼠
- 922 共同匯流排

BL₀ 位元線

BL₁ 位元線

BL₂ 位元線

BL₃ 位元線

BL_x 位元線

SPACE_{ACTIVE} 距離

SPACE_{METAL} 距離

W 寬度

WL₀ 字線

WL₁ 字線

WL₂ 字線

WL₃ 字線

WL_y 字線

七、申請專利範圍：

1. 一種產生一 ROM 位元格陣列佈局之方法，該方法包含以下步驟：

輸入具有多個位元線及多個虛擬接地線之一預定定位的一預定記憶體架構，該記憶體架構包含記憶體格之複數行，記憶體格之每一行位於其固有相關聯位元線與其固有相關聯虛擬接地線之間，且記憶體格之每一行中之相鄰記憶體格共用至該相關聯位元線或該相關聯虛擬接地線之一共同連接；

取決於多個位元線及多個虛擬接地線之該預定定位，評估記憶體格之該等行中每一者之有效區域之寬度之一可能範圍；

取決於與有效區域之一最終寬度相關聯之至少一個效能特性，選擇有效區域之該最終寬度；及

根據有效區域之該最終寬度產生該 ROM 位元格陣列佈局。

2. 如申請專利範圍第 1 項之方法，其中該選擇步驟包含以下步驟：

參考一預定查找表，該預定查找表使該至少一個效能特性與有效區域之寬度相關。

3. 如申請專利範圍第 1 項之方法，其中該選擇步驟包含以下步驟：

在該可能範圍之內選擇有效區域之一候選寬度；
取決於該候選寬度預測該至少一個效能特性；
在該可能範圍之內調整有效區域之該寬度以改良該至少一個效能特性。

4. 如申請專利範圍第 1 項之方法，其中有效區域之該最終寬度係取決於與有效區域之該最終寬度相關聯之多於一個效能特性的多個相對優先順序加以選擇。

5. 如申請專利範圍第 1 項之方法，其中記憶體格之每一相鄰對之行經排列以使得與記憶體格之一個行相關聯的一位元線鄰接於與記憶體格之另一個行相關聯的一虛擬接地線。

6. 如申請專利範圍第 1 項之方法，其中該至少一個效能特性係選自：
位元線電容；
虛擬接地線電容；
操作速率；
功率消耗；
有效區域大小；或
電流洩漏。

7. 如申請專利範圍第 1 項之方法，其中該等記憶體格包

含至少一個 NMOS 電晶體。

8. 如申請專利範圍第 1 項之方法，其中該等記憶體格包含至少一個 PMOS 電晶體。

9. 如申請專利範圍第 1 項之方法，其中該 ROM 位元格陣列佈局係以一電腦可讀格式得以產生。

10. 如申請專利範圍第 9 項之方法，其中該電腦可讀格式為 gds2 格式。

11. 一種電腦可讀儲存媒體，其儲存如根據申請專利範圍第 1 項之方法產生之一 ROM 位元格陣列佈局之一表示法 (representation)。

12. 一種用於產生一 ROM 位元格陣列佈局之系統，該系統包含：

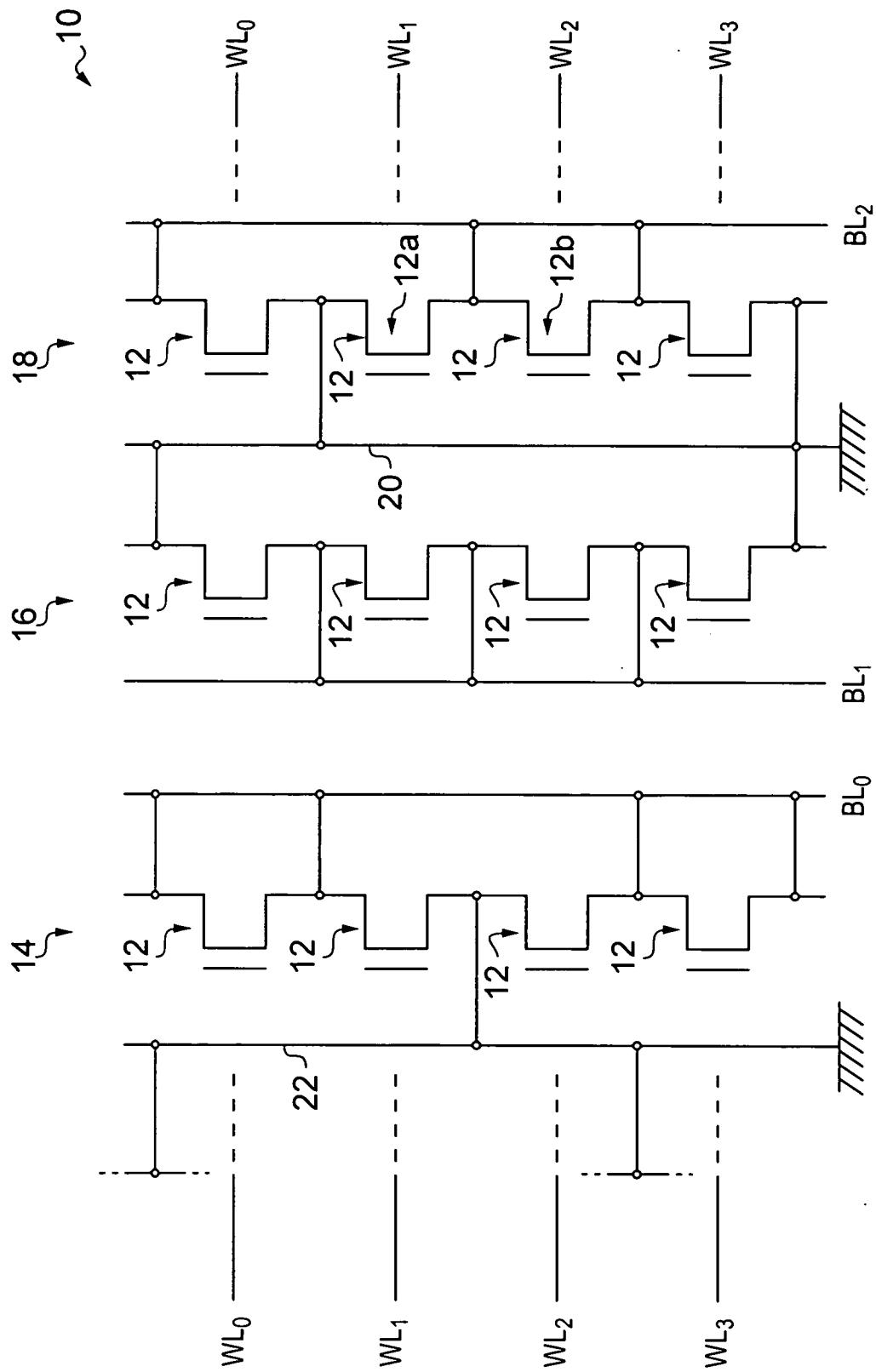
用於接收一預定記憶體架構之一輸入，該預定記憶體架構具有多個位元線及多個虛擬接地線之一預定定位，該記憶體架構包含記憶體格之複數行，記憶體格之每一行位於其固有相關聯位元線與其固有相關聯虛擬接地線之間，且記憶體格之每一行中之相鄰記憶體格共用至該相關聯位元線或該相關聯虛擬接地線之一共同連接；及用於執行以下步驟之處理邏輯：

取決於多個位元線及多個虛擬接地線之該預定定位，評估記憶體格之該等行中每一者之有效區域之寬度之一可能範圍；

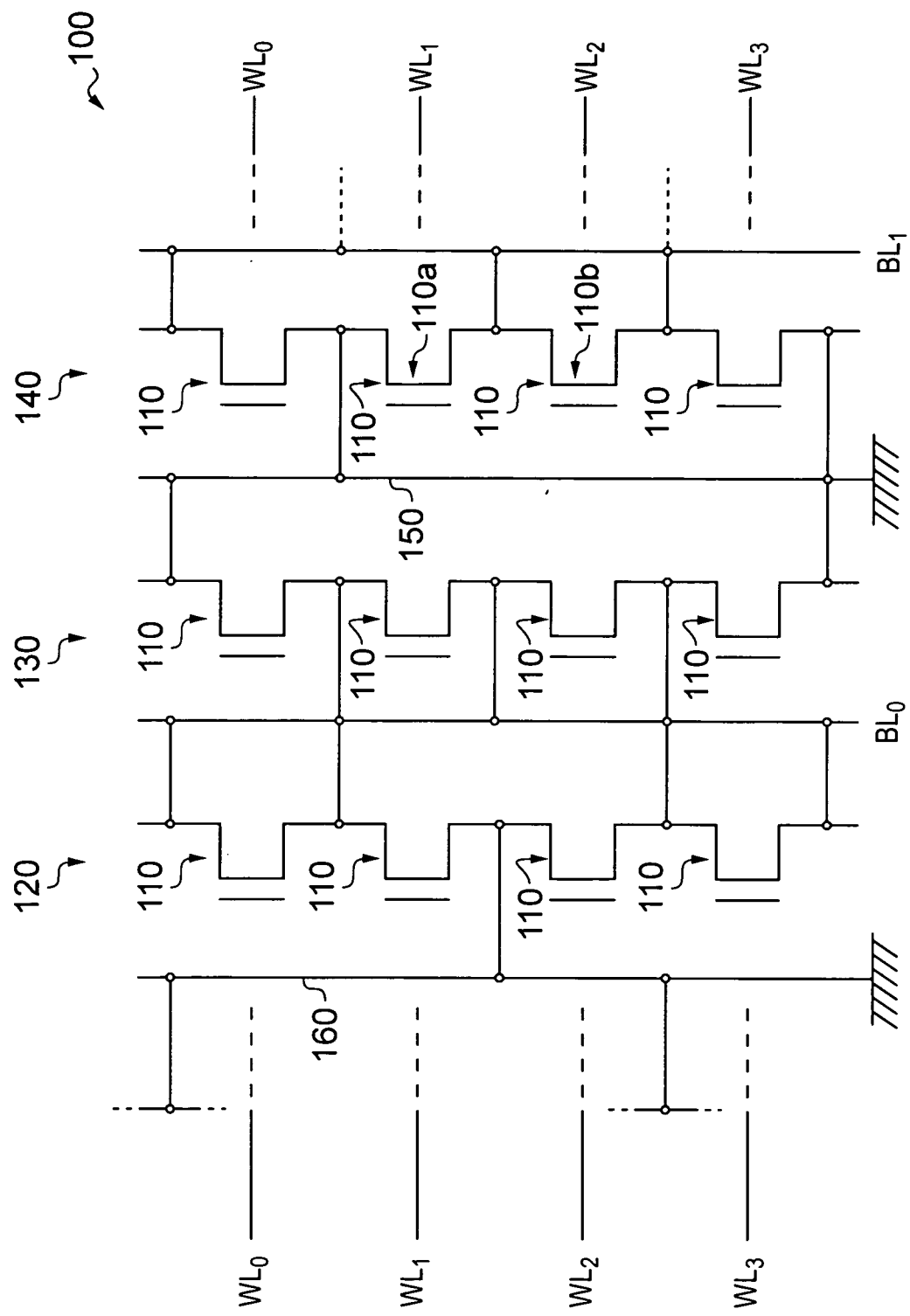
取決於與有效區域之一最終寬度相關聯之至少一個效能特性，選擇有效區域之該最終寬度；及

根據有效區域之該最終寬度產生該 ROM 位元格陣列佈局。

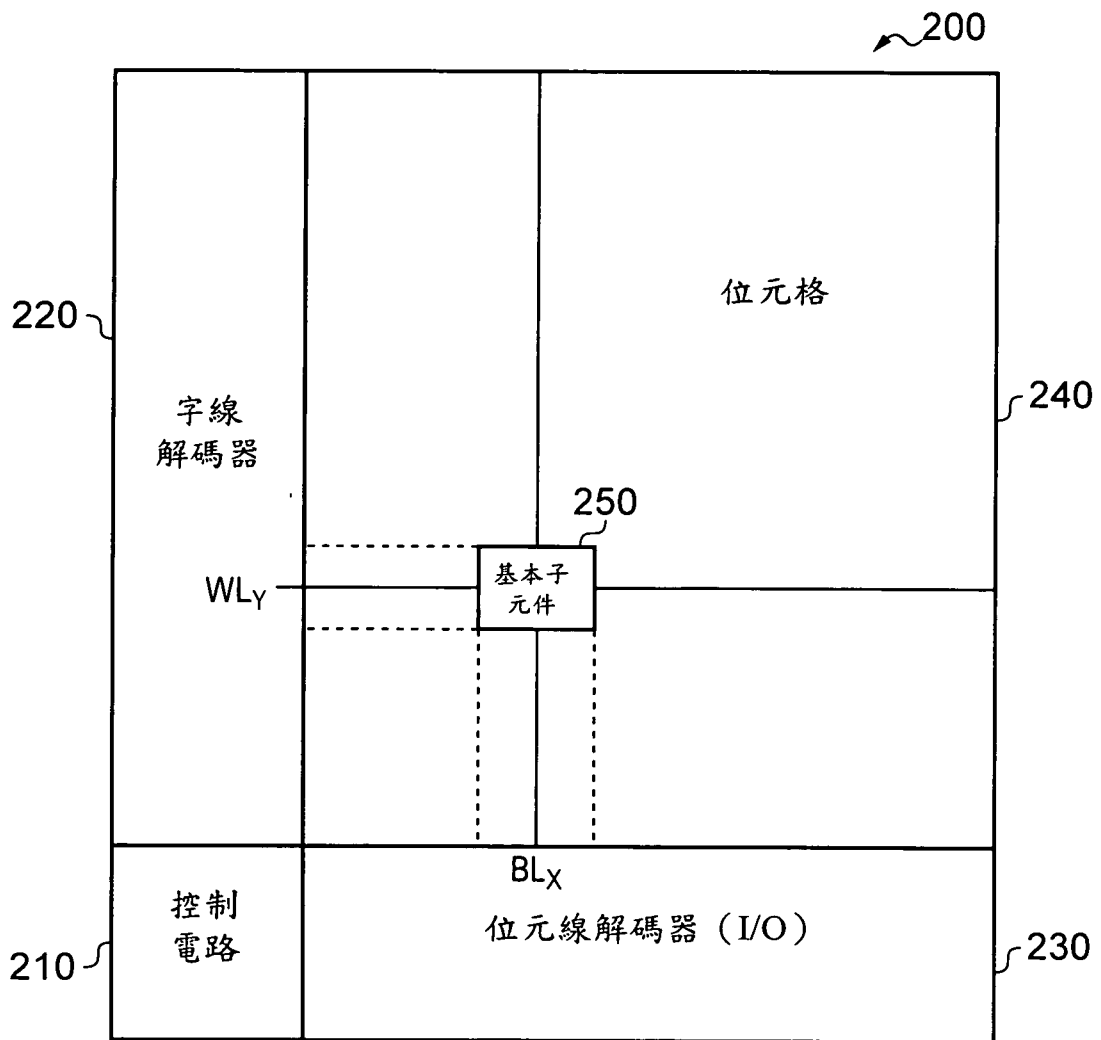
八、圖式：



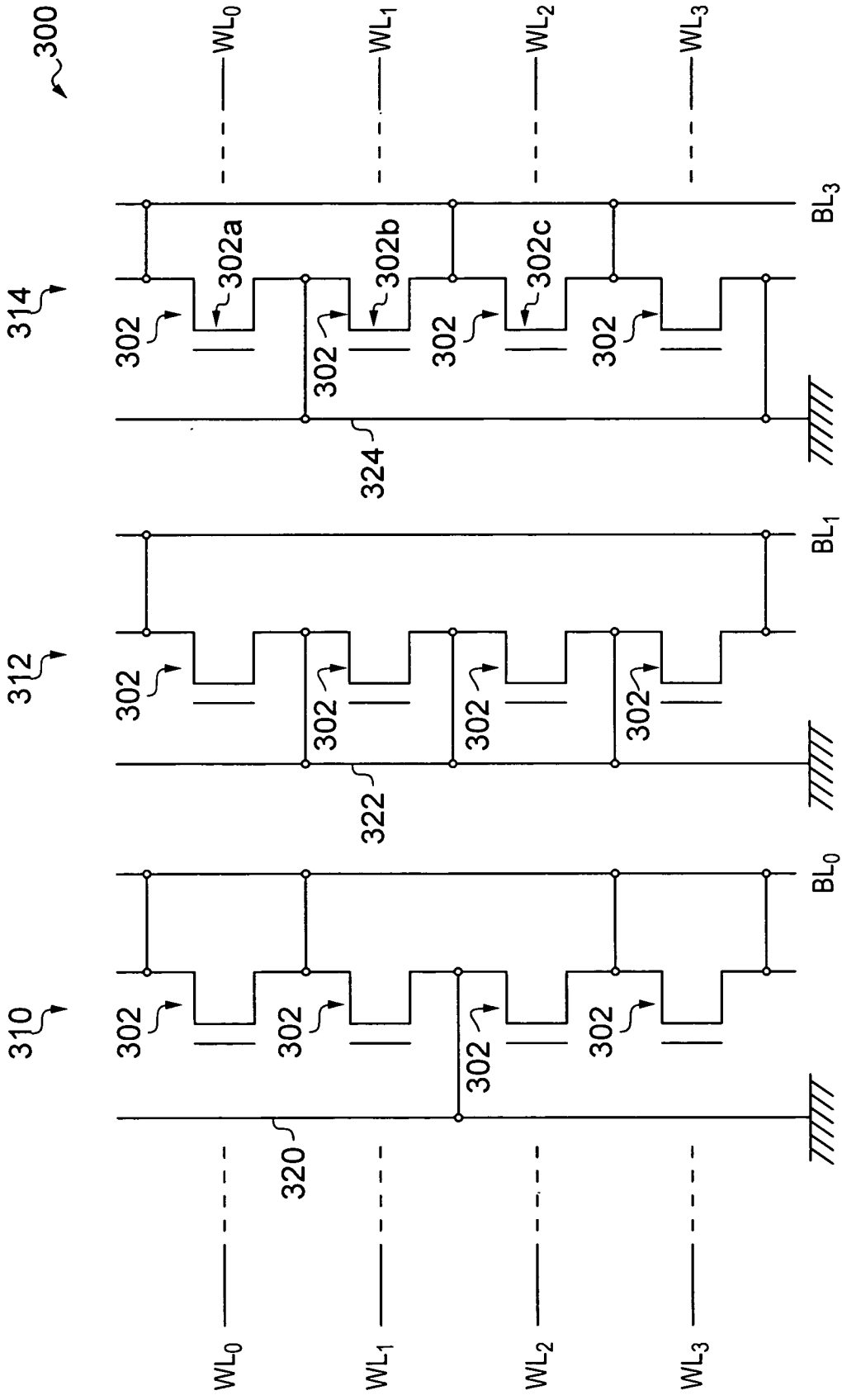
第1圖(先前技術)



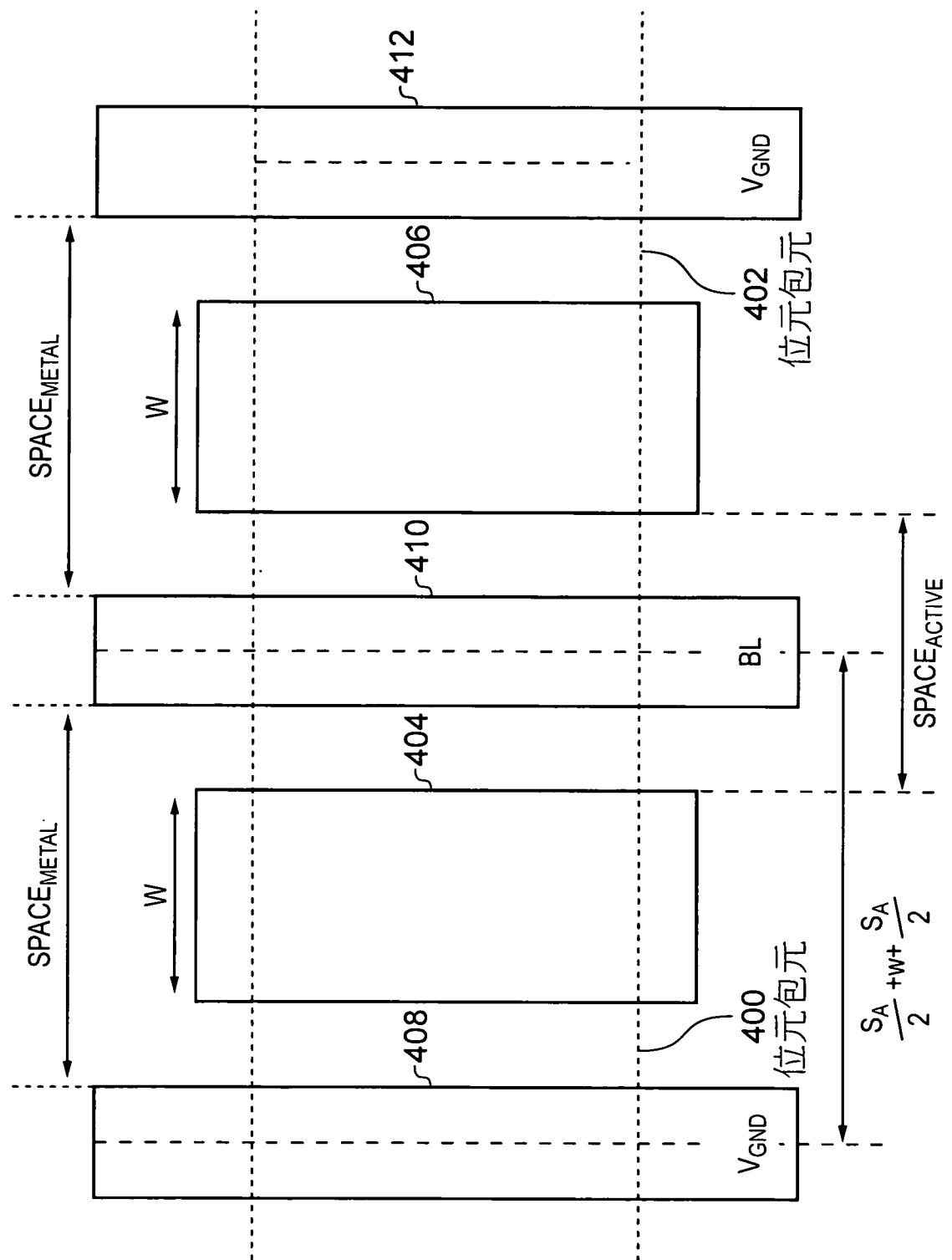
第2圖(先前技術)



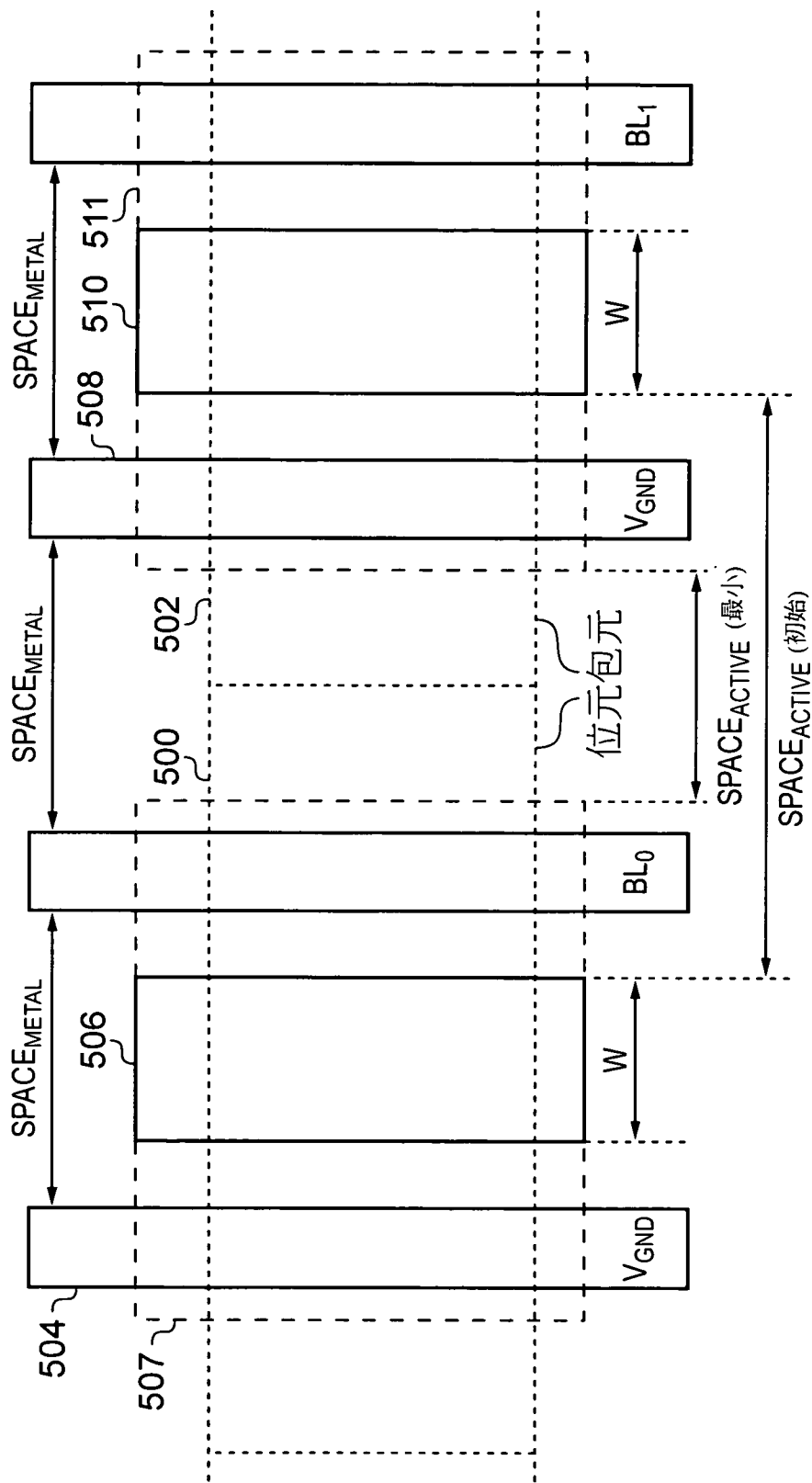
第3圖



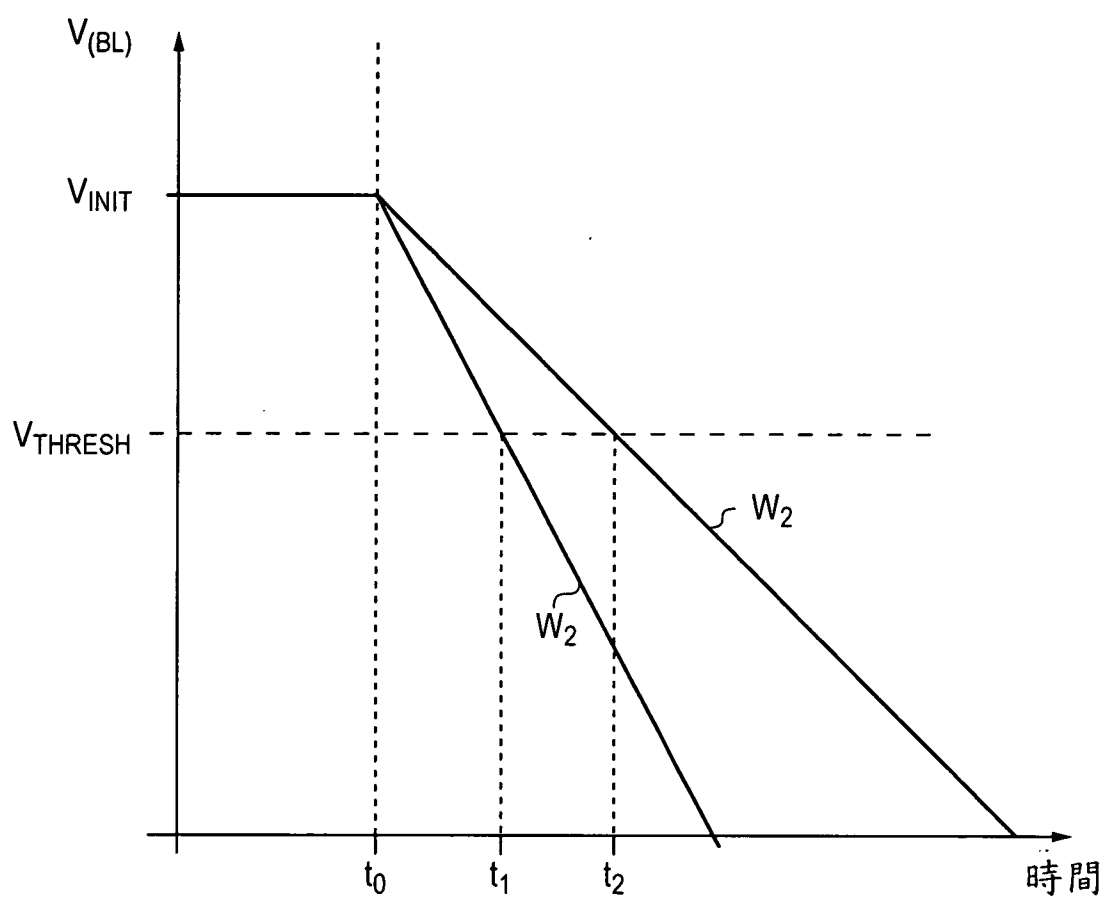
第4圖



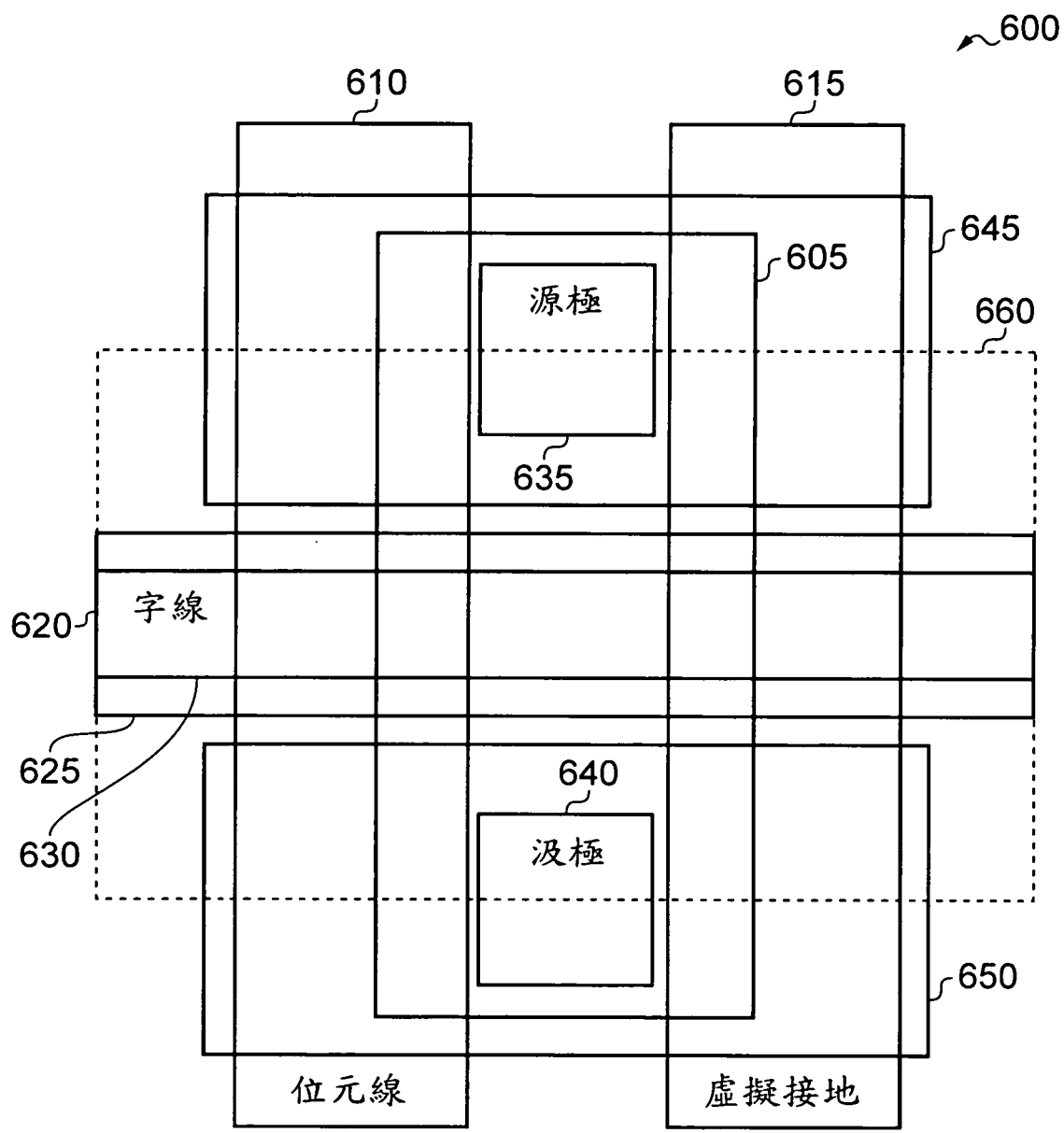
第5圖(先前技術)



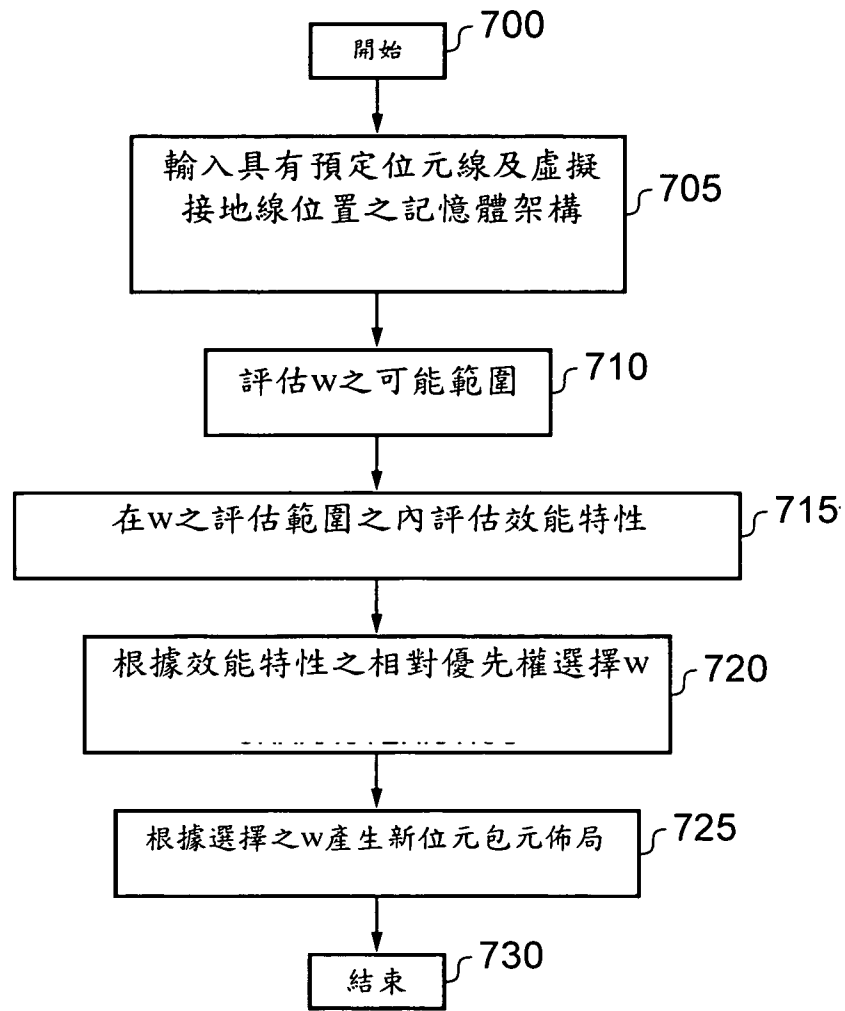
第6圖



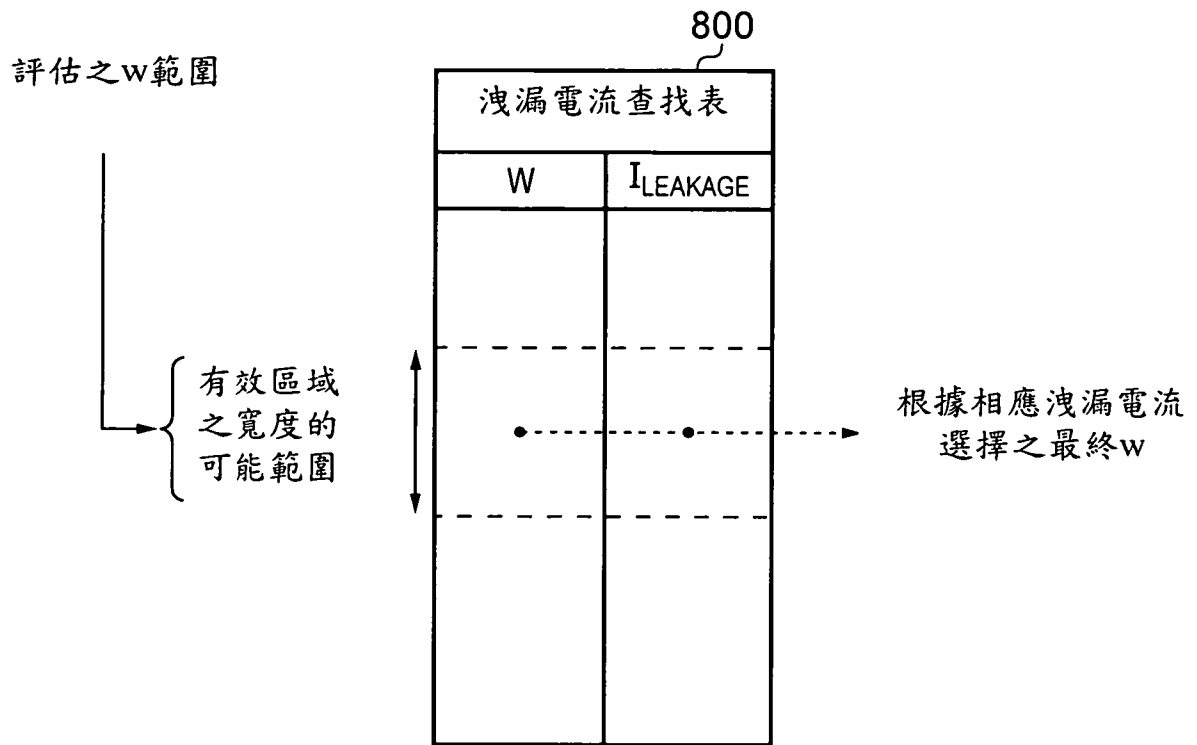
第7圖



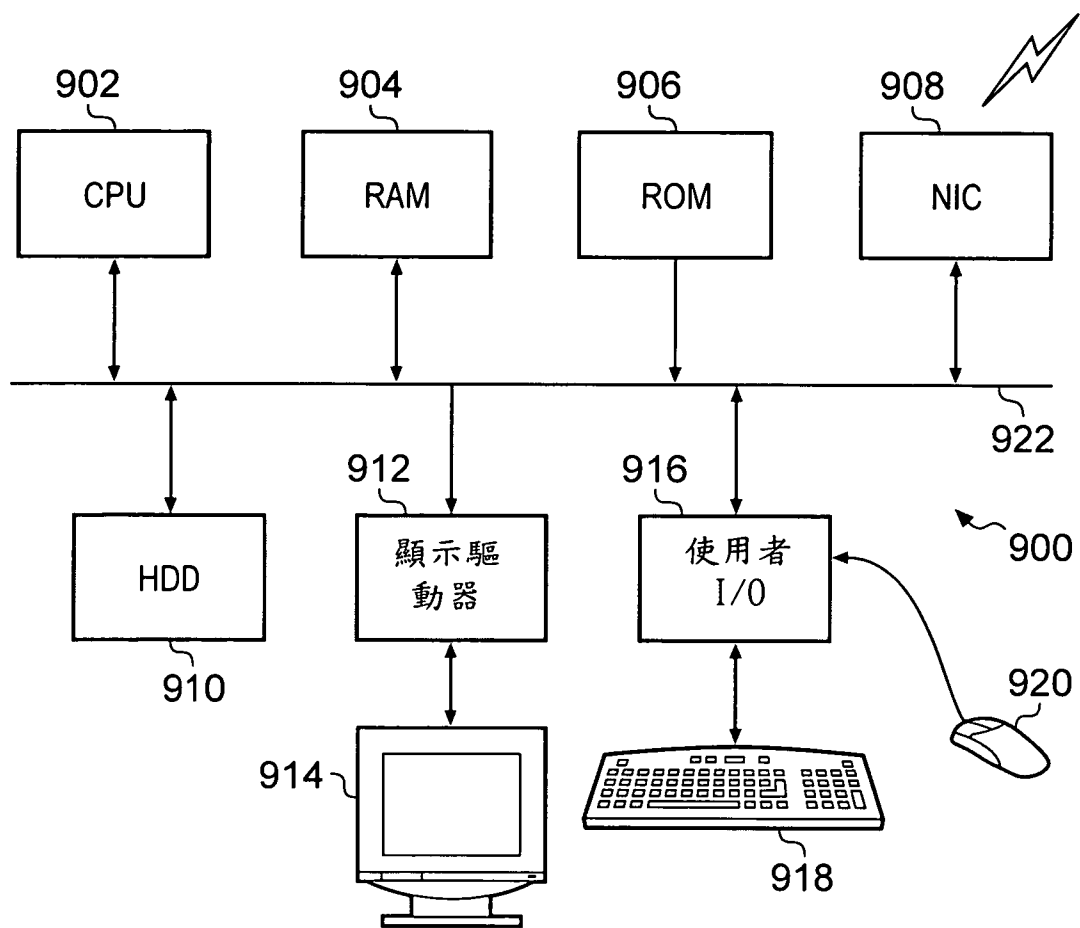
第8圖



第9圖



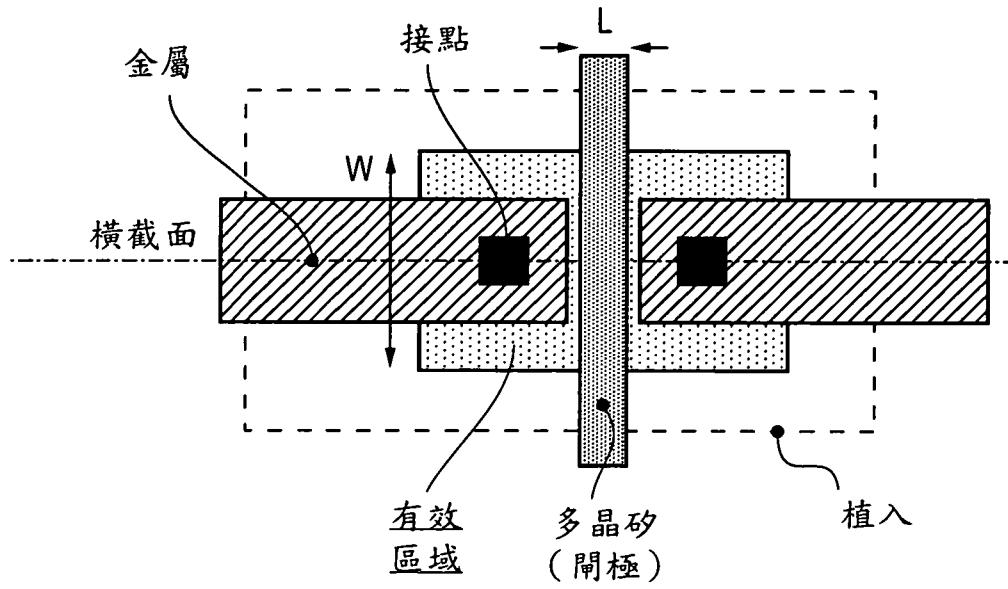
第10圖



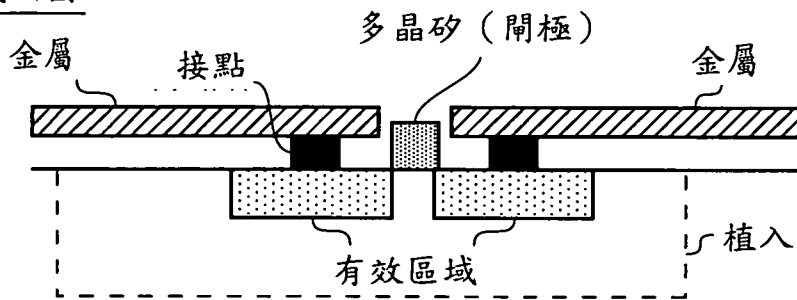
第11圖

MOS電晶體表示

佈局圖



橫截面圖



第12圖 (先前技術)