



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년10월18일  
 (11) 등록번호 10-1787187  
 (24) 등록일자 2017년10월11일

(51) 국제특허분류(Int. Cl.)  
*H04R 19/04* (2006.01) *H04R 31/00* (2006.01)  
 (52) CPC특허분류  
*H04R 19/04* (2013.01)  
*H04R 31/00* (2013.01)  
 (21) 출원번호 10-2015-0079612  
 (22) 출원일자 2015년06월05일  
 심사청구일자 2015년06월05일  
 (65) 공개번호 10-2015-0140582  
 (43) 공개일자 2015년12월16일  
 (30) 우선권주장  
 14/298,529 2014년06월06일 미국(US)  
 (56) 선행기술조사문헌  
 US20130065343 A1\*  
 KR1020120112208 A\*  
 US20140072152 A1\*  
 JP2014090514 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**인피니언 테크놀로지스 아게**  
 독일연방공화국 85579 노이비베르크 암 캄페운 1-12  
 (72) 발명자  
**가블 라인하드**  
 오스트리아 6330 쿠프스타인 아돌프-피클러-스트라세 30  
**클라인 볼프강**  
 독일 85604 조르네딩 암 발 15  
 (74) 대리인  
**제일특허법인**

전체 청구항 수 : 총 18 항

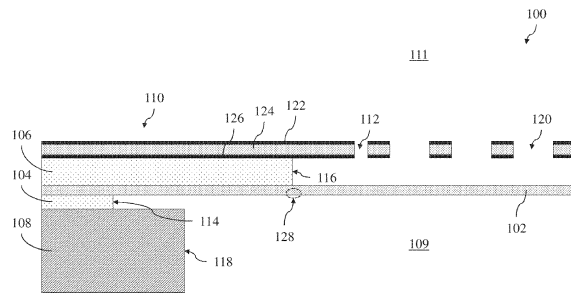
심사관 : 송근배

(54) 발명의 명칭 **마이크로폰용 시스템 및 방법**

**(57) 요약**

실시예에 따라, 마이크로가공 구조는 기관 내에 배치된 캐비티, 기관 상의 제 1 클램핑층, 제 1 클램핑층 상의 편향가능한 멤브레인 및 편향가능한 멤브레인 상의 제 2 클램핑층을 포함한다. 제 2 클램핑층의 일부는 캐비티와 중첩한다.

**대표도**



(52) CPC특허분류  
H04R 2201/003 (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

마이크로가공 구조(a microfabricated structure)로서,  
 기판 내에 배치된 캐비티와,  
 상기 기판 상의 제 1 클램핑층과,  
 상기 제 1 클램핑층 상의 편향가능한 멤브레인(a deflectable membrane)과,  
 상기 편향가능한 멤브레인 상의 제 2 클램핑층 - 상기 제 2 클램핑층의 일부는 상기 캐비티와 중첩하고, 상기 제 2 클램핑층이 상기 제 1 클램핑층보다 상기 캐비티 위의 공간으로 더 길게 연장됨 - 과,  
 상기 제 2 클램핑층 상에 있는 센싱층 - 상기 센싱층은 상기 센싱층 주변부(peripheral portion)에서 제 1 주변(perimeter)을 따라 고르게 이격된 가장 바깥쪽의(outermost) 천공(perforations)을 포함하며, 상기 제 1 주변은 상기 센싱층의 중앙부를 둘러싸고, 상기 센싱층의 중앙부는 캐비티 위에 직접 배치되고 추가적인 천공을 포함하며, 상기 센싱층의 중앙부 내 상기 추가적인 천공은 상기 센싱층의 상기 주변부 내 상기 가장 바깥쪽의 천공보다 더 큼 - 을 포함하는  
 마이크로가공 구조.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

제 1 항에 있어서,  
 상기 제 1 클램핑층의 캐비티 측벽의 거칠기는 상기 제 2 클램핑층의 캐비티 측벽의 거칠기 보다 더 큰  
 마이크로가공 구조.

**청구항 6**

제 5 항에 있어서,  
 상기 제 1 클램핑층의 캐비티 측벽은 1 $\mu$ m의 표면 변동치를 갖고 상기 제 2 클램핑층의 캐비티 측벽은 100nm의 표면 변동치를 갖는  
 마이크로가공 구조.

**청구항 7**

제 1 항에 있어서,

상기 제 1 클램핑층은 상기 기판과 중첩하고 상기 캐비티와는 중첩하지 않는 마이크로가공 구조.

#### 청구항 8

제 1 항에 있어서,

상기 제 1 클램핑층의 상부 표면과 상기 편향가능한 멤브레인의 하부 표면 사이에 형성된 테이퍼형(tapered) 클램핑층을 더 포함하되, 상기 테이퍼형 클램핑층은 상기 제 1 클램핑층의 수직 엣지에서 형성되고 상기 캐비티 상의 영역을 향해 상기 편향가능한 멤브레인을 따라 연장되는 경사진 엣지를 포함하는

마이크로가공 구조.

#### 청구항 9

제 1 항에 있어서,

상기 제 2 클램핑층은 상기 편향가능한 멤브레인과 접촉하는

마이크로가공 구조.

#### 청구항 10

마이크로가공 디바이스로서,

제 1 구역(a first area)을 둘러싸는 가장 바깥쪽의(outermost) 주변(perimeter) 천공을 갖는 제 1 영역(a first region)을 포함하는 제 1 백플레이트와,

상기 제 1 백플레이트에 인접하게 배치된 제 1 클램핑층-상기 제 1 클램핑층은 상기 제 1 구역 보다 더 큰 제 2 구역을 갖는 제 1 캐비티를 포함함-과,

상기 제 1 구역 보다 더 큰 제 3 구역을 둘러싼 가장 바깥쪽의 주변 천공을 갖는 제 2 영역을 포함하는 제 2 백플레이트 - 상기 제 1 백플레이트 및 상기 제 2 백플레이트는 각각 상기 가장 바깥쪽의 주변 천공에 의해 둘러싸인 중앙 천공을 포함하고 상기 중앙 천공은 상기 가장 바깥쪽의 주변 천공보다 더 큰 직경을 가짐 - 와,

상기 제 2 백플레이트에 인접하게 배치된 제 2 클램핑층-상기 제 2 클램핑층은 상기 제 2 구역 보다 더 큰 제 4 구역을 갖는 제 2 캐비티를 포함함-과,

상기 제 1 클램핑층과 상기 제 2 클램핑층 사이에 배치된 멤브레인층과,

제 3 캐비티를 포함하는 기판을 포함하되, 상기 제 1 클램핑층이 상기 제 2 클램핑층보다 상기 제 3 캐비티 위의 공간으로 더 길게 연장되는

마이크로가공 디바이스.

#### 청구항 11

제 10 항에 있어서,

상기 제 2 캐비티는 사운드 포트(a sound port)에 음향적으로 연결되는

마이크로가공 디바이스.

#### 청구항 12

제 11 항에 있어서,  
상기 제 3 캐비티는 상기 제 1 백플레이트에 의해 상기 제 1 캐비티로부터 분리되는  
마이크로가공 디바이스.

**청구항 13**

제 11 항에 있어서,  
상기 제 3 캐비티는 상기 제 2 백플레이트에 의해 상기 제 2 캐비티로부터 분리되는  
마이크로가공 디바이스.

**청구항 14**

삭제

**청구항 15**

제 10 항에 있어서,  
상기 제 1 백플레이트 및 상기 제 2 백플레이트는 각각 중간 천공을 포함하고, 상기 중간 천공은 상기 중앙 천공을 둘러싸고, 상기 가장 바깥쪽의 주변 천공에 의해 둘러싸이며, 상기 중간 천공은 상기 가장 바깥쪽의 주변 천공보다 더 큰 직경을 갖고 상기 중앙 천공 보다 더 작은 직경을 갖는  
마이크로가공 디바이스.

**청구항 16**

제 10 항에 있어서,  
상기 가장 바깥쪽의 주변 천공은 1.5 $\mu$ m 이하의 직경을 갖는  
마이크로가공 디바이스.

**청구항 17**

제 10 항에 있어서,  
상기 제 1 구역을 둘러싼 상기 가장 바깥쪽의 주변 천공은 상기 제 1 구역을 완전하게 둘러싸고 고르게 이격되며, 상기 제 3 구역을 둘러싼 상기 가장 바깥쪽의 주변 천공은 상기 제 3 구역을 완전하게 둘러싸고 고르게 이격되는  
마이크로가공 디바이스.

**청구항 18**

디바이스를 가공하는 방법으로서,  
기판 내에 캐비티를 형성하는 단계와,  
상기 기판 위에 제 1 클램핑층을 형성하는 단계와,  
상기 제 1 클램핑층 위에 편향가능한 멤브레인을 형성하는 단계와,  
상기 편향가능한 멤브레인 위에 제 2 클램핑 층을 형성하는 단계 - 상기 제 2 클램핑층의 일부는 상기 캐비티와

증첩하고, 상기 제 2 클램핑층이 상기 제 1 클램핑층보다 상기 캐비티 위의 공간으로 더 길게 연장됨 - 와,  
상기 제 2 클램핑층 위에 백플레이트를 형성하는 단계 - 상기 백플레이트는 가장 바깥쪽의 주변 천공에 의해 둘러싸인 중앙 천공을 포함하고, 상기 중앙 천공은 상기 가장 바깥쪽의 주변 천공보다 더 큰 직경을 가짐 - 를 포함하는

디바이스 가공 방법.

#### 청구항 19

제 18 항에 있어서,

기관 내에 캐비티를 형성하는 단계는 상기 기관의 후면으로부터 상기 기관의 전면으로 상기 기관을 관통하여 에칭하는 단계를 포함하는

디바이스 가공 방법.

#### 청구항 20

제 18 항에 있어서,

제 1 클램핑층을 형성하는 단계는,

상기 기관 상에 절연층을 증착하는 단계와,

상기 캐비티 내부 및 주변에서 상기 절연층을 에칭하는 단계를 포함하는

디바이스 가공 방법.

#### 청구항 21

제 18 항에 있어서,

상기 제 1 클램핑층 위에 편향가능한 멤브레인을 형성하는 단계는,

상기 기관 위에 전도성 재료를 증착하는 단계와,

상기 전도성 재료를 패터닝하여 상기 편향가능한 멤브레인을 형성하는 단계를 포함하는

디바이스 가공 방법.

#### 청구항 22

삭제

#### 청구항 23

삭제

#### 청구항 24

제 18 항에 있어서,

상기 편향가능한 멤브레인 위에 제 2 클램핑층을 형성하는 단계는,

상기 편향가능한 멤브레인 상에 절연층을 증착하는 단계와,

상기 가장 바깥쪽의 주변 천공 내부 및 주변에서 상기 절연층을 에칭하는 단계를 포함하는

디바이스 가공 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 일반적으로 마이크로가공 구조에 관한 것이고, 특정 실시예에서, 마이크로폰용 시스템 및 방법에 관한 것이다.

**배경 기술**

[0002] 트랜스듀서는 하나의 도메인으로부터 다른 도메인으로 신호를 변환하고 종종 센서에서 사용된다. 일상생활에서 보이는 트랜스듀서를 갖는 하나의 일반적인 센서는 음파를 전자신호로 변환하는 마이크로폰이다.

[0003] 센서에 기초한 MEMS(Microelectromechanical system)은 마이크로머신 기술을 사용하여 생산되는 트랜스듀서 제품군을 포함한다. MEMS 마이크로폰과 같은 MEMS는 트랜스듀서에서 물리적 상태의 변화를 측정하고 MEMS 센서에 연결된 전자기기에 의해 프로세싱될 신호를 전달함으로써 환경으로부터 정보를 수집한다. MEMS 디바이스는 집적 회로에 대해 사용되는 것과 유사한 마이크로머신 가공 기술을 사용하여 제조될 수 있다.

[0004] MEMS 디바이스는 발진기(oscillator), 공진기(resonator), 가속도계(accelerometer), 자이로스코프(gyroscope), 압력 센서, 마이크로폰, 마이크로 미러 등으로서 기능하도록 설계될 수 있다. 많은 MEMS 디바이스는 물리적 현상을 전기 신호로 트랜스듀싱하기 위한 용량성 센싱 기술을 사용한다. 이러한 적용예에서, 센서에서의 캐패시턴스 변화는 인터페이스 회로를 사용하여 전압 신호로 변환된다.

[0005] 예를 들어, 용량성 MEMS 마이크로폰은 백플레이트 전극 및 백플레이트 전극과 평행하게 배열된 멤브레인을 포함한다. 백플레이트 전극 및 멤브레인은 평행 플레이트 캐패시터를 형성한다. 백플레이트 전극 및 멤브레인은 기관 상에 배열된 지지 구조에 의해 지지된다.

[0006] 용량성 MEMS 마이크로폰은 음압과, 예를 들어, 백플레이트 전극과 평행하게 배열된 멤브레인에서의 음성을 트랜스듀싱하는 것이 가능하다. 백플레이트 전극은, 음압과가 멤브레인에 걸쳐 형성되는 압력 차 때문에 멤브레인을 진동시키면서 백플레이트 전극을 통과하도록 천공(perforated)된다. 따라서, 멤브레인과 백플레이트 전극 사이의 공극(air gap)은 멤브레인의 진동에 따라 변한다. 백플레이트 전극과 관련한 멤브레인의 변동은 멤브레인과 백플레이트 전극 사이의 캐패시턴스에서의 변동을 야기한다. 캐패시턴스에서의 이 변동은 멤브레인의 움직임에 응답하여 출력 신호로 변환되고 트랜스듀싱된 신호를 형성한다.

[0007] MEMS 디바이스의 하나의 특성은 MEMS 디바이스의 강건성(robustness)이다. 예를 들어, 용량성 MEMS 마이크로폰은 MEMS 마이크로폰이 손상없이 견딜 수 있는 충격 또는 영향의 크기를 결정하는 특유의 강건성을 갖는다. 종종, 편향가능한(deflectable) 멤브레인은 MEMS 마이크로폰의 다른 부분 보다는 충격 또는 충돌로 인해 파손되거나 또는 고장나기 쉽다.

**발명의 내용**

[0008] 실시예에 따라, 마이크로가공 구조는 기관 내에 배치된 캐비티와, 기관 상의 제 1 클램핑층과, 제 1 클램핑층 상의 편향가능한 멤브레인과, 편향가능한 멤브레인 상의 제 2 클램핑층을 포함한다. 제 2 클램핑층의 일부는 캐비티와 중첩한다.

**도면의 간단한 설명**

[0009] 본 발명 및 이의 장점의 더 완전한 이해를 위해, 이제 첨부한 도면과 관련하여 취해지는 다음의 설명에 대한 참조가 이루어진다.

도 1은 실시예의 마이크로가공 디바이스의 단면도를 도시한다.

도 2a 및 도 2b는 실시예의 구조의 단면도를 도시한다.

도 3a 및 도 3b는 실시예의 마이크로가공 디바이스의 전면도를 도시한다.

도 4a 및 도 4b는 추가적인 예시의 마이크로가공 디바이스의 단면도를 도시한다.

도 5a 및 도 5b는 추가 실시예의 마이크로가공 디바이스의 단면도를 도시한다.

도 6은 실시예의 가공 시퀀스의 블록도를 도시한다.

도 7a, 도 7b, 도 7c, 도 7d 및 도 7e는 예시의 가공 시퀀스에서의 상이한 단계에서 예시의 마이크로가공 디바이스의 단면도를 도시한다.

달리 나타내지 않으면 상이한 도면에서 대응하는 번호 및 부호는 일반적으로 대응하는 부분을 지칭한다. 도면은 실시예의 관련 양상을 분명하게 도시하고 반드시 일정 비율로 도시되는 것은 아니다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] 다양한 실시예를 만들고 사용하는 것이 이하에서 자세하게 논의된다. 하지만, 본원에서 설명된 다양한 실시예는 다양한 특정 콘텍스트에서 적용가능한 것임이 이해될 것이다. 논의된 특정 실시예는 다양한 실시예를 만들고 사용하는 단지 예시적인 특정 방식이고, 제한된 범위로 해석되어서는 안 된다.
- [0011] 특정 콘텍스트, 즉, 마이크로폰 트랜스듀서, 및 더 구체적으로는, MEMS 마이크로폰에서 다양한 실시예와 관련하여 설명이 이루어진다. 본원에서 설명된 다양한 실시예들 중 일부는 MEMS 트랜스듀서 시스템, MEMS 마이크로폰 시스템, 실리콘 마이크로폰, 및 단일 및 이중 백플레이트 실리콘 마이크로폰을 포함한다. 다른 실시예에서, 당 기술 분야에서 알려진 것과 같은 임의의 방식에 따른 임의의 타입의 마이크로가공 구조를 포함하는 다른 적용에 양상들이 또한 적용될 수 있다.
- [0012] 다양한 실시예에 따라, 강건한 마이크로가공 구조가 제공된다. 마이크로가공 구조는 클램핑층에 의해 지지되는 편향가능한 층을 포함한다. 편향가능한 층은 제 1 측 및 제 2 측을 갖는다. 클램핑층은 편향가능한 층의 초기 큰 편향이 제 1 측의 방향으로 존재하도록 제 1 측 상에 배열된다. 이러한 편향은 편향가능한 층을 지지하는 클램핑층의 엣지 주변으로 편향가능한 층이 구부러지는 것을 야기한다. 다양한 실시예에서, 클램핑층의 엣지는 완벽한 라인 또는 평활한(smooth) 커브로부터 약 100nm 이하의 변동치를 갖는 평활한 엣지이다.
- [0013] 다양한 실시예에서, 마이크로가공 구조는 스페이서 클램핑층과 지지 클램핑층 사이에서 클램핑되는 멤브레인을 갖는 실리콘 마이크로폰을 포함한다. 멤브레인은 사운드 포트로부터의 음압파가 지지 클램핑층에 대항하는 멤브레인의 제 1 측 상에 입사되도록 배열된다. 멤브레인은 스페이서 클램핑층 또는 지지 클램핑층에 부착된 고정된 부분과 고정되지 않은 편향가능한 부분을 포함한다. 지지 클램핑층은 스페이서 클램핑층 보다 편향가능한 멤브레인의 편향가능한 부분을 향해 더 연장되어, 편향가능한 멤브레인 상에 입사되는 큰 압력파는 지지 클램핑층의 평활한 (smooth) 엣지 주변에서의 초기 편향을 야기한다. 다양한 실시예에서, 지지 클램핑층의 평활도는 지지 클램핑층에 인접하고 멤브레인에 대항하는 층에서 형성되는 릴리즈 에칭 홀(release etch holes)에 의해 제어된다. 일 특정 실시예에서, 릴리즈 에칭 홀은 멤브레인 위의 백플레이트 전극에 형성되고 릴리즈 에칭 홀은 편향가능한 멤브레인의 편향가능한 부분의 둘레를 정의하는 패턴으로 형성된다.
- [0014] 도 1은 멤브레인(102), 클램핑층(104 및 106), 기관(108), 및 백플레이트(110)를 포함하는 실시예의 마이크로가공 디바이스(100)의 일부의 단면도를 도시한다. 다양한 실시예에 따라, 마이크로가공 디바이스(100)는 MEMS 마이크로폰이다. 이러한 실시예에서, 멤브레인(102)은 백플레이트(110)를 갖는 평행 플레이트 캐패시터를 형성하는 편향가능한 센싱 멤브레인이다. 음압파는 MEMS 마이크로폰의 사운드 포트(도시되지 않음)에 연결되는, 캐비티(109)로부터 멤브레인(102) 상에 입사된다. 캐비티(109)로부터 입사되는 음압파는 멤브레인(102)의 초기 편향이 백플레이트(110)를 향하도록 할 수 있어서, 백플레이트(110)와 멤브레인(102) 사이의 거리는 감소되고 캐패시턴스는 증가된다. 캐패시턴스에서의 변화는 전도성 라인(도시되지 않음)을 통과하는 멤브레인(102) 및 백플레이트(110)에 연결된 리드아웃(readout) 전자기기에 의해 센싱될 수 있다. 도 1은 디바이스의 대향 측 상의 유사한 또는 동일한 클램핑 및 지지 구조로 연장될 수 있는, 마이크로가공 디바이스(100)의 일부만을 도시한다. 마이크로가공 디바이스(100)는 위에서 보았을 때 원형 및 대칭 형상을 가질 수 있다.
- [0015] 다양한 실시예에 따라, 기관(108)은 실리콘 기관 또는 임의의 다른 타입의 기관이 될 수 있고 마이크로가공 디바이스(100)의 층을 위한 지지 구조를 형성한다. 캐비티(109)는 기관(108) 내에 형성된다. 다양한 실시예에서, 캐비티(109)는 보쉬 프로세스 에칭(Bosch process etch)과 같은, 에칭을 사용하여 형성되어 기관(108)에 거친 기관 엣지(118)를 생성한다. 예를 들어, 기관 엣지(118)는 완벽한 라인 또는 평활한 커브 주변에서 약 1 $\mu$ m의 변동치를 가질 수 있다. 다양한 실시예에서, 클램핑층(104)은 다른 에칭 프로세스 동안 기관 엣지(118)로부터 대략적으로 전사될 수 있는 거친 엣지(114)를 갖는다. 클램핑층(104)은 일부 실시예에서 TEOS(a tetraethyl



orthosilicate) 산화물로서 형성될 수 있다. 대안적으로, 클램핑층(104)은 예를 들어, 유전체 또는 다른 산화물과 같은, 다른 절연 재료로 형성될 수 있다.

[0016] 다양한 실시예에서, 멤브레인(102)은 도핑된 폴리실리콘으로 형성되고 클램핑층(104)에 의해 지지된다. 멤브레인(102)은 또한 다른 실시예에서 임의의 다른 전도성 재료가 될 수 있다. 클램핑층(106)은 멤브레인(102) 위에 TEOS 산화물로서 형성되어, 지지 구조로서 멤브레인을 효과적으로 "클램핑"한다. 다양한 실시예에서, 클램핑층(106)은 캐비티(109) 위에서 연장되고 캐비티(109) 상의 평활한 엣지(116)를 형성한다. 백플레이트(110)는 클램핑층(106)의 상부에 형성되고 절연층(126), 전도층(124), 및 절연층(122)을 포함한다. 일 실시예에서, 절연층(122 및 126)은 실리콘 질화층으로서 형성되고 전도층(124)은 도핑된 폴리실리콘층으로서 형성된다. 다른 실시예에서, 상이한 재료 또는 조합이 마이크로가공 디바이스(100)의 임의의 층에 대해 사용될 수 있다. 클램핑층(104)에 대해 언급된 바와 같이, 클램핑층(106)은 임의의 타입의 절연 재료가 될 수 있다. 또한, 백플레이트(110)는 당 기술 분야에서 알려진 것과 같은 다른 절연 재료 및 전도성 재료로 형성될 수 있다.

[0017] 다양한 실시예에 따라, 백플레이트(110)는 작은 직경 천공(112) 및 큰 직경 천공(120)을 포함한다. 또한, 백플레이트(110)는 중간 직경 천공(도시되지 않음)을 포함할 수 있다. 천공(112)은 클램핑층(106)을 에칭하고 평활한 엣지(116)를 형성하는 에칭 단계를 위한 릴리즈 홀로서의 역할을 할 수 있다. 다양한 실시예에서, 천공(112)은 멤브레인(102)의 편향가능한 부분의 둘레 주변에서 함께 가깝게 배열되는 다양한 작은 직경 천공을 포함할 수 있다. 도 3a 및 도 3b와 관련하여 이하에서 더 설명되는 바와 같이, 천공(112)의 간격 및 크기는 엣지(116)의 위치 및 평활도를 제어하는데 사용된다. 일부 실시예에서, 평활한 엣지(116)는 완벽한 라인 또는 평활한 커브 주변에서 약 100nm의 변동치를 가질 수 있다.

[0018] 다양한 실시예에 따라, 큰 음압과가 사운드 포트(도시되지 않음)로부터 캐비티(109)로 전파할 때, 멤브레인(102)은 백플레이트(110)를 향해 편향하고 평활한 엣지(116)에서 클램핑층(106) 주변으로 구부러진다. 영역(128)은 응력이 편향 중에 집중되는 멤브레인(102)의 일부를 포함한다. 다양한 실시예에서, 도 2a 및 도 2b와 관련하여 이하에서 설명되는 바와 같이, 구부러짐 및 엣지의 타입은 응력의 집중에 영향을 주고 마이크로가공 디바이스(100)의 강건성과 관련된다. 영역(128)에서의 응력은 주로 인장 응력(tensile stress)을 포함할 수 있다. 대안적으로, 영역(128)은 주로 압축 응력(compressive stress)을 포함할 수 있다.

[0019] 도 1은 음압과가 캐비티(109)로부터 멤브레인(102) 상에 입사되는 마이크로가공 디바이스(100)를 도시한다. 대안적인 실시예에서, 마이크로가공 디바이스(100)는 백플레이트(110) 위에서 캐비티(111)에 연결되는 상부 측 사운드 포트(도시되지 않음)를 포함할 수 있다. 이러한 실시예에서, 클램핑층(106 및 104)은 클램핑층(104)이 엣지(118)를 넘어 캐비티(109)로 연장되고 클램핑층(106)이 엣지(118)를 넘어 연장되지 않도록 재배열될 수 있다. 이러한 경우에, 클램핑층(104)은 클램핑층(106) 보다 더 큰 두께를 가질 수 있다.

[0020] 도 2a 및 도 2b는 클램핑층(132) 및 편향가능한 층(134)을 포함하는 실시예의 구조(101)의 단면도를 도시한다. 도 2a는 클램핑층(132) 및 엣지(136)로부터 이격되게 구부러지는 편향의 편향가능한 층(134)을 도시하는 반면 도 2b는 클램핑층(132)을 향해 엣지(136) 주변으로 구부러지는 편향의 편향가능한 층(134)을 도시한다. 다양한 실시예에 따라, 클램핑층(132)과 같은 클램핑된 인터페이스의 엣지로부터 이격되는 편향 및 도 2a에서의 편향은 구부러지는 포인트에서 상위 정점 인장 응력을 야기한다. 또한, 클램핑층(132)과 같은 클램핑된 인터페이스의 엣지 주변으로의 편향 및 도 2b에서의 편향은 구부러지는 포인트에서의 하위 정점 인장 응력을 야기한다.

[0021] 다양한 실시예에 따라, 도 1에서 캐비티(109)로부터 멤브레인(102) 상에 입사되는 큰 음압과는 도 2b에서 도시된 구부러짐과 유사한 평활한 엣지(116) 주변으로의 구부러짐을 갖는 멤브레인(102)의 편향을 생성한다. 클램핑층(106)은, 영역(128) 내의 인장 응력이 도 2a에 도시된 편향의 타입에 비해 감소되도록 멤브레인(102)을 지지한다. 클램핑층(106)은 클램핑층(104) 보다 캐비티(109) 위의 공간으로 더 연장되기 때문에, 큰 음압과에 기인한 멤브레인(102)의 초기 구부러짐은 캐비티(109)로부터 위쪽으로 이격되고 응력은 영역(128)에 집중된다. 따라서, 거친 엣지(114) 및 평활한 엣지(116)의 위치는 멤브레인(102)의 구부러짐의 타입과, 영역(128)에서와 같은, 멤브레인(102)에서의 정점 인장 응력에 영향을 줄 수 있다.

[0022] 도 3a 및 3b는 백플레이트(160)를 포함하는 실시예의 마이크로가공 디바이스(150)의 일부의 정면도를 도시한다. 다양한 실시예에 따라, 백플레이트(160)를 포함하는 마이크로가공 디바이스(150)는 마이크로가공 디바이스(100) 및 백플레이트(110)의 구현예가 될 수 있다. 도시된 바와 같이, 백플레이트(160)는 천공된 백플레이트가 될 수 있다. 일부 실시예에서, 백플레이트(160)는 작은 직경 천공(152), 중간 직경 천공(154), 및 큰 직경 천공(156)을 포함한다. 천공의 각 타입은 직경  $d$  및 특성 간격 거리  $s$ 를 포함할 수 있어서 작은 직경 천공(152)은 1과 2  $\mu\text{m}$  사이의 간격  $ss$  및 1과 2  $\mu\text{m}$  사이의 직경  $ds$ 를 갖고, 중간 직경 천공(154)은 3과 7  $\mu\text{m}$  사이의 간격  $sm$  및 2와

5 $\mu$ m 사이의 직경  $dm$ 을 갖고, 큰 직경 천공(156)은 1과 2 $\mu$ m 사이의 간격  $s1$  및 5와 10 $\mu$ m 사이의 직경  $d1$ 을 갖는다. 다른 실시예에서, 이들 범위를 벗어난 간격 및 직경이 사용될 수 있다. 특정 실시예에서, 작은 직경 천공(152) 및 큰 직경 천공(156)에 대한 간격( $ss$  및  $s1$ )은 가공 기술, 재료, 및 가공 재현성에 따라, 1 $\mu$ m 미만으로 감소될 수 있다. 유사하게, 큰 직경 천공(156)의 직경  $d1$ 은 가공 기술, 재료, 및 가공 재현성에 따라, 10 $\mu$ m 보다 클 수 있다.

[0023] 다양한 실시예에 따라, 백플레이트(160) 아래의 구조층의 클램핑 엣지(158)는 작은 직경 천공(152)의 간격  $ss$  및 직경  $ds$ 에 의해 결정되는 거칠기를 갖는다. 이러한 실시예에서, 작은 직경 천공(152)은 도 1의 클램핑 층(106)과 같은, 백플레이트(160) 아래의 구조층을 에칭하는데 사용되는 릴리즈 홀이다. 에칭은 각각의 천공을 둘러싼 백플레이트(160) 아래의 구조층에서의 오버에칭을 나타내는 등방성 습식 에칭으로서 수행될 수 있다. 다른 실시예에서, 예를 들어, 건식 에칭과 같은 다른 에칭이 수행될 수 있다. 작은 직경 천공(152)의 간격  $ss$ , 직경  $ds$ , 및 오버에칭은 클램핑 엣지(158)가 어느 정도로 그리고 어떠한 평활도로 에칭되는지에 영향을 줄 수 있다. 일부 실시예에서, 더 큰 오버에칭은 더 평활한 클램핑 엣지(158)를 생성한다. 또한, 중간 직경 천공(154)에 대한 간격  $sm$  및 직경  $dm$  및 큰 직경 천공(156)에 대한 간격  $s1$  및 직경  $dm$ 은 마이크로가공 디바이스(150)의 민감도 및 강건성에 영향을 줄 수 있다. 따라서, 일부 실시예에서, 마이크로가공 디바이스(150)의 강건성 및 민감도를 증가시키기 위해 직경  $d1$ 은 직경  $dm$ 보다 더 크지만 간격  $s1$ 은 간격  $sm$ 보다 작다.

[0024] 일부 실시예에 따라, 세그먼트(162)는 주변 백플레이트 구역(164)과 중앙 백플레이트 구역(166) 사이에서 형성된다. 중앙 백플레이트 구역(166)은 백플레이트(160)의 활성 센싱 부분을 포함할 수 있고 주변 백플레이트 구역(164)은 백플레이트(160)의 비활성 비센싱 부분을 포함할 수 있다. 이러한 실시예에서, 세그먼트(162)는 주변 백플레이트 구역(164)과 중앙 백플레이트 구역(166) 사이의 비전도성 구역이다. 세그먼트(162)는 다양한 실시예에서 작은 직경 천공(152)의 고리 내부 또는 외부 중 하나가 될 수 있다.

[0025] 도 3b는 클램핑(158)을 나타내는 실시예의 마이크로가공 디바이스(150)의 추가 확대 정면도를 도시한다. 위에서 간략하게 설명된 바와 같이, 백플레이트(160) 아래의 구조적 재료의 엣지인, 클램핑 엣지(158)의 평활도는, 작은 직경 천공(152)에 의해 결정될 수 있다. 작은 직경 천공(152)의 각각은 적은 양의 에칭체가 예상가능한 속도로 백플레이트(160) 아래의 구조층(도시되지 않음)을 에칭하고 백플레이트(160)를 언더컷하기 위해 통과하는 것을 가능하게 한다. 단일의 둥근 천공에 대해, 에칭 패턴은 둥근 천공 주변에서의 원형 언더컷이다. 다양한 실시예에 따라, 작은 직경 천공(152)은 예를 들어, 원형과 같이, 중첩하여 에칭된 형상의 총체로서 클램핑 엣지(158)를 생성하도록 인접하게 배열된다. 이러한 작고 가깝게 이격된 천공에 기초하여, 클램핑 엣지(158)는 도 1과 관련하여 위에서 논의된 바와 같이, 평활한 커브 또는 직선으로부터 약 100nm의 최대 변동치로 형성된다. 대안적인 실시예에서, 클램핑 엣지(158)의 변동치는 100nm보다 더 크다.

[0026] 도 4a 및 4b는 추가적인 실시예의 이중 백플레이트 마이크로폰(180 및 181)의 단면도를 도시한다. 다양한 실시예에 따라, 이중 백플레이트 마이크로폰(180 및 181) 각각은 상부와 하부 백플레이트(182와 184) 사이에 위치한 편향가능한 멤브레인(186)을 갖는 상부 백플레이트(182) 및 하부 백플레이트(184)를 포함한다. 클램핑층(188, 190 및 192)은 상부 백플레이트(182), 멤브레인(186), 하부 백플레이트(184), 및 기관(194) 사이에 위치된다. 편향가능한 멤브레인(186)은 캐비티(196)를 캐비티(198)로부터 분리한다.

[0027] 다양한 실시예에 따라, 이중 백플레이트 마이크로폰(180)은 캐비티(196)에 연결된 사운드 포트(도시되지 않음)를 포함하는 반면 이중 백플레이트 마이크로폰(181)은 캐비티(198)에 연결된 사운드 포트(도시되지 않음)를 포함한다. 따라서, 이중 백플레이트 마이크로폰(180)은 아래로부터 큰 음압과 또는 충격을 수신하는 반면 이중 백플레이트 마이크로폰(181)은 위로부터 큰 음압과 또는 충격을 수신한다. 이러한 실시예에서, 이중 백플레이트 마이크로폰(180 및 181)의 구조는 약간 상이할 수 있어서 사운드 포트에 연결된 캐비티에 대항하는 클램핑층은 사운드 포트에 연결된 캐비티와 동일한 측 상의 클램핑층 보다 더 연장된다. 따라서, 도 4a의 이중 백플레이트 마이크로폰(180)의 경우에는 클램핑층(188)이 클램핑층(190)보다 캐비티(196) 위에서 더 연장되는 반면에, 도 4b의 이중 백플레이트 마이크로폰(181)의 경우에는 클램핑층(190)이 클램핑층(188)보다 캐비티(196) 위에서 더 연장된다.

[0028] 다양한 실시예에 따라, 멤브레인(186) 상에 입사되는 큰 음압파는 이중 백플레이트 마이크로폰(180)을 위한 클램핑층(188)의 엣지 주변으로 구부러지는 편향을 야기하고 멤브레인(186) 상에 입사되는 큰 음압파는 이중 백플레이트 마이크로폰(181)을 위한 클램핑층(190)의 엣지 주변으로 구부러지는 편향을 야기한다. 다양한 실시예에서, 도 1의 단일 백플레이트(110) 및 클램핑층(106)과 관련하여 위에서 설명된 바와 같이, 캐비티(196) 위에서 클램핑층(188 및 190)의 연장은 백플레이트(182 및 184) 각각에서의 천공의 크기 및 위치에 의해 결정될 수

있다.

[0029] 도 5a 및 5b는 추가 실시예의 마이크로가공 디바이스(200 및 201)의 단면도를 도시하고, 각각은 멤브레인(102), 클램핑층(104 및 106), 기판(108), 및 백플레이트(110)를 포함한다. 다양한 실시예에 따라, 마이크로가공 디바이스(200)는 멤브레인(102)과 클램핑층(104) 사이에 형성된 테이퍼층(202)을 더 포함한다. 일부 실시예에서, 테이퍼층(202)은 구부러짐 편향 중에 멤브레인(102)에서의 정점 응력을 감소시킨다. 테이퍼층(202)은 예를 들어, 실리콘 이산화물, 실리콘 질화물, 실리콘 산질화물, 또는 다른 재료로 형성될 수 있다. 테이퍼층(202)에 대한 다양한 수정을 포함하는 추가 설명은 "테이퍼형 표면과 함께 멤브레인 지지부를 갖는 마이크로기계적 사운드 트랜스듀서"라는 명칭의 미국 특허 제 8,461,655 호에서 설명되고, 이는 그 전체가 본원에서 참조로서 통합된다. 마이크로가공 디바이스(200)의 다른 요소 또는 층은 도 1과 관련한 위의 설명에 대응하고 본원에서 반복되지 않는다.

[0030] 다양한 실시예에 따라, 마이크로가공 디바이스(201)는 테이퍼층(202)을 포함하고 백플레이트(110)의 세그먼트(204)를 더 포함한다. 세그먼트(204)는 백플레이트(110)의 수동 또는 비센싱 부분으로부터 백플레이트(110)의 능동 센싱 부분을 분리하는 백플레이트(100)에 형성된 비전도성 재료 또는 구조가 될 수 있다. 백플레이트(110)의 능동 센싱 부분은 주로 캐비티(109)를 덮거나, 백플레이트 천공(120)을 포함하는, 클램핑층(106)으로부터 릴리즈되는 백플레이트(110)의 부분을 포함한다. 백플레이트(110)의 수동 부분은 기판(108) 및 클램핑층(106) 상에 존재하며 클램핑층(106)으로부터 릴리즈되지 않는 부분을 포함한다. 일부 실시예에서, 세그먼트(204)는 백플레이트(110)의 수동 부분과 멤브레인(102) 또는 기판(108) 사이에 형성되는 기생 캐패시턴스를 백플레이트(110)의 활성 센싱 부분으로부터 연결해제한다. 기생 캐패시턴스를 연결해제시키는 것은 마이크로가공 디바이스(201)의 민감도를 향상시킬 수 있다. 세그먼트(204)는 질화층, 또는 다른 타입의 비전도성 재료로서 형성될 수 있다. 대안적인 실시예에서, 세그먼트(204)는 전도층(124)이 백플레이트(110)로부터 제거되는 백플레이트(110)에서의 갭을 포함한다. 세그먼트(204)에 대한 다양한 수정을 포함하는 추가 설명이 "MEMS 디바이스"라는 명칭의 미국 특허 출원 번호 14/275,337에서 설명되었고, 이는 그 전체가 본원에서 참조로서 통합된다. 마이크로가공 디바이스(201)의 다른 요소 또는 층은 도 1과 관련한 위의 설명에 대응하고 본원에서 반복되지 않는다.

[0031] 도 6은 단계(302 내지 350)를 포함하는 실시예의 가공 시퀀스(300)의 블록도를 도시한다. 다양한 실시예에 따라, 가공 시퀀스(300)는 예를 들어, 도 1에서 도시된 마이크로가공 디바이스(100)와 같이 다양한 실시예의 마이크로가공 디바이스를 생산하기 위한 가공 시퀀스이다. 가공 시퀀스(300)는 또한 등가물뿐만 아니라 본원에서 설명된 다양한 다른 실시예를 생산하기 위해 적용 및/또는 수정될 수 있다.

[0032] 다양한 실시예에 따라, 단계(302)는 기판 상에 TEOS를 증착하는 것과 TEOS 산화층을 형성하는 것을 포함한다. 기판은 실리콘 기판 또는 예를 들어, 다른 반도체 재료 또는 플라스틱과 같은, 임의의 다른 기판 재료가 될 수 있다. TEOS 산화층은 500과 700nm 사이의 두께를 가질 수 있다. 단계(304)는 TEOS 산화층 상에 산질화물을 증착하는 것을 포함한다. 산질화물층은 100과 200nm 사이의 두께를 가질 수 있다. 다양한 다른 실시예에서, 단계(304)에서 산질화물층을 증착하는 것이 생략될 수 있다. 단계(306)은 산질화물층 상에 비결정 실리콘(amorphous silicon)을 증착하는 것을 포함한다. 실리콘층은 100과 1000nm 사이의 두께를 가질 수 있다. 더 특정한 실시예에서, 실리콘층은 250과 400nm 또는 600과 800nm 사이의 두께를 가질 수 있다. 단계(308)에서, 실리콘층은 인이온 주입(phosphorous ion implantation)으로 도핑된다. 다른 실시예에서, 다른 도펀트가 사용될 수 있다. 도핑 프로세스를 통해, 비결정 실리콘층은 도핑된 폴리실리콘으로 형성될 수 있다. 도핑 프로세스는 또한 오븐(oven)에서 워크피스(workpiece)를 가열하는 것을 포함할 수 있다. 본원에서 설명된 바와 같이, 워크피스는 기판으로 시작하는 가공 시퀀스를 통과하고 기판 상에 형성된 각각의 층을 포함하는 구조를 지칭한다.

[0033] 다양한 실시예에서, 단계(310)은 폴리실리콘층을 패터닝하여 도 1의 멤브레인(102)과 같은 멤브레인을 형성하는 것을 포함한다. 단계(310)에서 폴리실리콘층을 패터닝하는 것뿐만 아니라 다른 단계에서 패터닝하는 것은, 포토레지스트층을 증착하는 것, 멤브레인 구조에 대응하는 마스크 패턴에 따라 포토레지스트층을 노출시키는 것, 노출에 따라 비패턴 부분을 제거하도록 포토레지스트를 현상(developing)하는 것, 패터닝된 포토레지스트에 따라 폴리실리콘층 또는 다른 층을 에칭하는 것, 및 에칭을 완료한 이후에 포토레지스트를 제거하는 것을 포함할 수 있다. 폴리실리콘층을 멤브레인 내로 패터닝하는 것에 후속하여, 단계(312)는 TEOS 층을 증착하는 것과 다른 TEOS 산화층을 형성하는 것을 포함한다. 단계(312)에서 형성된 TEOS 산화층은 700과 800nm 사이의 두께를 가질 수 있다. 단계(314)는 다른 TEOS 층을 증착하는 것과 단계(312)에서 형성된 TEOS 산화물 상에 추가 TEOS 산화물층을 형성하는 것을 포함한다. 단계(314)에서 형성된 TEOS 산화물층은 400과 600nm 사이의 두께를 가질 수 있다.



- [0034] 다양한 실시예에서, 단계(316)은 접착방지(anti-stiction) 범프에 대해 TEOS 산화물층을 패터닝하는 것을 포함한다. TEOS 산화물은 후속 단계에서 TEOS 산화물층 위에 형성되는 백플레이트층으로 전이되는 디프레션(depression)을 포함하도록 포토리소그래픽 단계에 따라 패터닝될 수 있다. 단계(318)에서 다른 TEOS 층은 추가적인 TEOS 산화물층을 형성하기 위해 증착된다. 단계(318)에서 형성된 TEOS 산화물은 600과 700nm 사이의 두께를 가질 수 있다. 단계(320)은 100과 200nm 사이의 두께를 갖는 질화물층을 증착하는 것을 포함한다. 단계(322)는 200과 400nm 사이의 두께를 갖는 비결정 실리콘 층을 증착하는 것을 포함한다. 실리콘은 단계(324)에서 인 이온 주입으로 도핑될 수 있으며 또한 단계(322)에서 증착된 비결정 실리콘으로부터 도핑된 폴리실리콘을 형성할 수 있다. 다른 실시예에서 인 대신에 다른 도펀트가 사용될 수 있다. 단계(326)은 100과 200nm 사이의 두께를 갖는 다른 질화물층을 증착하는 것을 포함한다.
- [0035] 다양한 실시예에서, 단계(328)은 폴리실리콘층을 패터닝하여 도 1의 백플레이트(110)와 같은 백플레이트를 형성하는 것을 포함한다. 백플레이트는 접착방지 범프 및 천공으로 형성될 수 있다. 일부 실시예에서, 천공은 도 1, 도 3a, 및 도 3b와 관련하여 위에서 설명된 것과 같은 큰 직경 천공 및 작은 직경 천공 모두를 포함할 수 있다. 또한, 천공은 또한 위에서 설명된 것과 같은 중간 직경 천공을 포함할 수 있다. 단계(330)는 700과 800nm 사이의 두께를 갖는 추가 TEOS 산화물층을 형성하기 위한 추가 TEOS 층을 증착하는 것을 포함한다.
- [0036] 다양한 실시예에서, 단계(332)는 예를 들어, 멤브레인, 백플레이트, 및 기관과 같은 전기적으로 활성인 층에 전도성 콘택트를 제공하기 위한 콘택트 홀을 패터닝하는 것을 포함한다. 단계(332)에서 콘택트 홀을 패터닝하는 것에 후속하여, 금속화층을 패터닝하는 것이 단계(334)에서 수행될 수 있다. 금속화층을 패터닝하는 것은 포토레지스트 층을 도포하는 것과 원하는 금속화층과 반대 방식으로 포토레지스트를 패터닝하는 것을 포함할 수 있다. 단계(336)에서, 금속화층은 금속 증발 프로세스를 통해 패터닝된 포토레지스트 상에 도포될 수 있다. 원하는 금속화층은 예를 들어, 콘택트 홀 내에서 콘택트 홀로부터 콘택트 패드로의 금속 트레이스로서 형성될 수 있다. 원치 않는 증발된 금속화층은 리프트오프(lift-off) 프로세스에서 반대로 패터닝된 포토레지스트로 제거될 수 있다. 다양한 실시예에서, 금속화층은 또한 예를 들어, 스퍼터링과 같은 다른 프로세스를 통해 증착될 수 있다. 금속화층은 예를 들어, 티타늄, 백금, 금, 또는 알루미늄과 같은 임의의 전도성 금속을 포함할 수 있고, 300과 500nm 사이의 두께를 가질 수 있다. 대안적인 실시예에서, 금속화층은 예를 들어, 전도성 혼합물 또는 구리를 포함할 수 있다. 일부 실시예에서, 금속화층 또는 전도성 혼합물의 일부 타입은 리프트오프 프로세스 없이 형성되며 단계(334 및 336), 또는 등가물이 등이 반대로 된다. 예를 들어, 금속화층을 위해 알루미늄을 사용하는 실시예는 단계(334 및 336)를 다음의 시퀀스로 대체할 수 있다. (1) 예를 들어, 스퍼터링을 통해 알루미늄층을 증착하는 것, (2) 포토레지스트를 도포하고 리소그래픽으로 패터닝하는 것, 및 (3) 패터닝된 포토레지스트에 따라 알루미늄층을 에칭하는 것. 다른 실시예에서, 금속화층을 위해 구리를 사용하는 것은 단계(334 및 336)를 패터닝된 구리 및 배리어 재료를 형성하기 위한 대머신(damascene) 프로세스로 대체하는 것을 포함할 수 있다.
- [0037] 다양한 실시예에서, 단계(338)는 300과 500nm 사이의 두께를 갖는 위크피스 상에 패시베이션층을 증착하는 것을 포함한다. 패시베이션층은 예를 들어, 실리콘 질화물 또는 다른 비반응성 절연체가 될 수 있다. 단계(340)는 패시베이션층을 패터닝하는 것을 포함한다. 예를 들어, 단계(340)는 단계(334 및 336)에서 형성된 콘택트 패드로부터 패시베이션을 제거하는 것을 포함할 수 있다. 단계(342)는 기관을 박막화(thinning)하는 것을 포함할 수 있다. 일부 실시예에서, 이는 기관을 기계적으로 그라인딩 제거(grinding away)하는 것을 포함할 수 있다. 박막화된 기관은 350과 500 $\mu$ m 사이의 두께를 가질 수 있다.
- [0038] 다양한 실시예에서, 단계(344)는 기관의 후면을 패터닝하는 것을 포함한다. 이 경우에, 단계(344)는 기관의 후면 상에 포토레지스트를 증착하는 것, 포토레지스트를 노출시키는 것, 및 기관 캐비티의 에칭을 위한 준비로 원치 않는 포토레지스트를 제거하는 것을 포함할 수 있다. 단계(346)은 멤브레인 및 백플레이트 아래의 기관에서 캐비티를 생성하도록 후면 에칭을 수행하는 것을 포함할 수 있다. 일부 실시예에서, 에칭은 보쉬 프로세스에 따라 수행될 수 있는 플라즈마 에칭이다. 단계(348)은 릴리즈를 위한 위크피스를 패터닝하는 것을 포함할 수 있다. 위크피스를 패터닝하는 것은 웨이퍼의 상부 측 상에 포토레지스트를 도포하는 것, 포토레지스트를 노출시키는 것, 및 노출된 포토레지스트를 현상하는 것을 포함할 수 있다. 패터닝된 포토레지스트는, 백플레이트 및 멤브레인 층 위와 아래 구역이 포토레지스트를 갖지 않도록 생성될 수 있다. 단계(350)는 릴리즈 에칭을 포함할 수 있다. 릴리즈 에칭 동안, 멤브레인 및 백플레이트 위 및 아래의 절연층이 제거될 수 있다. 절연층은 백플레이트 및 멤브레인 위, 아래, 및 사이에 산화물층을 포함할 수 있다. 일 예시의 실시예에서, 도 1에서 단계(350) 중에 에칭된 절연층은 도 1의 클램핑층(104) 및 클래핑층(106) 뿐만 아니라, 도 1에 도시되지 않은 백플레이트(110) 상에 형성된 추가적인 절연층을 포함할 수 있다.
- [0039] 다양한 실시예에 따라, 단계(302 내지 350)에서 증착, 형성, 또는 패터닝된 단계 및 재료는 당 기술 분야에서

알려진 바와 같은 다른 단계 및 재료로 용이하게 대체될 수 있다. 예를 들어, 임의의 산화물, 질화물, 또는 산 질화물은 대안적인 실시예에서, 다른 절연 재료 및 유전체로 대체될 수 있다. 또한, 다른 실시예에서, 예를 들어, 비결정 실리콘 및 폴리실리콘 재료는 또한 임의의 다른 도핑된 또는 도핑되지 않은 반도체 재료, 금속, 또는 금속 규화물로 대체될 수 있다. 또한, 본원에서 설명된 패터닝 단계는 다양한 실시예에서 포토리소그래피 또는 다른 비리소그래픽 방법을 포함할 수 있다. 재료의 성장, 형성, 또는 증착은 사용될 특정 재료에 따라 수정될 수 있다. 다른 실시예에서, 층은 단계(302 내지 350)에서 특정된 범위 에의 두께로 형성될 수 있다.

- [0040] 도 7a, 도 7b, 도 7c, 도 7d, 및 도 7e는 실시예의 가공 시퀀스의 상이한 단계에서 실시예의 마이크로가공 디바이스의 단면도를 도시한다. 도 6과 관련하여 설명된 가공 시퀀스는 도 7a 내지 도 7e에 도시된 단면도에 대응한다. 도 7a는 도 6에서 단계(302 내지 310)에 대응하고 기판(210), TEOS 산화층(212), 산질화층(214), 및 멤브레인층(216)을 포함하는 실시예의 워크피스를 도시한다. 다양한 실시예에 따라, 위에서 설명된 바와 같이, 멤브레인층(216)은 도핑된 폴리실리콘을 형성하도록 프로세싱되는 비결정 실리콘으로부터 단계(306 및 308)에서 형성된다. 멤브레인층(216)은 단계(310)에서 패터닝되어서 폴리실리콘층은 오직 멤브레인에 대해 정의된 구역에만 남아있고 전체 워크피스를 커버하지 않는다. 일부 실시예에서, 산질화층(214)이 생략될 수 있다.
- [0041] 도 7b는 도 6에서 단계(312 내지 320)에 대응하고 TEOS 산화물층(218 및 220) 뿐만 아니라 질화층(222)을 더 포함하는 실시예의 워크피스를 도시한다. 다양한 실시예에 따라, TEOS 산화물층(218)은 접착방지 범프 패턴(219)으로 패터닝된다. TEOS 산화물층(220) 및 질화물층(220)이 증착될 때, 접착방지 범프 패턴(219)에 의해 형성된 패턴을 따름으로써 층은 유사한 범프를 형성한다.
- [0042] 도 7c는 도 6의 단계(322 내지 330)에 대응하고 폴리실리콘층(224), 질화물(226), 및 TEOS 산화물층(228)을 더 포함하는 실시예의 워크피스를 도시한다. 다양한 실시예에 따라, 폴리실리콘층(224)은 도핑된 폴리실리콘을 형성하는 비결정 실리콘 증착 및 프로세싱을 포함하는, 멤브레인층(216)과 같이 유사한 프로세스로 형성된다. 질화물층(222), 폴리실리콘층(224), 및 질화물층(226)은 함께 도 1에서의 백플레이트(110)와 같은 백플레이트를 형성할 수 있다. 위에서 설명된 바와 같이, 도 6에서 단계(328)은 질화물층(222), 폴리실리콘층(224), 및 질화물층(226)을 패터닝하여 개구 또는 천공을 형성하는 것을 포함한다. TEOS 산화물층(228)은 백플레이트 위에 형성될 수 있다.
- [0043] 도 7d는 도 6의 단계(332 내지 342)에 대응하고 금속 컨택트(230 및 232) 뿐만 아니라 패시베이션층(234)을 더 포함하는 실시예의 워크피스를 도시한다. 다양한 실시예에 따라, 금속 컨택트(230 및 232)를 위한 컨택트 홀은 패터닝 단계(332)에서 형성되고, 포토레지스트는 단계(334)에서 원하는 패턴의 반대로 패터닝되며, 금속 컨택트(230 및 232)를 위한 금속은 단계(336)에서 증착되고, 리프트오프 단계는 추가 금속화층을 제거하기 위해 사용된다. 패시베이션층(234)은 단계(338 및 340)에서 증착 및 패터닝된다. 도 7d는 또한 기판(210)이 단계(342)에서 박막화되는 것을 도시한다.
- [0044] 도 7e는 도 6의 단계(344 내지 350)에 대응하는 실시예의 워크피스를 도시하고, 단계(344 및 346)의 후면 에칭 및 패터닝 이후의 기판(210) 뿐만 아니라, 단계(350)에서 TEOS 산화물층(212, 218, 220, 및 228) 및 산질화층(214)이 릴리즈 에칭을 겪은 이후에 릴리즈된 멤브레인 및 백플레이트를 포함한다. 다양한 실시예에서, 도 7a 내지 도 7e에서 도시된 다양한 단계 및 층은 도 6과 관련하여 위에서 설명된 바와 같이 수정될 수 있다.
- [0045] 실시예에 따라, 마이크로가공 구조는 기판 내에 증착된 캐비티, 기판 상의 제 1 클램핑층, 제 1 클램핑층 상의 편향가능한 멤브레인, 및 편향가능한 멤브레인 상의 제 2 클램핑층을 포함한다. 이러한 경우에, 제 2 클램핑층의 일부는 상기 캐비티와 중첩한다.
- [0046] 다양한 실시예에서, 마이크로가공 구조는 또한 제 2 클램핑층 상의 센싱층을 포함한다. 센싱층은 복수의 고르게 이격된 릴리즈 홀을 포함한다. 센싱층은 또한 캐비티 상의 구역 전반의 천공을 포함할 수 있다. 제 1 클램핑층의 캐비티 측벽의 거칠기는 제 2 클램핑층의 캐비티 측벽의 거칠기 보다 더 클 수 있다. 제 1 클램핑층의 캐비티 측벽은 약 1 $\mu$ m의 표면 변동치를 갖고 제 2 클램핑층의 캐비티 측벽은 약 100nm의 표면 변동치를 갖는다.
- [0047] 다양한 실시예에서, 제 1 클램핑층의 캐비티 측벽은 기판과 중첩하고 캐비티와는 중첩하지 않는다. 마이크로가공 구조는 또한 제 1 클램핑층의 상부 표면과 편향가능한 멤브레인의 하부 표면 사이에 형성되는 테이퍼형 클램핑층을 포함할 수 있다. 테이퍼형 클램핑층은 제 1 클램핑층의 수직 엣지에 형성되고 캐비티 상의 영역을 향해 편향가능한 멤브레인을 따라 연장되는 경사진 엣지를 포함한다. 제 2 클램핑층은 편향가능한 멤브레인과 접촉할 수 있다.
- [0048] 실시예에 따라, 마이크로가공 디바이스는 제 1 백플레이트, 제 1 백플레이트에 인접하게 배치된 제 1 클램핑층,

제 2 백플레이트, 제 2 백플레이트에 인접하게 배치된 제 2 클램핑층, 및 제 1 클램핑층과 제 2 클램핑층 사이에 배치된 멤브레인층을 포함한다. 제 1 백플레이트는 제 1 구역을 둘러싼 주변 천공을 갖는 제 1 영역을 포함한다. 제 1 클램핑층은 제 1 구역 보다 더 큰 제 2 구역을 갖는 제 1 캐비티를 포함한다. 제 2 백플레이트는 제 1 구역 보다 더 큰 제 3 구역을 둘러싼 주변 천공을 갖는 제 2 영역을 포함한다. 제 2 클램핑층은 제 2 구역 보다 더 큰 제 4 구역을 갖는 제 2 캐비티를 포함한다.

[0049] 다양한 실시예에서, 제 2 캐비티는 사운드 포트에 음향적으로 연결된다. 마이크로가공 디바이스는 제 3 캐비티를 포함하는 기관을 포함할 수 있다. 일부 실시예에서, 제 3 캐비티는 제 1 백플레이트에 의해 제 1 캐비티로부터 분리된다. 다른 실시예에서, 제 3 캐비티는 제 2 백플레이트에 의해 제 2 캐비티로부터 분리된다. 제 1 백플레이트 및 제 2 백플레이트는 각각 주변 천공에 의해 둘러싸인 중앙 천공을 포함할 수 있다. 중앙 천공은 주변 천공 보다 더 큰 직경을 갖는다. 제 1 백플레이트 및 제 2 백플레이트는 또한 각각 중간 천공을 포함할 수 있다. 중간 천공은 주변 천공 보다 더 큰 직경을 갖고 중앙 천공 보다 더 작은 직경을 갖는다. 일부 실시예에서, 주변 천공은  $1.5\mu\text{m}$  이하의 직경을 갖는다. 제 1 구역을 둘러싼 주변 천공은 제 1 구역을 완전하게 둘러쌀 수 있고 제 3 구역을 둘러싼 주변 천공은 제 3 구역을 완전하게 둘러쌀 수 있다.

[0050] 실시예에 따라, 디바이스를 가공하는 방법은 기관 내에 캐비티를 형성하는 단계와, 기관 위에 제 1 클램핑층을 형성하는 단계와, 제 1 클램핑층 위에 편향가능한 멤브레인을 형성하는 단계와, 편향가능한 멤브레인 위에 제 2 클램핑층을 형성하는 단계를 포함한다. 이러한 실시예에서, 제 2 클램핑층의 일부는 캐비티와 중첩한다.

[0051] 다양한 실시예에서, 기관 내에 캐비티를 형성하는 단계는 기관의 후면으로부터 기관의 전면으로 기관을 관통하여 에칭하는 단계를 포함한다. 제 1 클램핑층을 형성하는 단계는 기관 상에 절연층을 증착하는 단계와, 캐비티 내부 및 주변에서 절연층을 에칭하는 단계를 포함할 수 있다. 제 1 클램핑층 위에 편향가능한 멤브레인을 형성하는 단계는 기관 위에 전도성 재료를 증착하는 단계와, 전도성 재료를 패터닝하여 편향가능한 멤브레인을 형성하는 단계를 포함할 수 있다.

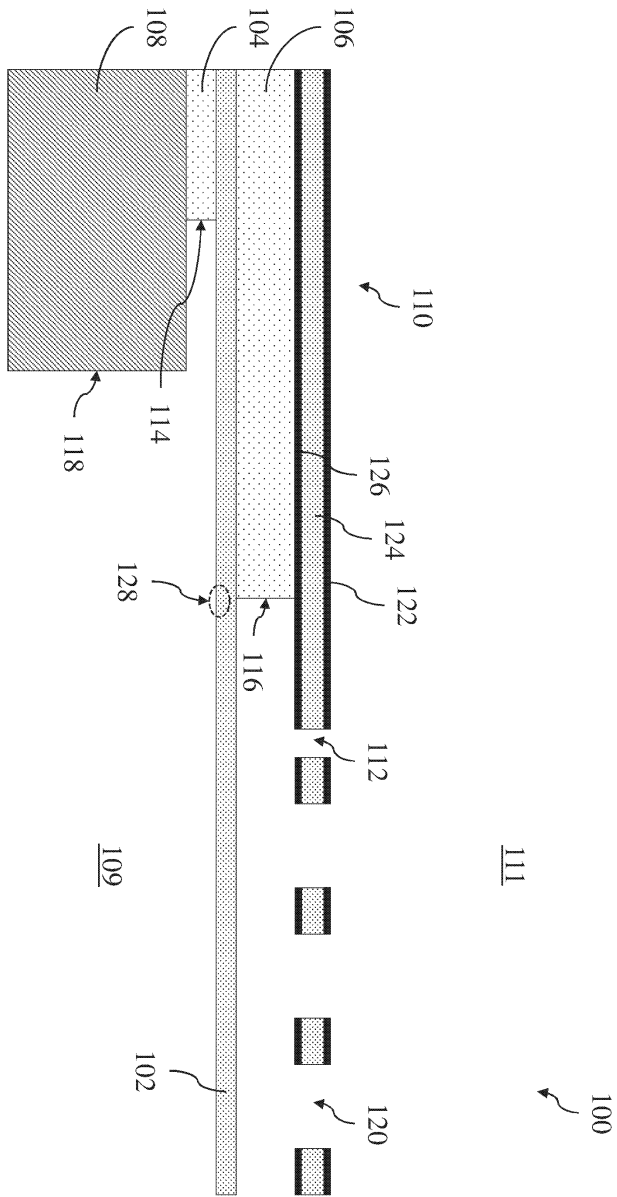
[0052] 다양한 실시예에서, 디바이스를 가공하는 방법은 제 2 클램핑층 위에 백플레이트를 형성하는 단계를 포함한다. 백플레이트는 백플레이트의 센싱 구역을 둘러싼 주변 천공을 포함할 수 있다. 편향가능한 멤브레인 위에 제 2 클램핑층을 형성하는 단계는 편향가능한 멤브레인 상에 절연층을 증착하는 단계와, 주변 천공 내부 및 주변에서 절연층을 에칭하는 단계를 포함할 수 있다.

[0053] 본원에 설명된 다양한 실시예의 장점은 충격 및 시끄러운 음압파에 대해 향상된 강건성을 나타내는 마이크로가공 디바이스를 포함할 수 있다. 실시예의 마이크로가공 디바이스는 약 100nm 미만의 변동치를 갖는 증가된 측벽 평활도를 갖는 멤브레인 또는 백플레이트를 위한 클램핑층을 포함할 수 있다.

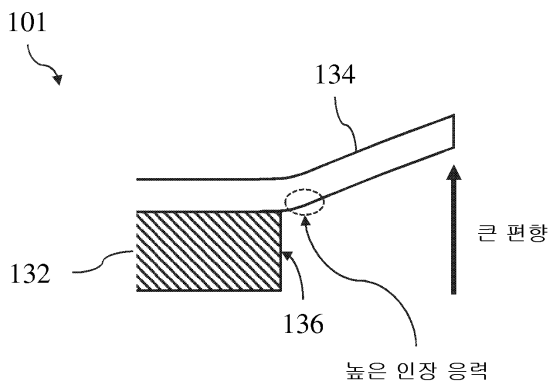
[0054] 본 발명은 예시적인 실시예와 관련하여 설명되었지만, 본 설명은 제한의 의미로 해석되도록 의도되지 않는다. 예시적인 실시예의 다양한 수정 및 조합 뿐만 아니라 본 발명의 다른 실시예는 설명과 관련하여 당업자에게 명백해질 것이다. 따라서, 첨부된 청구항은 임의의 이러한 수정 또는 실시예를 포함하도록 의도된다.

도면

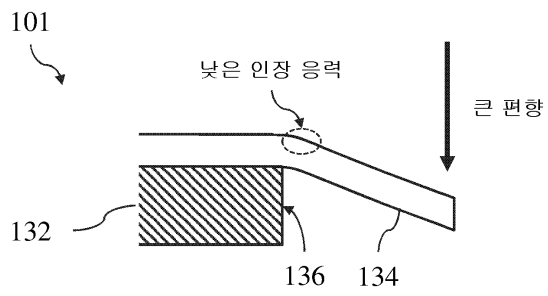
도면1



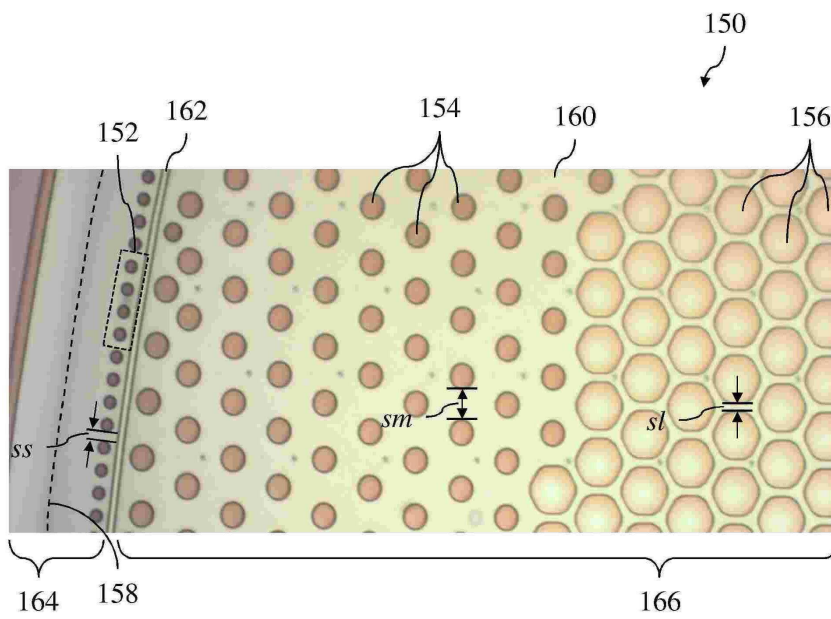
도면2a



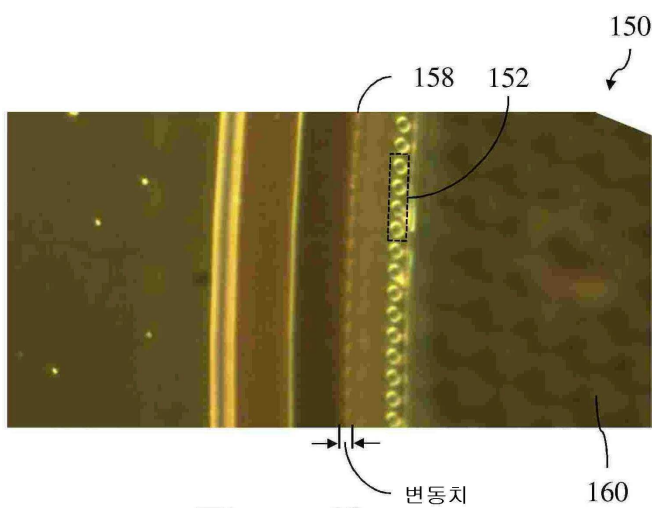
도면2b



도면3a

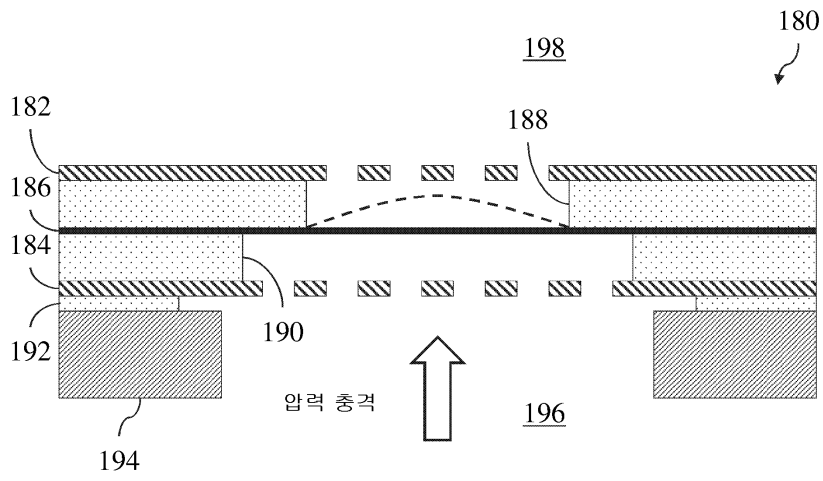


도면3b

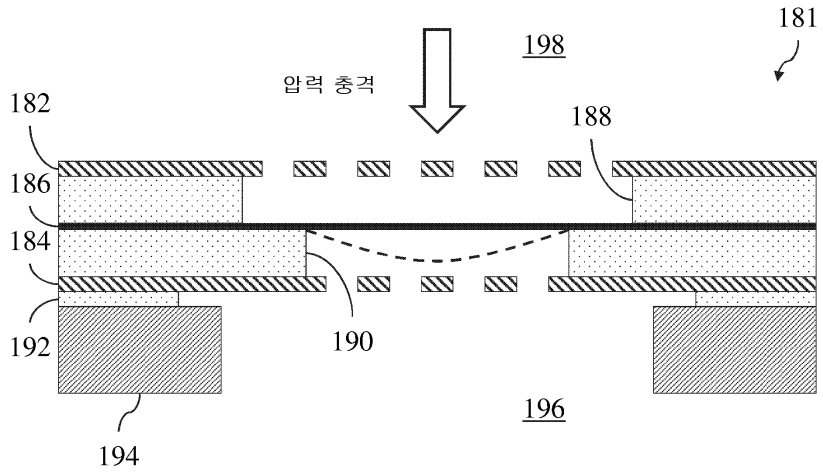




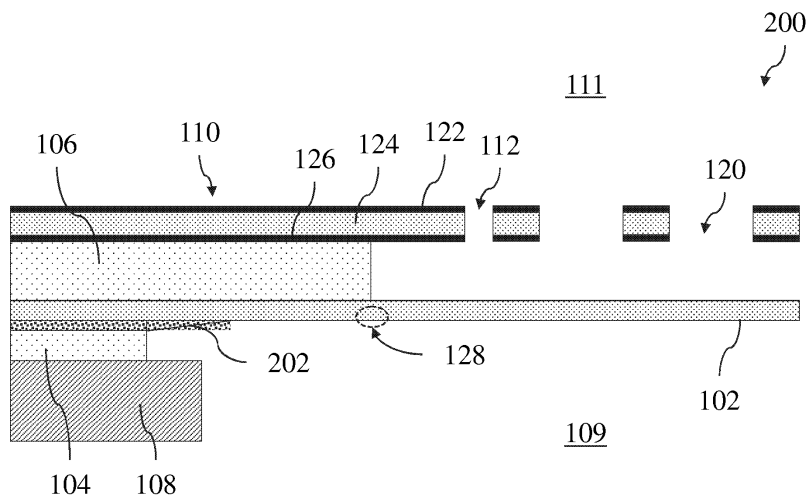
도면4a



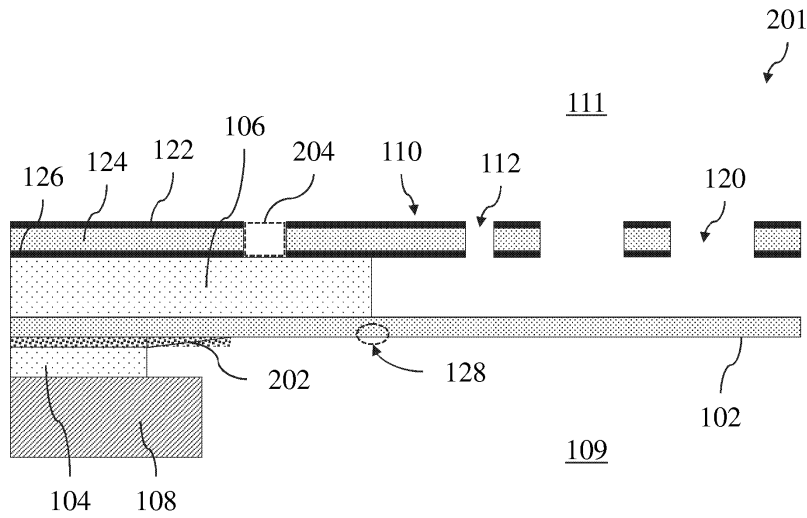
도면4b



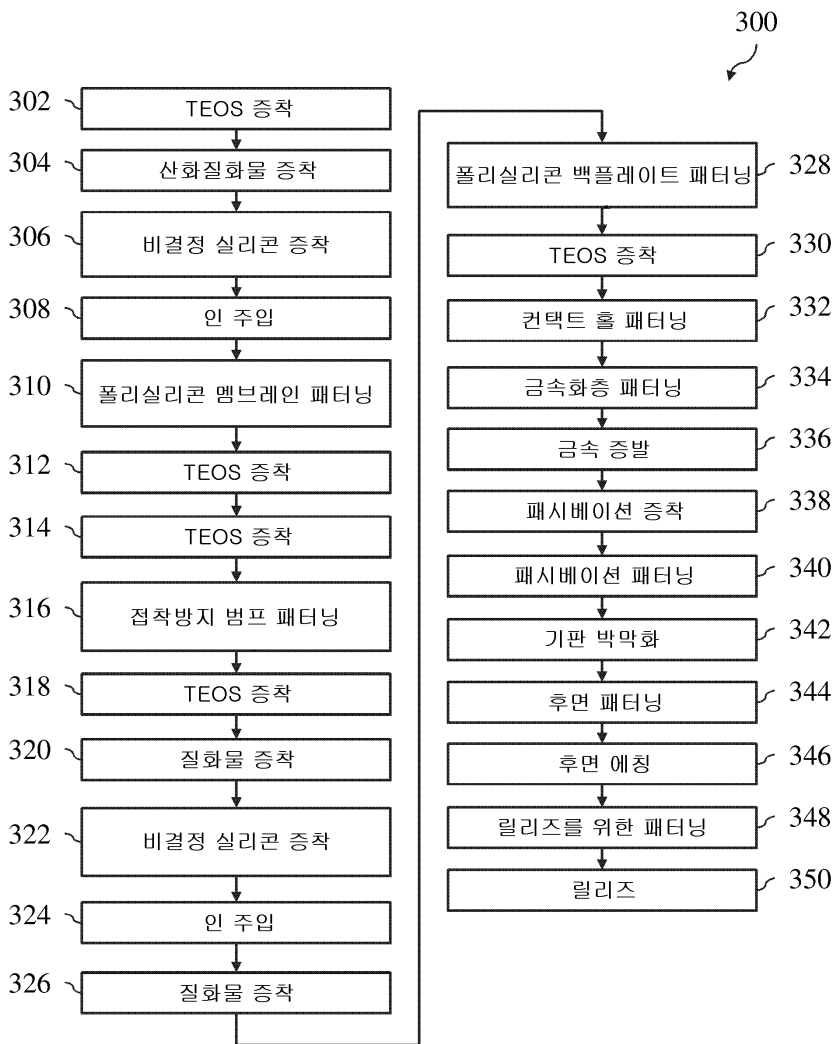
도면5a



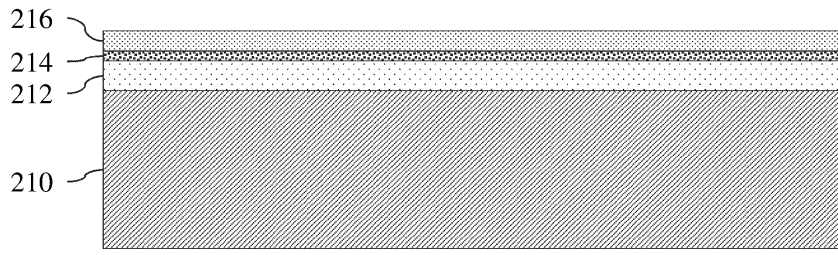
도면5b



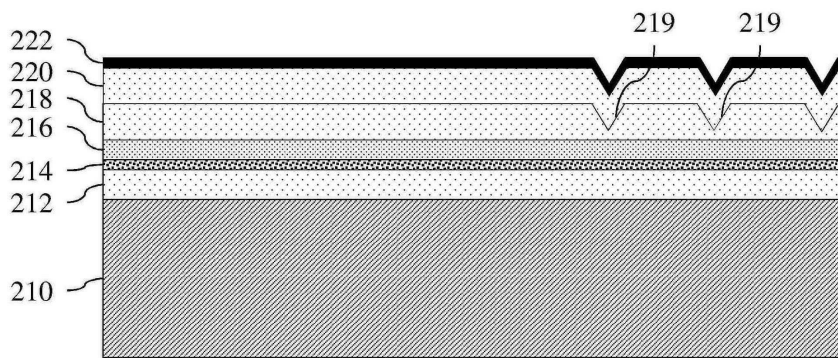
도면6



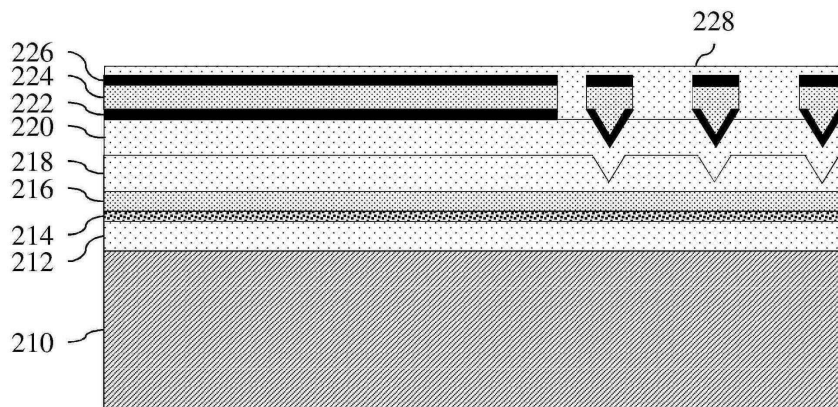
도면7a



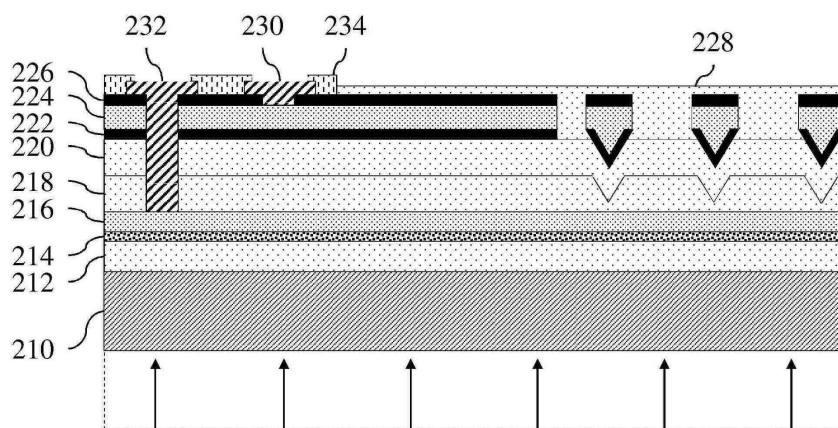
도면7b



도면7c



도면7d



도면7e

