



(12) 发明专利

(10) 授权公告号 CN 110444514 B

(45) 授权公告日 2023.06.23

(21) 申请号 201910368806.9
 (22) 申请日 2019.05.05
 (65) 同一申请的已公布的文献号
 申请公布号 CN 110444514 A
 (43) 申请公布日 2019.11.12
 (30) 优先权数据
 10-2018-0051914 2018.05.04 KR
 (73) 专利权人 三星电子株式会社
 地址 韩国京畿道水原市
 (72) 发明人 韩美子 朴大贤 李晟焕 李尚锺
 (74) 专利代理机构 北京铭硕知识产权代理有限公司 11286
 专利代理师 金光军 刘奕晴

(51) Int.Cl.
 H01L 23/31 (2006.01)
 H01L 23/538 (2006.01)
 H01L 23/552 (2006.01)
 (56) 对比文件
 CN 107424981 A, 2017.12.01
 KR 20180029822 A, 2018.03.21
 JP 2013038162 A, 2013.02.21
 JP 2011155223 A, 2011.08.11
 KR 20180018232 A, 2018.02.21
 US 2017287856 A1, 2017.10.05
 JP 2014146624 A, 2014.08.14
 TW 201801268 A, 2018.01.01
 审查员 汪灵

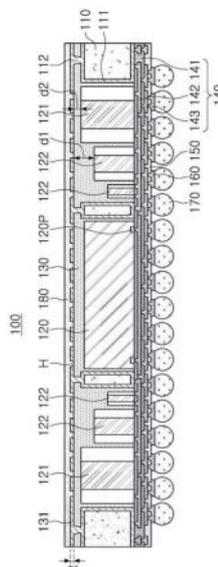
权利要求书3页 说明书12页 附图11页

(54) 发明名称

扇外型半导体封装件

(57) 摘要

本公开提供了一种扇外型半导体封装件。所述扇外型半导体封装件包括：连接构件，包括绝缘层和重新分布层；半导体芯片，设置在所述连接构件上；包封剂，包封所述半导体芯片；以及电磁波屏蔽层，设置在所述半导体芯片上，并包括多个排气孔。所述电磁波屏蔽层包括所述排气孔的密度彼此不同的第一区域和第二区域，所述第一区域的所述排气孔的密度高于所述第二区域中的所述排气孔的密度。



1. 一种扇外型半导体封装件,所述扇外型半导体封装件包括:
连接构件,包括绝缘层和重新分布层;
半导体芯片,设置在所述连接构件上;
包封剂,包封所述半导体芯片;以及
电磁波屏蔽层,设置在所述半导体芯片上,并包括多个排气孔,
其中,所述电磁波屏蔽层包括所述多个排气孔的密度彼此不同的第一区域和第二区域,所述第一区域的所述排气孔的密度高于所述第二区域中的所述排气孔的密度,
其中,所述电磁波屏蔽层包括位于所述包封剂上的第一镀层和覆盖所述第一镀层的第二镀层,
其中,所述第一镀层具有多个开口,并且
其中,所述第二镀层覆盖所述第一镀层的上表面和所述第一镀层的所述多个开口的内壁,并且限定所述多个排气孔。
2. 根据权利要求1所述的扇外型半导体封装件,其中,所述第二区域设置在与所述半导体芯片对应的区域中。
3. 根据权利要求1所述的扇外型半导体封装件,其中,所述电磁波屏蔽层还包括未形成有所述排气孔的第三区域。
4. 根据权利要求3所述的扇外型半导体封装件,其中,所述第三区域设置在与所述半导体芯片对应的区域中。
5. 根据权利要求3所述的扇外型半导体封装件,所述扇外型半导体封装件还包括芯构件,所述芯构件具有通孔,所述半导体芯片设置在所述通孔中,
其中,所述第三区域设置在与所述芯构件对应的区域中。
6. 根据权利要求5所述的扇外型半导体封装件,其中,所述芯构件包括金属层,所述金属层至少覆盖所述通孔的壁表面。
7. 根据权利要求6所述的扇外型半导体封装件,其中,所述金属层从所述通孔的所述壁表面延伸到所述芯构件的上表面和所述芯构件的下表面中的一者或二者。
8. 根据权利要求7所述的扇外型半导体封装件,其中,所述芯构件的所述金属层和所述电磁波屏蔽层通过穿过所述包封剂的导电过孔连接。
9. 根据权利要求1所述的扇外型半导体封装件,所述扇外型半导体封装件还包括设置在所述连接构件上的多个无源组件。
10. 根据权利要求9所述的扇外型半导体封装件,其中,所述第一区域设置在与所述多个无源组件中的至少一部分对应的区域中。
11. 根据权利要求9所述的扇外型半导体封装件,其中,从所述多个无源组件中的至少部分的上表面到所述包封剂的上表面的距离彼此不同,并且在所述电磁波屏蔽层中,与距所述包封剂的所述上表面的距离较短的所述无源组件所对应的区域相比,距所述包封剂的所述上表面的距离较长的所述无源组件所对应的区域中的所述多个排气孔的密度更高。
12. 根据权利要求11所述的扇外型半导体封装件,其中,所述电磁波屏蔽层还包括未形成有所述排气孔的第三区域,并且所述第三区域设置在从所述多个无源组件中的所述至少部分的所述上表面到所述包封剂的所述上表面的不同距离中的距所述包封剂的所述上表面的距离较短的区域中。

13. 根据权利要求9所述的扇外型半导体封装件,其中,所述多个无源组件包括电容器和电感器,并且与所述电容器对应的区域中的所述排气孔的密度高于与所述电感器对应的区域中的所述排气孔的密度。

14. 根据权利要求13所述的扇外型半导体封装件,其中,所述电磁波屏蔽层还包括未形成有所述排气孔的第三区域,并且所述第三区域设置在与所述电感器对应的区域中。

15. 根据权利要求1所述的扇外型半导体封装件,其中,所述第一区域和所述第二区域中的所述排气孔的尺寸彼此相等,并且所述第一区域中的每单位面积的所述排气孔的数量高于所述第二区域中的每单位面积的所述排气孔的数量。

16. 根据权利要求1所述的扇外型半导体封装件,其中,所述多个排气孔的平均尺寸小于或等于60 μm 。

17. 根据权利要求1所述的扇外型半导体封装件,其中,所述第二镀层完全覆盖所述第一镀层的所述上表面和所述第一镀层的所述多个开口的所述内壁。

18. 根据权利要求1所述的扇外型半导体封装件,其中,所述电磁波屏蔽层还包括被所述第一镀层完全覆盖的种子层。

19. 根据权利要求1所述的扇外型半导体封装件,所述扇外型半导体封装件还包括覆盖所述电磁波屏蔽层的钝化层。

20. 根据权利要求19所述的扇外型半导体封装件,其中,所述钝化层的部分填充所述电磁波屏蔽层的所述多个排气孔。

21. 根据权利要求20所述的扇外型半导体封装件,其中,所述钝化层的填充所述电磁波屏蔽层的所述多个排气孔的所述部分与所述包封剂直接接触。

22. 根据权利要求1所述的扇外型半导体封装件,其中,所述电磁波屏蔽层在所述扇外型半导体封装件的边缘之间连续延伸。

23. 一种扇外型半导体封装件,所述扇外型半导体封装件包括:
连接构件,包括绝缘层和重新分布层;
半导体芯片,设置在所述连接构件上;
包封剂,包封所述半导体芯片;以及
电磁波屏蔽层,设置在所述半导体芯片上,并包括多个排气孔,
其中,所述电磁波屏蔽层包括第一层和覆盖所述第一层的第二层,
其中,所述第一层具有多个开口,并且
其中,所述第二层覆盖所述第一层的上表面和所述第一层的所述多个开口的内壁,并且限定所述多个排气孔。

24. 根据权利要求23所述的扇外型半导体封装件,其中,所述第二层完全覆盖所述第一层的上表面和所述第一层的侧表面。

25. 根据权利要求23所述的扇外型半导体封装件,其中,所述电磁波屏蔽层还包括被所述第一层完全覆盖的种子层。

26. 一种扇外型半导体封装件,所述扇外型半导体封装件包括:
连接构件,包括绝缘层和重新分布层;
芯构件,设置在所述连接构件上并具有彼此分开的第一通孔和第二通孔;
半导体芯片,设置在所述连接构件上并且位于所述芯构件的所述第一通孔中;

第一无源组件,设置在所述连接构件上并且位于所述芯构件的所述第二通孔中;
包封剂,包封所述半导体芯片的部分、所述第一无源组件的部分和所述芯构件的部分;
以及

电磁波屏蔽层,设置在所述包封剂上并包括多个排气孔,

其中,在所述连接构件上堆叠所述半导体芯片、所述第一无源组件和所述芯构件中的至少一者所沿的方向上,一单位面积中的与所述第一无源组件或所述半导体芯片叠置的所述排气孔的面积之和大于一单位面积中的与所述芯构件的使所述第一通孔和所述第二通孔分开的壁叠置的所述排气孔的面积之和,

其中,所述电磁波屏蔽层包括位于所述包封剂上的第一镀层和覆盖所述第一镀层的第二镀层,

其中,所述第一镀层具有多个开口,并且

其中,所述第二镀层覆盖所述第一镀层的上表面和所述第一镀层的所述多个开口的内壁,并且限定所述多个排气孔。

27.根据权利要求26所述的扇外型半导体封装件,其中,一单位面积中的与所述半导体芯片叠置的所述排气孔的面积之和小于一单位面积中的与所述第一无源组件叠置的所述排气孔的面积之和。

28.根据权利要求27所述的扇外型半导体封装件,其中,所述排气孔不与所述半导体芯片以及所述芯构件的使所述第一通孔和所述第二通孔分开的所述壁叠置。

29.根据权利要求26所述的扇外型半导体封装件,所述扇外型半导体封装件还包括设置在所述连接构件上的第二无源组件,

其中,一单位面积中的与所述第二无源组件叠置的所述排气孔的数量小于一单位面积中的与所述第一无源组件叠置的所述排气孔的数量。

30.根据权利要求29所述的扇外型半导体封装件,其中,从所述电磁波屏蔽层到所述第二无源组件的距离小于从所述电磁波屏蔽层到所述第一无源组件的距离。

31.根据权利要求29所述的扇外型半导体封装件,其中,所述第一无源组件是电感器,并且所述第二无源组件是电容器。

32.根据权利要求26所述的扇外型半导体封装件,所述扇外型半导体封装件还包括覆盖所述电磁波屏蔽层的钝化层,

其中,所述钝化层的部分填充所述电磁波屏蔽层的所述多个排气孔。

33.根据权利要求26所述的扇外型半导体封装件,所述扇外型半导体封装件还包括金属层,所述金属层设置在所述芯构件的表面上,并且通过穿过所述包封剂的过孔电连接到所述电磁波屏蔽层。

扇外型半导体封装件

[0001] 本申请要求于2018年5月4日在韩国知识产权局提交的第10-2018-0051914号韩国专利申请的优先权的权益,该韩国专利申请的公开内容通过引用全部包含于此。

技术领域

[0002] 本公开涉及一种扇外型半导体封装件。

背景技术

[0003] 近来,与半导体芯片相关的技术发展的显著趋势是减小了组件的尺寸。因此,在封装领域中,随着对小尺寸半导体芯片等的需求的快速增加,已经需要实现在包括大量的引脚的同时具有紧凑尺寸的半导体。

[0004] 提出满足技术需求的半导体封装技术的一种类型是扇外型半导体封装件。这样的扇外型封装件具有紧凑的尺寸,并且可通过使连接端子重新分布到设置有半导体芯片的区域的外部来实现大量的引脚。

[0005] 因为当电磁波影响半导体芯片等时可能发生问题,所以半导体封装件需要有效的电磁波屏蔽结构。

发明内容

[0006] 本公开的一方面提供了一种具有高的电磁波屏蔽效率并且能够有效地去除在产品的内部可能出现的气体的扇外型半导体封装件。

[0007] 根据本公开的一方面,一种扇外型半导体封装件包括:连接构件,包括绝缘层和重新分布层;半导体芯片,设置在所述连接构件上;封装剂,包封所述半导体芯片;以及电磁波屏蔽层,设置在所述半导体芯片上,并包括多个排气孔。所述电磁波屏蔽层包括所述多个排气孔的密度彼此不同的第一区域和第二区域,所述第一区域的所述排气孔的密度高于所述第二区域中的所述排气孔的密度。

[0008] 所述第二区域可设置在与所述半导体芯片对应的区域中。

[0009] 所述电磁波屏蔽层还可包括未形成有所述排气孔的第三区域。

[0010] 所述第三区域可设置在与所述半导体芯片对应的区域中。

[0011] 所述扇外型半导体封装件还可包括芯构件,所述芯构件具有通孔,所述半导体芯片设置在所述通孔中,并且所述第三区域可设置在与所述芯构件对应的区域中。

[0012] 所述芯构件可包括金属层,所述金属层至少覆盖所述通孔的壁表面。

[0013] 所述金属层可从所述通孔的所述壁表面延伸到所述芯构件的上表面和所述芯构件的下表面中的一者或二者。

[0014] 所述芯构件的所述金属层和所述电磁波屏蔽层可通过穿过所述封装剂的导电过孔连接。

[0015] 所述扇外型半导体封装件还可包括设置在所述连接构件上的多个无源组件。

[0016] 所述第一区域可设置在与所述多个无源组件中的至少一部分对应的区域中。

[0017] 从所述多个无源组件中的至少部分的上表面到所述包封剂的上表面的距离可彼此不同,并且在从所述多个无源组件中的所述至少部分的所述上表面到所述包封剂的所述上表面的不同距离中的距所述包封剂的所述上表面的距离越长的区域中,所述排气孔的密度可越高。

[0018] 所述电磁波屏蔽层还可包括未形成有所述排气孔的第三区域,并且所述第三区域可设置在从所述多个无源组件中的所述至少部分的所述上表面到所述包封剂的所述上表面的不同距离中的距所述包封剂的所述上表面的距离较短的区域中。

[0019] 所述多个无源组件可包括电容器和电感器,并且与所述电容器对应的区域中的所述排气孔的密度可高于与所述电感器对应的区域中的所述排气孔的密度。

[0020] 所述电磁波屏蔽层还可包括未形成有所述排气孔的第三区域,并且所述第三区域可设置在与所述电感器对应的区域中。

[0021] 所述第一区域和所述第二区域中的所述排气孔的尺寸可彼此相等,并且所述第一区域中的每单位面积的所述排气孔的数量可高于所述第二区域中的每单位面积的所述排气孔的数量。

[0022] 所述多个排气孔的平均尺寸可小于或等于 $60\mu\text{m}$ 。

[0023] 所述电磁波屏蔽层可包括第一层和覆盖所述第一层的第二层。

[0024] 所述第一层和所述第二层可以是镀层。

[0025] 所述第二层可完全覆盖所述第一层的上表面和所述第一层的侧表面。

[0026] 所述电磁波屏蔽层还可包括被所述第一层完全覆盖的种子层。

[0027] 所述扇外型半导体封装件还可包括覆盖所述电磁波屏蔽层的钝化层。

[0028] 所述钝化层的部分可填充所述电磁波屏蔽层的所述多个排气孔。

[0029] 所述钝化层的填充所述电磁波屏蔽层的所述多个排气孔的所述部分可与所述包封剂直接接触。

[0030] 所述电磁波屏蔽层可在所述扇外型半导体封装件的边缘之间连续延伸。

[0031] 根据本公开的另一方面,一种扇外型半导体封装件包括:连接构件,包括绝缘层和重新分布层;半导体芯片,设置在所述连接构件上;包封剂,包封所述半导体芯片;以及电磁波屏蔽层,设置在所述半导体芯片上,并包括多个排气孔。所述电磁波屏蔽层包括第一层和覆盖所述第一层的第二层。

[0032] 所述第二层可完全覆盖所述第一层的上表面和所述第一层的侧表面。

[0033] 所述电磁波屏蔽层还可包括被所述第一层完全覆盖的种子层。

[0034] 根据本公开的另一方面,一种扇外型半导体封装件包括:连接构件,包括绝缘层和重新分布层;芯构件,设置在所述连接构件上并具有彼此分开的第一通孔和第二通孔;半导体芯片,设置在所述连接构件上并且位于所述芯构件的所述第一通孔中;第一无源组件,设置在所述连接构件上并且位于所述芯构件的所述第二通孔中;包封剂,包封所述半导体芯片的部分、所述第一无源组件的部分和所述芯构件的部分;以及电磁波屏蔽层,设置在所述包封剂上并包括排气孔。在所述连接构件上堆叠所述半导体芯片、所述第一无源组件和所述芯构件中的至少一者所沿的方向上,一单位面积中的与所述第一无源组件或所述半导体芯片叠置的所述排气孔的面积的和大于一单位面积中的与所述芯构件的使所述第一通孔和所述第二通孔分开的壁叠置的所述排气孔的面积的和。

[0035] 一单位面积中的与所述半导体芯片叠置的所述排气孔的面积总和可小于一单位面积中的与所述无源组件叠置的所述排气孔的面积总和。

[0036] 所述排气孔可不与所述半导体芯片以及所述芯构件的使所述第一通孔和所述第二通孔分开的所述壁叠置。

[0037] 所述扇外型半导体封装件还可包括设置在所述连接构件上的第二无源组件,并且与所述第二无源组件叠置的所述排气孔的数量可小于与所述第一无源组件叠置的所述排气孔的数量。

[0038] 从所述电磁波屏蔽层到所述第二无源组件的距离可小于从所述电磁波屏蔽层到所述第一无源组件的距离。

[0039] 所述第一无源组件可以是电感器,并且所述第二无源组件可以是电容器。

[0040] 所述扇外型半导体封装件还可包括覆盖所述电磁波屏蔽层的钝化层,并且所述钝化层的部分可填充所述电磁波屏蔽层的所述排气孔。

[0041] 所述扇外型半导体封装件还可包括金属层,所述金属层设置在所述芯构件的表面上,并且通过穿过所述包封剂的过孔电连接到所述电磁波屏蔽层。

附图说明

[0042] 通过下面结合附图进行的详细描述,本公开的以上和其他方面、特征和优点将被更清楚地理解,在附图中:

[0043] 图1是示出电子装置系统的示例的示意性框图;

[0044] 图2是示出电子装置的示例的示意性透视图;

[0045] 图3A和图3B是示出扇入型半导体封装件在被封装之前和封装之后的状态的示意性截面图;

[0046] 图4是示出扇入型半导体封装件的封装工艺的示意性截面图;

[0047] 图5是示出扇入型半导体封装件安装在中介基板上并且最终安装在电子装置的主板上的情况的示意性截面图;

[0048] 图6是示出扇入型半导体封装件嵌入在中介基板内并且最终安装在电子装置的主板上的情况的示意性截面图;

[0049] 图7是示出扇外型半导体封装件的示意性截面图;

[0050] 图8是示出扇外型半导体封装件安装在电子装置的主板上的情况的示意性截面图;

[0051] 图9和图10示意性示出了扇外型半导体封装件的示例,并且分别对应于扇外型半导体封装件的截面图和俯视图;

[0052] 图11示出了图9和图10的示例性实施例中可采用的电磁波屏蔽层的形式;

[0053] 图12示出了变型的实施例中可采用的电磁波屏蔽层的形式;

[0054] 图13是示出屏蔽效率根据电磁波屏蔽层中的排气孔的尺寸而改变的方面的仿真曲线图;以及

[0055] 图14和图15示出了变型示例中可采用的电磁波屏蔽层的详细形式。

具体实施方式

[0056] 在下文中,将参照附图描述本公开中的示例性实施例。在附图中,为了清楚起见,可夸大或缩小组件的形状、尺寸等。

[0057] 电子装置

[0058] 图1是示出电子装置系统的示例的示意性框图。

[0059] 参照图1,电子装置1000将主板1010容纳在其中。主板1010可包括物理连接和/或电连接到其的芯片相关组件1020、网络相关组件1030、其他组件1040等。组件可通过各种信号线1090连接到以下将描述的其他组件。

[0060] 芯片相关组件1020可包括:存储芯片,诸如易失性存储器(例如,动态随机存取存储器(DRAM))、非易失性存储器(例如,只读存储器(ROM))、闪存等;应用处理器芯片,诸如中央处理器(例如,CPU)、图形处理器(例如,GPU)、数字信号处理器、密码处理器、微处理器、微控制器等;以及逻辑芯片,诸如模拟数字转换器、专用IC(ASIC)等。然而,芯片相关组件1020不限于此,而是还可包括其他类型的芯片相关组件。此外,芯片相关组件1020中包括的组件可彼此组合。

[0061] 网络相关组件1030可包括被指定为根据诸如以下协议操作的组件:Wi-Fi(IEEE 802.11族等)、WiMAX(IEEE 802.16族等)、IEEE 802.20、长期演进技术(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPS、GPRS、CDMA、TDMA、DECT、蓝牙、3G、4G、5G以及在上述协议之后指定的任意其他无线协议和有线协议。然而,网络相关组件不限于此,而是还可包括被指定为根据各种其他无线标准或协议或者有线标准或协议中的任意操作的组件。此外,网络相关组件1030中包括的组件可与芯片相关组件1020一起彼此组合。

[0062] 其他组件1040的示例可包括高频电感器、铁氧体电感器、功率电感器、铁氧体磁珠、低温共烧陶瓷(LTCC)、电磁干扰(EMI)滤波器、多层陶瓷电容器(MLCC)等。然而,其他组件1040不限于此,而是还可包括用于其他各种用途的无源组件等。此外,其他组件1040中包括的组件可与芯片相关组件1020和/或网络相关组件1030一起彼此组合。

[0063] 根据电子装置1000的类型,电子装置1000可包括可物理连接和/或电连接到主板1010或者可不物理连接和/或电连接到主板1010的其他组件。这些其他组件的示例可包括相机1050、天线1060、显示器1070、电池1080、音频编解码器(未示出)、视频编解码器(未示出)、功率放大器(未示出)、指南针(未示出)、加速计(未示出)、陀螺仪(未示出)、扬声器(未示出)、大容量存储单元(例如,硬盘驱动器)(未示出)、光盘(CD)(未示出)、数字通用光盘(DVD)(未示出)等。然而,这些其他组件的示例不限于此,并且还可根据电子装置1000的类型等而包括用于各种用途的其他组件。

[0064] 电子装置1000可以是智能电话、个人数字助理、数字摄像机、数码相机、网络系统、计算机、监视器、平板PC、膝上型计算机、上网本、电视机、视频游戏机、智能手表、汽车组件等。然而,电子装置1000不限于此,并且可以是处理数据的任意其他电子装置。

[0065] 图2是示出电子装置的示例的示意性透视图。

[0066] 参照图2,半导体封装件可应用于上述的各种电子装置以用于各种用途。例如,母板1110容纳在智能电话1100的主体1101的内部,并且各种组件1120物理连接和/或电连接到母板1110。另外,可物理连接和/或电连接到母板1110或者可不物理连接和/或电连接到母板1110的其他组件(诸如相机1130)可容纳在主体1101中。组件1120中的一部分可以是芯

片相关组件,扇出型半导体封装件100可以是芯片相关组件中的应用处理器,但不限于此。电子装置不必限于智能电话1100,而可以是如上所述的其他电子装置。

[0067] 半导体封装件

[0068] 通常,半导体芯片中集成了大量的微电子电路。然而,半导体芯片本身可能无法用作成品的半导体产品,并且会由于外部物理冲击或者化学冲击而损坏。因此,半导体本身可能不会被使用,而是可被封装并且在封装的状态下在电子装置等中使用。

[0069] 就电连接而言,由于半导体芯片和电子装置的主板之间的电路宽度存在差异,因此需要半导体封装。详细地,在半导体芯片的情况下,连接焊盘的尺寸和连接焊盘之间的间距相对细小,而在电子装置中使用的主板的情况下,组件安装焊盘的尺寸和组件安装焊盘之间的间距显著大于半导体芯片的规格(例如,连接焊盘的尺寸和连接焊盘之间的间距)。因此,可能难以将半导体芯片直接安装在这样的主板上,因此需要用于缓解半导体芯片和主板之间的电路宽度的差异的封装技术。

[0070] 通过封装技术制造的半导体封装件可根据其结构和用途而分为扇入型半导体封装件和扇出型半导体封装件。

[0071] 在下文中,将参照附图更详细地描述扇入型半导体封装件和扇出型半导体封装件。

[0072] 扇入型半导体封装件

[0073] 图3A和图3B是示出扇入型半导体封装件在被封装之前和封装之后的状态的示意性截面图。

[0074] 图4是示出扇入型半导体封装件的封装工艺的示意性截面图。

[0075] 参照图3A至图4,半导体芯片2220可以是例如处于裸态(bare state)的集成电路(IC),并且包括:主体2221,包括硅(Si)、锗(Ge)、砷化镓(GaAs)等;连接焊盘2222,包括诸如铝(Al)等的导电材料,并且形成在主体2221的一个表面上;以及诸如氧化物膜、氮化物膜等的钝化层2223,形成在主体2221的一个表面上并且覆盖连接焊盘2222的至少一部分。在这种情况下,由于连接焊盘2222非常小,因此会难以将集成电路(IC)安装在中等尺寸等级的印刷电路板(PCB)以及电子装置的主板等上。

[0076] 因此,根据半导体芯片的尺寸,可在半导体芯片2220上形成连接构件2240,以使连接焊盘2222重新分布。连接构件2240可通过如下步骤形成:使用诸如感光介电(PID)树脂的绝缘材料在半导体芯片2220上形成绝缘层2241,形成使连接焊盘2222暴露的通路孔2243h,然后形成布线图案2242和过孔2243。然后,可形成保护连接构件2240的钝化层2250,可形成开口2251,然后可形成凸块下金属层2260等。详细地,可通过一系列工艺制造包括例如半导体芯片2220、连接构件2240、钝化层2250和凸块下金属层2260的扇入型半导体封装件2200。

[0077] 如上所述,扇入型半导体封装件具有半导体芯片的所有的连接焊盘(例如,输入/输出(I/O)端子)设置在装置的内部的封装件形式,可具有优异的电特性,并且可按照相对低的成本生产。因此,安装在智能电话中的许多元件已经按照扇入型半导体封装件形式来制造,详细地,安装在智能电话中的许多元件已经被开发为在具有紧凑的尺寸的同时实现快速的信号传输。

[0078] 然而,由于所有的I/O端子需要设置在半导体芯片的内部,因此扇入型半导体封装件具有相对大的空间局限性。因此,可能难以将这样的结构应用于具有相对大量的I/O端子

的半导体芯片或者具有紧凑尺寸的半导体芯片。另外,由于如上所述的负面属性,可能无法在电子装置的主板上直接安装和使用扇入型半导体封装件。即使在半导体芯片的I/O端子的尺寸和半导体芯片的I/O端子之间的间距通过重新分布工艺被增大的情况下,半导体芯片的I/O端子的尺寸和半导体芯片的I/O端子之间的间距可能仍不足以将扇入型半导体封装件直接安装在电子装置的主板上。

[0079] 图5是示出扇入型半导体封装件安装在中介基板上并且最终安装在电子装置的主板上的情况的示意性截面图。

[0080] 图6是示出扇入型半导体封装件嵌入在中介基板内并且最终安装在电子装置的主板上的情况的示意性截面图。

[0081] 参照图5,在扇入型半导体封装件2200中,半导体芯片2220的连接焊盘2222(例如,输入/输出(I/O)端子)通过中介基板2301再次重新分布,并且在扇入型半导体封装件2200安装在中介基板2301上的状态下,扇入型半导体封装件2200可最终安装在电子装置的主板2500上。在这种情况下,焊球2270等可通过底部填充树脂2280等固定,并且半导体芯片的外侧可利用模制材料2290等覆盖。可选地,参照图6,扇入型半导体封装件2200也可嵌入在单独的中介基板2302内,在扇入型半导体封装件2200嵌入在中介基板2302内的状态下,半导体芯片2220的连接焊盘2222(例如,I/O端子)可通过中介基板2302重新分布,并且扇入型半导体封装件2200可最终安装在电子装置的主板2500上。

[0082] 如上所述,会难以在电子装置的主板上直接安装和使用扇入型半导体封装件。因此,扇入型半导体封装件需要安装在单独的中介基板上然后通过封装工艺安装在电子装置的主板上,或者需要在扇入型半导体封装件嵌入在中介基板内的状态下在电子装置的主板上安装和使用扇入型半导体封装件。

[0083] 扇外型半导体封装件

[0084] 图7是示出扇外型半导体封装件的示意性截面图。

[0085] 参照图7,在扇外型半导体封装件的情况下,例如,半导体芯片2120的外侧可通过包封剂2130保护,并且半导体芯片2120的连接焊盘2122可通过连接构件2140重新分布到半导体芯片的外部。在这种情况下,钝化层2150还可形成在连接构件2140上,并且凸块下金属层2160还可形成在钝化层2150的开口中。焊球2170还可形成在凸块下金属层2160上。半导体芯片2120可以是包括主体2121、连接焊盘2122、钝化层(未示出)等的集成电路(IC)。连接构件2140可包括:绝缘层2141;重新分布层2142,形成在绝缘层2141上;以及过孔2143,使连接焊盘2122和重新分布层2142等电连接。

[0086] 因此,扇外型半导体封装件具有I/O端子通过形成在半导体芯片上的连接构件重新分布并且设置在半导体芯片的外部的形式。如上所述,在扇入型半导体封装件的情况下,半导体芯片的所有的I/O端子需要设置在半导体芯片的内部。因此,当装置尺寸减小时,球的尺寸和节距需要减小,使得在扇入型半导体封装件的情况下可能无法使用标准化的球布局本身。另一方面,扇外型半导体封装件具有半导体芯片的I/O端子通过形成在半导体芯片上的连接构件重新分布并且设置在半导体芯片的外部的形式,因此,即使在半导体芯片的尺寸减小的情况下,在扇外型半导体封装件中可按照原样使用标准化的球布局,使得扇外型半导体封装件可在不使用单独的中介基板的情况下安装在电子装置的主板上,如下所述。

[0087] 图8是示出扇外型半导体封装件安装在电子装置的主板上的情况的示意性截面图。

[0088] 参照图8,扇外型半导体封装件2100可通过焊球2170等安装在电子装置的主板2500上。详细地,如上所述,在扇外型半导体封装件2100的情况下,能够使连接焊盘2122重新分布到半导体芯片2120的尺寸之外的扇出区域的连接构件2140可形成在半导体芯片2120上,使得可在扇外型半导体封装件中按照原样使用标准化的球布局。结果,扇外型半导体封装件可在不使用单独的中介基板等的情况下安装在电子装置的主板2500上。

[0089] 如上所述,由于扇外型半导体封装件可在不使用单独的中介基板的情况下安装在电子装置的主板上,因此与使用中介基板的扇入型半导体封装件的厚度相比,扇外型半导体封装件可实现为具有减小的厚度。因此,扇外型半导体封装件可被小型化和纤薄化。另外,扇外型半导体封装件可具有优异的热特性和电特性,以适合于例如移动产品。此外,扇外型半导体封装件可实现为具有比使用印刷电路板(PCB)的普通的层叠封装(POP)的尺寸更紧凑的尺寸,并且可实现为防止由于翘曲现象的发生而发生的问题。

[0090] 扇外型半导体封装指的是如上所述的保护半导体芯片免受外部冲击的影响并且使半导体芯片安装在电子装置的主板等上的封装技术,并且具有与诸如中介基板的印刷电路板(PCB)等(具有与扇外型半导体封装件的规格、用途等不同的规格、用途等,并且具有嵌入其中的扇入型半导体封装件)的概念不同的概念。

[0091] 在下文中,将参照附图描述根据本公开中的示例性实施例的扇外型半导体封装件。

[0092] 图9和图10示意性示出了扇外型半导体封装件的示例并且分别对应于截面图和俯视图。图11示出了图9和图10的示例性实施例中可采用的电磁波屏蔽层的形式。图12示出了变型的示例性实施例中可采用的电磁波屏蔽层的形式。图13是示出屏蔽效率根据电磁波屏蔽层中的排气孔的尺寸而改变的仿真曲线图。

[0093] 参照图9和图10,根据示例性实施例的扇外型半导体封装件100可包括半导体芯片120、包封剂130、连接构件140和电磁波屏蔽层131。电磁波屏蔽层131可包括多个排气孔H,以提供气体排放路径。另外,扇外型半导体封装件100可包括芯构件110、无源组件121和122、钝化层150和180、凸块下金属层160、电连接结构170等。

[0094] 连接构件140可使半导体芯片120的连接焊盘120P重新分布。此外,当设置无源组件121和122时,连接构件140可使半导体芯片120与无源组件121和122电连接。为了实现这样的功能,连接构件140可包括:绝缘层141;重新分布层142,设置在绝缘层141上;以及过孔143,穿过绝缘层141以使重新分布层142连接到过孔143。连接构件140可利用单层形成,或者可设计为利用比附图中示出的层多的多个层形成。

[0095] 例如,可使用感光绝缘材料作为形成绝缘层141的材料。例如,绝缘层141可设置为感光绝缘层。例如,当绝缘层141具有感光性质时,绝缘层141可形成为具有相对减小的厚度,并且可更容易地获得过孔143的精细间距。绝缘层141可以是包括绝缘树脂和无机填料的感光绝缘层。例如,当绝缘层141具有多个层时,多个层的材料可彼此相同,并且如果需要,也可彼此不同。当绝缘层141利用多个层形成时,多个层可根据工艺彼此成为一体,使得它们之间的边界可以不容易明显。

[0096] 重新分布层142可用于使连接焊盘120P重新分布,并且可使用诸如铜(Cu)、铝

(Al)、银(Ag)、锡(Sn)、金(Au)、镍(Ni)、铅(Pb)、钛(Ti)或它们的合金的导电材料作为重新分布层的材料。重新分布层142可根据相关层的设计执行各种功能。例如,接地图案、电力图案、信号图案等可包括在重新分布层中。在这种情况下,信号图案可包括除接地图案、电力图案等之外的各种信号图案(例如,数据信号图案等)。另外,重新分布层可包括过孔焊盘、连接端子焊盘等。

[0097] 过孔143使形成在彼此不同的层上的重新分布层142、连接焊盘120P等电连接,结果在扇外型半导体封装件100中形成电连接路径。过孔143可利用诸如铜(Cu)、铝(Al)、锡(Sn)、金(Au)、镍(Ni)、铅(Pb)、钛(Ti)或它们的合金的导电材料形成。过孔143可以是完全填充有导电材料的形态,或者可以是导电材料覆盖孔(通路孔)的内周壁的形态。另外,可使用本领域已知的所有形状(诸如锥形形状、圆柱形形状等)作为过孔143的形状。

[0098] 半导体芯片120设置在连接构件140上,并且可以是集成电路(IC)。半导体芯片120可以是以诸如中央处理器(例如,CPU)、图形处理器(例如,GPU)、现场可编程门阵列(FPGA)、数字信号处理器、密码处理器、微处理器、微控制器等为例的处理器芯片,详细地,半导体芯片120可以是应用处理器(AP),但不限于此。

[0099] 半导体芯片120可在有效晶圆的基础上形成。在这种情况下,主体的基体材料可以是硅(Si)、锗(Ge)、砷化镓(GaAs)等。各种电路可形成在主体中。连接焊盘120P可使半导体芯片120电连接到其他组件,并且可使用诸如铝(Al)的导电材料作为连接焊盘120P的形成材料,而没有任何具体限制。使连接焊盘暴露的钝化膜可形成在主体上,钝化膜可以是氧化物膜、氮化物膜等,或者可以是氧化物膜和氮化物膜的双层。还可在所需位置上设置绝缘层等。尽管半导体芯片120可以是裸片,但是根据需要还可在有效表面上形成重新分布层。

[0100] 除了半导体芯片120之外,无源组件121和122可设置在连接构件140上。无源组件121和122可包括电感器121、电容器122等。在这种情况下,无源组件121和122可具有不同的尺寸,例如,电感器121的尺寸可大于电容器122的尺寸。除了这样的尺寸差异之外,在电感器121的情况下,由于就电感器组件特性而言电磁波屏蔽的必要性相对高,因此可基于根据示例性实施例的电感器设计电磁波屏蔽层131,这将在后面描述。此外,除了电感器121和电容器122之外,无源组件121和122还可包括电阻元件。

[0101] 包封剂130可包封半导体芯片120、无源组件121和122等。包封剂130包括绝缘材料。可使用包括无机填料和绝缘树脂的材料(例如,诸如环氧树脂的热固性树脂、诸如聚酰亚胺的热塑性树脂、或者诸如无机填料的增强材料包括在如上所述的树脂中的树脂,详细地,ABF、FR-4、BT树脂等)作为绝缘材料。另外,也可使用本领域已知的模制材料(诸如EMC等),并且根据需要也可使用感光包封剂(PIE)。根据需要,可使用诸如热固性树脂或热塑性树脂的绝缘树脂浸在诸如无机填料和/或玻璃纤维(或玻璃布或玻璃织物)的芯材料中的材料。

[0102] 芯构件110可设置在连接构件140上,并且可具有通孔,半导体芯片120等设置在该通孔中。在扇外型半导体封装件100封装半导体芯片120以及无源组件121和122的情况下,可设置多个通孔,并且多个通孔可通过壁分开。例如,半导体芯片120可设置在多个通孔中的一个中,并且无源组件121和122可设置在多个通孔中的另一个或更多个中。芯构件110还可改善扇外型半导体封装件100的刚性,并且可用于确保包封剂130的厚度的均匀性。芯构件110的材料不受具体限制。例如,可使用绝缘材料,并且可使用诸如环氧树脂的热固性树

脂、诸如聚酰亚胺的热塑性树脂、或者热固性树脂或热塑性树脂树脂与无机填料一起浸在诸如玻璃纤维(或玻璃布或玻璃织物)的芯材料中的树脂(例如,半固化片、ABF(Ajinomoto Build up Film)、FR-4、双马来酰亚胺三嗪(BT))等作为绝缘材料。根据需要,也可使用感光介电(PID)树脂。

[0103] 芯构件110可包括覆盖形成通孔的壁表面的金属层111。金属层111可有效地屏蔽从半导体芯片120以及无源组件121和122发射的电磁波。如图所示,金属层111可延伸到芯构件110的上表面和/或下表面,并且可通过穿过包封剂130的导电过孔112连接到电磁波屏蔽层131。

[0104] 电磁波屏蔽层131可设置在半导体芯片120等的上部上,并且可包括有效地屏蔽电磁波的材料(例如,金属成分)。电磁波屏蔽层131包括多个排气孔H。电磁波屏蔽层131可在扇外型半导体封装件100的侧表面之间连续延伸。在通过在半导体芯片120等的外围上设置金属层111和电磁波屏蔽层131来增强屏蔽效果的情况下,从包封剂130等产生的气体可能难以排放到外部。在本公开中的示例性实施例的情况下,排气孔H可形成为在电磁波屏蔽层131的厚度方向上穿过电磁波屏蔽层131,使得气体可有效地被排放。此外,如图10和图11中所示,电磁波屏蔽层131可包括具有不同的形成密度的排气孔H的第一区域A1和第二区域A2,在这种情况下,第一区域A1中的排气孔H的形成密度高于第二区域A2中的排气孔H的形成密度。在示例性实施例中,在电磁波屏蔽的必要性相对高的区域中,可减小排气孔H的形成密度或者可不形成排气孔H,而在电磁波屏蔽的必要性不高或者气体排放效率应该相对高的区域中,可针对电磁波屏蔽层131的各个区域不同地设计排气孔H的形成密度,以增加排气孔H的形成密度。

[0105] 排气孔H的形成密度可定义为电磁波屏蔽层131中每单位面积的排气孔H所占据的面积。例如,当第一区域A1和第二区域A2中的排气孔H的尺寸彼此相等时,与第二区域A2中的每单位面积的排气孔H的数量相比,第一区域A1中的每单位面积的排气孔H的数量可相对高。另外,每单位面积中的与第一无源组件或半导体芯片叠置的排气孔的面积之和可大于每单位面积中的与芯构件的使第一通孔和第二通孔分开的壁叠置的排气孔的面积之和。此外,在示例性实施例中,可精细地形成排气孔H以显著减小电磁波屏蔽效率的降低。另外,在第一区域A1和第二区域A2中,排气孔H的尺寸可彼此不同。图13的仿真曲线图示出了屏蔽效率根据排气孔的尺寸的改变,虚线表示电磁波屏蔽层的厚度 t 为 $10\mu\text{m}$ 的情况,实线表示电磁波屏蔽层的厚度 t 为 $20\mu\text{m}$ 的情况。电磁波屏蔽效率的测量是以1GHz的频率在距离电磁波屏蔽层大约1mm的距离处执行的。作为本实验的结果,电磁波屏蔽效率为60dB或更高的情况可被确定为具有优异的电磁波屏蔽效果,因此,排气孔H的平均尺寸 D 可以是大约 $60\mu\text{m}$ 或更小。在这种情况下,排气孔H的尺寸 D 和排气孔H之间的间距(如图13中的“空间”所示)可采用相似的水平,并且可具有大体相同的值。详细地,排气孔H的尺寸 D 表示排气孔H的直径,并且当排气孔H的底表面不是圆形时,排气孔H的尺寸 D 是指等效圆直径。等效圆直径 D_{equ} 可由式 $A_{\text{hole}} = \pi \cdot (D_{\text{equ}}/2)^2$ 定义,其中, A_{hole} 是非圆形排气孔的底表面的面积。

[0106] 另一方面,电磁波屏蔽层131中具有相对低的形成密度的排气孔H的第二区域A2可设置在与半导体芯片120对应的区域中。换句话说,如图11中所示,考虑到从半导体芯片120发射的相对大量的电磁波,电磁波屏蔽层131可按这样的方式设置:电磁波屏蔽层131的具有相对低的形成密度的排气孔H的第二区域A2设置在与半导体芯片120对应的区域中。另

外,在无源组件121和122的情况下,考虑到电磁波屏蔽的必要性相对低,可设置相对大量的排气孔H,以改善气体排放效率。详细地,电磁波屏蔽层131的第一区域A1可以是与多个无源组件121和122中的至少一部分对应的区域。在这种情况下,可根据无源组件121和122的尺寸和/或种类调节电磁波屏蔽层131的与无源组件121和122对应的区域中的排气孔H的形成密度。

[0107] 详细地,如图9中所示,多个无源组件121和122中的至少部分可具有从其上表面到包封剂130的上表面的不同的距离 d_1 和 d_2 。在这种情况下,在多个无源组件121和122中的具有距包封剂130的上表面的不同距离的至少部分中,排气孔H的形成密度在与具有距包封剂130的上表面较长距离的无源组件122对应的区域中可相对高。换句话说,第一区域A1可设置在与相对小的无源组件122对应的区域中,第二区域A2可设置在与相对大的无源组件121对应的区域中。在相对小的无源组件122的情况下,因为包封剂130的厚度相对厚,所以排放的气体的量可能会大,因此,可在电磁波屏蔽层131中形成相对大量的排气孔H,而在相对大的无源组件121的情况下,可形成相对少量的排气孔H。

[0108] 另外,如上所述,多个无源组件121和122可包括电感器121、电容器122等,并且在与电容器122对应的区域中,排气孔H的形成密度可相对高。换句话说,如图10和图11中所示,第一区域A1可对应于电容器122,第二区域A2可对应于电感器121。通过使与电磁波的发射相对高的电感器121对应的区域中的排气孔H的形成密度降低,可防止屏蔽效率降低。此外,尽管示例性实施例示出了电感器121的尺寸大于电容器122的尺寸,但是电感器121的尺寸不一定必须大于电容器122的尺寸。

[0109] 如图11中所示,电磁波屏蔽层131还可包括未形成有排气孔H的第三区域A3,并且第三区域A3可设置在与具有相对低的气体排放必要性的芯构件110对应的区域中。因此,可在不降低气体排放效率的情况下显著增加电磁波屏蔽性能。此外,虽然在上述实施例中排气孔H以相对低的形成密度设置在与半导体芯片120或电感器121对应的区域中,但是可不设置排气孔H以进一步改善电磁波屏蔽性能,如图12的变型示例中所示的。在这种情况下,可将不具有排气孔的第三区域A3设置为对应于半导体芯片120。另外,第三区域A3可设置在从多个无源组件中的至少部分的上表面到包封剂130的上表面的距离较短的区域中。另外,第三区域A3可设置在与无源组件121和122中的电感器121对应的区域中。另一方面,第二区域A2不一定包括排气孔H,例如,在第二区域A2不包括排气孔H的情况下(根据图12中的示例性实施例),因此,在图12中,与图11中示出的第二区域A2对应的第二区域A2由第三区域A3表示,第二区域A2和第三区域A3可不需要单独划分。换言之,与半导体芯片120对应的区域、与芯构件110的壁对应的区域以及无源组件对应的区域中的至少一部分可设置为第三区域A3。

[0110] 在下文中,将描述其他组件。钝化层150可保护连接构件140免受外部物理损坏和化学损坏等。钝化层150可具有使连接构件140的重新分布层142的至少一部分暴露的开口。可在钝化层150中形成数十至数千的开口。钝化层150包括绝缘树脂和无机填料,但是可不包括玻璃纤维。例如,钝化层150可以是ABF(Ajinomoto Build-up Film),但不限于此。

[0111] 凸块下金属层160改善了电连接结构170的连接可靠性,结果,可改善扇外型半导体封装件100的板级可靠性。凸块下金属层160连接到连接构件140的通过钝化层150的开口暴露的重新分布层142。可通过使用本领域已知的金属的金属化方法使用本领域已知的导

电材料(例如,金属)来在开口中形成凸块下金属层160,但不限于此。

[0112] 电连接结构170可以是将扇出型半导体封装件100物理连接和/或电连接到外部的附加构造。例如,扇出型半导体封装件100可通过电连接结构170安装在电子装置的主板上。作为示例,电连接结构170可利用导电材料(例如,焊料等)形成,并且材料不具体限制于此。电连接结构170可以是焊盘、焊球、引脚等。电连接结构170可利用多层或单层形成。作为示例,在多层的情况下,电连接结构170可包括铜柱和焊料,在单层的情况下,电连接结构170可包括锡-银焊料或铜。然而电连接结构170的材料不限于此。电连接结构170的数量、间距、设置形式等没有具体限制,并且可基于本领域的设计规范进行不同修改。例如,根据连接焊盘120P的数量,电连接结构170的数量可按照数十至数千的数量设置,并且也可按照更大数量或更小数量设置。

[0113] 电连接结构170中的至少一个设置在扇出区域中。扇出区域意为设置有半导体芯片120的区域外部的区域。扇出型封装件比扇入型封装件更可靠,可实现多个I/O端子,并且有利于3D互连。另外,扇出型封装件可被制造得比球栅阵列(BGA)封装件、栅格阵列(LGA)封装件等薄,并且可在价格竞争力方面是优异的。

[0114] 钝化层180设置在电磁波屏蔽层的上部上,以保护电磁波屏蔽层131免受外部物理损坏和化学损坏等。钝化层180包括绝缘树脂和无机填料,但是可不包括玻璃纤维。例如,钝化层180可以是ABF(Ajinomoto Build-up Film),但不限于此。在本公开的另一示例性实施例中,钝化层180的部分可填充多个排气孔H。钝化层180的填充多个排气孔H的部分可与封装剂130直接接触。

[0115] 图14和图15示出了变型示例中可采用的电磁波屏蔽层的详细形式。如上所述,当电磁波屏蔽层131降低到数十 μm 的等级时,可在不显著降低电磁波屏蔽效率的情况下形成排气孔H,使得需要精细地形成排气孔H。当在电磁波屏蔽层131中物理地形成孔时,形成具有精细尺寸的排气孔H会是困难的。

[0116] 在本变型示例中,电磁波屏蔽层131形成为多层结构,如图14中所示,电磁波屏蔽层131可包括第一层132和覆盖第一层132的第二层133。详细地,在第一层132中形成孔,然后在第一层132的上表面和孔的壁表面上形成第二层133,以形成精细的排气孔H。第一层132和第二层133可以是包括Cu等的镀层,为此,可涂敷种子层(例如,种子金属层)S,种子层被第一层完全覆盖。另外,如图15中所示,电磁波屏蔽层131可具有相对精细尺寸的排气孔H,排气孔H形成为包括第一层132、第二层133和第三层134的三层结构。

[0117] 电磁波屏蔽层的与诸如无源元件、半导体芯片和芯构件的元件对应的区域意为在扇出型半导体封装件的厚度方向上与这样的元件叠置的这样的区域。这里,厚度方向指的是扇出型半导体封装件的层彼此堆叠所沿的堆叠方向。

[0118] 这里,与附图的截面相关的下侧、下部、下表面等用于指朝向扇出型半导体封装件的安装表面的方向,而上侧、上部、上表面等用于指与该方向相反的方向。然而,这些方向是为了便于说明而定义的,权利要求不被如上所述定义的方向具体限制。

[0119] 在说明书中,组件与另一组件的“连接”的含义包括通过粘合层的间接连接以及两个组件之间的直接连接。另外,“电连接”意为包括物理连接和物理断开的概念。可理解的是,当利用“第一”和“第二”来提及元件时,该元件不由此限制。它们可仅用于将元件与其他元件相区分的目的,并且可不限制元件的顺序或重要性。在一些情况下,在不脱离这里所阐

述的权利要求的范围的情况下,第一元件可被称为第二元件。类似地,第二元件也可被称为第一元件。

[0120] 在此使用的术语“示例性实施例”不指同一示例性实施例,而是被提供来突出与另一示例性实施例的特征或特性不同的特定的特征或特性。然而,在此提供的示例性实施例被理解为能够通过彼此全部组合或部分组合来实现。例如,除非在此提供了相反或对立的描述,否则特定的示例性实施例中描述的一个元件即使其在另一示例性实施例中没有被描述,也可被理解为与另一示例性实施例相关的描述。

[0121] 在此使用的术语仅用于描述示例性实施例,而非限制本公开。在这种情况下,除非上下文中另外解释,否则单数形式包括复数形式。

[0122] 如上所述,根据本公开中的示例性实施例,可实现一种具有相对高的电磁波屏蔽效率并且还能够有效地去除产品内部可能出现的气体的扇出型半导体封装件。

[0123] 尽管上面已经示出并描述了示例性实施例,但是对于本领域技术人员将明显的是,在不脱离本发明的由所附权利要求限定的范围的情况下,可进行修改和改变。

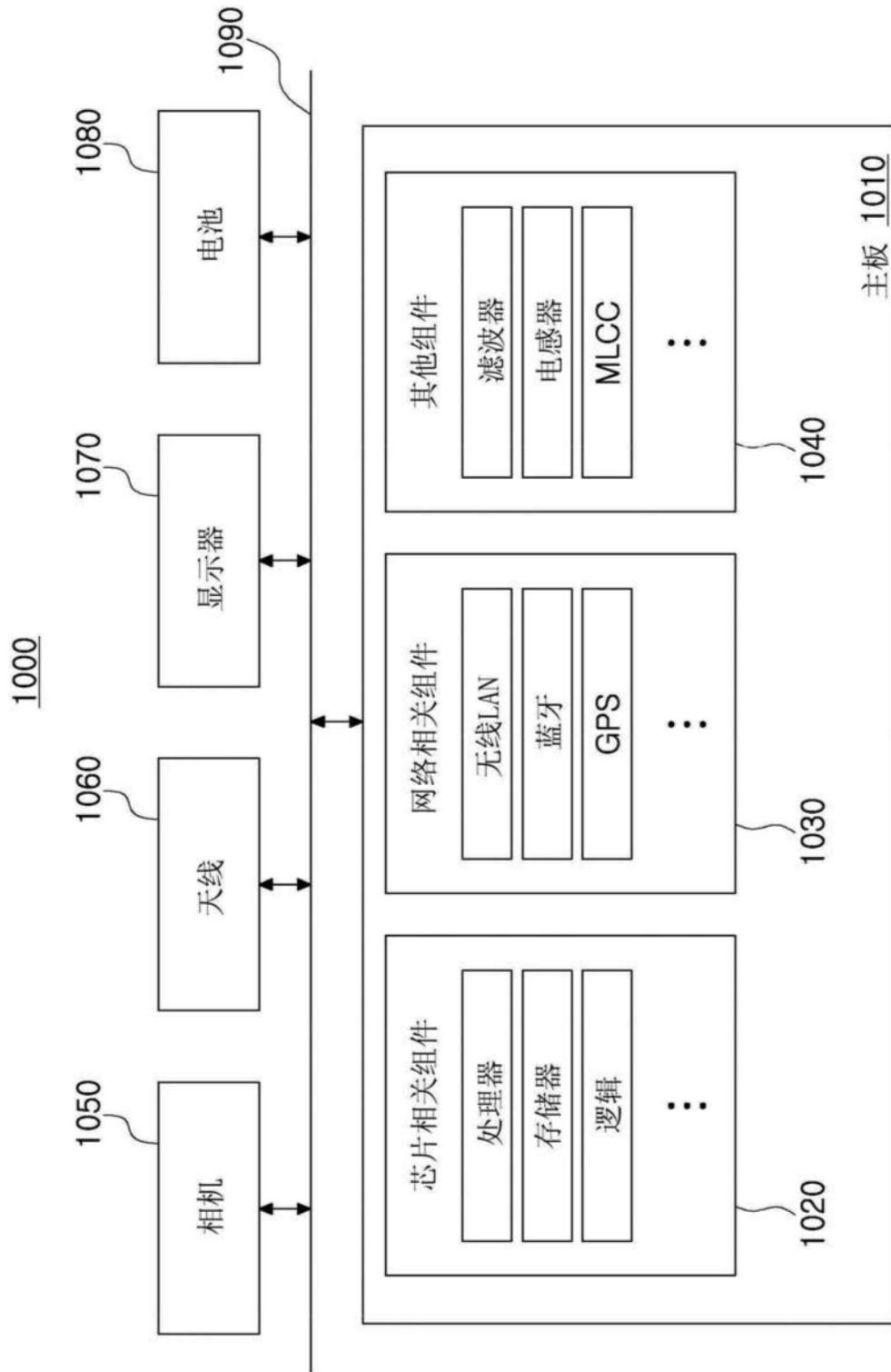


图1

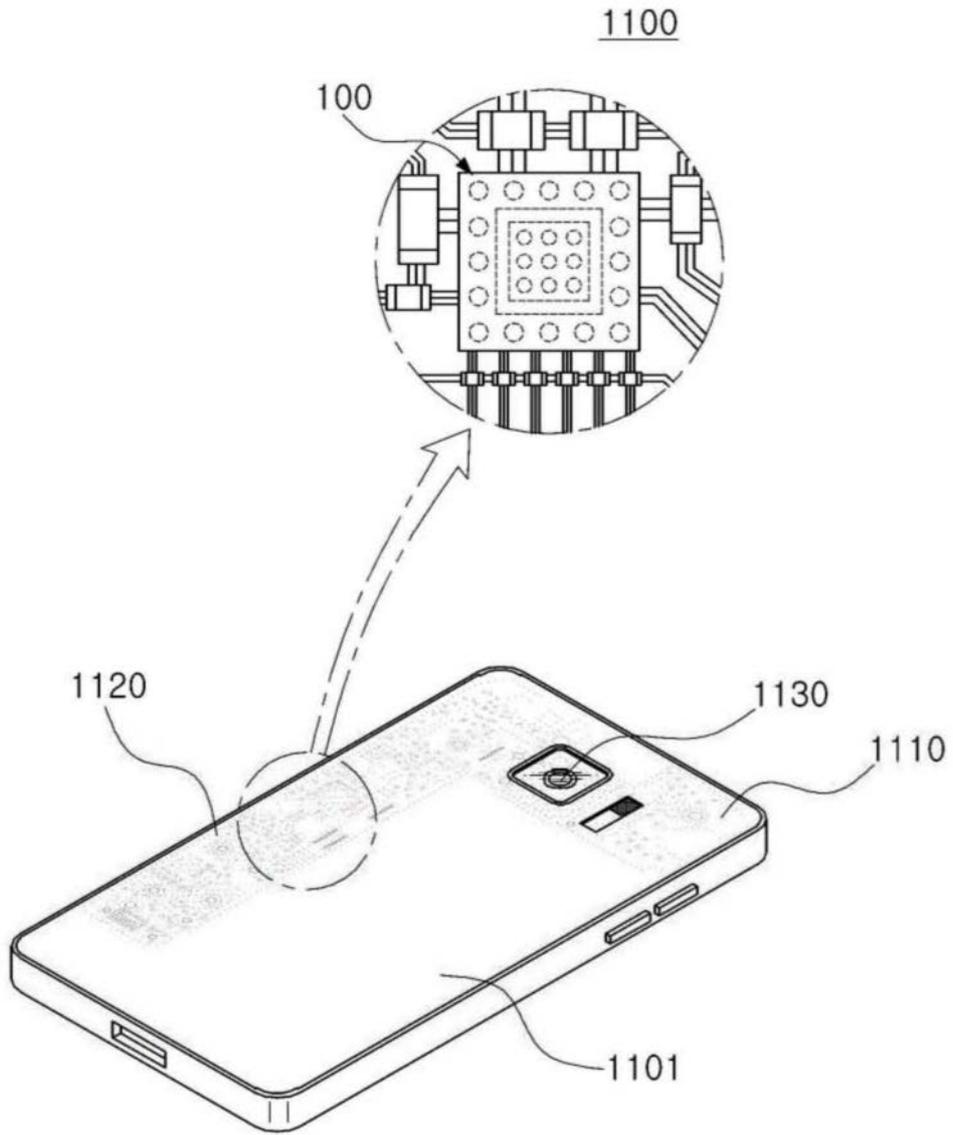


图2

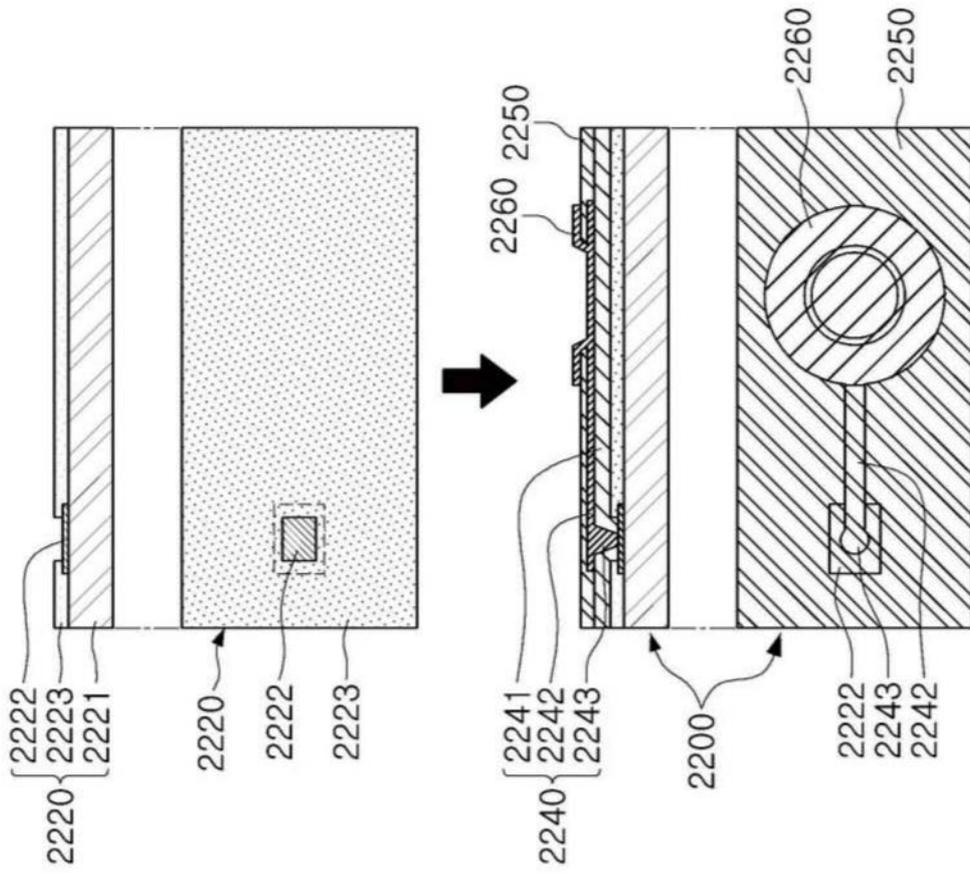


图3A

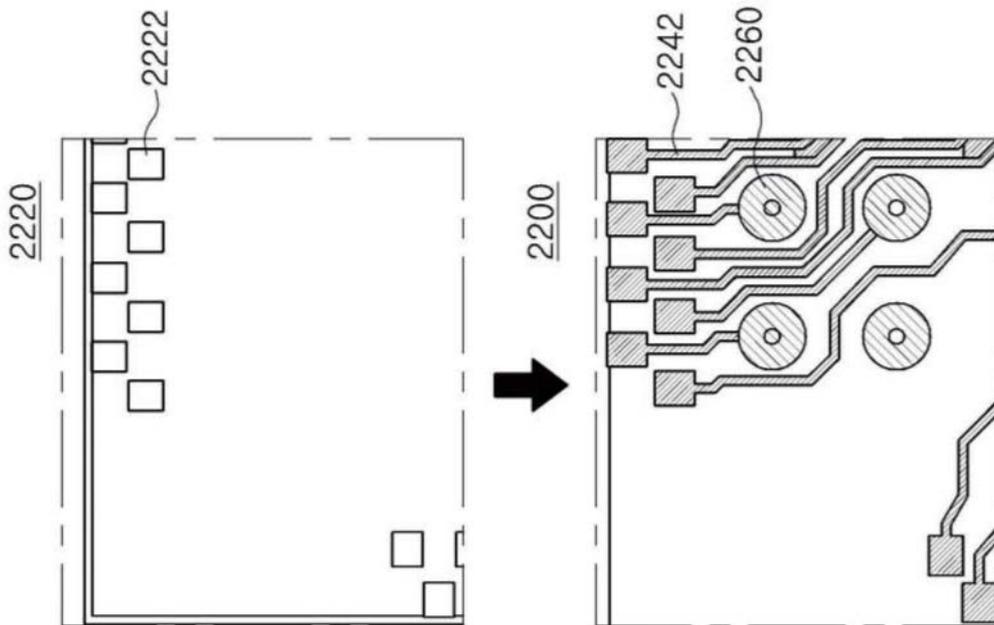


图3B

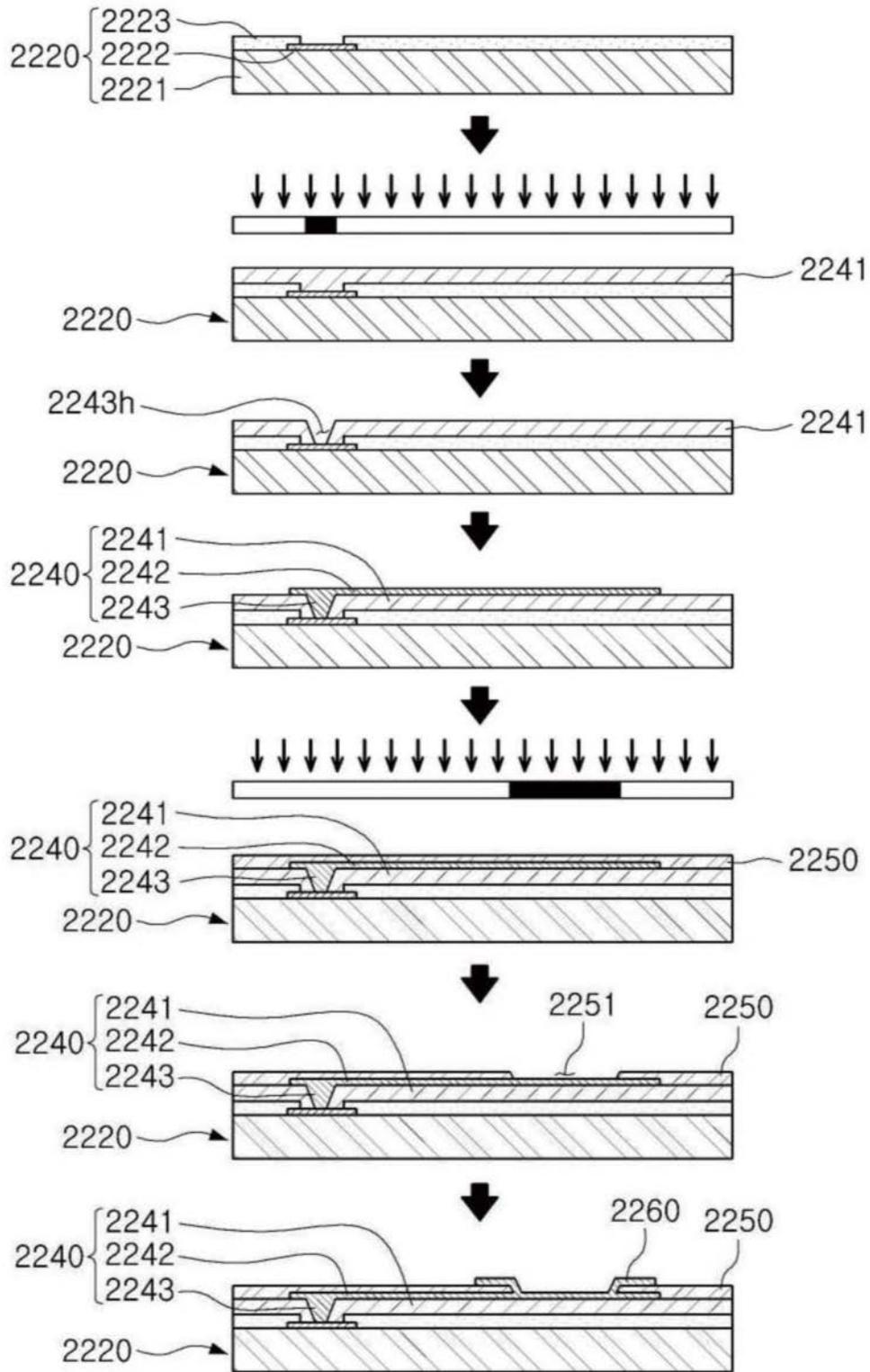


图4

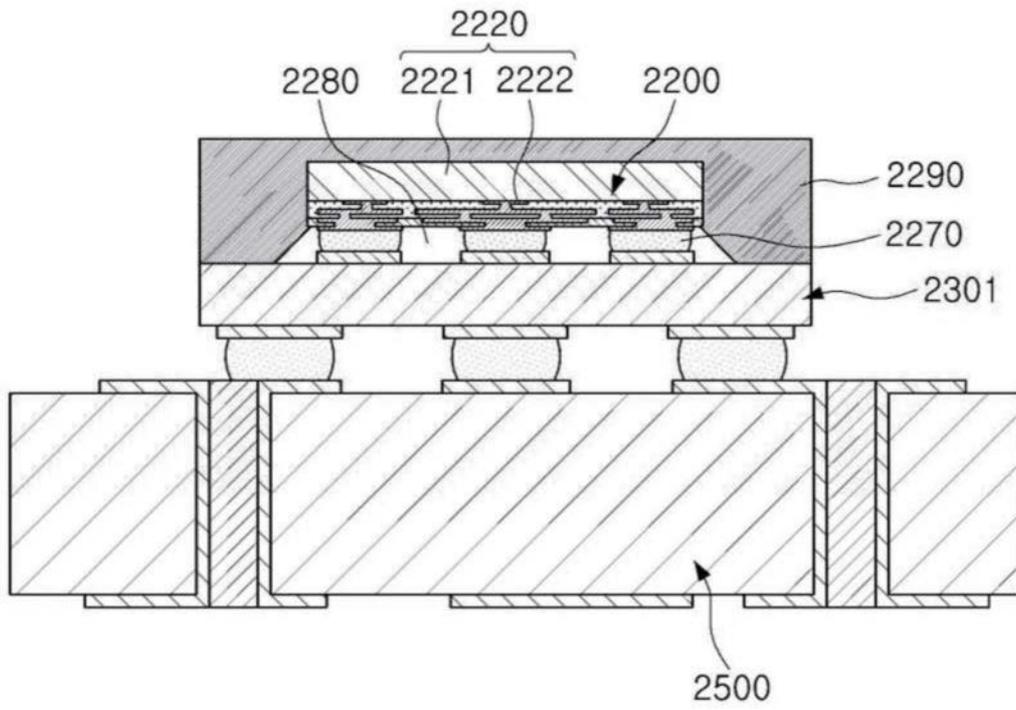


图5

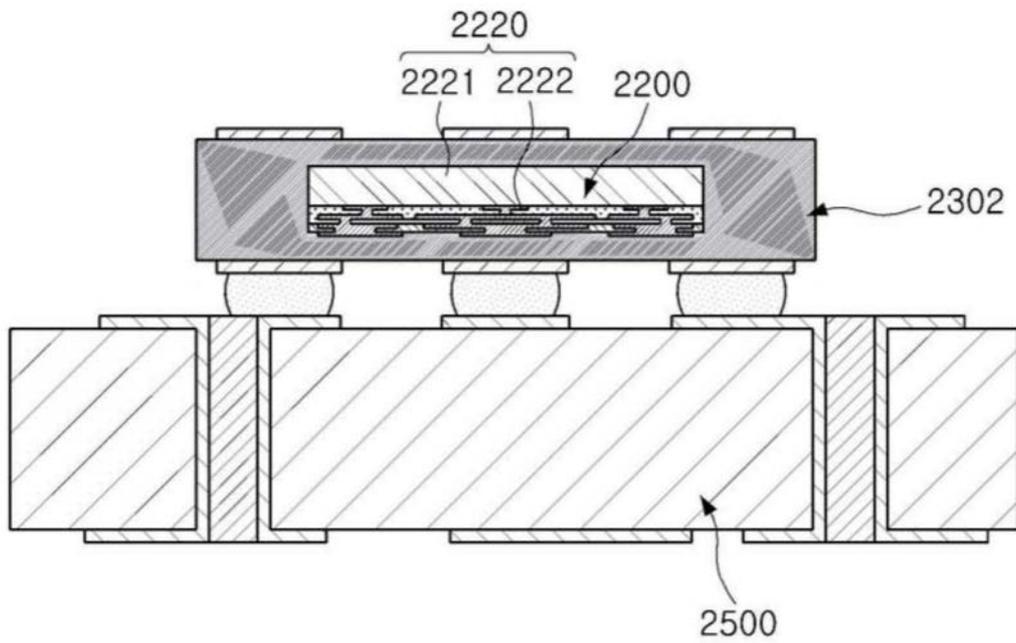


图6

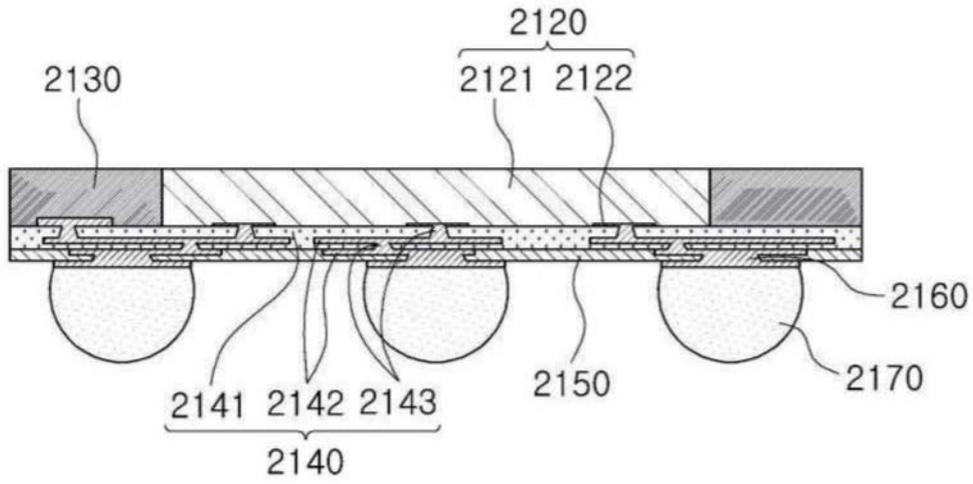


图7

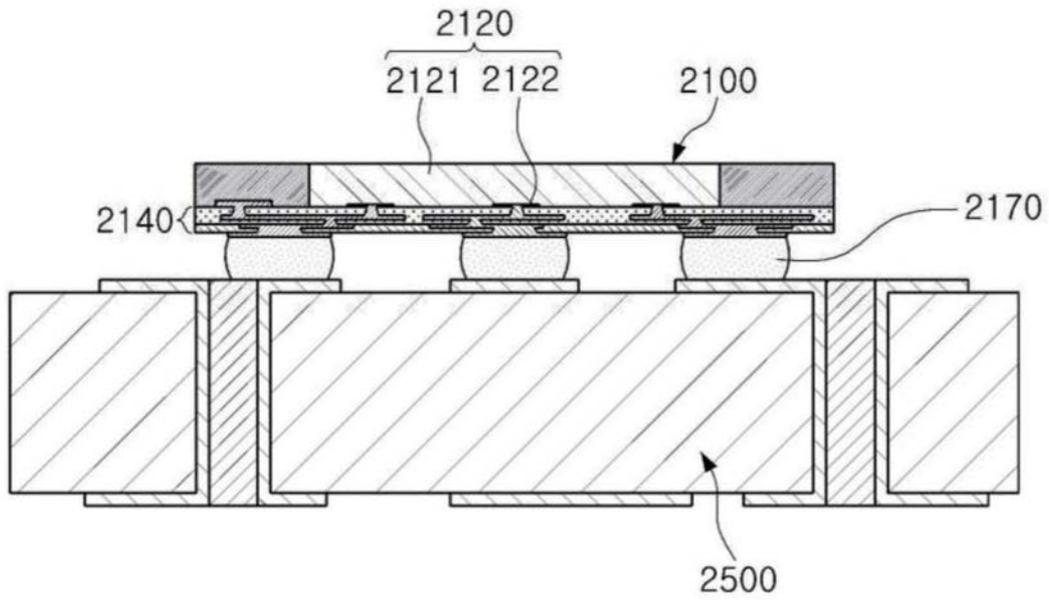


图8

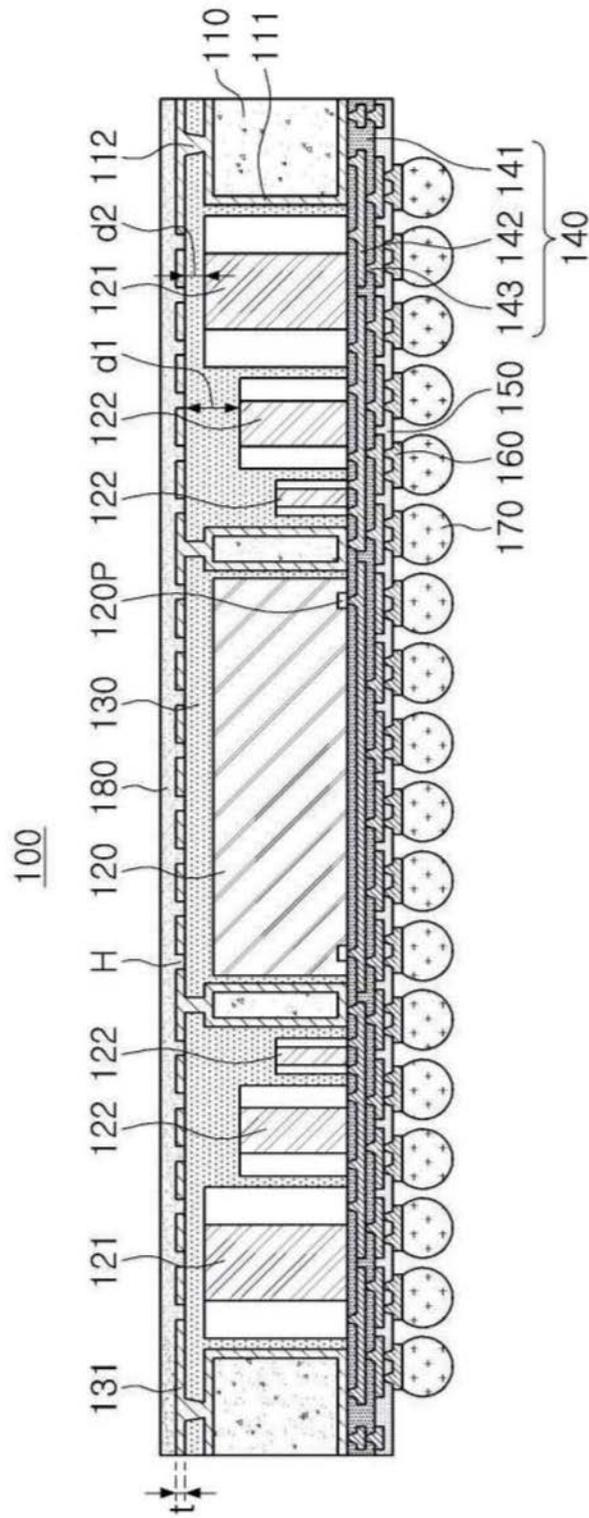


图9

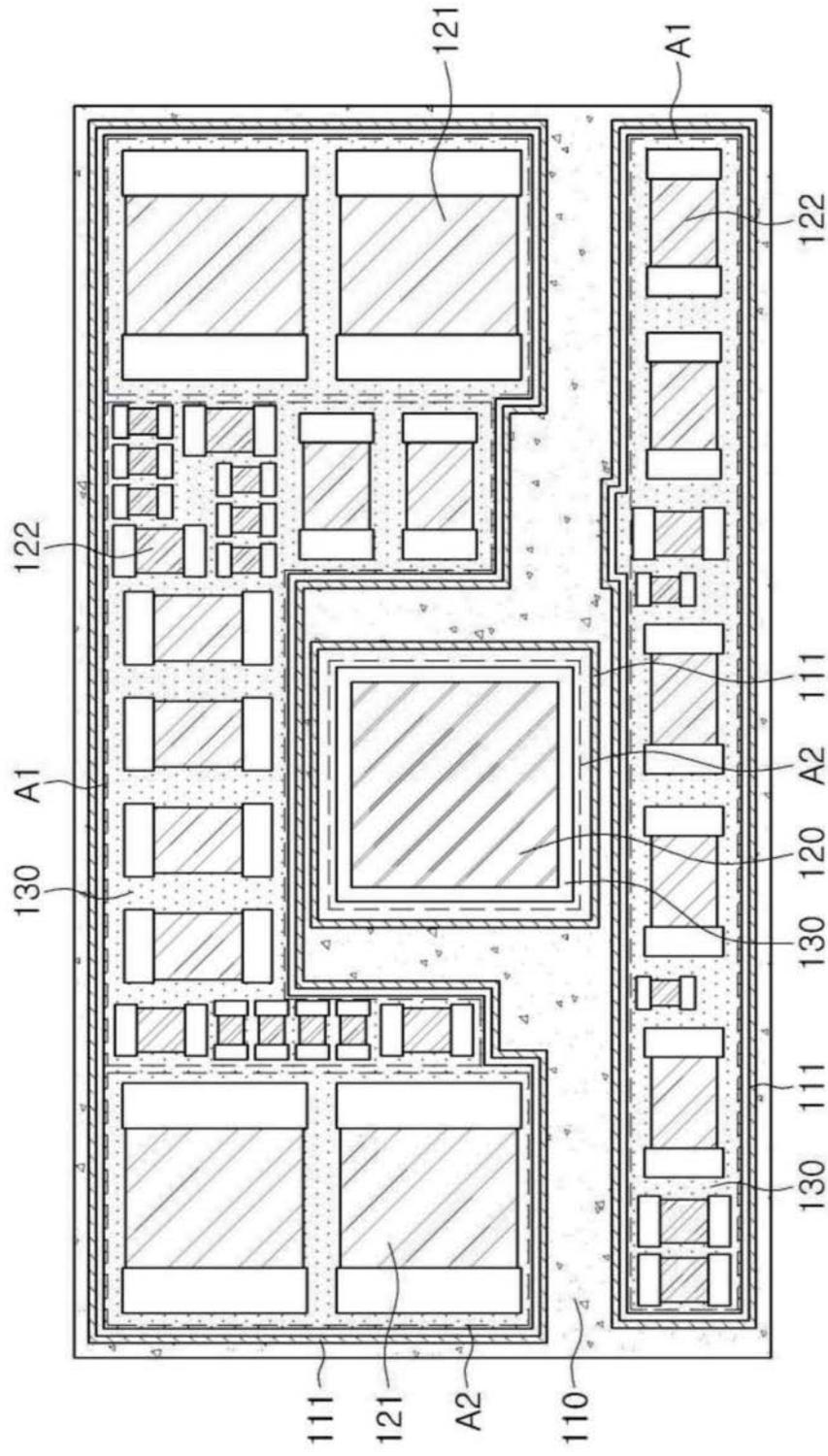


图10

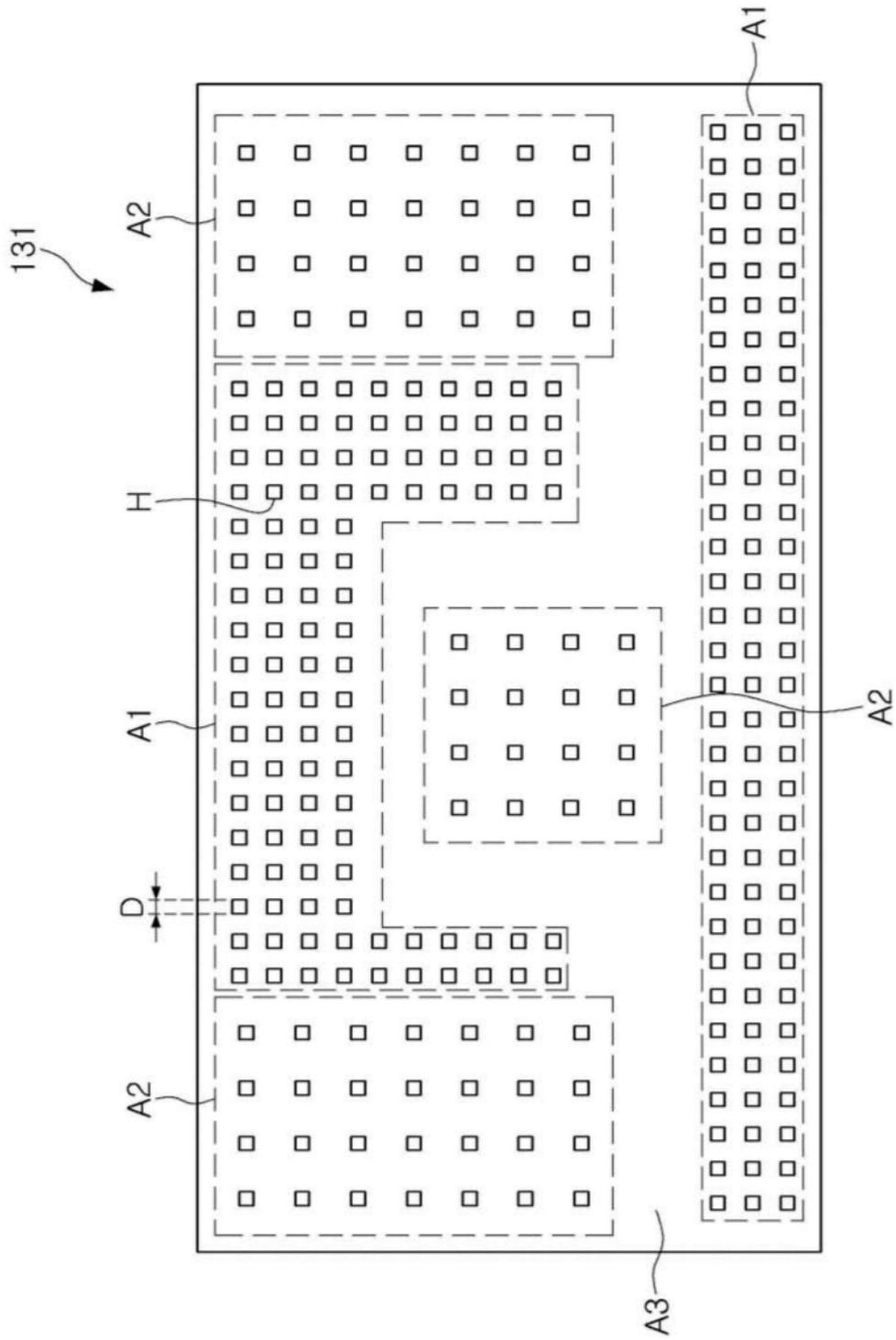


图11

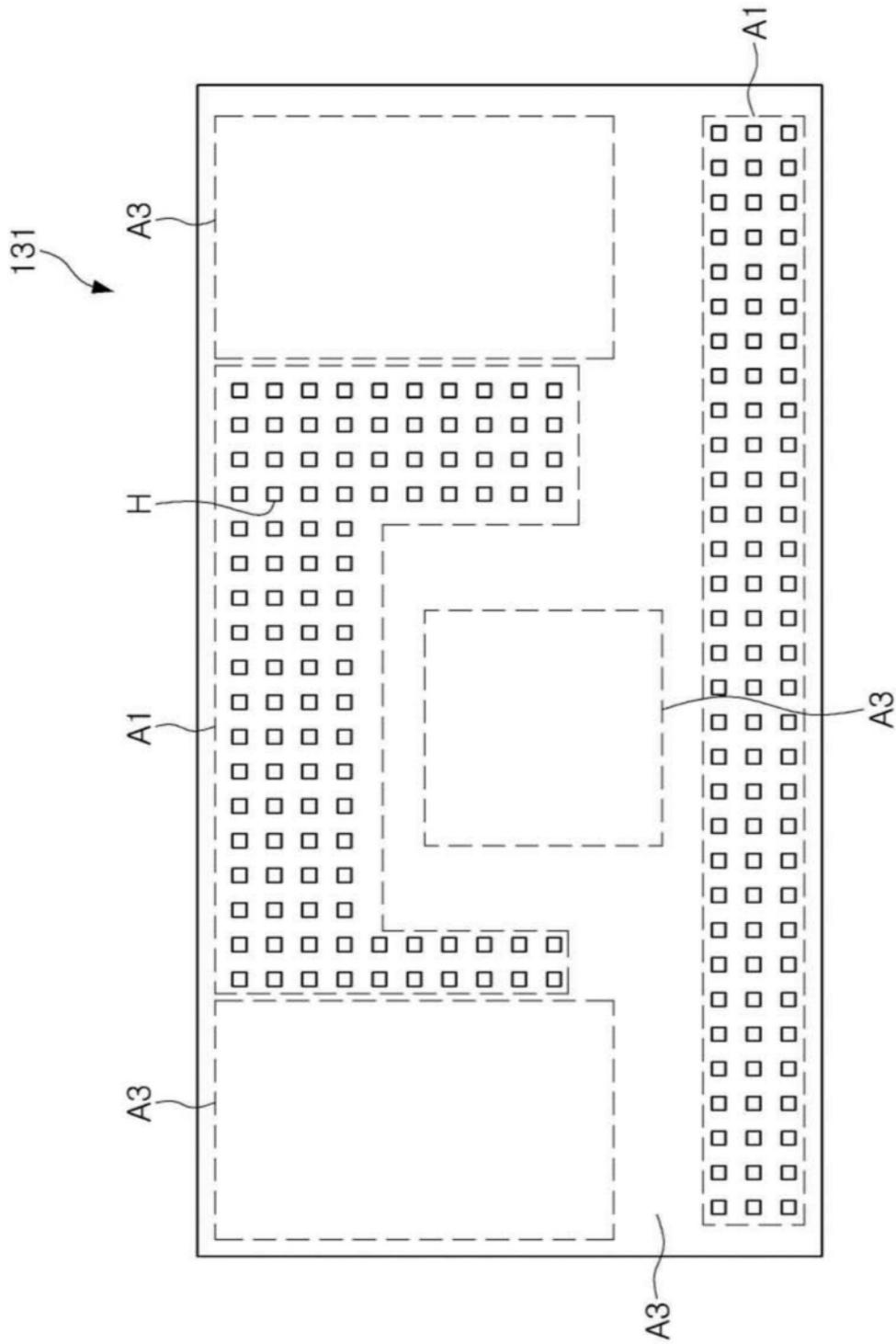


图12

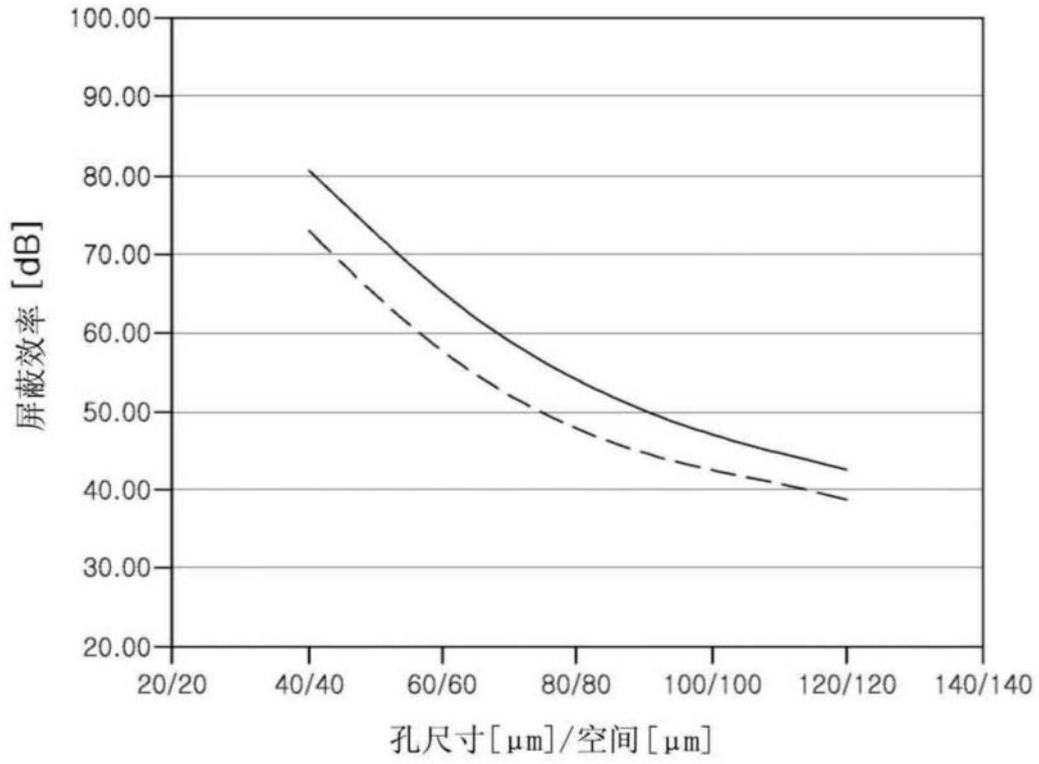


图13

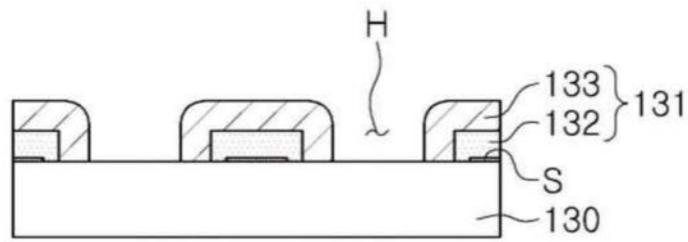


图14

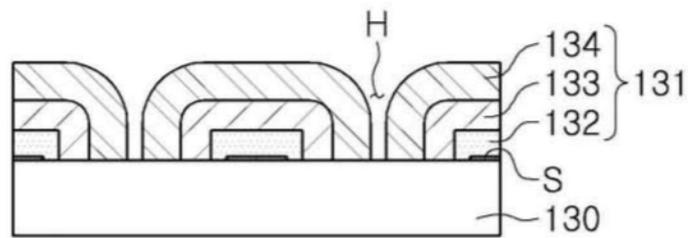


图15