

[19]中华人民共和国专利局

[51]Int.Cl⁶



[12] 发明专利申请公开说明书

H01L 23/50
H01L 23/28 H01L 21/50
H01L 21/98

[21] 申请号 97104876.2

[43]公开日 1997年10月22日

[11] 公开号 CN 1162841A

[22]申请日 97.3.21

[30]优先权

[32]96.3.22 [33]JP[31]66637/96

[71]申请人 株式会社日立制作所

地址 日本东京都

共同申请人 日立微型电子计算机系统公司

日立超爱尔·爱斯·爱工程股份有限公司

[72]发明人 宫崎忠一 秋山雪治 柴本正训
下石智明 安生一郎 西邦彦 西村朝雄
田中英树 木本良辅 坪崎邦宏
长谷部昭男

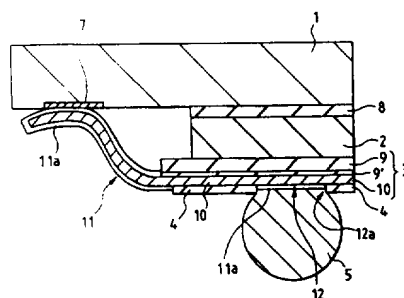
[74]专利代理机构 中国国际贸易促进委员会专利商标
事务所
代理人 王以平

权利要求书 6 页 说明书 41 页 附图页数 43 页

[54]发明名称 半导体集成电路器件及其制造方法

[57]摘要

把弹性体高精度稳定搭载到布线基板，并使半导体芯片的粘接工艺稳定而进行高成品率组装的半导体集成电路器件。这是一种焊球网格阵列形式的半导体封装，由芯片、粘接到芯片上的弹性体、粘接到弹性体上并形成了连接芯片压焊焊盘上的引线的布线的挠性布线基板、形成在基板主面上的阻焊层、连接布线的凸出电极基面的焊锡凸出电极构成，基板基材的芯片一侧粘接弹性体，而且在布线的焊锡凸出电极一侧形成阻焊层这样的表面布线构造。



(BJ)第 1456 号

权 利 要 求 书

1.一种半导体集成电路器件，它是一种介以弹性体把布线基板设于半导体芯片的主面上边，在使作为上述布线基板的布线的一端一侧的引线部分已弯曲的状态下与上述半导体芯片的主面上的外部引线端子电连且把作为上述布线基板的布线的另一端一侧的基面（land）部分与凸出电极电连而构成的半导体集成电路器件，其特征是上述布线基板在基板基材的主面上形成上述布线，在上述基板基材的背面一侧配置上述弹性体且在上述布线的主面上边形成绝缘膜而构成。

2.权利要求1所述的半导体集成电路器件，其特征是：上述布线基板的布线由多个布线层构成。

3.权利要求1所述的半导体集成电路器件，其特征是，把上述半导体芯片的外部端子配置在上述半导体芯片的中央部分而构成。

4.权利要求3所述的半导体集成电路器件，其特征是：把介以上述布线基板的布线连到上述半导体芯片的外部端子上的上述凸出电极配置到从上述半导体芯片的外周往内一侧的区域上而构成。

5.权利要求3所述的半导体集成电路器件，其特征是：把介以上述布线基板的布线连到上述半导体芯片的外部端子上的上述凸出电极配置到从上述半导体芯片的外周往外一侧的区域上而构成。

6.权利要求3所述的半导体集成电路器件，其特征是：把介以上述布线基板的布线连到上述半导体芯片的外部端子上的上述凸出电极配置到上述半导体芯片的外周的内侧和外侧这两个区域上而构成。

7.权利要求1所述的半导体集成电路器件，其特征是：把上述半导体芯片的外部端子配置到上述半导体芯片的周边部分上而构成。

8.权利要求7所述的半导体集成电路器件，其特征是：把介以上述布线基板的布线连到上述半导体芯片的外部端子上的上述凸出电极配置到从上述半导体芯片的外周往内一侧的区域上而构成。

9.权利要求7所述的半导体集成电路器件，其特征是：把介以上述布线基板的布线连到上述半导体芯片的外部端子上的上述凸出电极配置到从上述半导体芯片的外周往外一侧的区域上而构成。

10.权利要求 7 所述的半导体集成电路器件,其特征是:把介以上述布线基板的布线连到上述半导体芯片的外部端子上的上述凸出电极配置到上述半导体芯片的外周的内侧和外侧这两个区域上而构成。

11.一种半导体集成电路器件,这是一种介以弹性体把布线基板设于半导体芯片的主面上边,使作为上述布线基板的布线的一端一侧的引线部分在已弯曲了的状态下与上述半导体芯片的外部端子电连,且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件,其特征是:上述半导体芯片的外部端子一侧的上述弹性体的端部与上述布线基板的基板基材的端的尺寸根据上述弹性体的成分或物理特性进行设定而构成。

12.一种半导体集成电路器件,这是一种介以弹性体把布线基板设于半导体芯片的主面上,把作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连,且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极进行电连而构成的半导体集成电路器件,其特征是设上述半导体集成电路器件的外周部分一侧的上述布线基板的基板基材的端部与上述弹性体的端部之间的距离为 $M2$ 、上述半导体芯片的端部与上述基板基材的端部之间的距离为 $M1$ 的情况下,在满足

$$M1 > M2 > 0$$

的关系的范围内设定上述 $M2$ 和 $M1$ 而构成。

13.一种半导体集成电路器件,这是一种介以弹性体把布线基板设于半导体芯片的主面上,使作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连,且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件,其特征是:使上述布线基板的布线形成为使与上述布线基板的基板基材之间的固定部分和将被连到上述半导体芯片的外部端子上的顶端部分至少变位为大于上述布线的宽度的形状而构成。

14.一种半导体集成电路器件,这是一种介以弹性体把布线基板设于半导体芯片的主面上边,使作为上述布线基板的布线的一端一侧的引线

部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件，其特征是：使上述布线基板的布线形成为一方已固定于上述布线基板的基板基材上的悬臂梁构造而形成。

15.一种半导体集成电路器件，这是一种介以弹性体把布线基板设于半导体芯片的主面上边，使作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件，其特征是：上述半导体芯片上的表面保护膜的窗口部分的端部的尺寸设定为，至少在下压压焊工具的一侧处。在已把上述压焊工具压了下去的时候，上述布线不干涉上述表面保护膜的范围之内。

16.一种半导体集成电路器件，这是一种介以弹性体把布线基板设于半导体芯片的主面上边，使作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件。其特征是：把上述布线基板的布线构成为使上述布线的凹口终端一侧的布线部分的有效面积形成得较大。

17.权利要求 16 所述的半导体集成电路器件，其特征是：上述凹口终端一侧的布线部分构成为达到相向的布线的基面部分上，或者纵向或横向延长到布线的空白区域处，或者把相邻的布线之间连起来。

18.一种半导体集成电路器件，这是一种介以弹性体把布线基板设于半导体芯片的主面上边，使作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件，其特征是：上述弹性体构成为与上述半导体芯片的外形尺寸相比，在整个外周上至少在上述弹性体上形成的外周突起部分的宽度的值以上的大范围内形成。

19.一种半导体集成电路器件，这是一种介以弹性体把布线基板设于半导体芯片的主面上边，使作为上述布线基板的布线的一端侧的引线部

分在已弯曲的状态下与上述半导体芯片上的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件。其特征是：在把上述弹性体分割并形成使得不粘到上述半导体芯片的外部端子上的情况下。使上述分割后的弹性体的相向空间的各自端部形成沟状而构成。

20.权利要求 19 所述的半导体集成电路器件，其特征是：在上述分割后的弹性体的相向的空间的各自端部的沟中，在密封工序时预先形成密封剂阻流所用的堤堰而构成。

21.一种半导体集成电路器件，这是一种介以弹性体把布线基板设于半导体芯片的主面上边，使作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件，其特征是：上述半导体芯片的外部端子与上述布线基板的布线之间的连接构造构成为先在上述半导体芯片的外部端子上形成柱状凸出电极，再介以上述柱状凸出电极把上述半导体芯片的外部端子与上述布线基板的布线连起来。

22.一种半导体集成电路器件，这是一种介以弹性体把布线基板设于半导体芯片的主面上边，使作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件，其特征是：上述半导体芯片的外部端子与上述布线基板的布线之间的连接构造构成为先供给焊锡使之把上述布线基板的布线包进去，再介以焊锡把上述半导体芯片的外部端子与上述布线基板的布线连起来。

23.一种半导体集成电路器件，这是一种介以弹性体把布线基板设于半导体芯片的主面上边，使作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件，其特征是：上述半导体芯片的外部端子与上述布线基板的布线之间的连接构造构成为用从上部把上述布线基板的

布线包起来的那样的焊锡或金球的柱状凸出电极，并介以上述柱状凸出电极把上述布线基板的布线与上述半导体芯片的外部端子连起来。

24.一种半导体集成电路器件，这是一种介以弹性体把布线基板设于半导体芯片的主面上边，使作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件。其特征是：上述半导体芯片的外部端子与上述布线基板的布线之间的连接构造构成为用铝，焊锡或金丝把上述布线基板的布线与上述半导体芯片的外部端子连起来。

25.一种半导体集成电路器件，这是一种介以弹性体把布线基板设于半导体芯片的主面上边，使作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件，其特征是：上述布线基板的配线构造构成为使上述布线的宽度尺寸从上述布线基板的基板基材的端部开始朝着布线顶端逐渐变细，对于在上述基板基材的端部上产生的弯曲应力 σ_0 ，在上述基板基材的端部与布线顶端部分之间所产生的最大应力为 σ_1 时的弯曲应力比 α 可用

$$\alpha = \sigma_1 / \sigma_0$$

表示的情况下，设定上述布线的尺寸和外形使得上述弯曲应力比 α 变为1.2-1.5。

26.权利要求25所述的半导体集成电路器件，其特征是：上述布线基板的布线构造是把上述布线的宽度尺寸形成为使得从上述布线基板的基板基材的端部开始朝向布线的顶端逐渐变细，并从规定的布置开始变成恒定的尺寸，在设锥形长为 L_1 ，布线长为 L_2 ，锥形宽为 b_1 ，布线宽度为 b_2 时的弯曲应力 α 可用

$$\alpha = b_1 \times (L_2 - L_1) / (b_2 \times L_2)$$

来表示的情况下，把上述布线的尺寸和形状设定为使上述弯曲应力比 α 变成为1.2-1.5。

27.一种半导体集成电路器件，这是一种介以弹性体把布线基板设于

半导体芯片的主面上边，使作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件，其特征是：上述布线基板的布线构造是以导电材料为芯材并在表面上施行镀金而构成。

28.一种半导体集成电路器件，这是一种介以弹性体把布线基板设于半导体芯片的主面上边，使作为上述布线基板的布线的一端一侧的引线部分在已弯曲的状态下与上述半导体芯片的主面上的外部端子电连，且使作为上述布线基板的布线的另一端一侧的基面部分与凸出电极电连而构成的半导体集成电路器件，其特征是：上述布线基板构成为先在基板基材的背面上边形成上述布线，在上述布线的背面上边形成绝缘膜，再把上述弹性体配置到上述绝缘膜的背面一侧。

29.一种半导体集成电路器件的制造方法，其特征是由下述工序组成：在基板基材上边已形成了布线的布线基板的背面上边形成弹性体的工序；在上述弹性体的背面上边粘结上述半导体芯片使上述布线的引线部分与半导体芯片的外部端子之间的相对位置一致的工序；把上述布线的引线部分连到上述半导体芯片的外部端子上的工序；把上述半导体芯片的外部端子与上述布线之间的连接部分进行树脂密封的工序；在从上述半导体芯片的外周稍稍外侧处切断上述布线基板的基板基材的工序；在上述布线的主面上边形成绝缘膜的工序；在把上述绝缘膜的上述布线的基面部分和凸出电极接合起来的位置上形成窗口部分的工序；介以上述窗口部分与上述布线的基面部分进行接合以形成凸出电极的工序。

30.权利要求 29 所述的半导体集成电路器件的制造方法，其特征是：上述绝缘膜的窗口部分，采用在形成上述绝缘膜的工序中，对上述绝缘膜的材料涂敷范围进行规定的办法形成。

31.权利要求 29 所述的半导体集成电路器件的制造方法，其特征是：上述绝缘膜的厚度，采用在形成上述绝缘膜的工序中对上述绝缘膜的材料涂敷条件进行规定的办法设定。

说 明 书

半导体集成电路器件及其制造方法

本发明涉及半导体集成电路技术，特别是涉及在体积小、重量轻、薄型化的方向一直很活跃的携带电话机和便携式个人计算机等的携带式机器中应用且有效的技术。

近年来，随着电子机器的高功能化、高性能化、体积小、重量轻、薄型化的方向一直很活跃。这一点上，最近的携带电话机和便携式个人计算机之类的携带机器的急增起着很大的作用。此外，个人操作的机器的人机接口的功能增大，处理的容易性和操作性日益受到重视。人们认为今后，随着真正的多媒体时代的到来，这种倾向将会更加强。

在这样的状况中，半导体芯片的高密度化、高集成化的进展没有止境，半导体芯片的大型化和多电极化日益前进，封装急剧地向大型化发展。因此，在另一方面，为了使封装向小型化前进，端子引线的窄步距化也加速了，同时，封装的装配也急速地变得难了起来。

于是，近年来人们提出了与半导体芯片同面积的超多管腿、高密度封装的方案，比如可以举出叙述于下述文献中的封装技术，它们是：日经BP社1994年5月1日发行的“日经微型器件(日经マイクロデバイス)”P98 - P102；同上公司1995年2月1日发行的“日经微型器件”P96 - P97；工业调查会平成7年4月1日发行的“电子材料”P22 - P28，等等。

这些封装技术中的构造的一例，比如说在半导体芯片的表面上介以弹性体设置挠性布线基板、把作为上述挠性布线基板的布线一端一侧的引线电连到上述半导体芯片的表面的压焊区上，且把作为上述挠性布线基板的布线另一端一侧的凸出电极基面(Land)与焊锡凸出电极电连的封装构造。

该封装构造的外形尺寸与半导体芯片相同，或者仅大一个根据需要加上的保护框那么大，并应用已形成了焊锡凸出电极的挠性布线基板。

该布线基板的布线图形用镀金铜箔形成，顶端部分的铜(Cu)被腐蚀后已变成了金(Au)引线。用弹性体把该挠性布线基板粘接到半导体芯片的表面上之后，就变成了把金引线连到半导体芯片的压焊区上的构造了。

然而，在上述那种构造中，根据本发明者的研究，可以知道下述情况。比如说，上述的封装构造中的挠性布线基板由于采用的是在布线基板的布线面上形成弹性体的所谓的背面布线构造，故挠性布线基板上的布线图形的凹凸成了关键因素，要把弹性体均匀地稳定地搭接是困难的。

就是说，在向挠性布线基板上涂覆或粘贴弹性体之际，或者在布线图形的凸部的两侧形成不能充填弹性体的气孔，或者由于弹性体的尺寸形状不稳定，还会产生使半导体芯片的粘接工序也不能稳定地进行的问题。

于是，本发明的一个目的是提供一种半导体集成电路器件，该器件通过采用表面布线构造可使弹性体高精度地稳定地搭载到布线基板上，使半导体芯片的粘接工序稳定且可进行高成品率的装配。

本发明一个目的是提供一种半导体集成电路器件，该器件通过采用多种布线层构造使得可以在抗噪声性等方面得到杰出的电气特性。

本发明的一个目的是把表面布线构造、多布线层构造应用到种种类型、变形的封装构造中去。

本发明的一个目的是用基板基材的帽檐最佳化来防止弹性体的成分所产生的布线的污染。

本发明的一个目的是借助于封装外形尺寸的最佳化防止半导体芯片的损伤，提高半导体芯片的可靠性，进而防止弹性体与半导体芯片之间的粘接不良，布线基板平坦度的恶化和可靠性的降低。

本发明的一个目的是不需用平面S状布线构造进行了软改造的特殊的金丝压焊机，还可使压焊工具的轨迹进一步简化以得到缩短压焊时的间歇时间的效果。

本发明的一个目的是用悬臂梁布线构造解决切断布线中的问题。

本发明的一个目的是借助于半导体芯片的外部端子周围的钝化物窗口部分的扩大减小对钝化物或其下边的半导体芯片的损伤，进而提高防

止布线污染所带来的压焊性。

本发明的一个目的是采用加大布线凹口 (notch) 终端一侧的布线部分的有效面积的办法增加布线与基板基材间的粘接强度以获得稳定的凹口切断性。

本发明的一个目的是构成用弹性体的扩张构造抑制布线基板的挠曲, 进行提高粘接剂的粘接性, 具有优良的耐湿性和可靠性的封装。

本发明的一个目的是利用弹性体的埋沟技术提高埋沟性, 另外利用把一侧的悬置部分作成多条的办法可以提高金属掩模的强度, 再借助于形成密封材料阻流堤堰进一步提高埋沟性。

本发明的一个目的是在内引线的压焊技术中, 提高焊接性以防止对半导体芯片的损伤。

本发明的一个目的是借助于已考虑了弯曲应力的布线设计, 使之不用压焊工具的返程, 仅仅使压焊工具垂直地下压就会形成合适的 S 形状。

本发明的一个目的是利用导电材料的芯材和镀金的布线构造使布线本身难于产生裂纹, 此外还减轻对半导体芯片的压焊损伤。

本发明的一个目的是利用在布线上形成绝缘材料的办法抑制弹性体低分子量成分的漏出(bleed), 再采用使表面平坦化的办法, 避免弹性体形成时的气孔的卷入之类的麻烦。

本发明的一个目的是在半导体集成电路器件的制造方法中通过采用表面布线构造来提高对绝缘膜的孔径加工精度。

本发明的一个目的是在半导体集成电路器件的制造方法中, 借助于采用表面布线构造, 稳定地涂覆薄的绝缘膜, 使小的凸出电极可以良好地焊接, 而且可以减小凸出电极的排列步距, 因而构成有更高密度的输出端子的半导体封装。

本发明的上述和其他的目的和新的特征, 从本说明书的叙述和所加附图将会了解清楚。

在本申请中所公布的发明之内, 代表性的发明的概要说明如下。

就是说, 本发明之一的半导体集成电路器件是这样一种器件: 适用于在半导体芯片的主面上边介以弹性体设置布线基板, 在已使作为上述布线基板的布线一端一侧的引线部分挠弯了的状态下与上述半导体芯片

的主面上的外部端子电连，而且作为上述布线基板的布线的另一端一侧的板面(land)部分与凸出电极电连而构成的半导体集成电路器件，且作为上述布线基板在基板基材的主面上边形成上述布线，在上述基板基材的背面一侧配置上述弹性体，且在上述布线的主面上形成绝缘膜构成的，所谓采用了表面布线构造的封装构造。特别是把上述布线基板的布线作成多布线层构造。

此外，把上述半导体芯片的外部端子配置于半导体芯片的中央部分或外周部分上，把介以上述布线基板的布线连到上述半导体芯片的外部端子上的上述凸出电极配置在从上述半导体芯片的外周往内一侧，往外一侧或内外两侧的区域上。

本发明的一种半导体集成电路器件，根据上述弹性体的成分设定上述半导体芯片的外部端子一侧的上述弹性体的端部与上述布线基板的基板基材的端部的尺寸。

本发明的一种半导体集成电路器件，在设上述半导体集成电路器件的外周一侧的上述布线基板的基板基材的端部与上述弹性体的端部之间的距离为 $M2$ ，上述半导体芯片的端部与上述基板基材的端部之间的距离为 $M1$ 的情况下，在满足

$$M1 > M2 > 0$$

这一关系的范围内设定上述 $M2$ 与 $M1$ 。

本发明的一种半导体集成电路器件，把上述布线基板的布线形成至少把与上述布线基板的基板基材之间的固定部分和连接到上述半导体芯片的外部端子上的顶端部分已被变位为大于上述布线的宽度的形状。

本发明的一种半导体集成电路器件把上述布线基板的布线形成一方已固定于上述布线基板的基板基材上的悬壁梁构造。

本发明的一种半导体集成电路器件，把上述半导体芯片上的表面保护膜的窗口部分的端部设定为至少在压下压焊工具的一侧，在上述压焊工具已压下来的时候，上述布线不干涉上述表面保护膜的范围的尺寸。

本发明的一种半导体集成电路器件，把上述布线基板的布线的切口终端一侧的布线部分的有效面积形成得大。特别是使上述凹口终端一侧的布线部分连到相向的布线的板面部分上，或者纵向或横向地延长到布

线的空白区域上，或者使之把相邻的布线之间连起来。

本发明的一种半导体集成电路器件，在与上述半导体芯片的外形尺寸相比，至少在将要形成弹性体的外周部分突起宽度的值要大且在整个外周上大的范围内形成上述弹性体。

本发明的一种半导体集成电路器件，在把上述弹性体分割并形成成为不粘接到上述半导体芯片的外部端子上边的情况下，把上述分割后的弹性体的相向的空间的各自的端部形成为沟状。特别是把将形成于上述弹性体的各自的端部的沟形成为多条，或者在上述分割后的弹性体的相向的空间的各自的端部的沟中形成在密封工序之际用于阻止密封材料流动的堤堰。

本发明的一种半导体集成电路器件，上述半导体芯片的外部端子与上述布线基板的布线之间的连接构造是先在上述半导体芯片的外部端子上形成柱状(stud)凸出电极，并介以上述柱状凸出电极把上述半导体芯片的外部端子与上述布线基板的布线连接起来。

本发明的一种半导体集成电路器件，上述半导体芯片的外部端子与上述布线基板的布线之间的连接构造是：预先供给焊锡使之把上述布线基板的布线包在里边，然后再介以上述焊锡把上述半导体芯片的外部端子与上述布线基板的布线连接起来。

本发明的一种半导体集成电路器件，上述半导体芯片的外部端子与上述布线基板的布线之间的连接构造是：用把上述布线基板的布线从上部包进去的那样的焊锡或金球的柱状凸出电极，并介以上述柱状凸出电极把上述布线基板的布线和上述半导体芯片的外部端子连起来。

本发明的一种半导体集成电路器件，上述半导体芯片的外部端子和上述布线基板的布线之间的连接构造是：用 Al(铝)、焊锡或金丝把上述布线基板的布线与上述半导体芯片的外部端子连接起来。

本发明的一种半导体集成电路器件，把上述布线基板的布线构造形成为：使上述布线的宽度尺寸从上述布线基板的基板基材的端部向着布线顶端逐渐变细，对于在上述基板基材的端部所产生的弯曲应力 σ_0 ，在设上述基板基材的端部与布线顶端部分的中间所产生的最大应力为 σ_1 时弯曲应力比 α 为

$$\alpha = \sigma_1/\sigma_0$$

或从特别规定的位置开始变成恒定的宽度尺寸，并在锥形长为 L_1 、布线长为 L_2 ，锥形宽度为 b_1 ，布线宽度为 b_2 时的弯曲应力比 α 可以用

$$\alpha = b_1 \times (L_2 - L_1) / (b_2 \times L_2)$$

表示的情况下，把上述布线的尺寸和形状设定为使上述弯曲应力比 α 成为 1.2 ~ 1.5。

本发明的一种半导体集成电路器件，上述布线基板的布线构造是以导电材料为芯材并在表面上施行镀金。

本发明的一种半导体集成电路器件，上述布线基板在基板基材的背面上边形成上述布线。再在上述布线的背面上边形成绝缘膜，再在上述绝缘膜的背面一侧配置上述弹性体。

此外，本发明的一种半导体集成电路的制造方法，它包括下述工序：在已在上述基板基材上边形成了布线的布线基板的背面上边形成弹性体的工序；在上述弹性构造体的背面上边粘接半导体芯片，使上述布线的引线部分与半导体芯片的外部端子之间的相对位置一致的工序；把上述布线的引线部分连接到上述半导体芯片的外部端子上的工序；树脂密封上述半导体芯片的外部端子和上述布线之间的连接部分的工序；在从半导体芯片外周稍许外侧处，切断上述布线基板的基板基材的工序；在上述布线的主面上边形成绝缘膜的工序；在把上述绝缘膜的上述布线的基面(land)部分与凸出电极连接起来的位置上形成窗口部分的工序；介以上述窗口部分连接上述布线的基面部分以形成凸出电极的工序。

特别是在形成上述绝缘膜的工序中。采用对上述绝缘膜的材料涂覆范围进行规定的办法形成上述绝缘膜的窗口部分，或者在形成上述绝缘膜的工序中，用规定上述绝缘膜的材料涂覆条件的办法来设定膜厚。

下面简单说明附图

图 1 是本发明的实施例 1 的半导体集成电路器件的平面图。

图 2 是在本发明的实施例 1 中图 1 的 A - A' 剖开线处的剖面图。

图 3 是本发明的实施例 1 的半导体集成电路器件装配到装配基板上

去的装配状态的平面图。

图 4 是本发明的实施例 1 的半导体集成电路器件装配到装配基板上去的装配状态的剖面图。

图 5 的流程图示出了本发明的实施例 1 的半导体集成电路器件的组装工序。

图 6 的主要部分剖面图示出了本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中的表面布线构造。

图 7 的主要部分剖面图示出了在本发明的实施例 1 的半导体集成电路器件与本发明人所探讨过的半导体集成电路器件之间的比较说明中的背面布线构造。

图 8 的主要部分剖面图示出了在本发明的实施例 1 的半导体集成电路器件与本发明人所探讨过的半导体集成电路器件之间的比较说明中的两面布线。

图 9 的平面图示出了在本发明的实施例 1 的半导体集成电路器件与本发明人所探讨过的半导体集成电路器件之间的比较说明中的窗口部分。

图 10 的剖面图示出了在本发明的实施例 1 的半导体集成电路器件与本发明人所探讨过的半导体集成电路器件中图 9 的窗口部分。

图 11 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，用于说明窗口部分和半导体芯片的边沿部分的尺寸的剖面图。

图 12 是在本发明的实施例 1 的半导体集成电路器件与本发明人所探讨过的半导体集成电路器件之间的比较说明中，印刷后的弹性体的凹坑的剖面图。

图 13 是在本发明的实施例 1 的半导体集成电路器件与本发明人所探讨过的半导体集成电路器件之间的比较说明中，表示贴好半导体芯片后的基板基材的挠曲的剖面图。

图 14 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，表明平面 S 状引线的

平面图。

图 15 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件的比较说明中，图 14 的沿 B 箭头看去的剖面图。

图 16 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件的比较说明中，图 14 的沿 A 箭头看去的剖面图。

图 17 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，表明标准 S 状引线形成时的压焊工具的轨迹的剖面图。

图 18 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，表明平面 S 状引线形成时的压焊工具的轨迹的剖面图。

图 19 是在本发明的实施例 1 的半导体集成电路器件与本发明人所探讨过的半导体集成电路器件之间的比较说明中，用于说明凹口引线和梁式引线的平面图。

图 20 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的平导体集成电路器件之间的比较说明中，表示出图 19 的 A 部处的凹口引线的平面图。

图 21 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，表示出悬臂梁引线的平面图。

图 22 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，引线压焊部分的剖面图。

图 23 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，引线压焊部分的平面图。

图 24 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，把图 22 的 A 部处的工

具的着地点放大后的剖面图。

图 25 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，对钝化物窗口尺寸进行了改良的压焊部分的剖面图。

图 26 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，双方向引线的压焊部分的平面图。

图 27 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，标准固定器(anchor)布线的平面图。

图 28 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，改善固定器布线的平面图。

图 29 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，标准弹性体的构造的斜视图。

图 30 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，在标准弹性体上的半导体芯片的粘贴状态的斜视图。

图 31 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，宽弹性体的构造的斜视图。

图 32 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，在宽弹性体上的半导体芯片的粘贴状态的斜视图。

图 33 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，在宽弹性体上的半导体芯片的粘贴状态的剖面图。

图 34 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，在标准弹性体上的半

导体芯片的粘贴后的构造的斜视图。

图 35 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，在标准弹性体上的半导体芯片的粘贴后的构造的剖面图。

图 36 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，在宽弹性体上的半导体芯片粘贴后的构造的斜视图。

图 37 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，在宽弹性体上的半导体芯片粘贴后的构造的剖面图。

图 38 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，金属掩模印刷概念的剖面图。

图 39 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，标准弹性体的金属掩模的平面图。

图 40 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，宽弹性体的金属掩模的平面图。

图 41 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，多条悬臂的宽弹性体的印刷形状的平面图。

图 42 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，宽弹性体的埋沟所用的罐状物(potting)位置的平面图。

图 43 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，采用标准引线压焊法的压焊部分的剖面图。

图 44 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，应用了柱状凸出电极

的压焊部分的剖面图。

图 45 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，应用了焊锡的引线连接的剖面图。

图 46 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，应用了焊锡的引线连接的平面图。

图 47 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，应用了焊锡或金球的引线连接的剖面图。

图 48 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，应用了焊锡或金球的引线连接的斜视图。

图 49 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，应用了铝或焊锡丝的连接的剖面图。

图 50 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，应用了金丝的连接的剖面图。

图 51 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，用于说明引线设计的斜视图。

图 52 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，压焊后的引线变形的斜视图。

图 53 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，引线尺寸与弯曲应力之间的关系的关系的说明图。

图 54 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，引线连接的连接部分

的剖面图。

图 55 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，引线弯曲部分的放大剖面图。

图 56 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，未镀镍的引线的弯曲部分的放大剖面图。

图 57 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，引线的压焊部分的放大剖面图。

图 58 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中，未镀镍的引线压焊部分的放大剖面图。

图 59 是在作为本发明的实施例 2 的半导体集成电路器件中，背面布线阻焊构造的剖面图。

图 60 是在作为本发明的实施例 2 的半导体集成电路器件中，背面布线阻焊构造的斜视图。

图 61 是从半导体芯片背面看的本发明的实施例 3 的半导体集成电路器件的平面图。

图 62 是作为本发明的实施例 3 的半导体集成电路器件的平面图。

图 63 是作为本发明的实施例 3 的半导体集成电路器件的剖面图。

图 64 是在本发明的实施例 3 的半导体集成电路中，图 63 的 A 部分的放大剖面图。

图 65 是在本发明的实施例 3 的半导体集成电路器件中，用于说明布线基板的布线构造的平面图。

图 66 是从半导体芯片背面看作为本发明的实施例 4 的半导体集成电路器件的平面图。

图 67 是作为本发明的实施例 4 的半导体集成电路器件的平面图。

图 68 是作为本发明的实施例 4 的半导体集成电路器件的剖面图。

图 69 是在本发明的实施例 4 的半导体集成电路器件中，图 68 的 A

部分的扩大剖面图。

图 70 是在本发明的实施例 4 的半导体集成电路器件中,用于说明布线基板的布线构造的平面图。

图 71 是从半导体芯片背面看作为本发明的实施例 5 的半导体集成电路器件的平面图。

图 72 是作为本发明的实施例 5 的半导体集成电路器件的平面图。

图 73 是作为本发明的实施例 5 的半导体集成电路器件的剖面图。

图 74 是在本发明的实施例 5 的半导体集成电路器件中,图 73 的 A 部分的放大剖面图。

图 75 是在本发明的实施例 5 的半导体集成电路器件中,用于说明布线基板的布线构造的平面图。

图 76 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中,与弯曲应力对应的引线变形形状的剖面图。

图 77 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中,与弯曲应力对应的引线变形形状的剖面图。

图 78 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中,与弯曲应力对应的引线变形形状的剖面图。

图 79 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中,与弯曲应力对应的引线变形形状的剖面图。

图 80 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中,与弯曲应力对应的引线变形形状的剖面图。

图 81 是在本发明的实施例 1 的半导体集成电路器件和本发明人所探讨过的半导体集成电路器件之间的比较说明中,封装构造的变形例的剖面图。

以下,简单地说明本申请所公布的发明中,由代表性的发明所得到

的效果。

(1) 通过采用把弹性构造体配置在布线基板的基板基材的背面一侧，且采用在已形成于基板基材的主面上边的布线的主面上边形成绝缘膜的表面布线构造的办法，把弹性体配置于基板基材背面的平坦的面上，故可以把弹性体以更高的精度稳定地、无气孔地搭载到基板基材上，此外，由于弹性体的尺寸形状稳定，故半导体芯片的焊接工序也稳定，且可以进行高成品率的组装。

(2) 通过使布线基板的布线形成多布线层构造，可以把信号布线层和电源、地线布线层分离为不同的层，故在抗噪声性等方面可以得到优良的电气性能。

(3) 由于可以把半导体芯片的外部端子配置于中央部分或周边部分，且可以把连到该外部端子上的凸出电极配置在从半导体芯片的外周往里一侧，往外一侧，或者两方的区域上，故可以应用于各种类型、各种变形的封装构造上去。

(4) 通过根据弹性体的成分来设定半导体芯片的外部端子一侧的弹性体的端部和布线基板的基板基材的端部的尺寸的办法，可以使对弹性体的基板基材的帽檐最佳化，故可以防止弹性体的漏出成分或挥发成分所形成的对布线的污染而不会使凸出电极的高度均一性恶化或者因弹性体的窗口部分密封区域变宽而产生的密封材料难于埋入。

(5) 采用把半导体集成电路器件的外周一侧的布线基板的基板基材的端部和弹性体的端部之间的距离 $M2$ 、半导体芯片的端部与基板基材的端部之间的距离 $M1$ 的关系设定于 $M1 > M2 > 0$ 的范围内的办法，可以使封装的外形尺寸最佳化，故封装的最外周不会成为半导体芯片，因此在组装工序、插座拔插、料盘搬运途中等等中诱发芯片裂纹的可能性减小，由于半导体芯片的电路面不会落到外边来，故可提高可靠性；另外，由于印刷后的弹性体的周边突起不会碰到半导体芯片的粘结部分上，故可以防止粘贴时的粘结不良，布线基板的平坦度的恶化和可靠性的降低。

(6) 采用把布线基板的布线形成为使与基板基材之间的固定部分和要连到半导体芯片的外部端子上的顶端部分至少变位为超过布线宽度

的形状的办法，由于可以把它作成为平面式地 S 状布线，由于利用一般的丝焊机进行的下压轨迹将产生因原来的平面 S 形状而形成的下垂，故可以形成稳定的令人满意的 S 形状的引线；可以形成稳定的引线的 S 形状而不需改造后的特殊的金丝压焊机；由于可以使压焊工具的轨迹也简化，故可以缩短压焊时的间歇时间。

(7) 由于采用把布线基板的布线形成为已把一方固定于基板基材上的悬臂梁构造的办法可把它作成为悬臂布线，所以可以解决下述问题：像带凹口的布线那样，改变凹口的宽度它在压焊时不能切断的问题；即使可以切断也会在与所希望的凹口不同的部分上切凹口的问题；或者切的过细，使得在布线基板的电镀工序前就完全切断而不能电镀等等的问题。

(8) 采用把半导体芯片上的表面保护膜的窗口部分的端部设定为在压焊工具已下压后的时候布线不干涉表面保护膜的范围内的尺寸的办法，就可以解决因下压而使半导体芯片上的表面保护膜或半导体芯片受损伤，或者使引线下方的压焊部分因附着表面保护膜的成分而污染从而恶化压焊性等等的问题。

(9) 由于采用使布线基板的布线的凹口终端一侧的布线与相向的布线的基面(land)部分连接，或使之纵向或横向地向布线的空白区域延长，或使相邻的布线之间相连的办法，可以加大布线部分的有效面积，故可以增加布线与基板基材间的粘结强度，可以得到稳定的凹口切断性。

(10) 由于采用使弹性体在比半导体芯片的外形尺寸至少在将形成于弹性体上的外周部分突起宽度的值以上且在整个外周上大范围中形成，可使之成为宽弹性体，故在粘贴半导体芯片后，弹性体周围的突起将伸出半导体芯片之外，实质上与弹性体的平坦的部分粘结，故可以把布线基板的挠曲抑制得小；另外，由于粘结材料的涂覆区域变宽，故粘结材料不会遍布各处，难于产生将变成不粘结的部分；由于在半导体芯片的周边无遗漏地渗透出来，故即使不进行周边密封也可以构成耐湿性和可靠性优良的封装。

(11) 在把弹性体分割并形成使之不与半导体芯片的外部端子上

边粘结的情况下，采用把进行相对于这一分割后的弹性体的空间的各自端部形成为沟状的办法，在弹性体的埋沟技术中可以把金属掩模悬置部分变细以使弹性体的沟变细，故可以提高弹性体的埋沟性。

(12) 采用形成多数条将形成于弹性体各自端部上的沟的办法，可以提高形成该沟的金属掩模的强度。

(13) 采用在相对于分割后的弹性体的空间的各自端部的沟上预先形成密封材料阻流用的堤堰的办法。可以进一步提高密封工序中的埋沟性。

(14) 采用预先在半导体芯片的外部端子上形成柱状凸出电极，再介以该柱状凸出电极把半导体芯片的外部端子和布线基板的布线连起来的办法，可以解决内部引线的压焊技术中接合性和损伤之类的问题，可以用柱状凸出电极提高接合性，此外还可防止损伤。

(15) 采用预先供给焊锡使得把布线基板的布线包在里边，并介以该焊锡把半导体芯片的外部端子与布线基板的布线连接起来的办法，可以提高压焊技术中的接合性和抑制损伤。

(16) 通过采用从上部用焊锡、金等的柱状凸出电极把布线基板的布线包进去，并介以该柱状凸出电极把布线基板的布线与半导体芯片的外部端子连起来的办法，可以提高压焊技术中的接合性和抑制损伤。

(17) 通过采用铝、焊锡或金丝把布线基板的布线和半导体芯片的外部端子连接起来的办法，可以解决接合性和损伤之类的问题，可以实现一般的金丝压焊的概念下的连接，而不是TAB那样的内引线压焊。

(18) 通过采用把布线基板的布线的宽度尺寸形成为从布线基板的基板基材的端部开始朝向布线顶端使之逐渐弯细，且从规定的位置开始变成恒定的宽度，并把布线的尺寸和形状设定为使弯曲应力比 α 变成为1.2-1.5的办法，由于不需压焊工具的过程，仅仅使压焊工具垂直地下压就可以形成满意的S形状，故不需要经软改造的特殊的丝焊机就可以形成稳定的引线的S形状，此外，由于还可使压焊工具的轨迹简化，故可以缩短压焊时的间歇时间。

(19) 通过采用以导电材料为芯材且表面上仅施行镀金的办法，使布线基板的布线构造比如说和在铜等的导电材料的芯材与镀金之间施行

镀镍的情况相比，引线的硬度和脆度都会降低。故除了引线本身变得难于产生裂纹之外，还可以减轻对作为压焊面的半导体芯片上的损伤。

(20) 通过采用先在布线基板的基材的背面上边形成布线，且在该布线的背面上边形成绝缘膜，再在绝缘膜的背面一侧配置弹性体的办法，作成为背面布线绝缘膜构造，故可以防止弹性体直接与布线接连，且由于还可以防止弹性体向基板基材的粗糙化面的接触，故可以抑制弹性体的低分子量成分的漏出(bleed)，此外，通过采用在有凹凸的布线面上涂敷绝缘膜的办法，可以使表面平坦化，避免弹性体形成时的气孔卷入之类的麻烦。

(21) 通过在表面布线构造中，借助于规定绝缘膜材料的涂覆范围来形成绝缘膜的窗口部分的办法，与在背面布线构造的布线基板的基板基材上用机械加工开窗口部分的情况相比，可进一步地提高孔径加工精度。

(22) 在表面布线构造中，通过采用借助于规定绝缘膜材料的涂覆条件来设定绝缘膜的厚度的办法，由于可以形成与基板基材相比厚度更薄且稳定地涂覆、直径小且高密度地配置的凸出电极基面(land)，故可以良好地焊接更小的凸出电极。

(23) 由于表面布线构造与背面布线构造相比，凸出电极的排列步距可形成得小，故可以构成有更高密度的输出端子的半导体封装。

实施例

以下，根据附图详细地说明本发明的实施例。

实施例 1

图 1 的平面图示出本发明的实施例 1 的半导体集成电路器件；图 2 是图 1 的 A - A' 剖断线处的剖面图；图 3 和图 4 的平面图和剖面图示出了半导体集成电路器件向装配基板上装配的装配状态；图 5 示出的是半导体集成电路器件的组装工序的流程图；图 6 - 图 58，图 76 - 图 81 是用于对本实施例 1 的半导体集成电路器件的特征和本发明人所探讨过的比较例的半导体集成电路器件之间进行比较说明的说明图。这些图的说明在后述的各技术项目中将逐项进行说明。

首先用图 1 和图 2 说明本实施例 1 的半导体集成电路器件的构成。

本实施例 1 的半导体集成电路器件被定为比如说 40 管腿的焊球网格阵列(ball grid array)形式的半导体封装, 由已在主面上边形成了多个压焊焊盘的半导体芯片 1、将被粘接到除了压焊焊盘的形成部分之外的半导体芯片 1 的主面上的弹性体 2、粘接到弹性体 2 的主面上边并已形成了把一端连接到半导体芯片 1 的压焊焊盘上的布线的挠性布线基板 3 (布线基板)、被形成于挠性布线基板 3 的主面上边的阻焊层 4 (绝缘膜)、形成于阻焊层 4 的主面上边并介以该阻焊层 4 的窗口部分连接到布线的另一端上的焊锡凸出电极 5 (凸出电极) 构成并形成用树脂之类的密封材料 6 把半导体芯片 1 的压焊部分覆盖起来的封装构造。

半导体芯片 1, 例如如图 1 所示, 被作为中央焊盘构造, 在长边方向的中央部分上排成一行地形成多个压焊焊盘 7 (外部端子)。这些压焊焊盘 7 以不均一的间隔排列起来。在该半导体芯片 1 上, 比如说在硅等的半导体基板上边形成存储电路, 逻辑电路之类的规定的集成电路, 作为这些电路的外部端子, 设有由 Al 之类的材料构成的压焊焊盘 7。

弹性体 2 由比如说硅酮树脂之类的弹性材料构成, 在长边方向的两头使之避开已形成了压焊焊盘 7 的部分进行二分割并介以粘接剂 8 粘接到半导体芯片 1 的主面上。该弹性体 2, 被设置为用于缓和在温度特性试验等中, 因半导体芯片 1 和封装装配基板之间的热胀系数不同引起的焊锡凸出电极 5 的应力集中。

挠性布线基板 3, 例如如图 2 所示, 由将成为该挠性布线基板 3 的基材的基板基材 9 和粘接到该基板基材 9 的主面上的布线 10 构成, 布线 10 的一端的引线 11 被连到半导体芯片 1 的压焊焊盘 7 上, 另一端的凸出电极基面 12 则被连到焊锡凸出电极 5 上。在该挠性布线基板 3 中, 基板基材 9 的背面一侧被粘接到弹性体 2 上, 而布线 10 的立面一侧则已形成阻焊区 4。

构成该挠性布线基板 3 的基板基材 9 由例如聚酰亚胺树脂之类的材料构成, 而在布线 10 中把例如 Cu 之类的材料用作芯材, 该布线 10 的引线 11 的部分在芯材的表面和背面上形成了应用 Ni 之类材料的镀 Ni 层, 再在该镀 Ni 层的表面上形成由 Au 之类材料构成的镀 Au 层。

阻焊层 4 由比如说用感光性环氧树脂等等的绝缘材料构成, 并在挠

性布线基板 3 的布线 10 的主面上边介以该阻焊层 4 的窗口部分形成在除去把焊锡凸出电极 5 连到布线 10 的凸出电极基面上的连接部分之外的规定的范围。

焊锡凸出电极 5 由例如 Pb-Sn 和以 Pb-Sn 等为主要成分的材料构成并被连到构成挠性布线基板 3 的布线 10 的凸出电极基面 12 上。该焊锡凸出电极 5 被设置为分开在半导体芯片 1 的压焊焊盘 7 的两侧的区域并各排成 2 列。

以上这样构成的半导体集成电路器件，例如如图 3 和图 4 所示，作为 DRAM 之类的芯片尺寸封装 13 的半导体集成电路器件，和存储器控制器之类的一般封装 14 的半导体集成电路器件一起被搭载到存储卡之类的装配基板 15 上去，并通过外部连接端子 16，可插可拔地装设到携带电话机或便携式个人计算机之类的携带机器中去。

其次，先根据图 5 的工艺流程，就本实施例 1 的作用，说明半导体封装的组装修序。

首先，在半导体封装组装修之前，比如说要先在基板基材 9 上边形成布线 10，然后准备具有对该布线 10 的一部分进行刻蚀而形成的引线 11 的挠性布线基板 3、弹性体 2、已形成了规定的集成电路且已设置了作为外部端子的压焊焊盘 7 的半导体芯片 1、密封材料 6、助焊剂、形成焊锡球 17 的焊锡等等。

该挠性布线基板 3，可用下述方法制作：用把薄的金属粘接到由比如说 TAB(tape automated bonding:带式自动压焊)带那样的由聚酰亚胺树脂构成的基板基材 9 上的办法形成，在用照相技术借助于光刻胶在金属上边形成了必要的图形之后，用刻蚀法形成所需的布线（也包括引线 11）10，再在其表面上施行镀 Ni、镀金处理。

接着，在挠性布线基板 3 的基板基材 9 上边用比如说印刷的办法形成弹性体 2，厚度为 50-150 μm ，再在该弹性体 2 的表面上，涂覆并印刷比如说硅酮系列的粘结剂 8（步骤 501 - 502）。其中，弹性体 2 不一定非印刷不可，也可以把预先已形成了薄膜状的弹性体切成规定的形状，再用粘结剂 8 粘结到基板基材 9 的背面上。

接着进行位置对准，使得挠性布线基板 3 的布线 10 一端的引线 11

和半导体芯片 1 的压焊焊盘 7 之间的相对位置一致，把半导体芯片 1 粘贴到已印刷到挠性布线基板 3 的基板基材 9 上边的弹性体 2 上（步骤 503）。

接着，使半导体芯片 1 和挠性布线基板 3 的基板基材 9 在介以弹性体 2 粘贴好了的状态下反转过来，在引线压焊工序中，用压焊工具 18 如图 2 的剖面图所示，使引线 11 变形成 S 形状的同时压下到半导体芯片 1 的压焊焊盘 7 上，再用比如超声波热压焊等的方法进行引线 11 和压焊焊盘 7 的连接（步骤 504）。

接下来，在密封工序中，把半导体芯片 1 的压焊焊盘 7 和挠性布线基板 3 的引线 11 之间的引线压焊部分上用分配器 19 涂上例如环氧树脂之类的密封材料 6 进行树脂密封，以提高半导体芯片 1 与挠性布线基板 3 之间的接合部分的可靠性（步骤 505）。

之后，在挠性布线基板 3 的切断工序中，在半导体芯片 1 的边沿稍稍外侧处切断基板基材 9 的外缘部分以形成 CSP（芯片尺寸封装或芯片规模封装）的封装外形（步骤 506）。

在焊锡凸出电极 5 的凸出电极安装工序中，先使焊锡球 17 接合到对应的挠性布线基板 3 的布线 14 的凸出电极基面 12 上以形成焊锡凸出电极 5，最后进行分选，再经过打标记后，本实施例 1 的半导体封装的组装工序就结束了（步骤 507，508）。

还有，在该半导体封装的组装工序中，基板基材切断工序（步骤 506）和装凸出电极工序（步骤 507）倒过来也不要紧。

这样一来，在本实施例 1 的情况下，就变成了被称之为所谓扇入中央焊盘构造的半导体封装构造，这种构造使压焊焊盘 7 排成一行地集中配置于半导体芯片 1 的中央部分，并把焊锡凸出电极 5 设置于从该压焊焊盘 7 介以挠性布线基板 3 的布线 10 进行连接的半导体芯片 1 的从外周往内一侧的区域上。

其次，用与作为本发明人所探讨过的技术的封装构造进行比较的办法，根据图 6 - 图 58 对本实施例 1 的半导体集成电路装置的封装构造的特征，包括构造和工艺等等在内依次进行说明。

1. 表面布线构造

在该表面布线构造技术说明中，图 6 是表面布线构造的主要部位剖面图；图 7 是背面布线构造的主要部位剖面图，图 8 是两面布线的主要部分剖面图。

本实施例 1 的封装构造，如在图 6 中扩大示出的那样，把弹性体 1 粘接到挠性布线基板 3 的基板基材 9 的背面上（半导体芯片 1 一侧）边，且在布线 10 的主面上（焊锡凸出电极 5 一侧）已形成了阻焊层 4，变成所谓的表面布线构造。对此，在本发明人所探讨过的技术中，如图 7 所示，反过来，在布线 10 的背面上边粘结弹性体 2，在焊锡凸出电极 5 一侧形成基板基材 9，形成了所谓的背面布线构造。

因此，在所谓探讨过的背面布线构造中，接合焊锡凸出电极 5 的凸出电极基面(land)12，比如说用穿孔机(punch)等等打通聚酰亚胺树脂之类材料的基板基材 9 来形成，而在本实施例 1 的表面布线构造中，则在布线 10 的主面上先涂上由感光性环氧树脂等材料构成的阻焊层 4，再用曝光、显影之类的照相法在所希望的位置上形成所希望大小的凸出电极基面(land)12，故可以期待下述优点。

(1) 由于用使光刻胶曝光、显影的办法形成焊锡凸出电极 5 所用的窗口部分，故与用机械加工在背面布线构造的挠性布线基板 3 的基板基材 9 上开窗口部分的情况相比，可以进一步提高孔径加工精度。

(2) 基板基材 9，作为实用性的厚度 $50\mu\text{m}$ 左右为最小，对此，由于阻焊层 4 取决于涂敷条件，在 $10 - 20\mu\text{m}$ 左右的厚度范围内可稳定地进行涂敷，故可以良好地结合更小的焊锡球 17。

(3) 由于表面布线构造与背面布线构造相比，焊锡凸出电极 5 的排列步距可以更小，故可以构成具有更高密度的焊锡凸出电极 5 的输出端子的半导体封装。

(4) 由于在基板基材 9 的背面的平坦的面上配置弹性体 2，故可以把弹性体 2 以更高的精度稳定地、无气孔地搭载（涂覆或粘贴）到基板基材 9 上。另外，由于弹性体 2 的尺寸形状稳定，故半导体芯片 1 的粘结工序也稳定，且可进行高成品率的组装。

如上所述，在背面布线构造的技术中，要产生在挠性布线基板 3 的基板基材 9 上的窗口部分的形成、挠性布线基板 3 的布线 10 与弹性体 2

之间的粘接性之类的课题，但是在本实施例 1 中，借助于采用表面布线构造的办法，这些课题都可以解决。

此外，在挠性布线基板 3 的布线构造中，如图 6 所示，除一面布线构造之外。还可以使用比如图 8 的那种两面布线构造，即使用在基板基材 9 的两面上有 2 层布线的挠性布线基板 3，此外，广泛地应用于三层布线以上的多层布线构造也是可能的。

在该图 8 的例子中，比如说把第 1 布线 20 设为信号线，把第 2 布线 21 设为地平面，且第 2 布线 21 与焊锡凸出电极 5 或第 1 布线 20 之间的电连介以通孔 22 进行。在这样的构造中，具有可在抗噪声性等方面得到优良的电气特性。

2. 基板基材对弹性体的帽檐最佳化

在基板基材对该弹性体的帽檐最佳化的技术说明中，图 9 是窗口开口部分的平面图；图 10 是图 9 的窗口开口部分的剖面图；图 11 是用于说明窗口开口部分和半导体芯片的边沿部分的尺寸的剖面图。

在本实施例 1 的封装构造中，如图 9 所示，已变成为在挠性布线基板 3 的主面上焊锡凸出电极 5 以矩阵配置排列起来的 BGA（焊球网格阵列）构造。在该例子中，如图 10 所示，半导体芯片是中央焊盘排列，在中央部分纵向设有窗口开口部分 23，在最终构造中变成为把该部分和半导体芯片 1 的周边边沿用密封材料 6 进行树脂密封因而耐湿性和可靠性高的构造。

然而，在本发明所探讨过的技术中，当使弹性体 2 的端部（窗口开口部分 23 一侧）靠近到基板基材 9 的边沿，即减小图 11 的半导体芯片 1 的压焊焊盘 7 一侧的弹性体 2 的端部与基板基材 9 的端部之间的尺寸 L1 时，就将产生由弹性体 2 的漏出成分或挥发成分产生的对引线 11 的污染。

反过来，当加大尺寸 L1，即从基板基材 9 的边沿后退得过一点时，由于弹性体 2 的端部与焊锡凸出电极 5 之间的尺寸 L2 将减小，且最内侧的焊锡凸出电极 5 的下边弹性体 2 将消失，故焊锡凸出电极 5 的高度均一性将恶化，窗口开口部分 23 的密封区域变宽，认为密封材料 6 将变得难于填埋。

对此，在本实施例 1 中，采用选择合适的尺寸 L1，并把弹性体 2 的端部配置于基板基材 9 的端部与焊锡凸出电极 5 之间的最佳场所上的办法，就可同时解决这些问题。

就是说，对于窗口开口部分 23，由于存在着上边说过的那些问题，故把尺寸规定如下。例如，在本例中，假定弹性体 1 的印刷精度为约 $\pm 100\mu\text{m}$ 。这样一来，若尺寸 L1 小于 $100\mu\text{m}$ 则由于印刷偏差就会从基板基材 9 中露出来，故最小也必须大于印刷精度($100\mu\text{m}$)。

此外，因弹性体 2 的漏出成分或挥发成分而产生的对引线 11 的污染性，从作为实际情况倘离开 $300\mu\text{m}$ 左右就没问题这一情况来看，比如说最小值定为 $300\mu\text{m}$ ，但如果使用污染性、漏出性低的弹性体 2，或者讲起一些污染清洗之类的对策，最小值近于 $100\mu\text{m}$ 的设计是可能的。

根据以上情况，如本实施例 1 所示，通过对尺寸 L1 进行选择，就可以在防止因弹性体 2 的漏出成分或挥发成分所带来的对引线 11 的污染的同时，还可使焊锡凸出电极 5 的高度均一性稳定且易于填埋窗口开口部分 23 的密封区域。

3. 封装的外形尺寸最佳化

在这一封装外形尺寸最佳化的技术说明中，图 11 是在前边说明过的用于说明窗口开口部分和半导体芯片的边沿部分的尺寸的剖面图；图 12 是印刷后的弹性体的凹坑的剖面图；图 13 是粘贴半导体芯片后的基板基材的挠曲的剖面图。

例如，在本发明人所探讨过的技术中，在图 11 中，若假定封装的外周部分一侧的半导体芯片 1 的端部与挠性布线基板 3 的基板基材 9 的端部之间的距离为 M1，弹性体 2 的端部与基板基材 9 的端部之间的距离为 M2，则

(1) 在 $M1 < 0$ 时，由于封装最外周变成了半导体芯片 1，故在组装工序中，在插座插拔、料盘搬运途中等等情况下，诱发半导体芯片 1 裂纹的可能性大。

(2) 在 $M1 < 0$ ， $M2 < 0$ 的情况下，由于半导体芯片 1 的电路面将露在外边，故对可靠性存在着问题，另外，为防止这种情况，虽然也可进行密封，但牵连到增加工序。

(3) 在 $M1 - M2 < 0$ 的情况下, 示于图 12 的印刷后的弹性体 2 的周边突起, 如图 13 所示, 将靠到半导体芯片 1 的焊接部位上, 将成为粘贴时的粘结不良, 挠性布线基板 3 的平坦度的恶化, 可靠性降低的理由。

(4) 在 $M2 = 0$ 的情况下, 将产生必须切断弹性体 2 又难切断之类的问题。

对此, 在本发明的实施例 1 中, 通过把半导体芯片 1 的端部或弹性体 2 的端部与基板基材 9 的端部之间的距离关系定为 $M1 > M2 > 0$ 的办法, 就可以解决上述那些问题。即, 在图 11 的封装的边沿部分的尺寸说明图中, 由于决定最终外形的基板基材切断工序的切断误差约为 $100\mu\text{m}$, 故为使切断夹具不靠到弹性体 2 上, 理想的是确保 $M2$ 在 $100\mu\text{m}$ 以上。

然而, 用印刷形成弹性体 2, 并用烘烤使之硬化之后的剖面形状, 变成为如图 12 所示那样, 在某种程度触变性高的材料中, 印刷后取走版的时候, 掩模被拉伸, 有使周边部分变高的倾向。比如, 在半导体芯片 1 的端部比弹性体 2 的端部小, 且 $M1 < M2$ 这样的条件下粘贴半导体芯片时, 则如图 13 所示。将产生基板基材 9 的表面跟着弹性体 2 的剖面形状挠曲的问题。

为防止这一现象, 令 $M1 > M2$ 且使弹性体 2 周边的高的部分从半导体芯片 1 往外移是有效的, 比如, 因为突起的宽度在 $200\mu\text{m}$ 前后, 故 $(M1 - M2)$ 为 $240\mu\text{m}$, 切断性的距离 $M2 = 100\mu\text{m}$, 此距离 $M1$ 约 $360\mu\text{m}$ 是理想的。

这样一来, 采用切断外周的基板基材 9 的办法, 具有外形误差小, 而且即便对于半导体芯片 1 有若干尺寸的变更, 也可以不改变插座, 料盘等的周边用具的优点。

如上所述, 在本实施例 1 中, 可以避免半导体芯片 1 的裂纹和缺口的发生, 可以提高切断工序的切断容限。此外, 可以把半导体芯片 1 的电路面全部地配置在弹性体 2 的下边, 具有提高耐湿性, 不必进行对外周的密封等的优点。

4. 平面 S 状引线

在该平面 S 状引线的技术说明中，图 14 是平面 S 状引线的平面图；图 15 是图 14 的沿 B 箭头看去的剖面图；图 16 是图 14 的沿 A 箭头看去的剖面图，图 17 是标准 S 状引线形成时的压焊工具的轨迹的剖面图；图 18 是平面 S 状引线形成时的压焊工具的轨迹的剖面图。

例如，在本发明人所探讨过的标准 S 状引线 24 的形成技术中，在图 14 中用虚线表示的，是直线状的凹口引线或悬臂梁式引线，为了在压焊后，如图 15 中用细线表示的那样，形成抗热变形所足够的下垂（S 形状），就要像图 17 那样，必须使引线 11 沿着特殊的压焊工具轨迹动作：一下子下压到半导体芯片 1 的几乎就要碰上的地方，再在横向横移之后在压焊焊盘 7 上边再次下压以进行接合。这需要用专用的丝焊机。

对此，在本发明的实施例 1 中，在挠性布线基板 3 的基板基材 9 上形成布线 10 时，布线 10 的引线 11 不是直线，而是如图 14 所示，采用预先作成使布线 10 的根部和顶端的压焊部分至少偏移超过引线 11 的适度的 S 形状的平面 S 状引线 26 的方法，就可以解决上述课题。

如果像这样地作成平面 S 状引线 26。则借助于周围 18 所示的一股的丝焊机的单纯的下压所形成的压焊工具轨迹 25，如图 15 所示，尽管将变成支撑起来的引线形状，但如图 16 所示，由于可以形成原来的平面 S 形状所产生的下垂，故可以形成稳定的满意的 S 形状的平面 S 形引线 26。

这样一来，不需改造后的压焊机就可以形成稳定的 S 形状的平面 S 形引线 26，而且还可以简化压焊工具轨迹 28，故还可以期待缩短压焊时的间歇时间的效果。

5：悬臂梁式引线

在该悬臂梁式引线的技术说明中，图 19 是用于说明凹口引线和悬臂梁式引线的平面图；图 20 是图 19 的 A 部分的凹口引线的平面图；图 21 是悬臂梁式引线的平面图。

比如，在本发明人所探讨过的技术中，如作为图 19 中的引线 11 的扩大图的图 2D 所示，是一种在切断部分处具有 V 形切口之类的凹口 27 的引线 11，在压焊时，把凹口 27 的稍稍内侧用压焊工

具 18 下压。在凹口 27 的部分上切断引线 11。但是，由于在挠性布线基板 3 制造工序中布线 10 的刻蚀不均匀等原因凹口 27 的亮度产生变化，因而会产生压焊时不能切断的情况。

另外，还考虑到即使已经切断，也会产生在与所希望的凹口 27 不同的部分切断。或者由于变得过细，在挠性布线基板 3 的电镀工序之前就断了，因而不能进行电镀之类的问题。

对此，在本发明的实施例 1 中，如图 21 所示，通过把一端固定到挠性布线基板 3 的基板基材 9 上，而作为切断一侧的有凹口 27 的一方则作成为开放的悬臂梁构造、即作成悬臂梁 28 的办法，就可以解决上述引线 11 的切断时的那些问题。

6. 压焊焊盘的周边 PIQ (钝化物) 尺寸

在该压焊焊盘的周边 PIQ 尺寸的技术说明中，图 22 是引线压焊部分的剖面图；图 23 是引线压焊部分的平面图；图 24 是图 22 的 A 部分处的工具着地点的扩大图；图 25 是对钝化物窗口尺寸改良后的压焊部分的剖面图；图 26 是双方向引线的压焊部分的平面图。

例如，在本发明人所探讨过的技术中，在图 22，图 23，图 24 所示的那种压焊顺序中，如压焊工具轨迹 25 所示，先一下子把引线 11 下压到几乎贴到半导体芯片 1 上的地方之后，在横方向上横移，到达半导体芯片 1 的压焊焊盘 7 上适时再次下压以进行接合，故将产生用第 1 次的下压或者使半导体芯片 1 上的钝化膜 29 或者其下边的半导体芯片 1 受损伤，或者使钝化膜 29 的成分附着并污染引线 11 的下面的压焊部分，使压焊性恶化等等的问题。

对此，在本实施例 1 中，把从已示于上述图 22、图 23 和图 24 中的压焊焊盘 7 的窗口部分边沿到钝化膜 29 的压焊焊盘 7 一侧的边沿的距离 L3 如图 25 所示进行改良，使得至少在压焊工具 18 下压一侧，把钝化膜窗口部分 30 扩大到引线 11 不干涉钝化膜 29 的范围内，则就可解决上述那样的问题。

就是说，在图 24 中，比如说在存储器之类的半导体芯片 1 的例子中。尺寸 L3 约为 25mm。而压焊焊盘 7 的大小比如说为 100 μ

m 见方，由于压焊工具 18 的顶端尺寸与此同等或小于它，故图 25 中的钝化膜 29 的后退量 L3 理想的是比如说在 $125\ \mu\text{m}$ 以上。

根据以上情况，可以实现良好的压焊性而不会给半导体芯片 1 上的钝化膜 29 或半导体芯片 1 造成损伤或者使钝化膜 29 的成分附着到引线 11 的下面的压焊部分上造成污染。

此外，如图 26 所示，在引线 11 从双方向上延伸出去的情况下，通过至少在使压焊工具 18 下压的一侧，扩大从压焊焊盘 7 的窗口部分边沿到钝化膜 29 的压焊焊盘 7 一侧的边沿为止的距离可同样的进行对应。另外，这种边沿间的扩大，即使是以不露出半导体芯片 1 的电路面那种程度地应用到相反一侧也不会成为问题。

7. 固定器 (anchor) 布线的改善。

在这种固定器布线的改善的技术说明中，图 27 是标准固定器布线的平面图；图 28 是改善固定器布线的平面图。

例如，在本发明人所探讨过的技术中，在图 27 的那种凹口 27 的终端一侧的标准固定器布线 31 的图形中。在凹口 27 形成得比设计值宽的情况等等中。考虑到会有在凹口 27 的部分不切断，而是使其前边的标准固定器布线 31 中的布线 10 与基板基材 9 之间的粘结强度下降，使标准固定器布线 31 的部分从基板基材 9 上剥离下来之类的麻烦。

对此，在本实施例 1 中，如图 28 所示，采用作成为把终端一侧的固定器布线的部分的有效面积加大的扩大固定器布线 32 的办法，增加布线 10 与基板基材 9 间的粘接强度，就可以得到稳定的凹口 27 的切断性。

就是说在图 28 中，若示出扩大固定器布线 32 的改善侧，则有下述一些例子：

(1) 把扩大固定器布线 32 连接到相向的布线 11 的凸出电极基面 12 上去。

(2) 把扩大固定器布线 32 纵向延长到布线 11 的空白空间上去。

(3) 把扩大固定器布线 32 横向延长到布线 11 的空白空间上

去。

(4)使相邻的扩大固定器布线 32 彼此相连。不论哪一个都采用增加扩大固定器布线 32 的部分的实质面积的办法,借助于布线 10 和基板基材 9 之间的粘接强度的增加,就可以稳定凹口 27 的切断性。

8.宽弹性体构造

在该宽弹性体构造的技术说明中,图 29 是标准弹性体的构造的斜视图;图 30 是标准弹性体上的半导体芯片的粘贴状态的斜视图;图 31 是宽弹性体的构造的斜视图;图 32 是在宽弹性体上的半导体芯片的粘贴状态的斜视图;图 33 是宽弹性体上的半导体芯片的粘贴状态的剖面图。

例如,在本发明人所探讨过的技术中,弹性体 2 进行二分割并粘接到半导体芯片 1 的压焊焊盘 7 的两侧,在示于图 29、图 30 的那种标准弹性体 33 的构造中,考虑到如上述图 13 所示,在弹性体 2 的面积比半导体芯片小的构造中,存在着因受周边突起的影响产生柔性布线基板 3 的挠曲,而该挠曲在焊锡凸出电极 5 的形成时和基板装配时等情况下将会成为问题。

对此,在本实施例 1 中,在用此图 31 所示的那样的半导体芯片 1 的外形还大的宽弹性体 34 形成的构造中,在粘贴半导体芯片后,如图 32,图 33 所示,由于宽弹性体 34 的周边突起露到半导体芯片 1 的外边,半导体芯片 1 实质上被粘接到宽弹性体 34 的平坦的部分上,故可以把挠性布线基板 3 的挠曲抑制为较小。

其次,如图 33 所示,由于粘结剂 8 的涂覆区变宽,故粘结剂 8 不会遍及各处,难于发生变为不粘接的部分,而在半导体芯片 1 的周围,由于粘结剂 8 无一遗漏地渗了出来形成粘结剂渗出物 35,故即使不对周边进行密封也可构成耐湿性和可靠性优良的封装。

就是说,虽然宽弹性体 34 的周边突起的宽度因材料的物性值而异,比如说约为 $200 - 300 \mu m$,因此,在本实施例 1 中,如图 33 所示,已在比半导体芯片 1 的芯片尺寸至少大突起宽度的量以上(在整个外周上)的范围内形成了宽弹性体。

此外，如果把宽弹性体 34 形成得足够宽。则平坦度虽然可以提高，但如果想在紧贴半导体芯片 1 的外周处切断基板基材 9 的话，则要在切断线 36 处，每一宽弹性体 34 都切断基板基材 9，以规定封装外形。

如以上所述，采用比半导体芯片 1 的外形大的宽弹性体 34 的办法，可以把挠性布线基板 3 的挠曲抑制为不大的同时，还可使半导体芯片 1 的粘结性稳定。可提高封装的耐湿性和可靠性。

9.弹性体的埋沟技术

在该弹性体的埋沟技术的说明中，图 31，图 32 是在前边说明过的宽弹性体的构造和半导体芯片的粘贴状态的斜视图；图 34 是在标准弹性体上的半导体芯片粘贴后的构造的斜视图；图 35 是其剖面图；图 36 是在宽弹性体上的半导体芯片的粘贴后的构造的斜视图；37 是其剖面图；图 38 是金属掩模印刷的概念的剖面图；图 39 是标准弹性体的金属掩模的平面图；图 40 是宽弹性体的金属掩模的平面图；图 41 是多条悬置的宽弹性体的印刷形状的平面图；图 42 是用于宽弹性体的埋沟的罐状物位置的平面图。

比如，在本发明人所探讨过的技术中，在图 34，图 35 所示的那种标准弹性体 33 的构造中，在用图 38 所示的那种金属掩模 37 进行的印刷构成弹性体 2 的情况下，由于必然存在图 40 所示的金属掩模 37 的印刷区窗口部分 38 的悬置部分 39，故变成了在基板基材悬置部分下边残余被半导体芯片 1 和弹性体 2 的壁所围成的沟 40（空间）的构造。

因此，当用这样的在半导体芯片 1 和弹性体 2 的空间中残余的沟 40 的构造对窗口开口部分 23 进行树脂密封时，由于密封剂 6 将从该沟 40 中漏出去，故必须先把这一部分用另外的设置罐状物（potting）之类的方法堵住漏洞之后再密封窗口开口部分 23。

这样，金属掩模 37 的印刷的概念是这样一种概念：采用把例如在标准弹性体 33 的情况下如图 39、在宽弹性体 34 的情况下，如图 40 所示的那样的仅仅在要进行印刷的部分上把具有印刷区域窗口部分 38 的金属掩模 37 在作为被印刷物的挠性布线基板 3 的规

定位置上定位并进行配置,并用涂刷器 41 把作为印刷物的弹性体 2 涂上金属掩模 37 的厚度那么一个量的办法,在所希望的范围内形成所希望的厚度的弹性体 2。

这样一来,在本实施例 1 中,把在上述中示于图 31 的那种宽弹性体 34,用示于图 40 的那样的金属掩模 37 进行印刷。在这种情况下,通过采用已把金属掩模 37 的印刷区域窗口部分 38 的悬置部分 39 作得很细的掩模印刷弹性体 2,就可以使被半导体芯片 1 和弹性体 2 的壁所围起来的沟 40 变细。例如,由金属掩模 37 的悬置部分 39 的强度规定的沟 40 的宽度的最小值约为 $200\ \mu\text{m}$ 左右。

另外,在把粘结剂 8 涂到该弹性体 2 的主面上并已粘贴上半导体芯片 1 的情况下,如在上述图 32、图 36、图 37 中所示的那样,若已事先涂上足够量的粘结剂 8,则借助于粘结时的压力,多余的粘结剂 8 就填充该沟 40,就可以把窗口开口部分 23 变成一个已封闭的空间,所以不用堵漏洞;就可进行窗口开口部分 23 的密封。

为了提高埋沟性,虽然只要把金属掩模 37 的悬置部分 39 弄细使沟 40 变窄即可,但金属掩模 37 的强度降低的问题将变成副作用。于是,如图 41 所示,采用把各自的一侧的悬置部分 39 作成多条的办法,不改变沟 40 的宽度,尽管沟 40 的条数增加了,但却也可提高金属掩模 37 的强度。

为了提高埋沟性,如图 42 所示,如在粘贴半导体芯片 1 之前,向弹性体 2 的沟 40 的罐状物位置 42 中预先浇灌树脂和粘结脂之类的物质以形成密封剂阻流堤堰,则还可进一步提高埋沟性。

另外,如已探讨过的技术那样,在半导体芯片 1 的粘贴、压焊后,即使已变成为在窗口开口部分 23 密封之前用罐状物堵上漏洞的情况下,只要预先使沟 40 的宽度变窄,也可以飞跃性地提高密封性。

根据以上情况。特别是通过采用使金属掩模 37 的悬置部分 39 变细以使弹性体 2 的沟 40 变细的办法可以提高埋沟性,再采用形成多条的沟 40,或者预先在浇灌位置 42 上形成密封剂阻流堤堰的办法,还可进一步提高埋沟性。

10.内引线压焊技术

在该内引线压焊技术的说明中，图 43 是应用标准引线压焊技术的压焊部分的剖面图；图 44 是应用了柱状凸出电极的压焊部分的剖面图；图 45 和图 46 是应用了焊锡的引线连接的剖面图和平面图；图 47 和 48 是应用了焊锡或金球的引线连接的剖面图和斜视图；图 49 是应用了铝或焊锡丝的连接剖面图；图 50 是应用了金丝的连接剖面图。

比如说，在本发明人所探讨过的技术中，在如图 43 所示的那种压焊构造中，把已形成了镀金的引线 11 直接接触到压焊焊盘 7 上并进行超声波热压焊。在这种情况下，当压焊条件恶劣或压焊工具 18 的形状不好时，考虑到将发生压焊强度降低，或压焊焊盘 7 或其下边将会受到损伤之类的问题。

对此，在本实施例 1 中，借助于采用下述那样的压焊形态中的方法，就可以解决上述那种以压焊条件、压焊工具 18 的形状等为原因的接合性和损伤之类的问题。

就是说，图 44 是使用了柱状凸出电极 43 的例子。在该例子中，特征是使用具有在半导体芯片 1 的压焊焊盘 7 上用预电镀法或球焊法之类的方法形成的柱状凸出电极 43 的半导体芯片 1，而且成为用该柱状凸出电极 43 提高接合性，进而防止损伤的构造。

另外，图 45，图 46 是应用了焊锡 44 的引线 11 的连接例，显示出了用焊锡把引线 11 包起来的连接形态。该例是把半导体芯片 1 的由铝等构成的压焊焊盘 7 和将成为 CSP 的基板的 TAB 之类的基板基材 9 的电极连起来的连接构造的技术。作为这时的焊锡 44 的供给方法，有应用已经介于中间的基板基材 9，使焊锡 44 把基板基材 9 的引线 11 包起来并与半导体芯片 1 的压焊焊盘 7 进行连接的方法。

作为这时的连接方法，在使用压焊机并借助于加压加热使之连接的方法中，理想的是把已介在于 TAB 等的基板基材 9 中的焊锡 44 的形状做成为使与半导体芯片 1 的压焊焊盘 7 相接连的面尽可能地平坦。另外，在应用了回流炉的连接方法中，使焊膏或助焊剂介

在于半导体芯片 1 的压焊焊盘 7 的面上使得与基板基材 9 的焊锡 44 接连。

其次，在用焊膏供给焊锡 44 的情况下，用印刷或注射器使焊膏介在于半导体芯片 1 的压焊焊盘 7 的面上。这时，TAB 等的基板基材 9 先粘接或后粘接都不要紧，但前提是在把基板基材 9 已粘接到半导体芯片 1 上的时候，基板基材 9 的引线 11 与焊锡 44 接连。

图 47、图 48 示出的是一种连接技术，其特征是用焊锡或金球 45 等的柱状凸出电极以从上边把 TAB 等的基板基材 9 的引线 11 包起来的形式使引线 11 连到半导体芯片 1 的压焊焊盘 7 上。

另外，图 49 是一个用 Al 或焊锡丝 46 把挠性布线基板 3 的布线 10 和半导体芯片 1 的压焊焊盘 7 连起来的例子。图 50 是用 Au 丝 47 把挠性布线基板 3 的布线 10 与半导体芯片 1 的压焊焊盘 7 连起来的例子。在这种连接例子中，可以用一般的丝焊的概念而不是 TAB 之类的内引线压焊进行连接。

11. 在无工具返程下的可形成 S 形的引线设计技术

在该无工具返程下的可形成 S 形的引线设计技术的说明中，图 17 是在前面已说明过的标准 S 形引线形式时的压焊工具的轨迹的剖面图；图 51 是用于说明引线设计的斜视图；图 52 是压焊后的引线变形的斜视图；图 53 是引线尺寸和弯曲应力比之间的关系说明图；图 76 - 80 是与弯曲应力对应的引线变形形状的剖面图。

例如，在本发明人所探讨过的技术中。就如在上述平面 S 形引线 26 的形成技术中也说明过的那样。要想形成上述图 17 中的那种引线 11 的 S 形状，就必须有使压焊工具 18 横向移动即含有工具返程的特殊的压焊轨迹 25。

对此，在本实施例 1 中，在图 51 的那种的引线 11 的尺寸中，比如说假定是图 53 的那种尺寸，则弯曲应力比 α 将变成所希望的 1.2-1.5 的范围，无工具返程，仅仅使压焊工具 18 垂直地下压，就可以形成图 52 的那种令人满意的引线 11 的 S 形状。在图 52 中，48 表示基板基材边沿，49 表示基板基材的拐角，50 表示芯片一侧的拐角。

比如，在实施例①的例子中，在锥形长 $L1 = 100 \mu m$ ，布线长 $L2 = 380 \mu m$ ，锥形宽度 $b1 = 65 \mu m$ ，引线宽度 $b2 = 38 \mu m$ ，引线厚度 $h = 18 \mu m$ 这样的尺寸中，弯曲应力比将变为 $\alpha = 1.26$ 。同样，在②的例子中为 1.25；在③的例子中为 1.26；在④的例子中为 1.31；在⑤的例子中为 1.46。

对此，在已探讨过的技术中，例如在①的例子中，锥形长 $L1 = 100 \mu m$ ，布线长 $L2 = 280 \mu m$ ，锥形宽度 $b1 = 60 \mu m$ ，引线宽度 $b2 = 38 \mu m$ ，引线厚度 $h = 18 \mu m$ ，在这样的尺寸中，弯曲应力比 α 将变成 1.2-1.5 这一范围外的 1.02 在②的例子中为 1.3。

这样一来，由于在弯曲应力比 α 为 1.2-1.5 的范围内，在布线动作之际弯曲应力将集中于引线 11 的中间部分，故将变成缓平地弯曲良好的布线状态。另一方面，像已探讨过的技术那样，在弯曲应力比 α 不足 1.2 的情况下，由于弯曲应力将集中于引线 11 的基板基材边端 48 上，变成顶住的状态；而在超过 1.5 的情况下，弯曲应力仅仅集中于引线 11 的中间部分因而变成曲率半径小的状态，故不能说是良好的布线状态。

在这里，把与弯曲应力比 α 对应的引线变形形状具体地示于图 76 ~ 图 80 中。首先，在对于图 76 的布线前的初始引线形状仅仅使压焊工具 18 垂直下压的情况下，比如说在进行 $\alpha < 0.9$ 的布线动作时，由于弯曲应力集中于引线 11 的基板基材边沿 48 上，故变成为图 77 的那种极端拉紧的布线状态。为此，在布线后的温度循环时，由于给引线 11 高反复地加以应力，故疲劳寿命将变得极端地短。

此外，如本发明人所探讨过的技术所示，在 $0.9 \leq \alpha \leq 1.2$ 的布线动作之际，由于弯曲应力集中于引线 11 的基板基材边沿 48 上，故将变成图 78 的那种稍许拉紧的布线状态。因此，在布线后的温度循环时，由于给引线 11 高反复地加上应力，故疲劳寿命变短。

对此，如本实施例 1 那样，在进行 $1.2 \leq \alpha \leq 1.5$ 的布线动作之际，由于弯曲应力集中于引线 11 的中间部分，故将变成图 79 的

那样的平缓地弯曲的布线状态。因此，在布线后的温度循环中。由于没有高反复的应力加到引线 11 上，故疲劳寿命变长。

在把弯曲应力比加大到 $1.5 < \alpha$ 的布线动作之际，由于弯曲应力仅仅集中于引线 11 的中间部分、故将变成图 80 的那种曲率半径小的布线状态。因此，弯曲部分的初始强度降低，故布线后的温度循环时的疲劳寿命将变短。

其结果是，通过把弯曲应力比设定于 $1.2 \leq \alpha \leq 1.5$ 的范围之内（如本实施例 1 那样），布线状态将变成缓慢地弯曲的最佳布线状态，而且引线 11 的温度循环寿命也可增长。

该弯曲应力比 α 的定义是，在用压焊工具 18 进行了把引线 11 压到压焊焊盘 7 的正上边的动作之际，把引线 11 的基板基材一侧拐角 4a 处所产生的应力 σ_1 用在引线 11 的基板基材边沿 48 处所产生应力 σ_0 除后的值。即，弯曲应力比 α ，根据以锥形形状为特征的引线 11 的尺寸，可用下式表示。

$$\alpha = \sigma_1 / \sigma_0 = b_1 \times (L_2 - L_1) / (b_2 \times L_2)$$

根据以上情况，采用设计引线 11 的尺寸和形状使得弯曲应力比 α 变为 1.2-1.5 的办法，与上边说过的平面 S 形引线 26 的技术一样，借助于用丝焊机进行的单纯压下轨迹就可以形成满意的 S 形状的布线状态。这样一来，由于不需要经软改造过的特殊的丝焊机中也可以简化压焊工具轨迹 25，故可以期待缩短压焊时的间歇时间的效果。

12. 不镀 Ni 引线

在该不镀 Ni 引线的技术说明中。图 54 是引线连接的连接部分的剖面图；图 55 是引线弯曲部分的放大剖面图；图 56 是不镀 Ni 引线的弯曲部分的放大剖面图；图 57 是引线的压焊部分的放大断面图；图 58 是不镀 Ni 引线的压焊部分的放大剖面图。

例如，在本发明人所探讨过的技术中，在取代 Au 无垢引线，作成为铜芯引线并在表面上先施行镀 Ni，再在其表面上镀 Au 的引线 11 的断面构造的情况下，由于镀 Ni 层硬而脆，故考虑到如图 55 所示，在引线 11 的弯曲部分上将产生裂纹，或者如图 57 所示，在

压焊焊盘 7 或其下面产生损伤之类的问题。

对此，在本实施例 1 中，采用使用使镀 Ni 消失的引线 11 的办法，由于硬度和脆度部变低了，故除去引线本身的裂纹 51 变得难于产生之外，还可以减轻对作为压焊面的半导体芯片的损伤 52。

即在图 54 的那样的引线 11 的连接状态下，如把该图 54 的 A 部分扩大后的图 55 所示，用铜芯 53 + 镀 Ni54 + 镀金 55 的构成的引线 11 的话，则如图所示，在弯曲部分的曲率半径变小时易于产生裂纹 51；另一方面，如果如图 56 所示，在引线 11 的表面上无镀 Ni 层 54、比如说仅有镀金层 55。则即使在和图 55 的情况相同的曲率时在引线 11 的弯曲部分处也难于产生裂纹 51。

另外，即便是在把图 54 的 B 部分放大后示出的图 57 的引线 11 的压焊部分处，若是用铜芯 53 + 镀 Ni54 + 镀 Au55 的构成的引线 11 的话，则如图所示，在压焊焊盘 7 的周边易于产生损伤 52；另一方面，若如图 58 所示，在引线 11 的表面上无镀 Ni 层 54，例如只有镀金层 55，则即使在相同的引线压焊条件下进行了压焊的情况下也难于产生损伤 52。

如上所述，采用把引线 11 的构成定为仅仅在铜芯 53 等的芯材上形成镀 Au 层 55 之类的镀层的办法，就可以抑制引线 11 上裂纹 51 的产生，同时，还可以减轻对半导体芯片 1 的损伤。

因此，倘采用本实施例 1 的半导体集成电路器件，则在与半导体芯片 1 大体上同一尺寸的 CSP 封装技术中。就如借助于与上边绕过的本发明人所探讨过的封装构造相比较依次说过的那样，可以得出在：1.表面布线构造；2.基板基材对弹性体的帽檐最佳化；3.封装的外形尺寸最佳化；4.平面 S 形引线；5.悬臂梁式引线；6.压焊焊盘的周边 PIQ 尺寸；7.固定器（anchor）布线的改善；8.宽弹性体构造；9.弹性体的埋沟技术；10.内引线压焊技术；11.无工具回程下的可形成 S 形的引线设计技术；12.无镀 Ni 层引线等等的各个技术项目中优良的效果。

还有，在本实施例 1 中，虽然已在 1 中以表面布线构造为前提对图面及其技术内容进行的说明。但对于从 2 - 12 的技术项目来

说，并不受限于表面布线构造，而是一种像上述图 7 的那样的背面布线构造等的一般的封装构造也能应用的技术，因此，即使应用于一般的封装构造中去也可得到与上述每一项中所说明过的那种同样的效果。

此外，在本实施例 1 的封装构造（图 1，图 2）中，示出的虽然是弹性体 2 比半导体芯片 1 的外形还大的情况，但反过来，如图 81 所示，在弹性体 2 比半导体芯片 1 的外形小的情况下，采用形成为用密封剂 6 把半导体芯片 1、弹性体 2 的侧面部分覆盖住的封装构造的办法，可以提高耐湿性等性能。

实施例 2

本实施例 2 的半导体集成电路器件和上述实施例 1 一样，被作为焊球网格阵列式的半导体封装，和上述实施例 1 之间的不同之处是不是以表面布线构造为前提的技术，而是以背面布线构造为前提并用来对之进行改善的技术，比如说如图 59，图 60 所示，在已粘接到半导体芯片 1 的主面上边的弹性体 2 和将被粘接到弹性体 2 的主面上的挠性布线基板 3（布线基板）之间的构造中，在挠性布线基板 3 的背面上边已形成了阻焊层 56（绝缘膜）。

就是说，挠性布线基板 3 变成了由将成为该挠性布线基板 3 的基材的基板基材 9 和将被粘接到该基板基材 9 的背面上边的布线 10 构成，且布 10 的背面一侧已介以阻焊层 56 粘接到弹性体 2 上。该阻碍层 56 比如说与上述实施例 1 一样由感光性环氧树脂等形成的绝缘材料构成。

在这里，对本实施例 2 的半导体集成电路器件的封装构造的特征借助于与作为本发明人所探讨过的技术的封装构造之间进行的比较，包括构造和工艺等等在内进行说明。

例如，作为本发明人所探讨过的技术，在上述实施例 1 中，若用图 7 的那种背面布线构造，由于在挠性布线基板 3 的布线 10 的主面上边直接形成弹性体 2、故在弹性体 2 的低分子量的成分等直接漏出到引线 11 上并一直渗透到引线 11 的压焊点的情况下，将产生因该污染使压焊性（布线接合强度）极端降低之类的问题。

此外，和直接的引线 11 的电镀面相比，在引线 11 之间，布线 10 已被刻蚀出来的基板基材 9 的面还具有提高该基板基材 9 和布线 10 之间的粘结性的意义，且由于基板基材 9 的面已粗糙化，故漏出非常激烈。再加上表面张力的效果，故存在着在引线 11 的边沿部分漏出最激烈的倾向。

此外，在存在着由有布线 10 的部分和无布线 10 的部分形成的布线 10 的凹凸的面上形成弹性体 2 的背面布线构造中。考虑到在布线 10 与布线 10 之间的缝隙中等处易于剩下气孔，故形成可靠性上的悬念。

对此，在本实施例 2 中，在挠性布线基板 3 的制作工序中，未用在布线 10 形成后在布线 10 上形成阻焊层 56 的办法。可以防止弹性体 2 直接与布线 10 相连接。同样，也可防止弹性体 2 向基板基材 9 的粗糙化面的接触。这样一来，就可以抑制弹性体 2 的低分子量成分的漏出。

此外，采用在存在着挠性布线基板 3 的凹凸的布线 10 的面上涂以阻焊层 56 的办法，可以使布线 10 的表面平坦化，还可避免弹性体 2 形成时的气孔卷入之类的麻烦。

因此，倘采用本实施例 2 的半导体集成电路器件，在以背面布线构造为前提的 CSP 的半导体封装技术中，采用在挠性布线基板 3 的布线 10 上形成阻焊层 56 的办法，就可以防止引线 11 的污染并可抑制压焊性的降低，还可得到无气孔的可靠性高的封装构造。

实施例 3

图 63 是从半导体芯片的背面看作为本发明的实施例 3 的半导体集成电路器件的平面图；图 62 是平面图；图 63 是剖面图；图 64 是图 63 的 A 部分的放大剖面图；图 65 是用于说明布线基板的布线构造的平面图。

本实施例 3 的半导体集成电路器件，不用上述实施例 1 和 2 的那种所谓扇入中央焊盘构造的半导体封装，而代之以应用如图 61 - 图 65 所示，周边焊盘构造的半导体芯片 1a，再把被连到该半导体芯片 1a 的压焊焊盘上的焊锡凸出电极 5a 配置到从半导体芯片 1a

的外周径内侧的区域上，变成了所谓的扇入周边焊盘的封装构造。还有，即便是在本实施例 3 中。也成为已采用在上述实施例 1 中已说明过的从 1.表面布线构造到 12.无镀 Ni 层引线为止的技术和在实施例 1 所说明过的背面布线阻焊层构造的各个技术项目的特征的构造。

就是说，在本实施例 3 的半导体集成电路器件中，采取了比如说 24 腿的焊球网格阵列式的半导体封装，变成了在已形成了多个压焊焊盘 7a（外部端子）的半导体芯片 1a 的主面上边，设有弹性体 2a，在基板基材 9a 上边已形成了布线 10a 的挠性布线基板 3a（布线基板）和阻焊层 4a（绝缘膜），在该阻焊层 4a 的窗口部分形成焊锡凸出电极 5a（凸出电极），并把压焊焊盘 7a 的形成部分、弹性体 2a 和挠性布线基板 3a 的侧面部分用密封材料 6a 覆盖起来的封装构造。

半导体芯片 1a，比如说如图 65 所示，被作为周边焊盘构造，沿着半导体芯片 1a 的外周部分正方形形状地并排形成了多个压焊焊盘 7a。在该半导体芯片 1a 的压焊焊盘 7a 上，介以一端连接引线 11a 的挠性布线基板 3a 的布线 10 电连有被接合到该布线 10a 的另一端的凸出电极基面 12a 上的焊锡凸出电极 5a。该焊锡凸出电极 5a 被设置为在半导体芯片 1a 的压焊焊盘 7a 的排列位置的往内一侧的区域上排列 6 行 × 4 列。

因此，即使在本实施例 3 的半导体集成电路芯片中，虽然有作为扇入周边焊盘的半导体封装构造的不同之处，但在上述实施例 1 和 2 中所说明过的那种各个技术项目中。仍可得到同样优良的效果。特别是在这种扇入的封装构造中，和上述实施例 1、2 一样。可以作成和半导体芯片 1a 几乎同一尺寸的 CSP 的半导体封装。

实施例 4

图 66 是从半导体芯片背面看作为本发明的实施例 4 的半导体集成电路器件的平面图；图 67 是平面图；图 68 是剖面图；图 69 是图 68 的 A 部分的放大剖面图；图 70 是用于说明布线电板的布线构造的平面图。

本实施例 4 的半导体集成电路器件，不用上述实施例 1 和 2 的那种所谓的扇入中央焊盘构造的半导体封闭而代之以应用如图 67 - 图 70 所示的周边焊盘构造的半导体芯片 1b，再把与该半导体芯片 1b 的压焊焊盘相连的焊锡凸出电极 5b 配置在从半导体芯片 1b 的外周往外一侧的区域上，变成了所谓扇出周边焊盘的封装构造。此外，即使在本实施例 4 中，也成为采用在上述实施例 1 中说明过的从 1、表面布线构造到 12，无镀镍（Ni）层引线为止的那些技术以及在实施例 2 中说明过的背面布线构造的各个技术项目的特征的构造。

就是说，本实施例 4 的半导体集成电路器件被作成成为比如说 80 腿的焊球网格阵列式的半导体封装。变成为在已形成多个压焊焊盘 7b（外部端子）的半导体芯片 1b 的主面上没有弹性体 2b、在基板基材 9b 上形成了布线 10b 的挠性布线基板 3b（布线基板）和阻焊层 4b（绝缘膜），在该阻焊层 4b 的窗口部分上形成焊锡凸出电极 5b（凸出电极），用密封材料 6b 把压焊焊盘 7b 的形成部分盖住，在半导体芯片 1b 的侧面部分上设置了支持环的封装构造。

半导体芯片 1b，例如如图 70 所示，被作成成为周边焊盘构造，沿着半导体芯片 1b 的外周部分正方形形状地并排形成了多个压焊焊盘 7b。在该半导体芯片 1b 的压焊焊盘 7b 上，介以一端连接引线 12b 的挠性布线基板 3b 的布线 10b，电连有被接合到该布线 10b 的另一端的凸出电极基面 12b 上的焊锡凸出电极 5b。该焊锡凸出电极 5b 被设置为在从压焊焊盘 7b 的排列位置往外侧的区域以正方形的形状排成 2 列。

因此，即使在本实施例 4 的半导体集成电路器件中，尽管存在着作为扇出周边焊盘的半导体封装构造的不同之处，但仍可得到在上述实施例 1 和 2 中所说明过的各个技术项目中同样的优秀的效果。特别是在这种扇出的封装构造中。尽管与上述实施例 1 和 2 相比半导体封装的尺寸变大了。但仍可作成与多管腿化相对应的封装构造。

实施例 5

图 71 是从半导体芯片背面看的本发明实施例 5 的半导体集成电路器件的平面图；图 72 是平面图；图 73 是剖面图；图 74 是图 73 的 A 部分的放大剖面图；图 75 是用于说明布线基板的布线构造的平面图。另外，为了明确地进行布线的走线，图 75 省掉了一部分，简化地示出了压焊焊盘和焊锡凸出电极的数目等等。

本实施例 5 的半导体集成电路器件，不用上述实施例 1 和 2 的那种所谓扇入中央焊盘构造的半导体封装，而代之以（如图 71 - 图 75 所示）周边焊盘构造的半导体芯片 1c，再把被连到该半导体芯片 1c 的压焊焊盘上的焊锡凸出电极 5c 配置到半导体芯片 1c 的外周内侧和外侧的两方的区域上，变成了所谓扇入/扇出周边焊盘的封装构造。另外，即便在本实施例 5 中，成为已采用在上述实施例 1 中说明过的从 1.表面布线构造到 12.无镀 Ni 层引线为止的技术，以及在实施例 2 中说明过的背面布线阻焊层构造的各个技术项目的特征。

就是说，本实施例 5 的半导体集成电路器件被作为比如说 110 管腿的焊球网格阵列式的半导体封装，并成为下述封装构造：在已形成了多个压焊焊盘 7c（外部端子）的半导体芯片 1c 的主面上边，设以弹性体 2c，已在基板基材 9 上边形成了布线 10c 的挠性布线基板 3c（布线基板）和阻焊层 4c（绝缘膜），并在该阻焊层 4c 的窗口部分处形成焊锡凸出电极 5c（凸出电极），压焊焊盘 7c 的形成部分用密封材料 6c 覆盖起来，在半导体芯片 1c 的侧面部分上设有支持环 57c。

半导体芯片 1c，例如如图 75（实际的配置是图 72）所示，被作为周边焊盘构造、沿着半导体芯片 1c 的外周部分排列成正方形形状地形成了多个压焊焊盘 7c。在该半导体芯片 1c 的压焊焊盘 7c 上，介以一端连接引线 11c 的挠性布线基板 3c 的布线 10c 电连有被接合到该布线 10c 的另一端的凸出电极基面 12c 的焊锡凸出电极 5c。该焊锡凸出电极 5c 在从半导体芯片 1c 的压焊焊盘 7c 的排列位置往内一侧的区域上排成 6 行 × 5 行，在外侧的区域上被设置为以正方形的形状排成 2 列。

因此，即便是在本实施例 5 的半导体集成电路器件中，尽管有着作为扇入/扇出周边焊盘的半导体封装构造的不同之处，但仍可以得到在上述实施例 1 和 2 中说明过的各个技术项目中同样的优良的效果。特别是在这种扇入/扇出的封装构造中。与上述实施例 1 和 2 相比尽管半导体封装的尺寸变大了，但仍可作成与多管腿化相对应的封装构造。

以上，根据发明的实施例 1 - 5 具体地说明了本发明人所完成的发明，但本发明不限于上述的实施例、在不脱离其宗旨的范围内可以进行种种变更，这是不言而喻的。

例如，在上述实施例中，对所谓中央焊盘扇入，周边焊盘扇入，周边焊盘扇出，周边焊盘扇入/扇出构造的各自的半导体封装进行了说明，但是对于中央焊盘扇出或中央焊盘扇入/扇出构造的半导体封装也可以应用。

此外，对作为半导体封装的外部连接端子的焊锡凸出电极，和本身即是电连到该焊锡凸出电极上的半导体芯片的外部端子的压焊焊盘的个数，并不限定于在上述实施例中所说明过的，相应于要形成于半导体芯片上的集成电路等的封装规格进行适当的变更是可能的。

此外，对于弹性体，关于作为布线基板的挠性布线基板的基板基材、布线和引线的镀膜、作为绝缘膜的阻焊层，作为凸出电极的焊锡凸出电极等等的材料，对于应用已具备各自的特性的其他的情况等等，不言而喻也是可应用的。

比如，作为阻焊层，除去蜜胺 (melamine)、丙烯酰基 (acryl)、聚苯乙烯、聚酰亚胺之外，还可举出聚氨酯甲酸乙酯 (polyurethane)、硅酮等等的材料，它们能承受焊接温度，同时必须持有能承受助焊剂和清洗溶剂漂洗的功能。

图 1

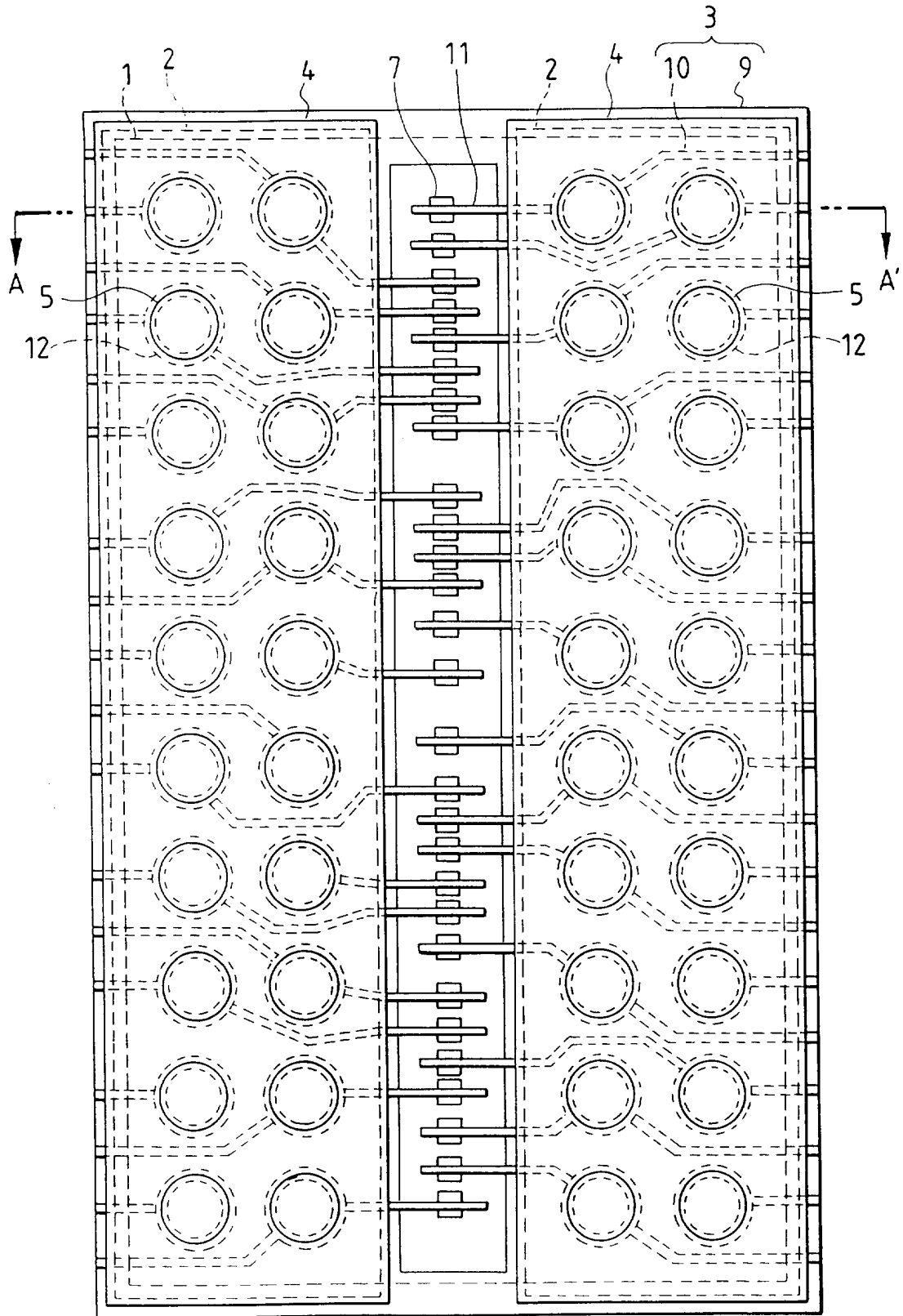


图 2

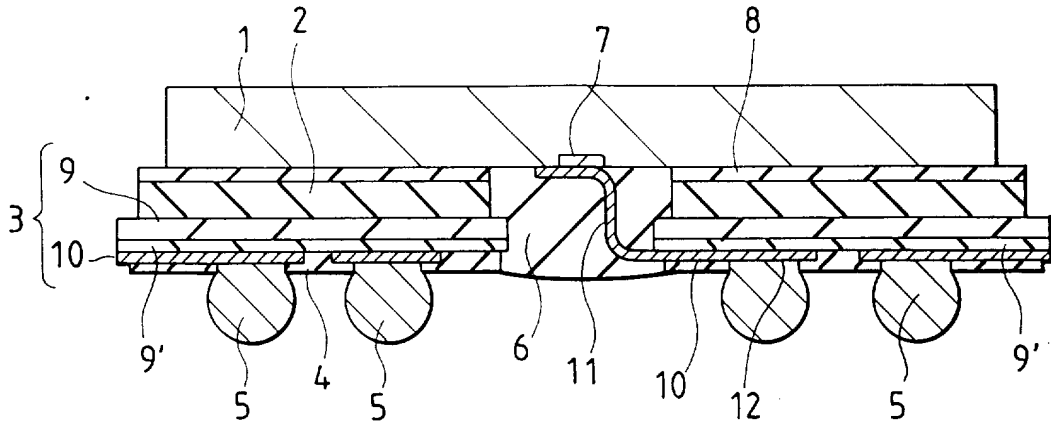


图 3

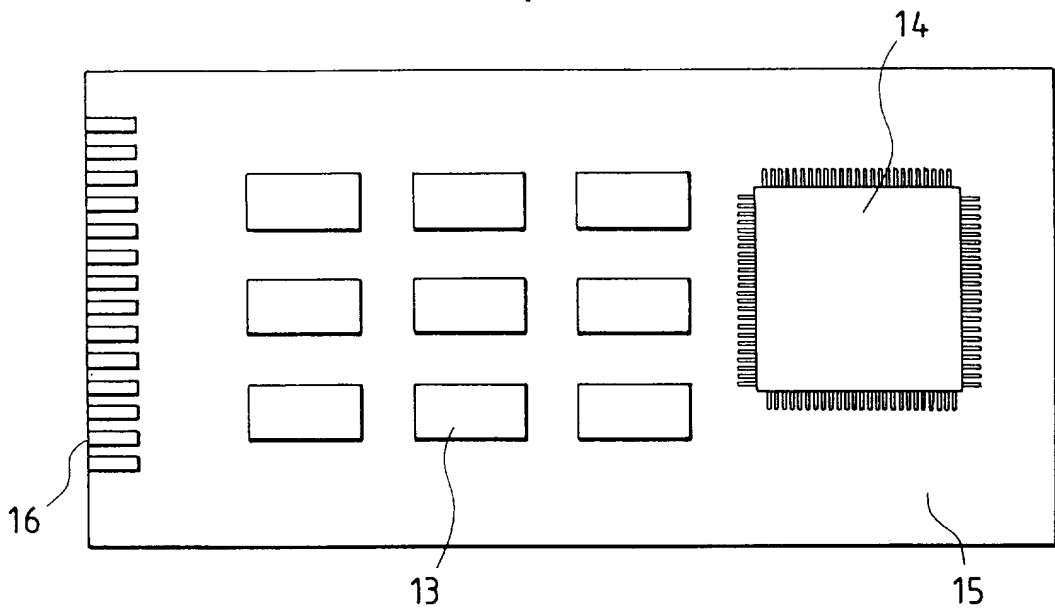


图 4

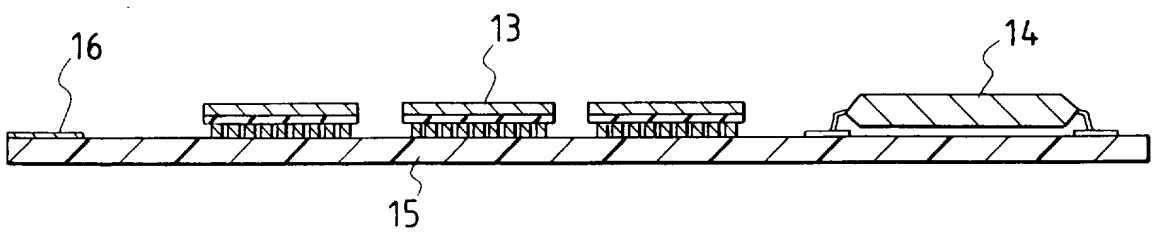


图 5

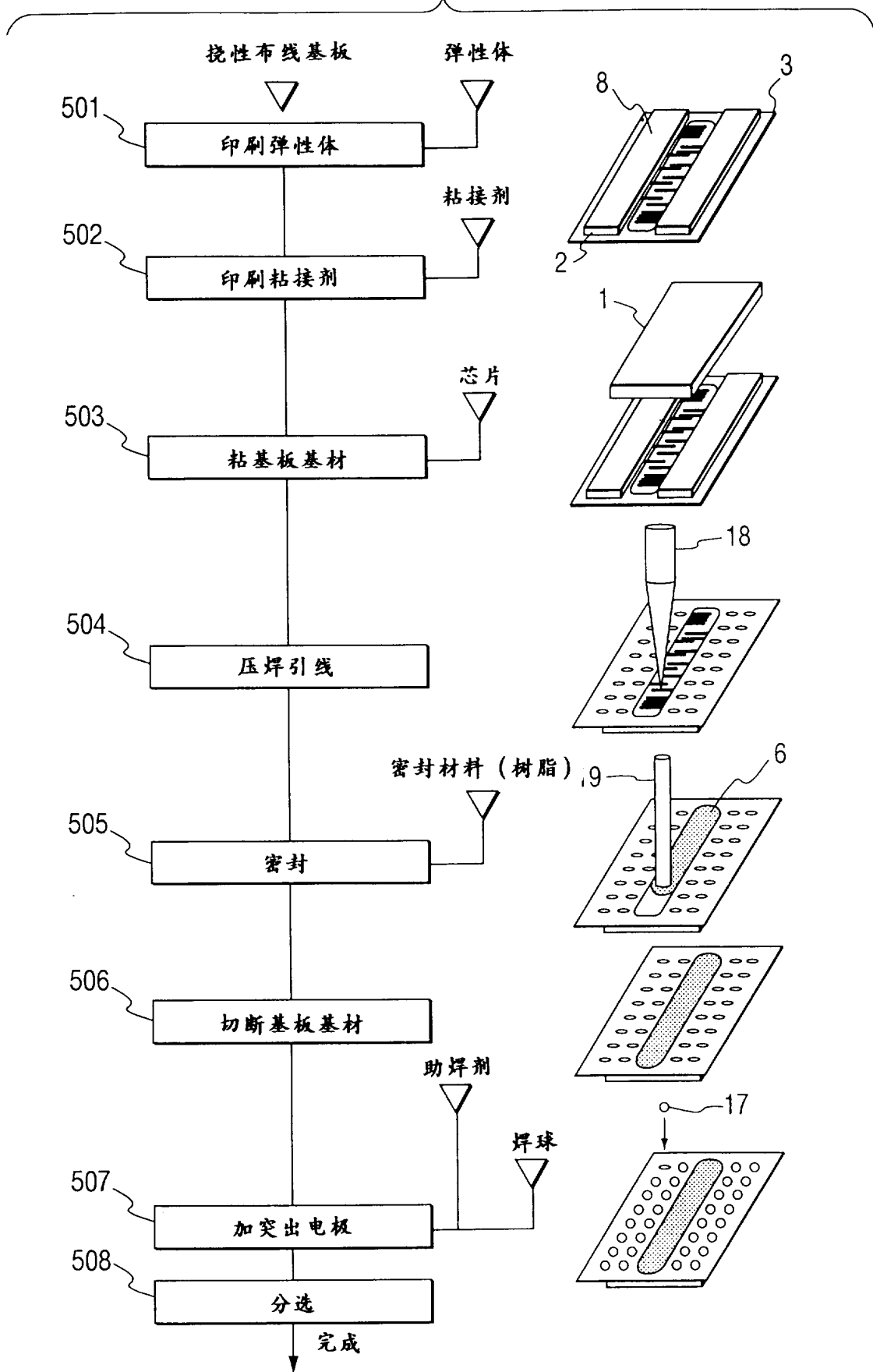


图 6

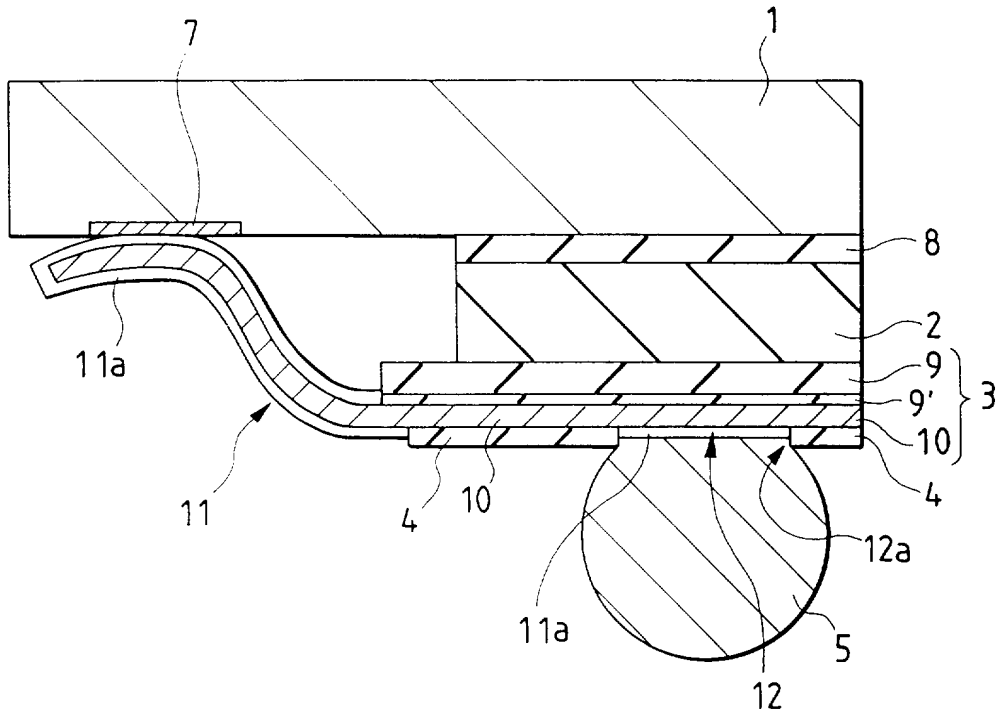


图 7

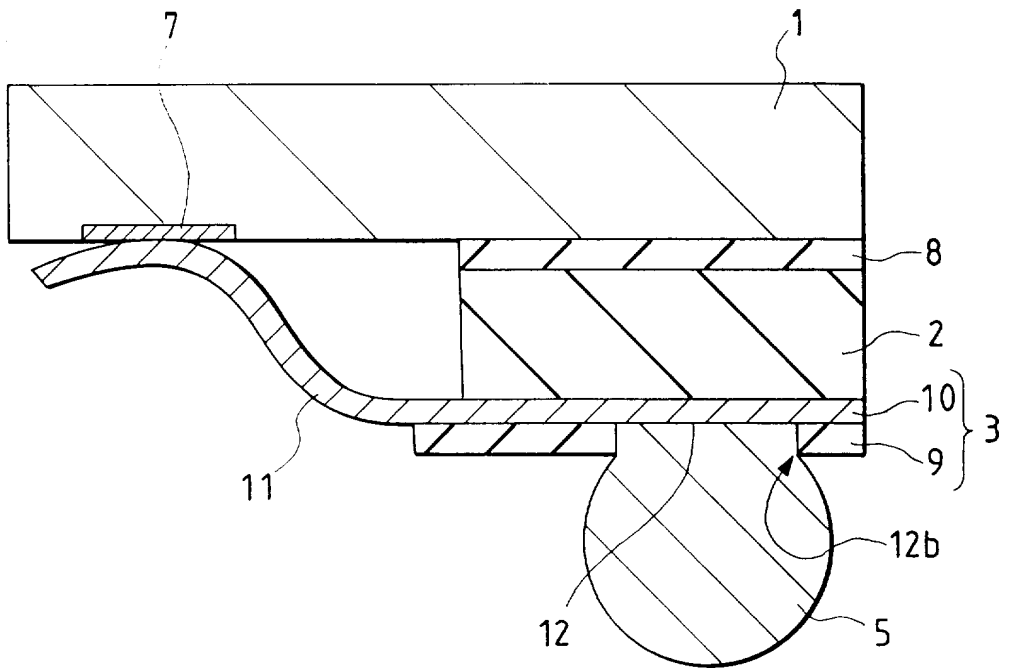


图 8

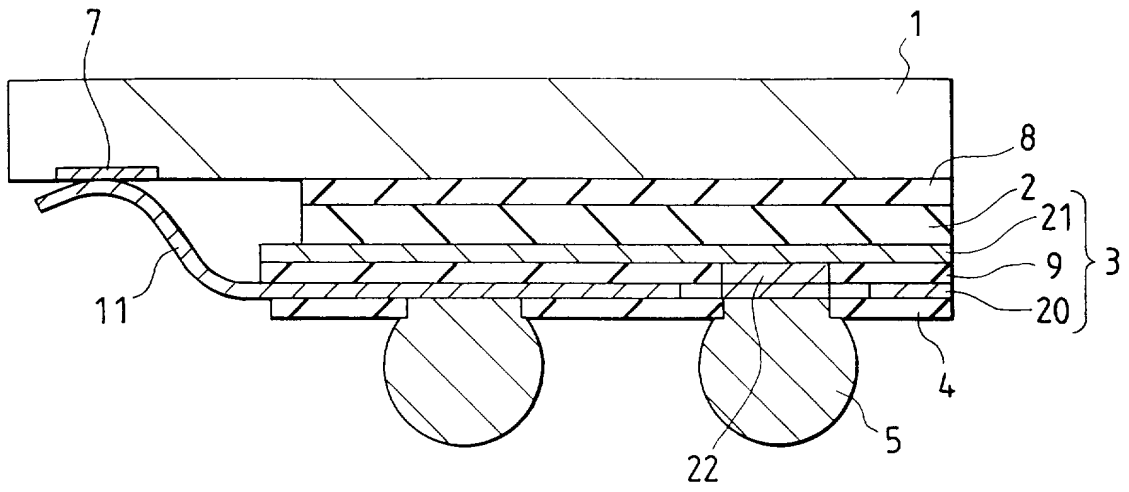


图 9

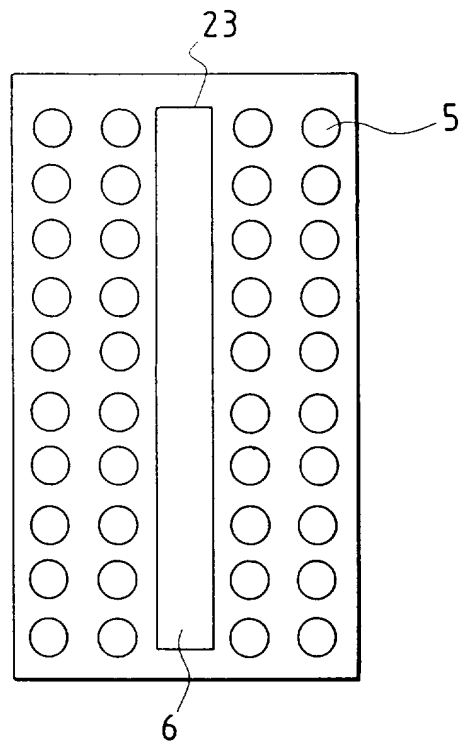


图 10

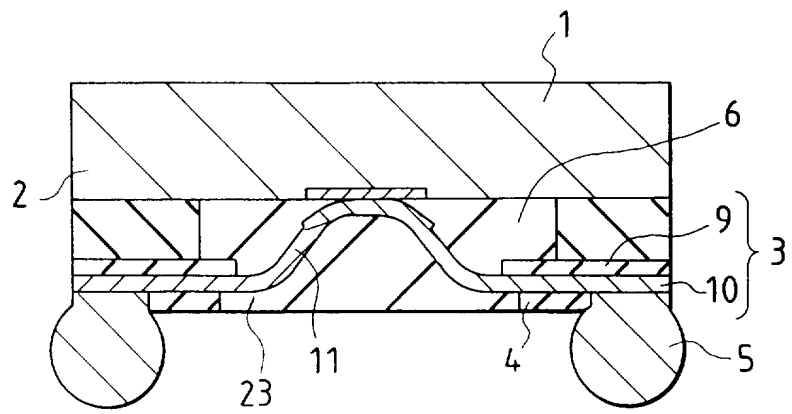


图 11

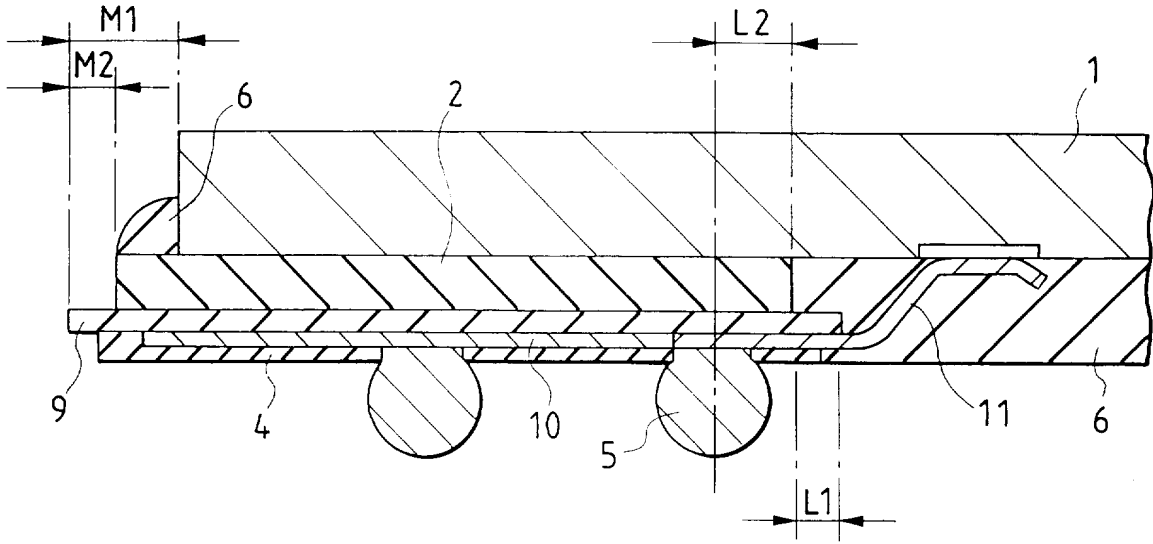


图 12

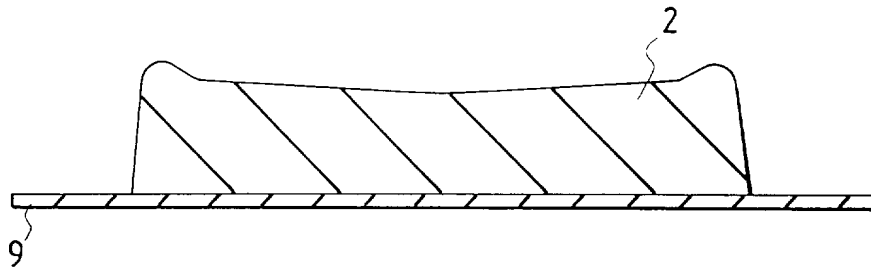


图 13

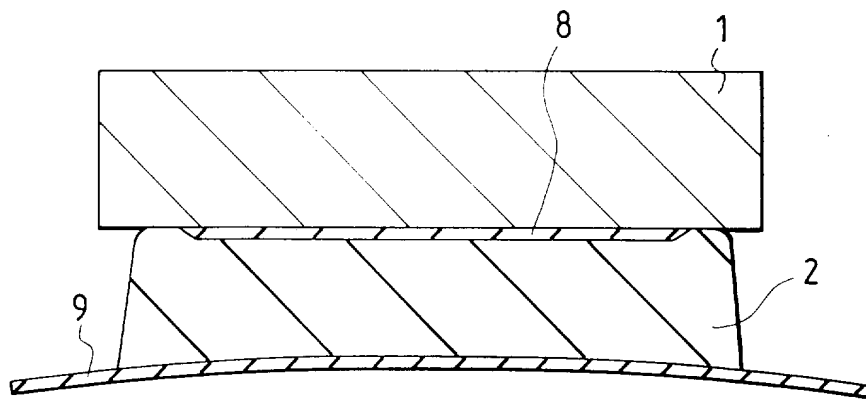


图 14

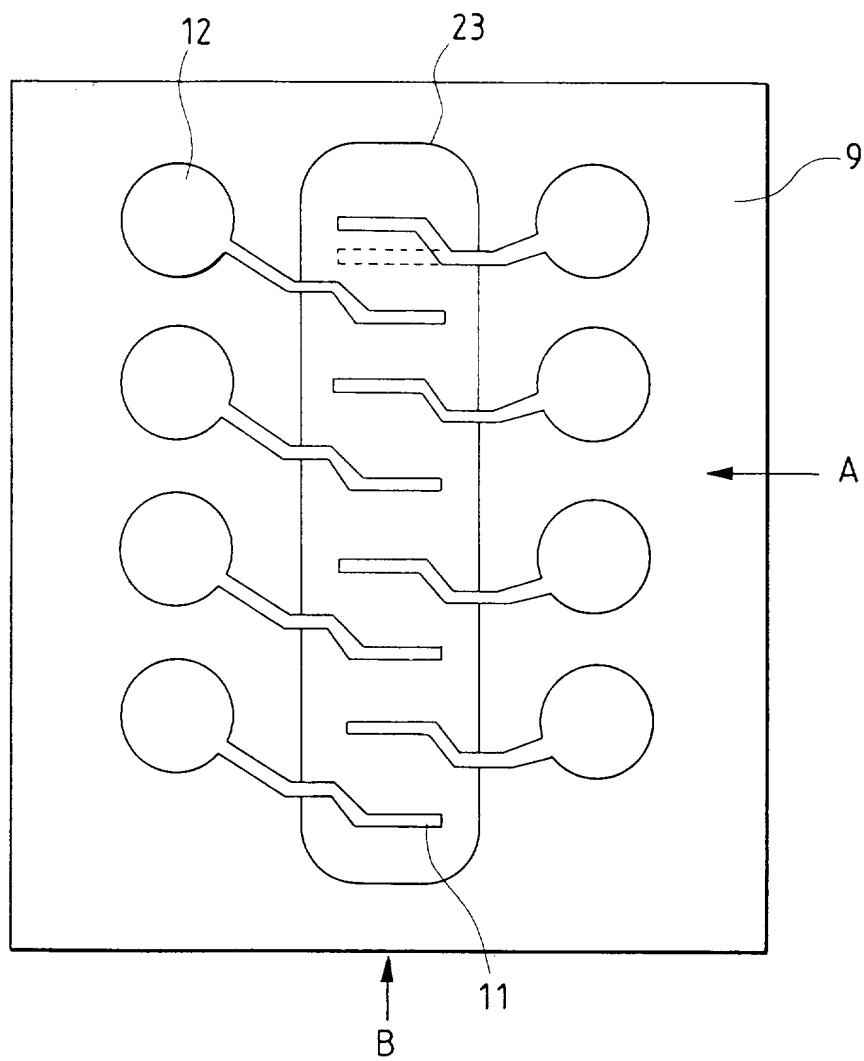


图 15

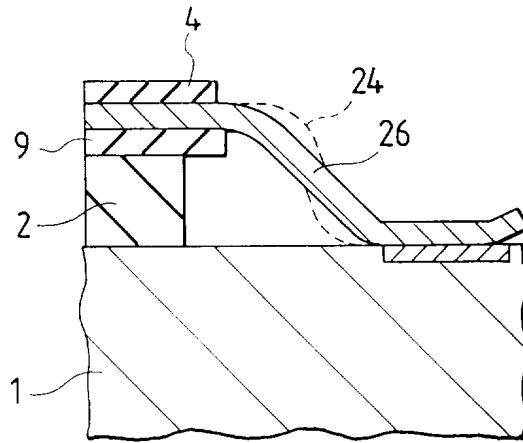


图 16

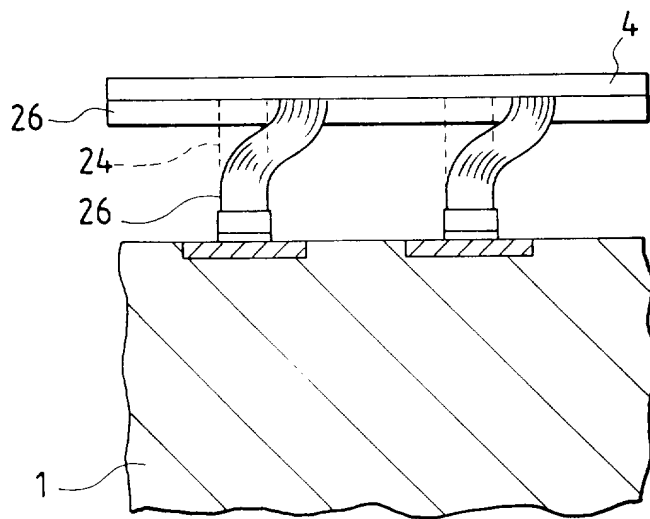


图 17

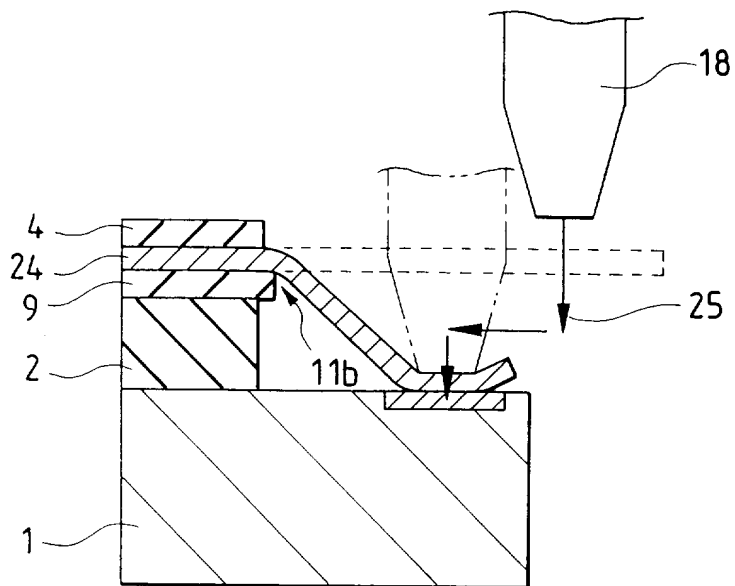


图 18

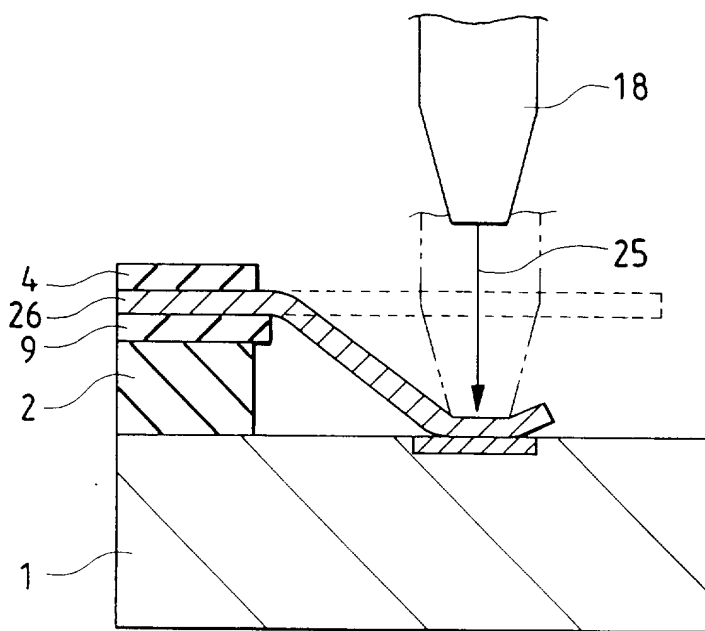


图 19

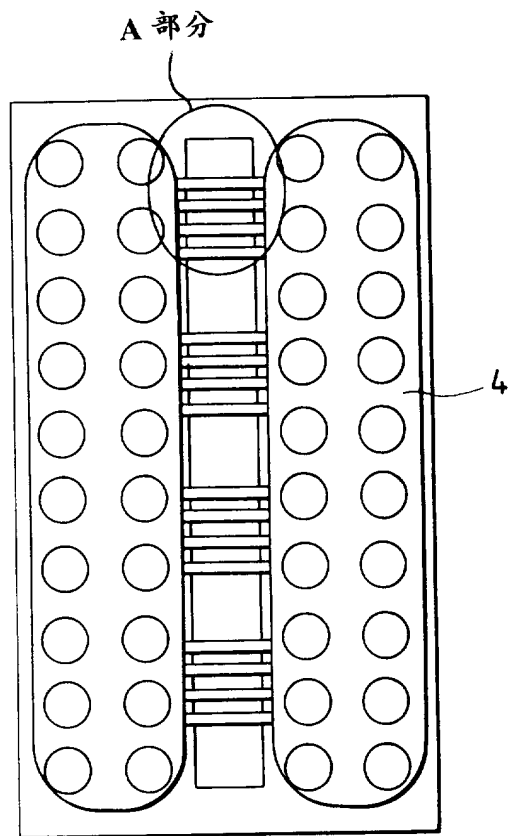


图 20

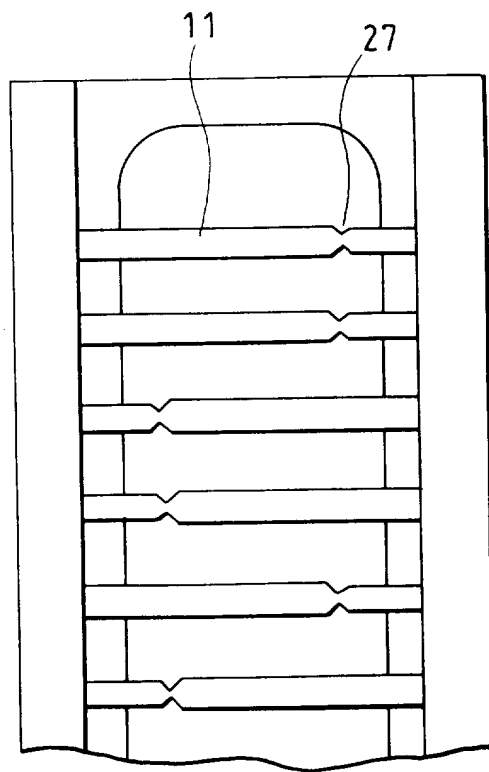


图 21

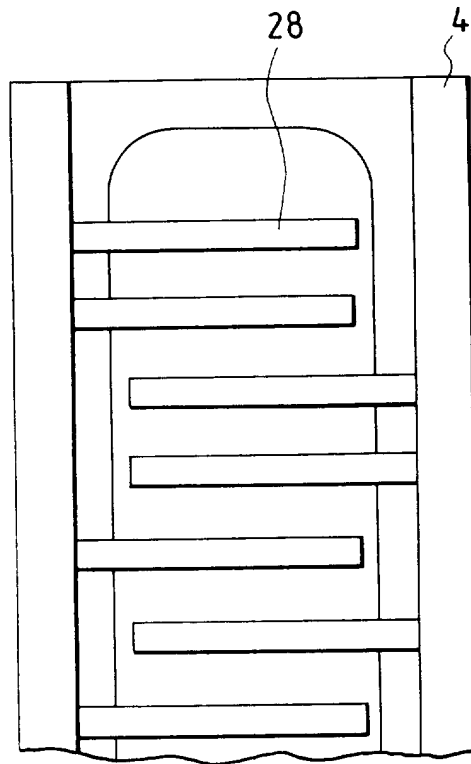


图 22

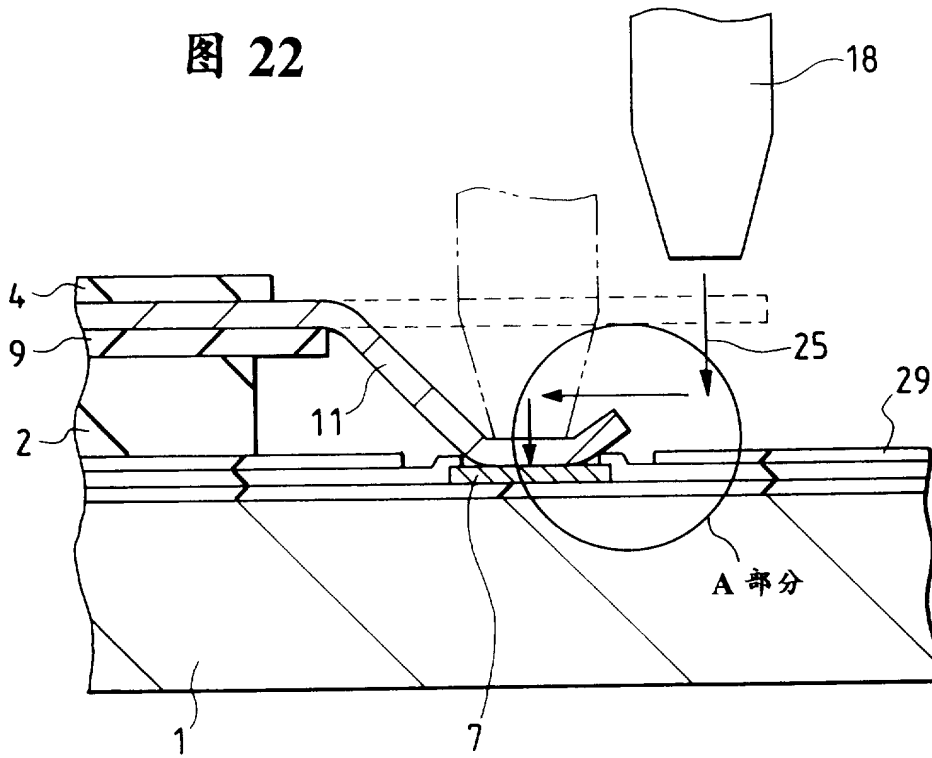


图 23

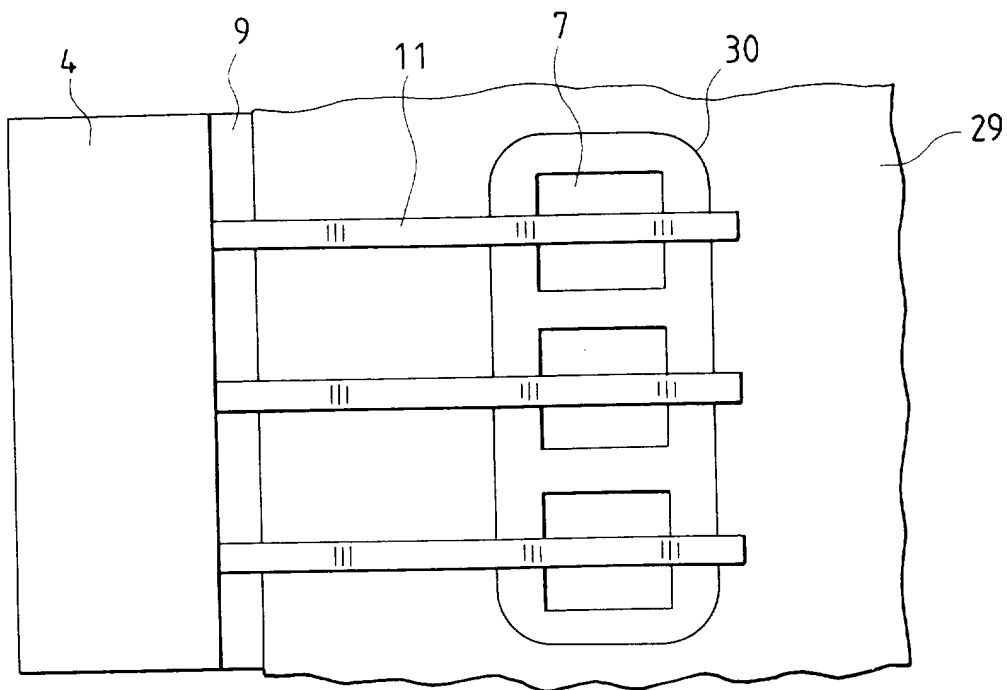


图 24

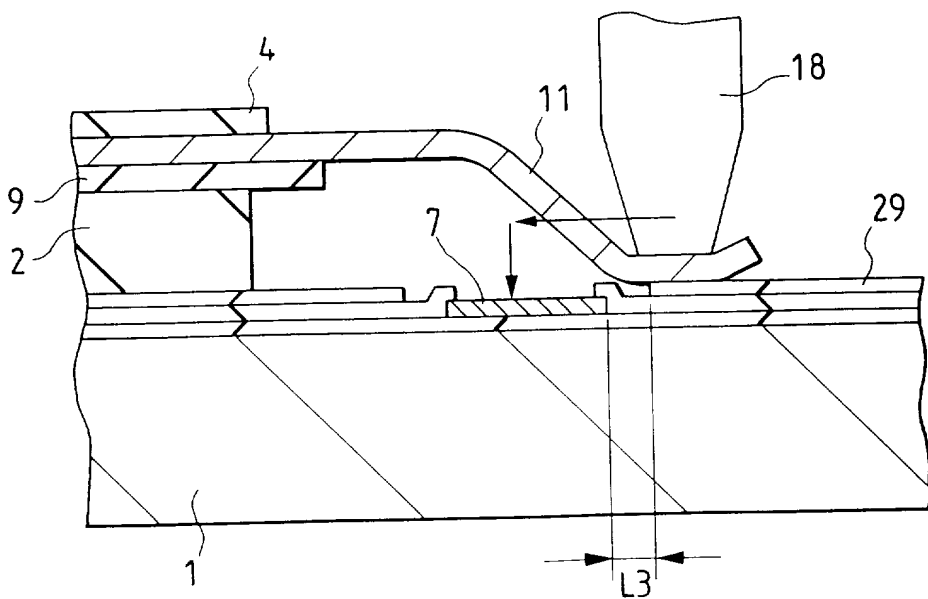


图 25

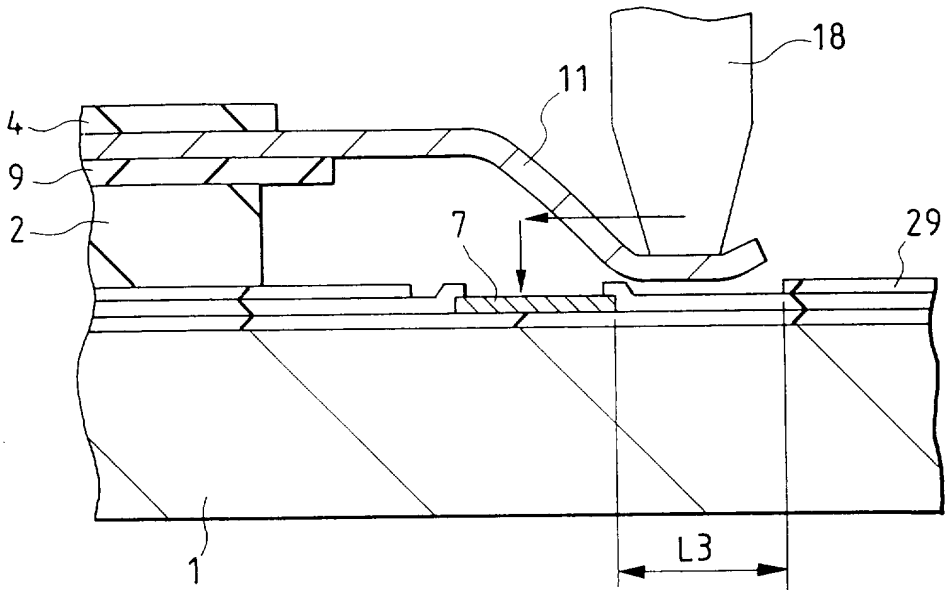


图 26

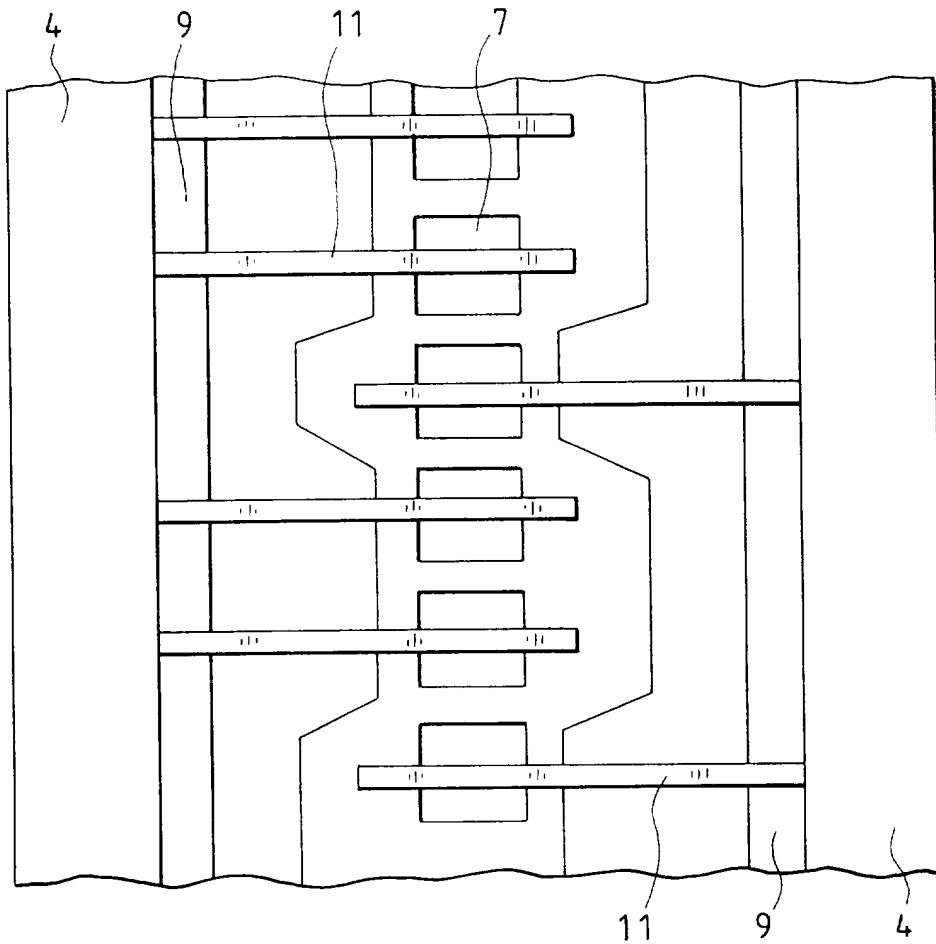


图 27

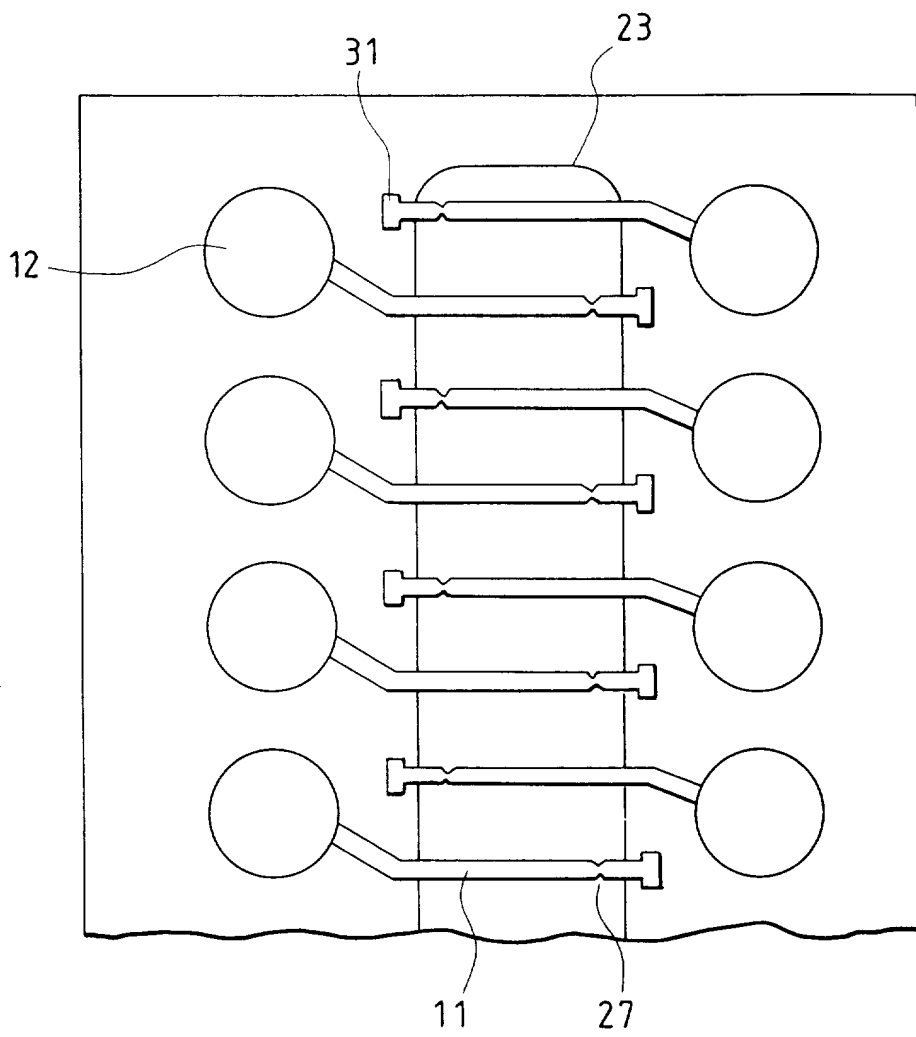


图 28

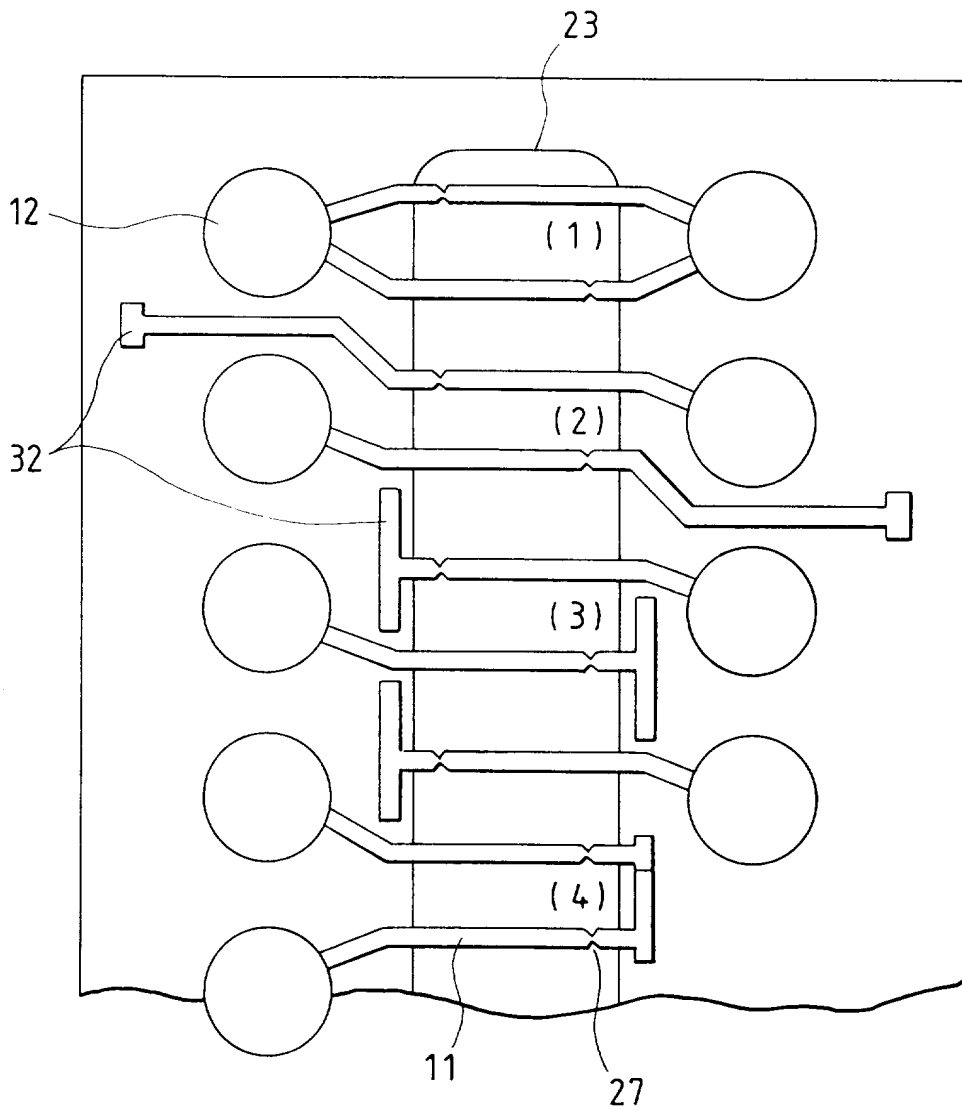


图 29

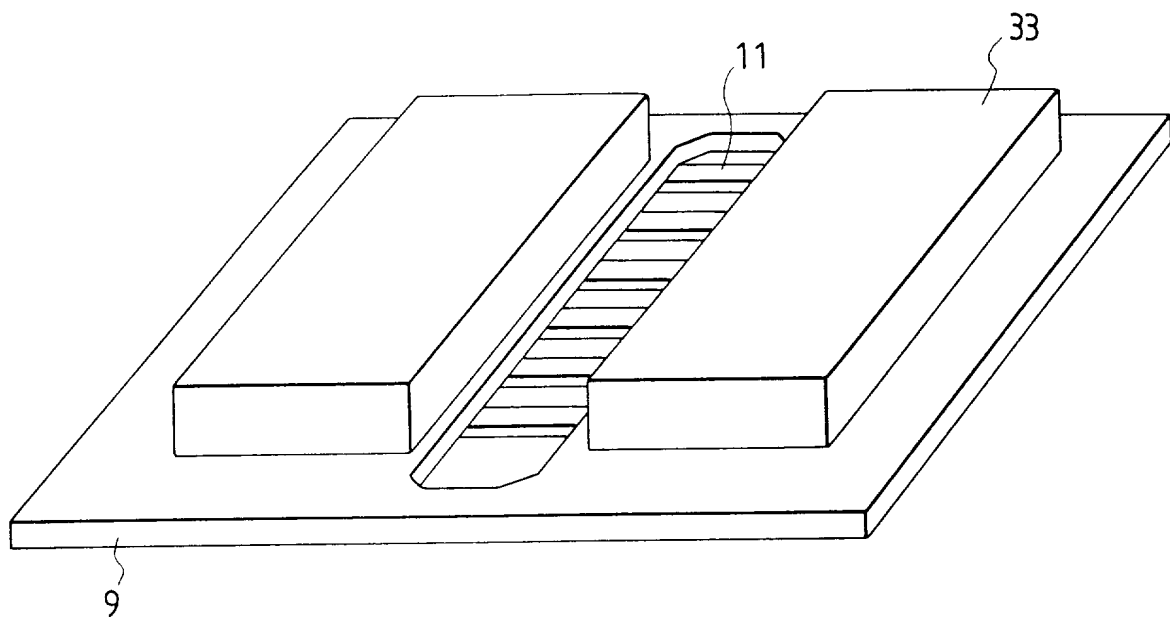


图 30

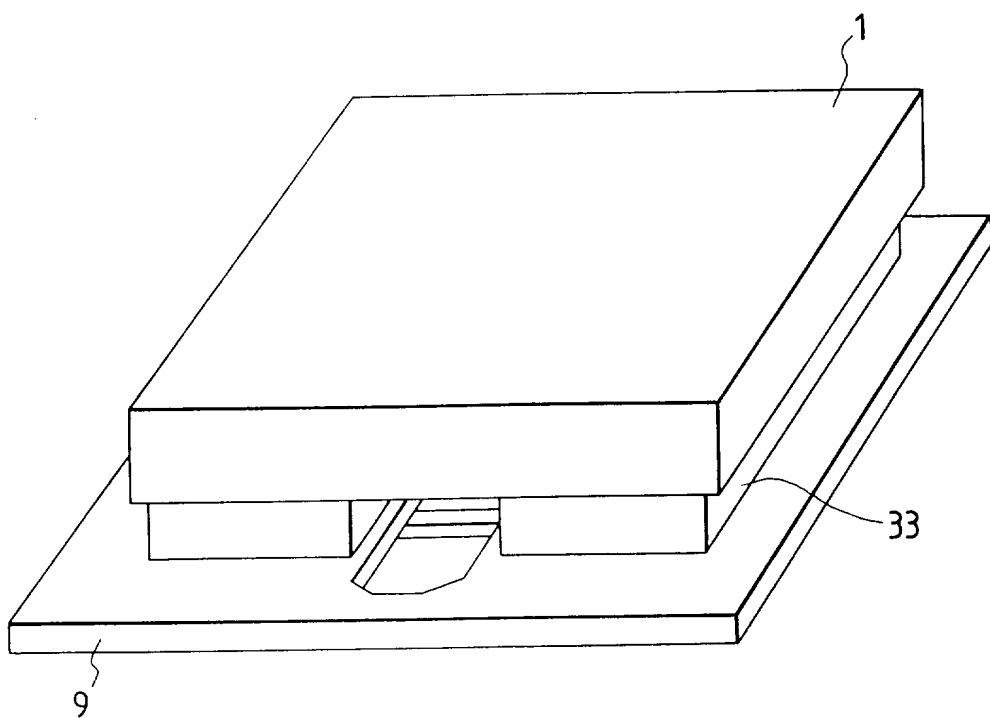


图 31

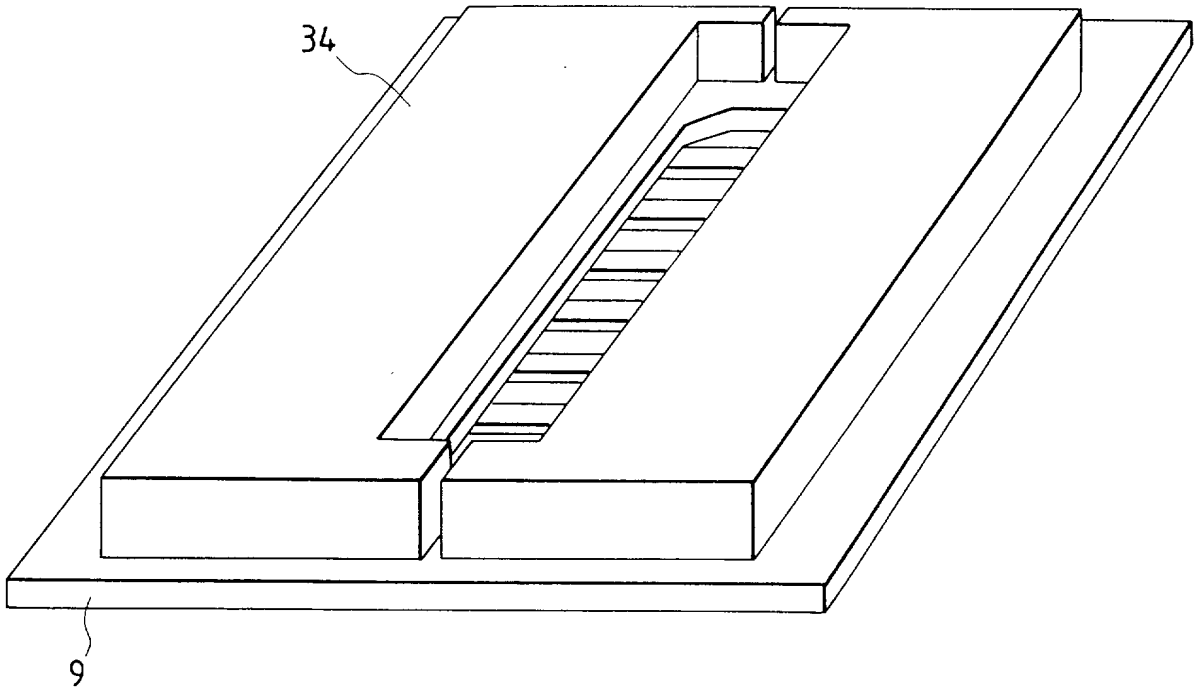


图 32

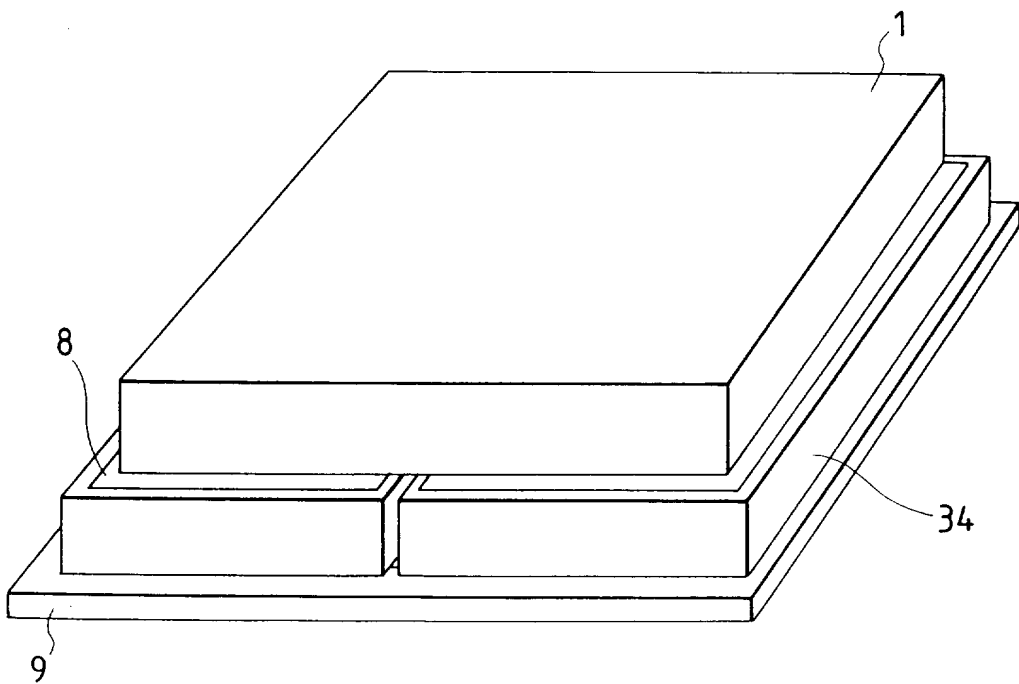


图 33

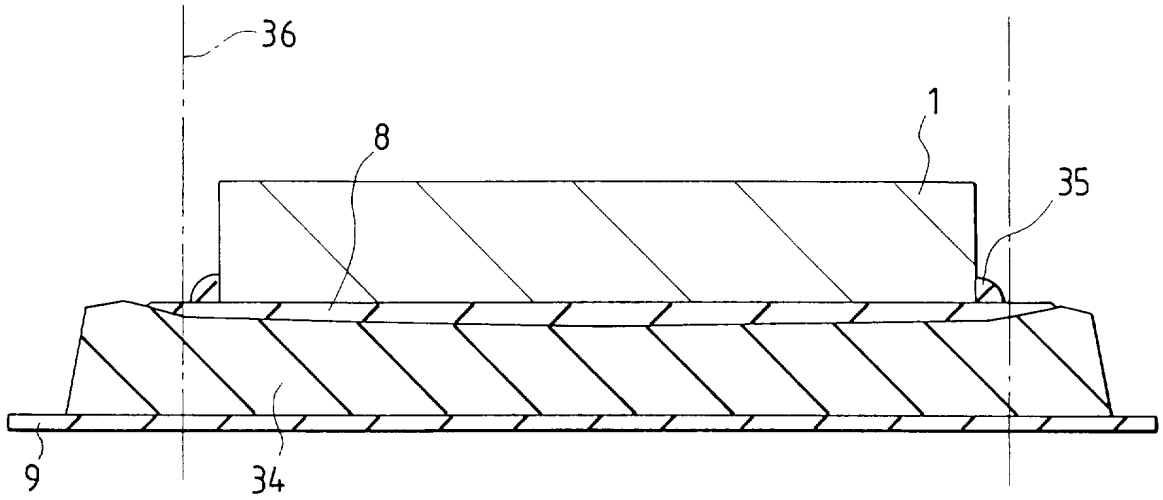


图 34

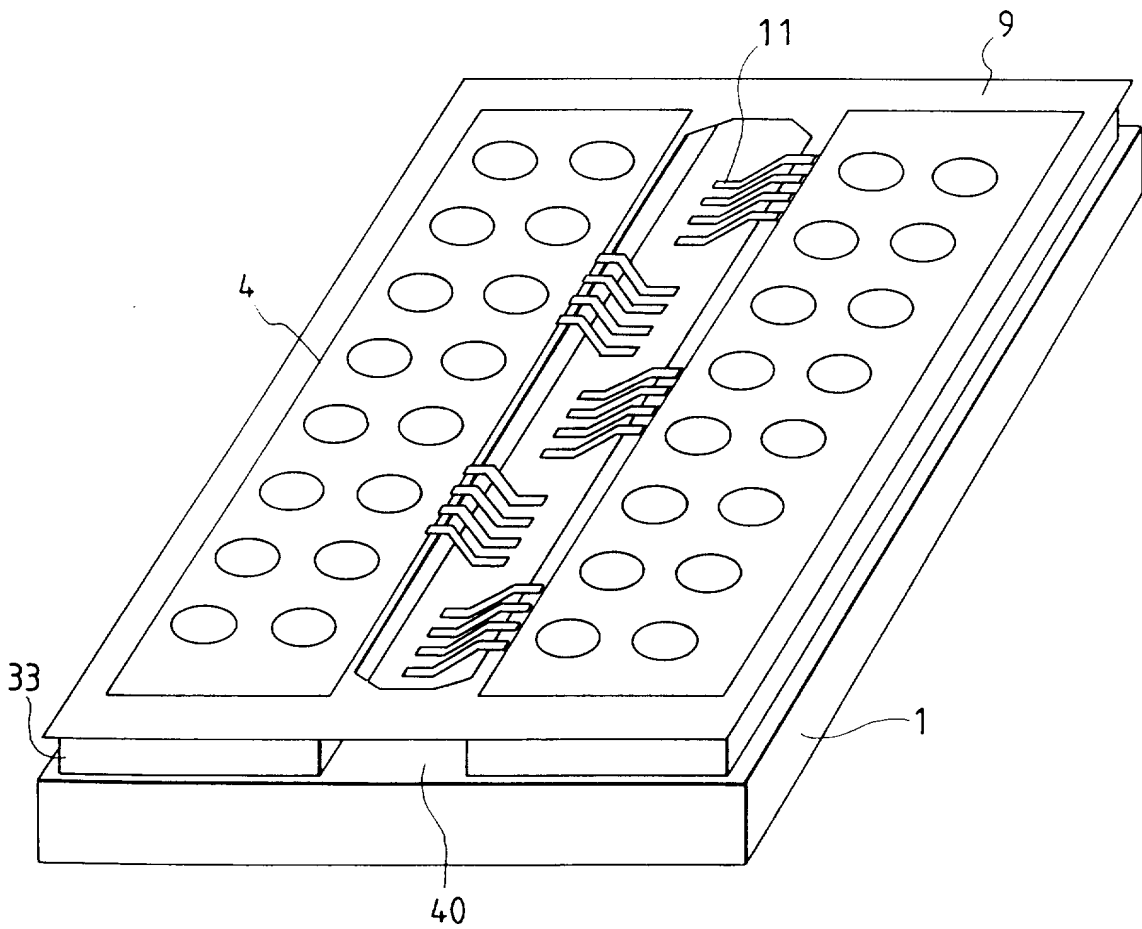


图 35

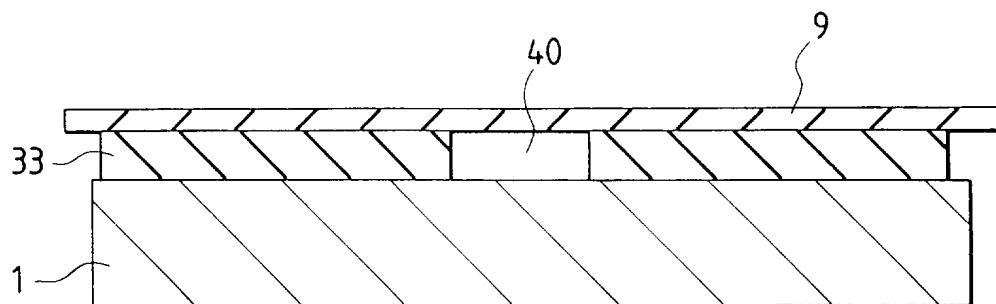


图 36

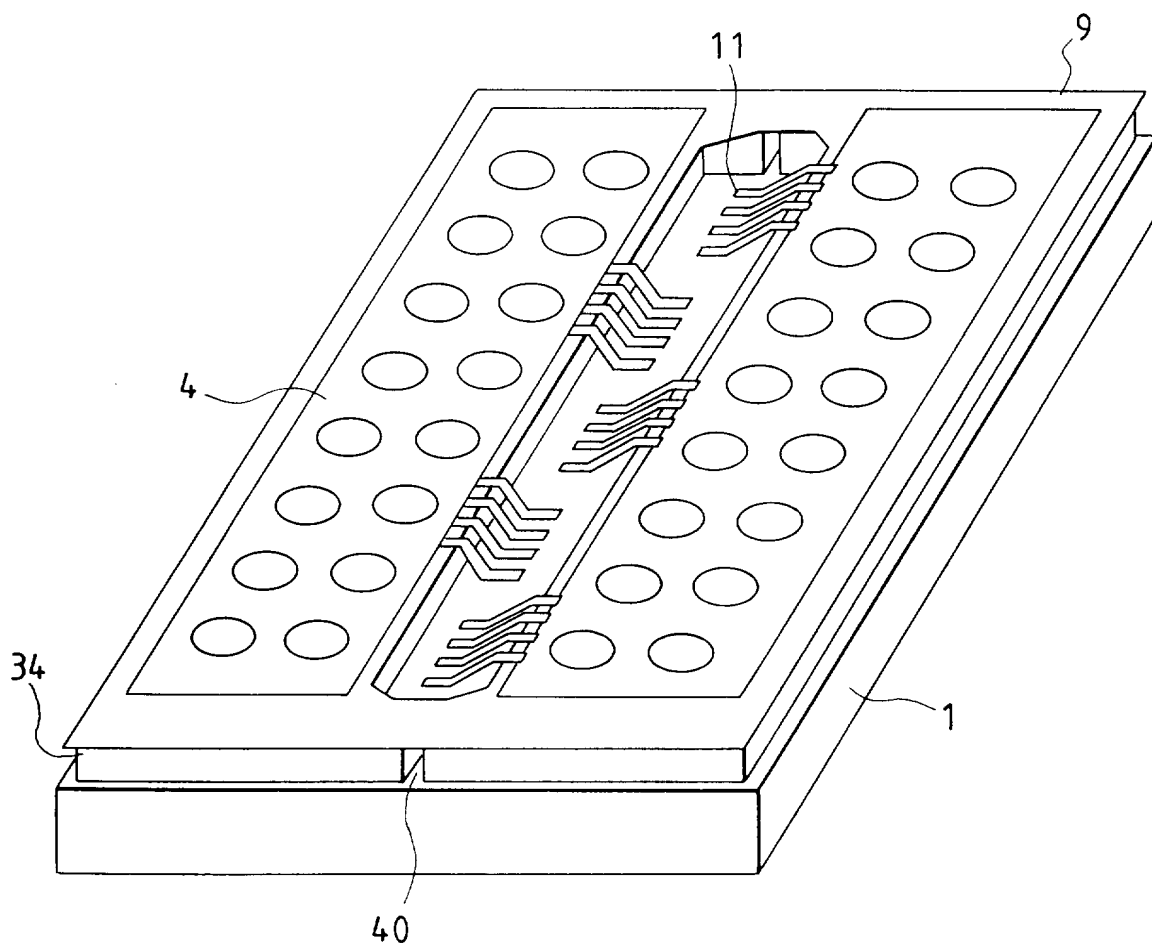


图 37

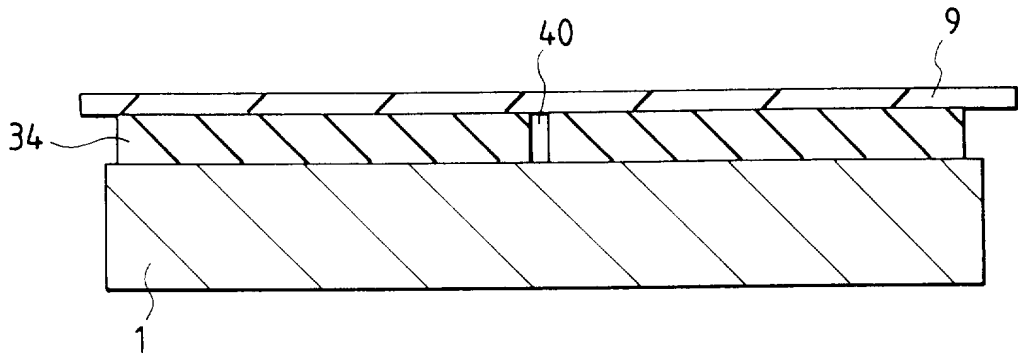


图 38

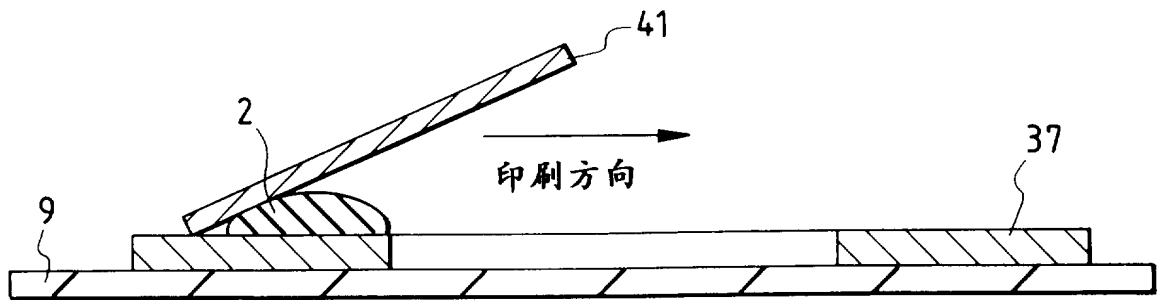


图 39

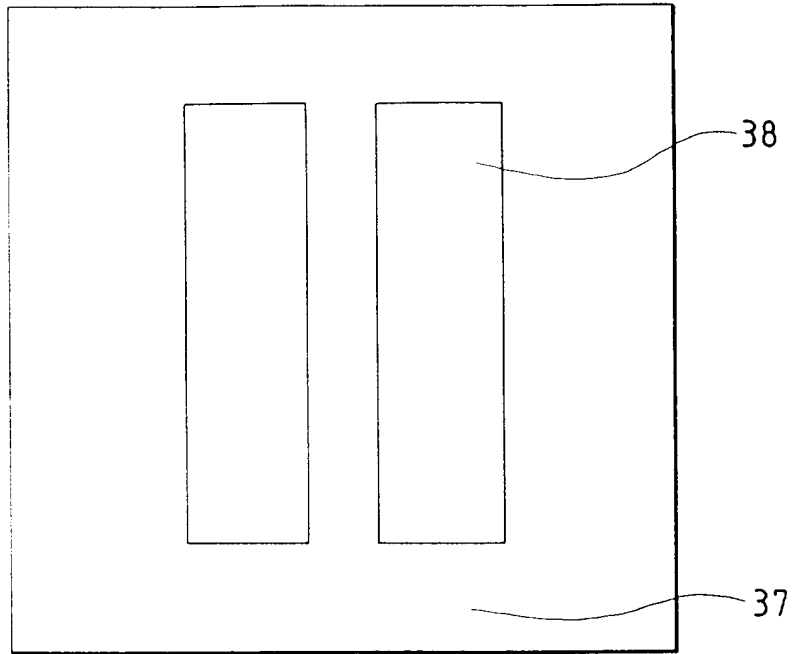


图 40

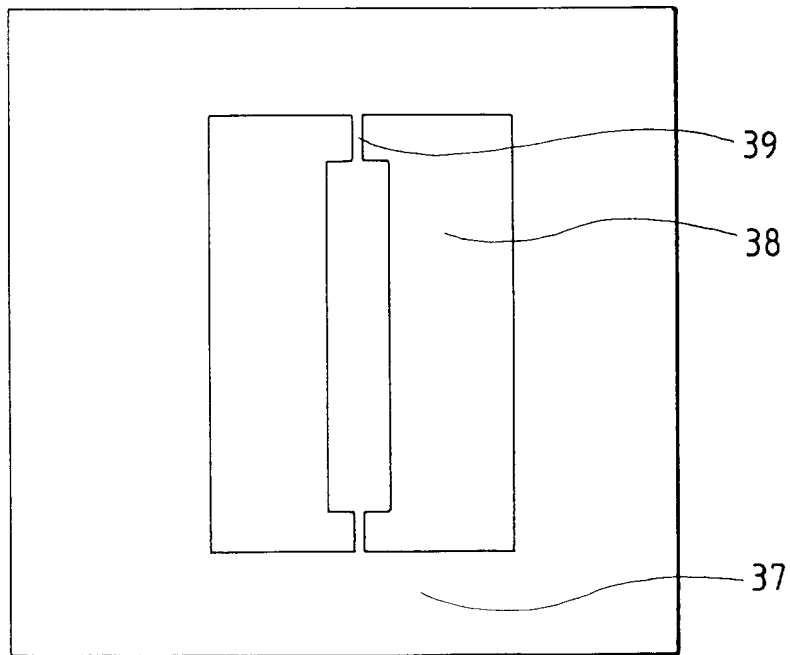


图 41

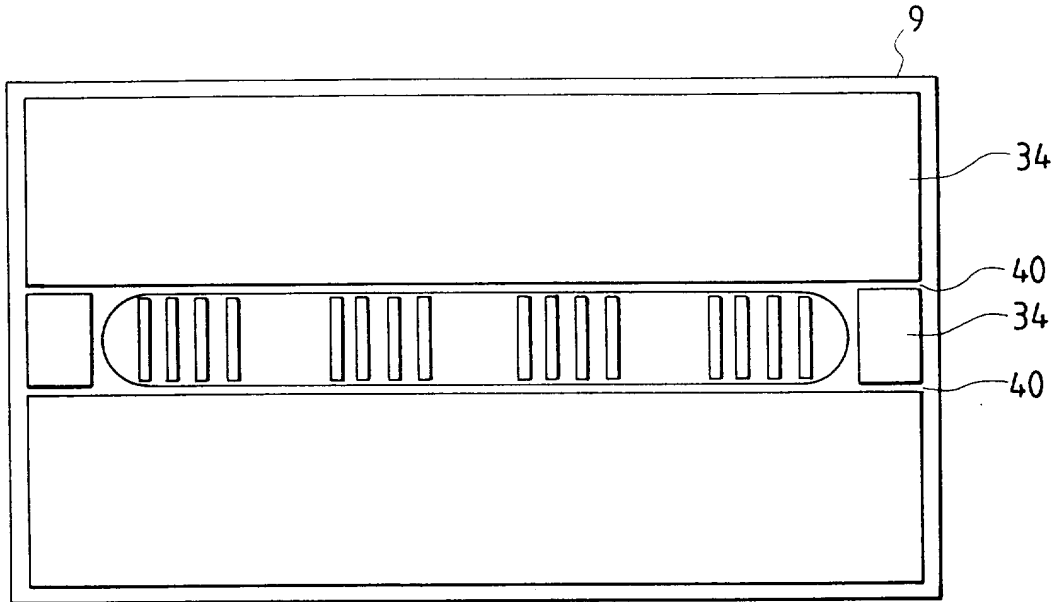


图 42

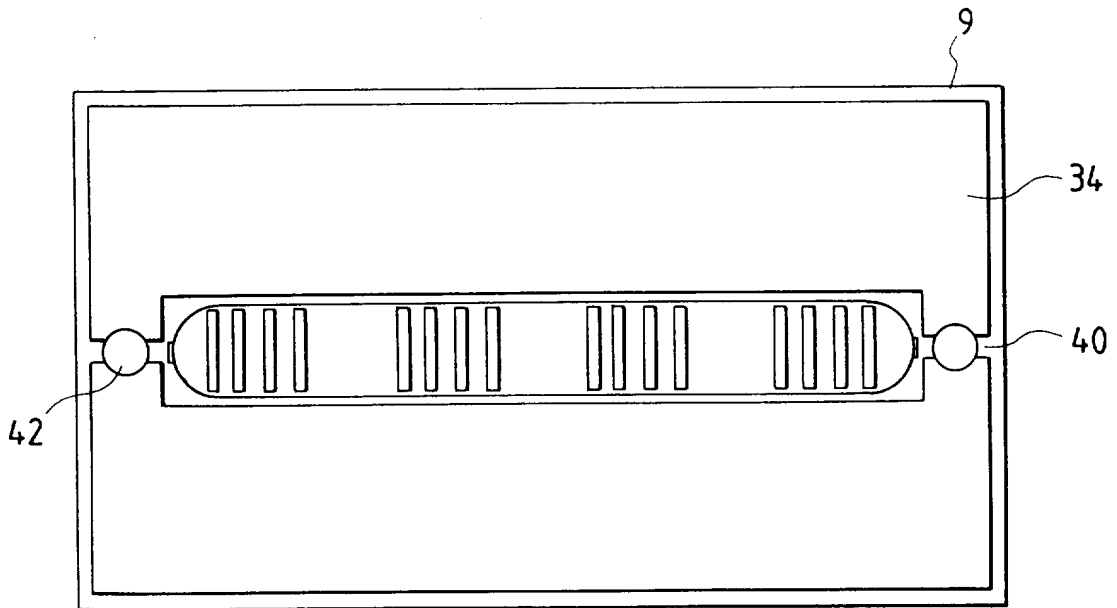


图 43

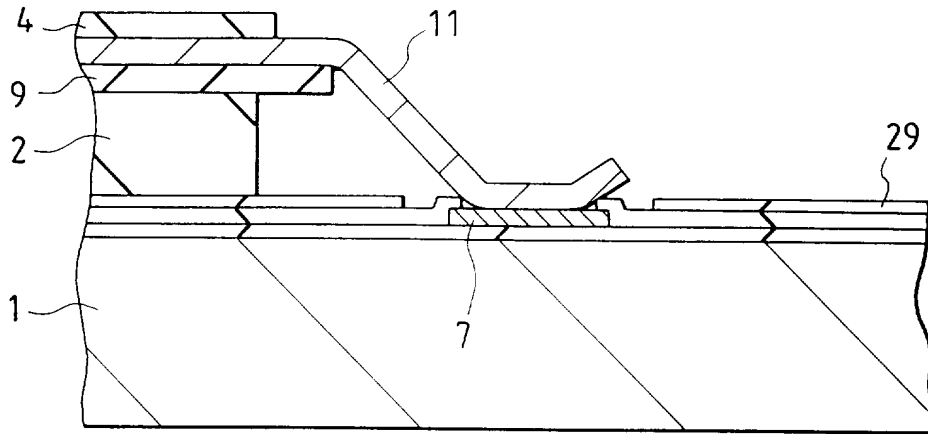


图 44

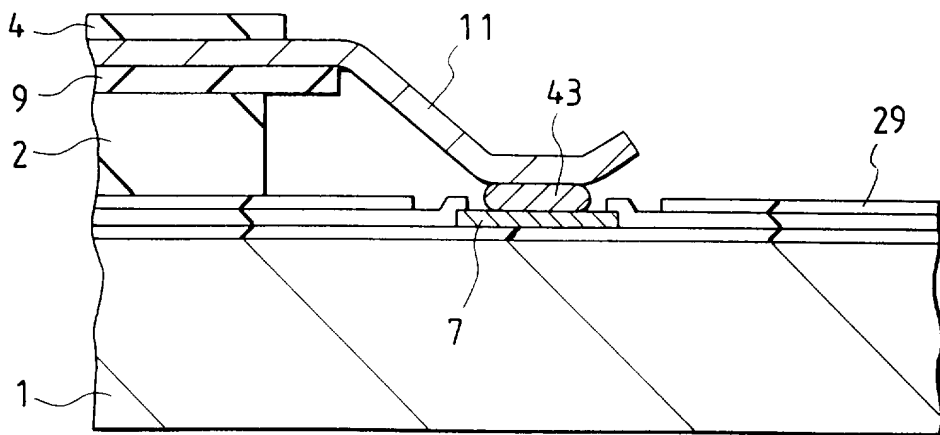


图 45

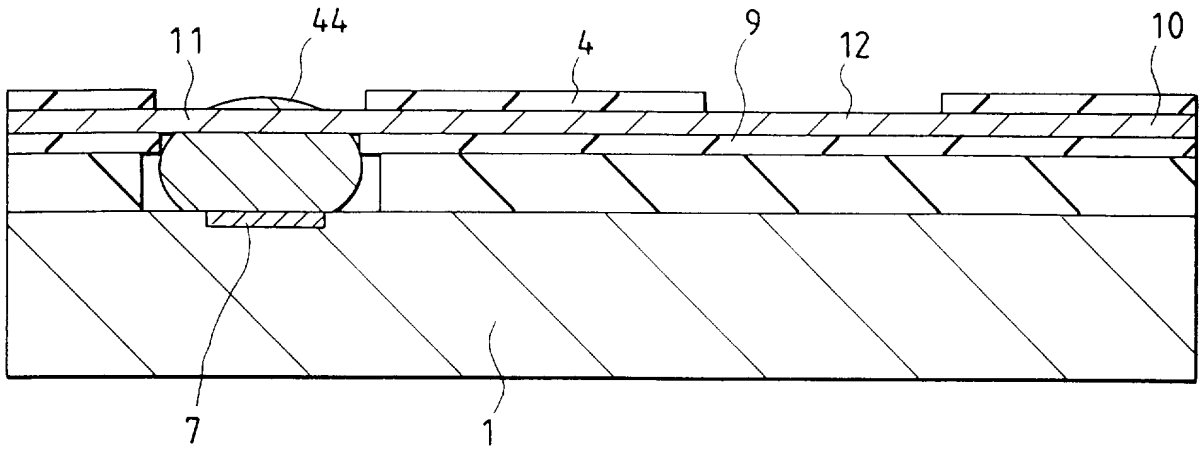


图 46

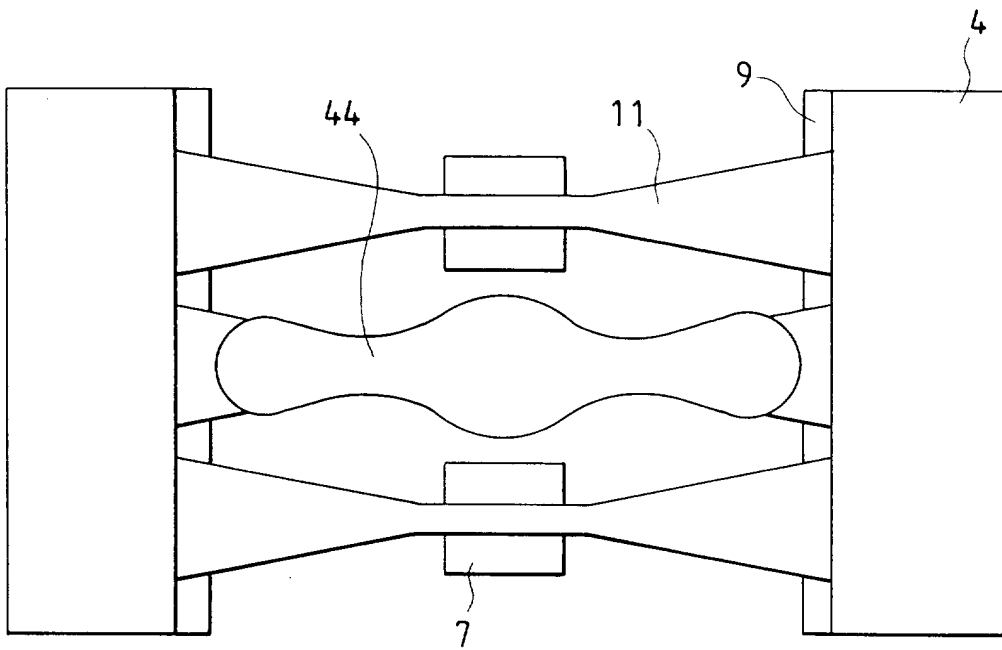


图 47

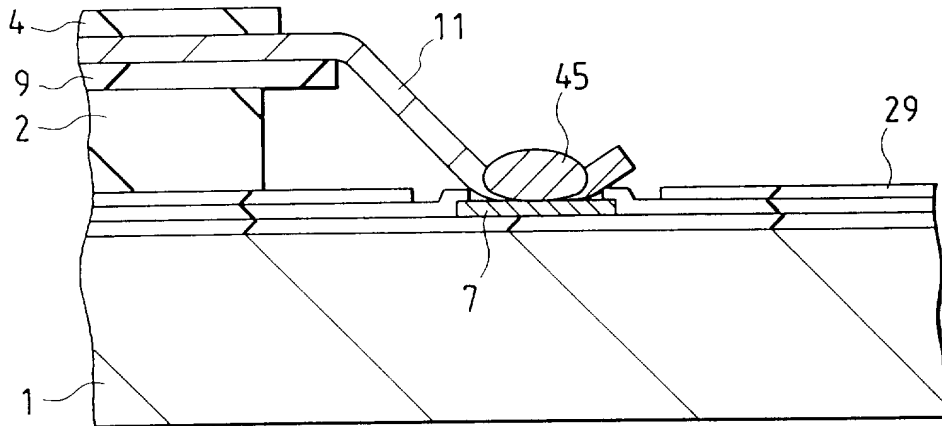


图 48

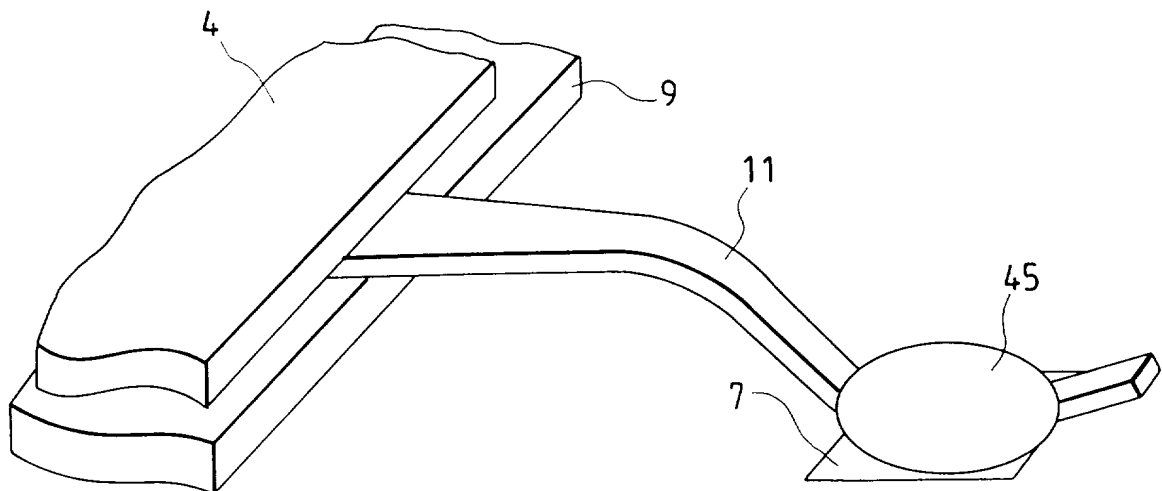


图 49

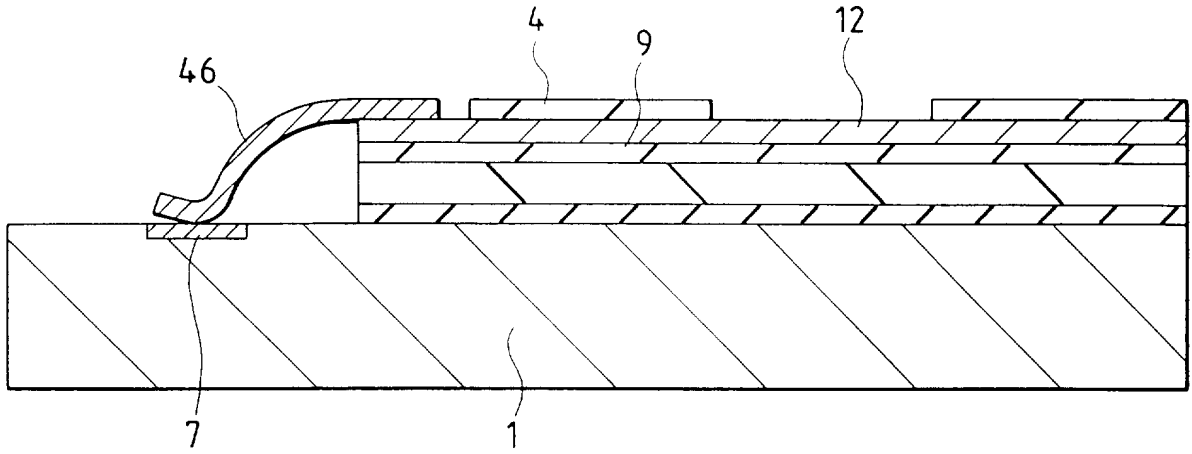


图 50

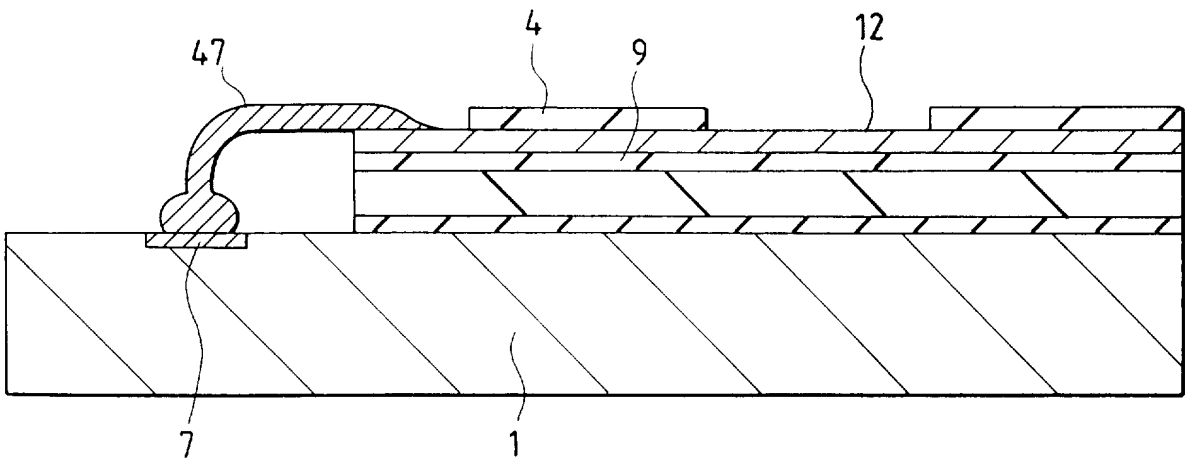


图 51

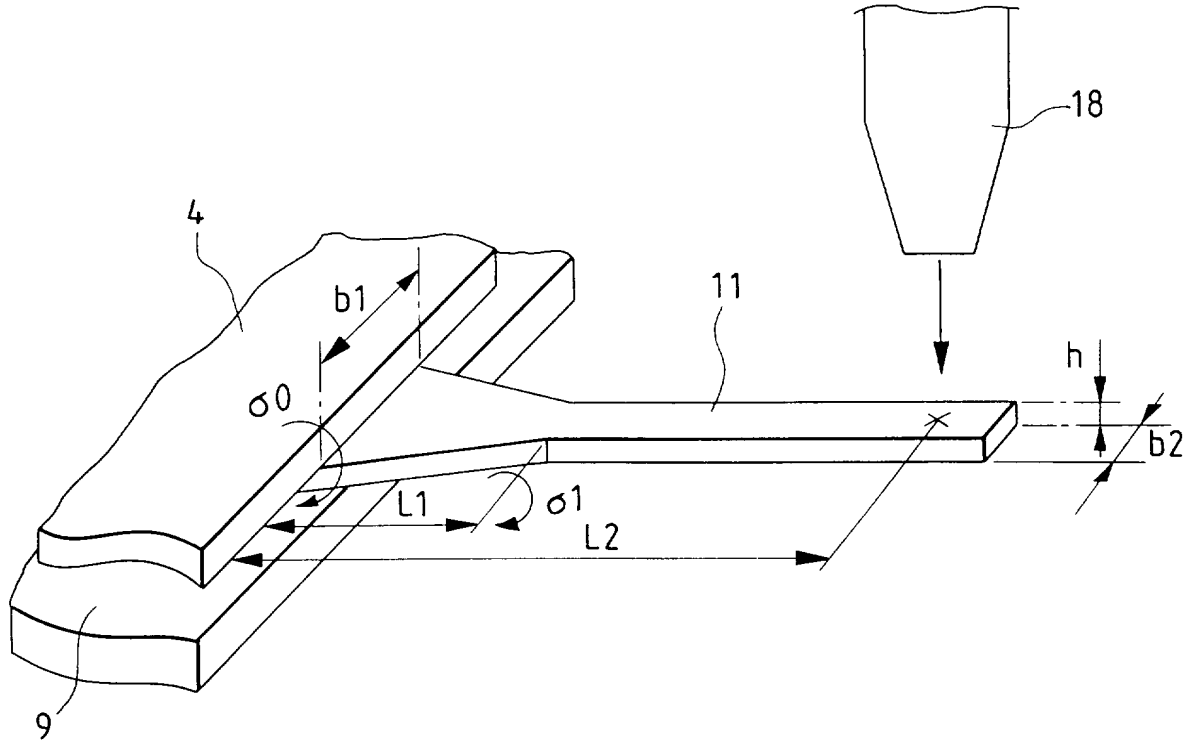


图 52

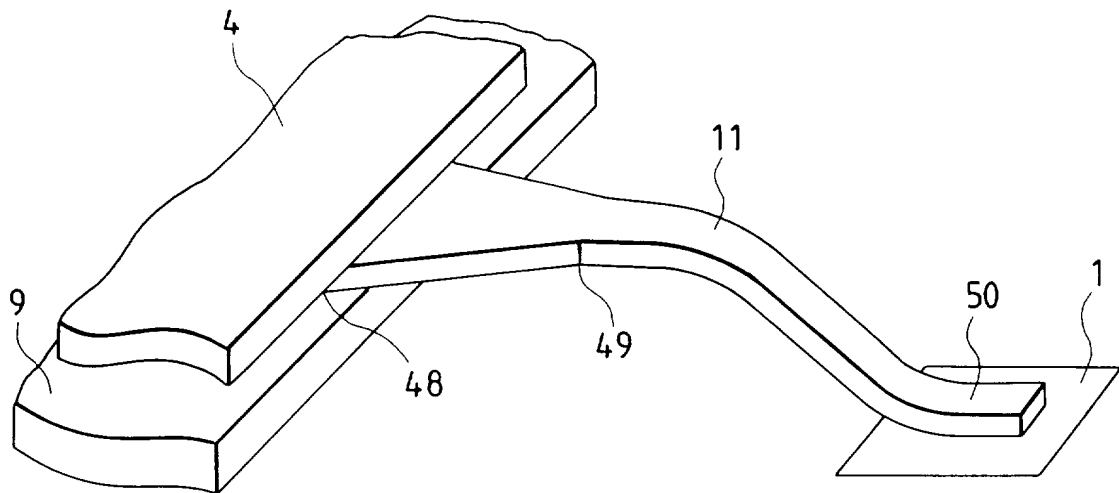


图 53

引线尺寸符号	L1	L2	b1	b2	h	α
符号的意义	锥形长	布线长	锥形宽度	引线宽度	引线厚度	弯曲应力比
单位	μm	μm	μm	μm	μm	1
①	100	280	60	38	18	1.02
②	80	280	60	38	18	1.13
①	100	380	65	38	18	1.26
②	80	380	60	38	18	1.25
③	100	380	65	38	18	1.26
④	100	430	65	38	18	1.31
⑤	100	480	70	38	18	1.46

所探讨过的技术

实施例

图 54

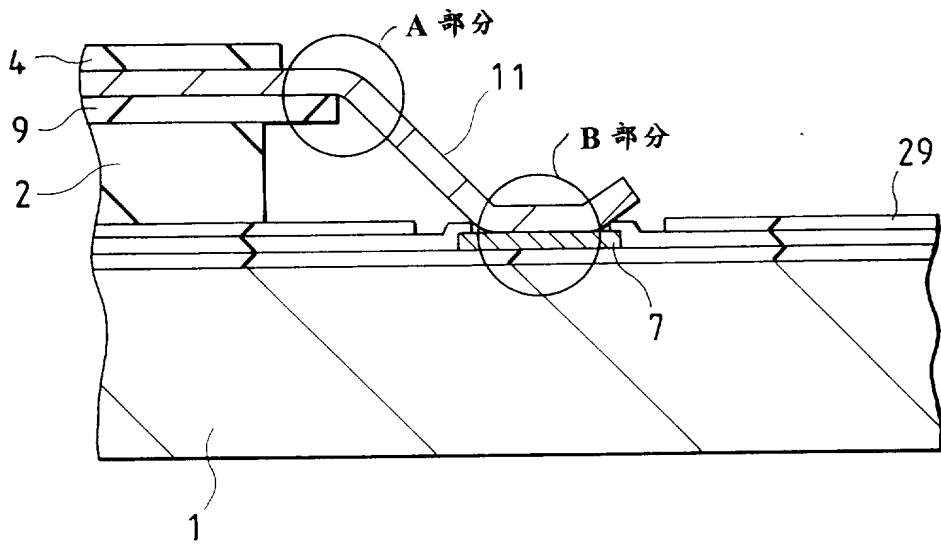


图 55

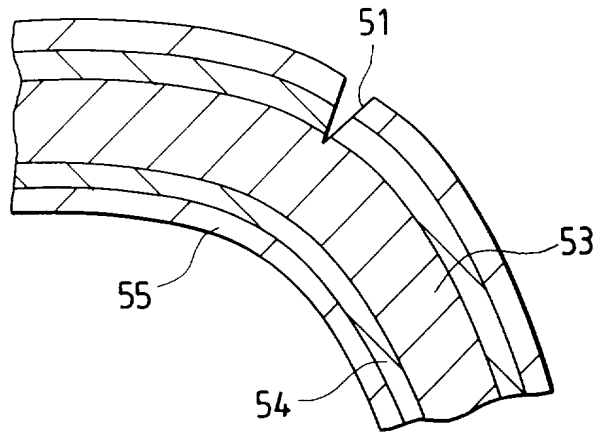


图 56

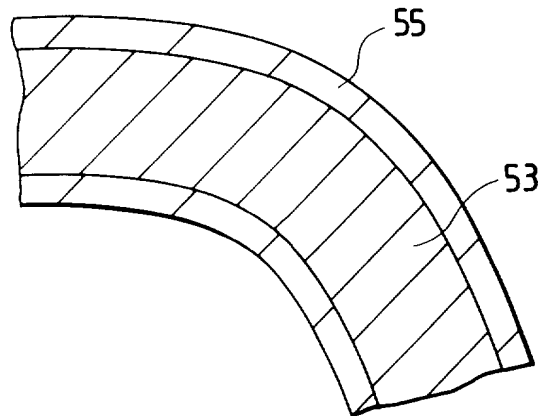


图 57

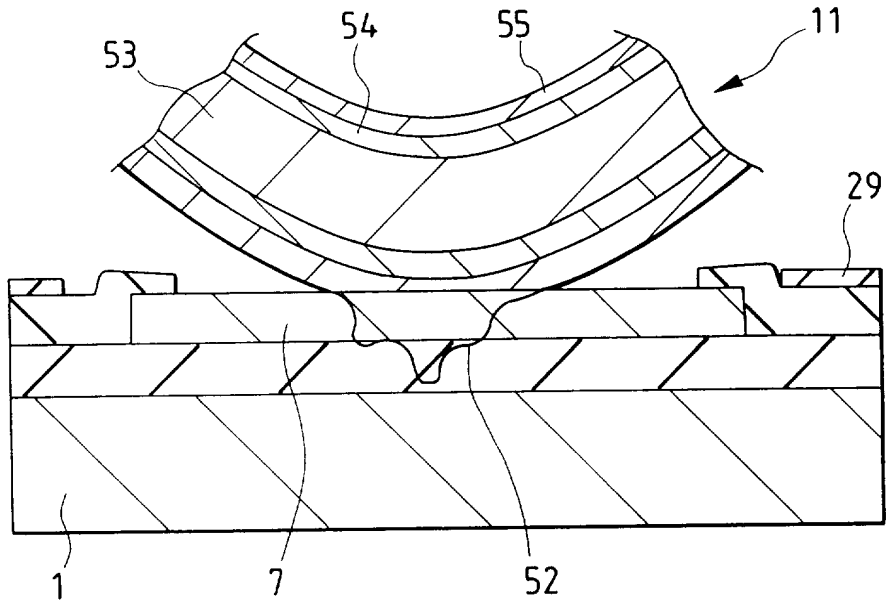


图 58

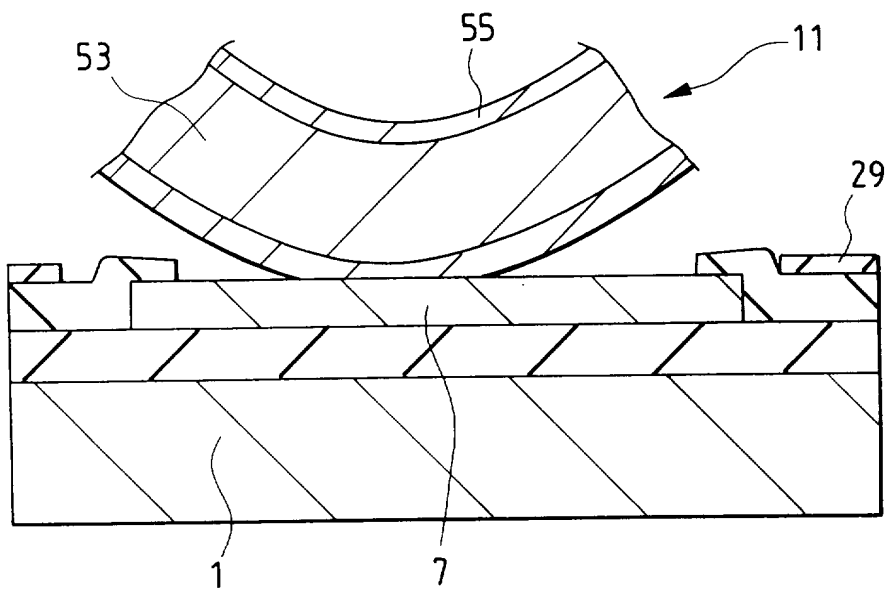


图 59

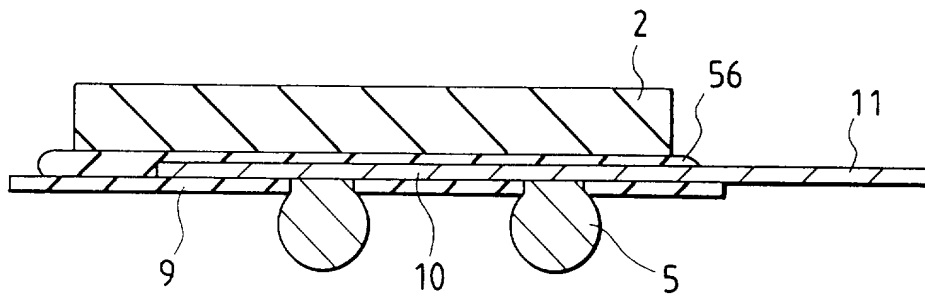


图 60

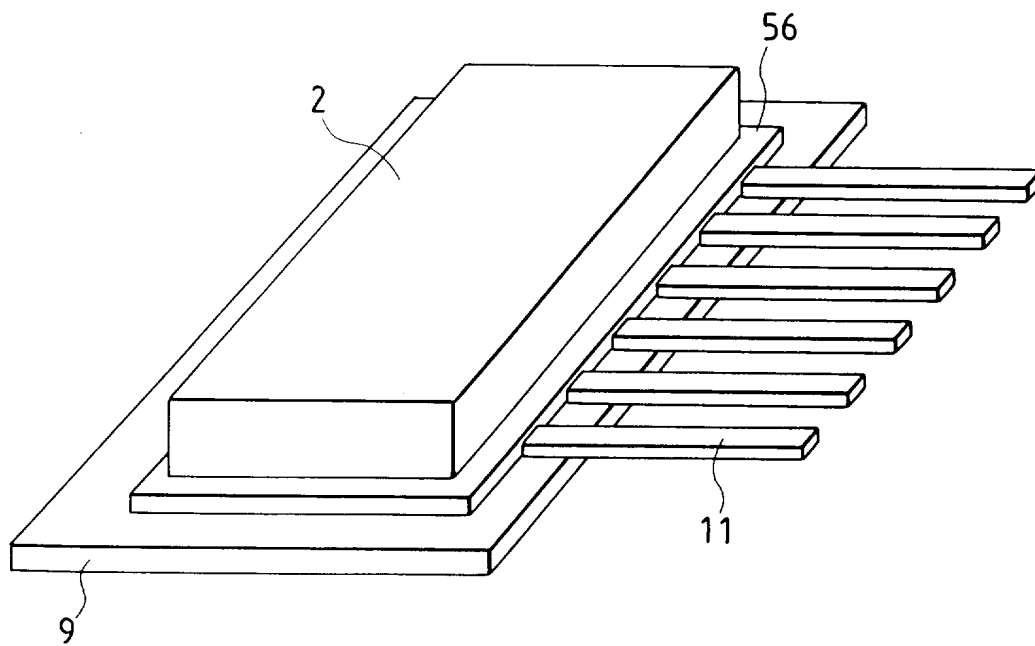


图 61

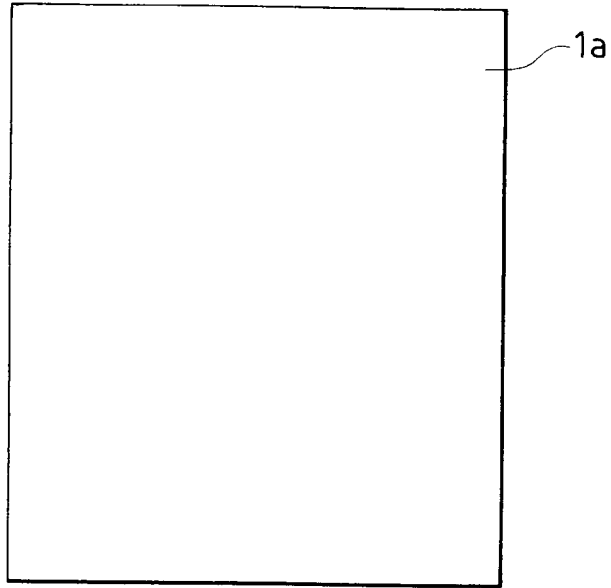


图 62

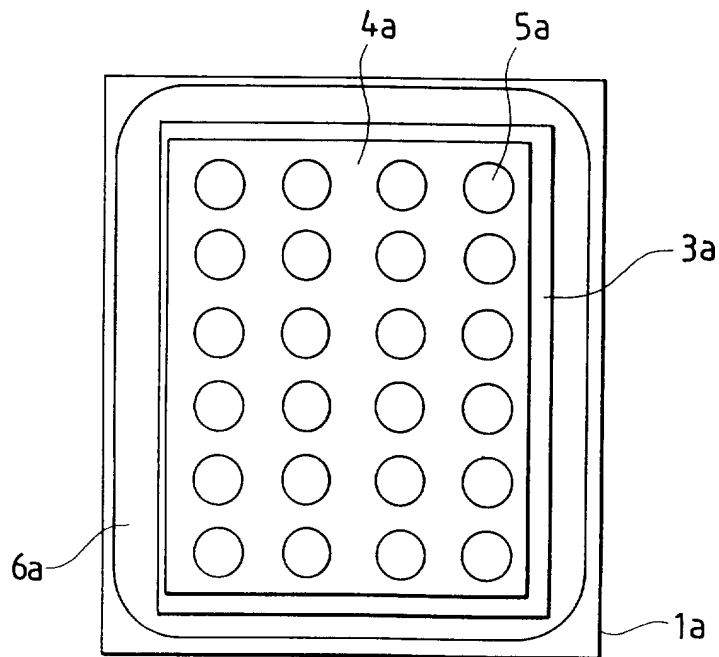


图 63

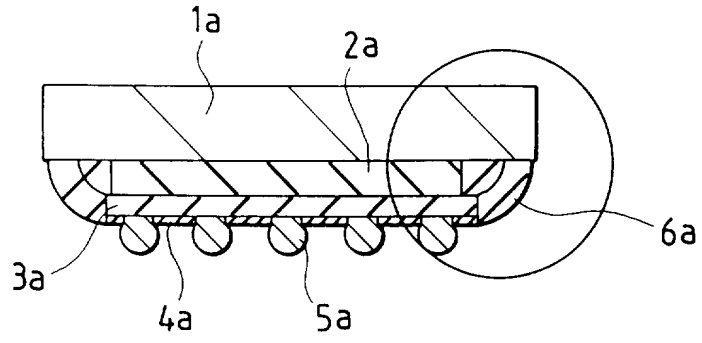


图 64

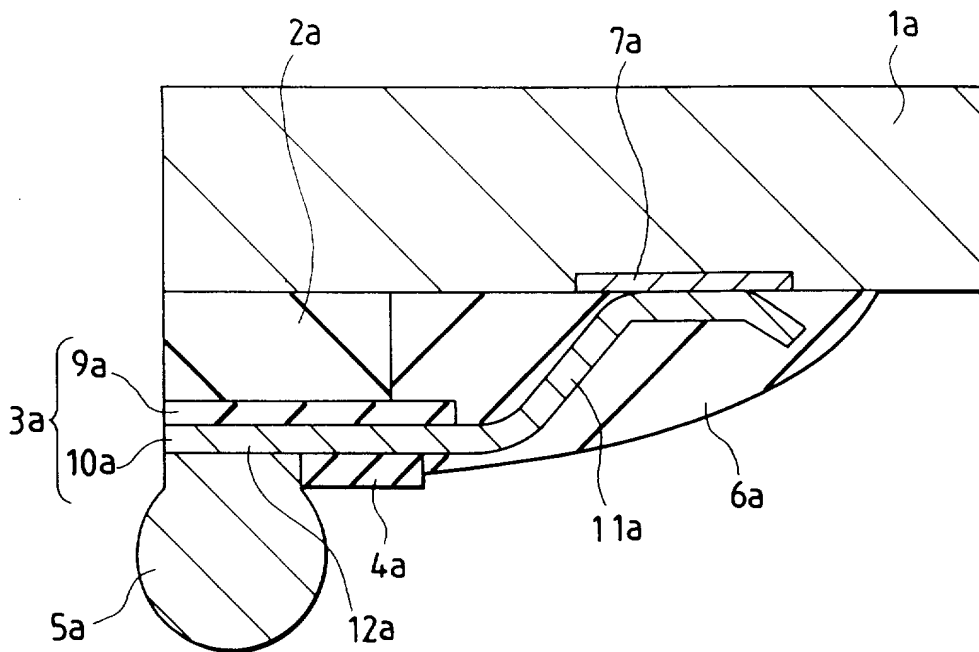


图 65

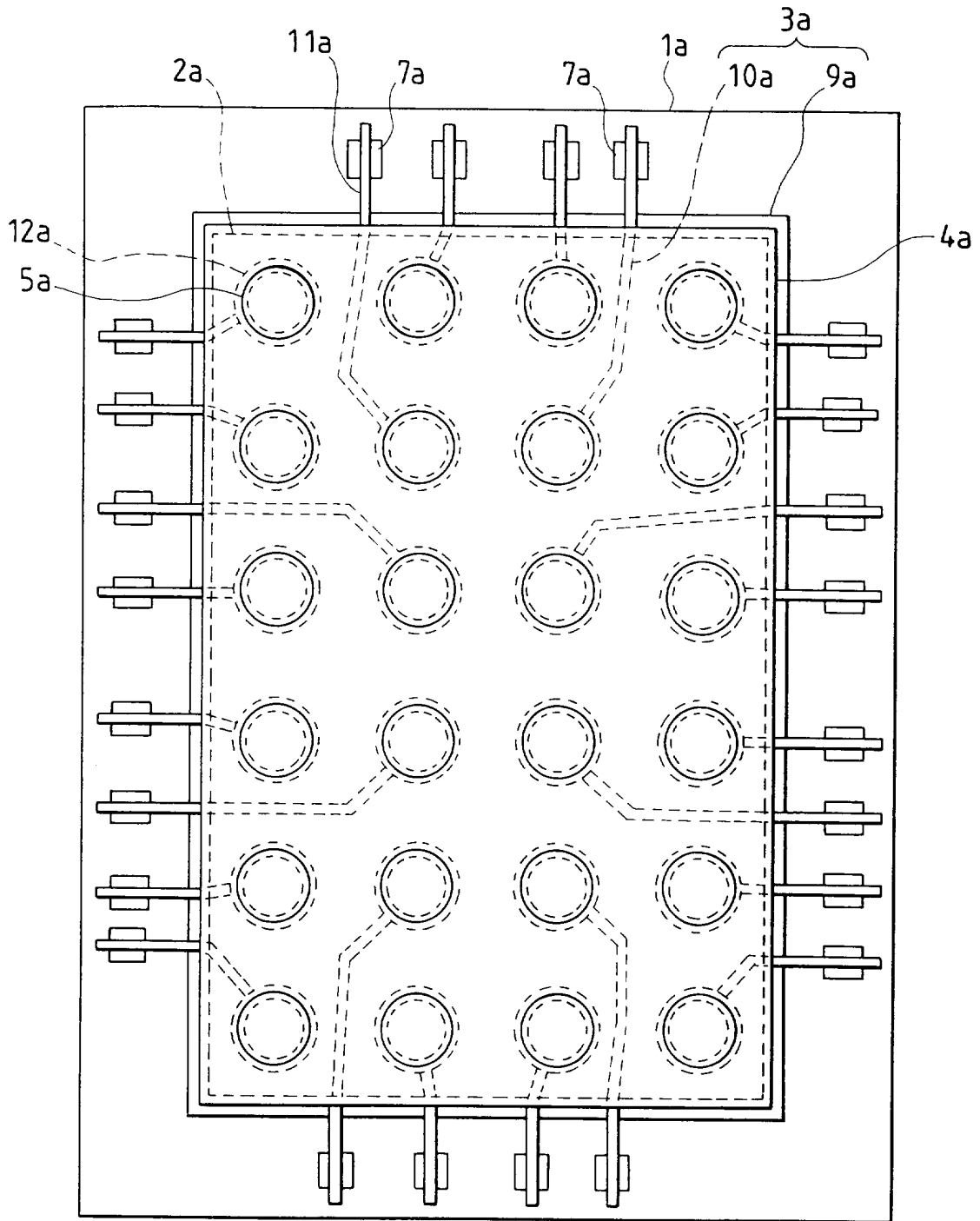


图 66

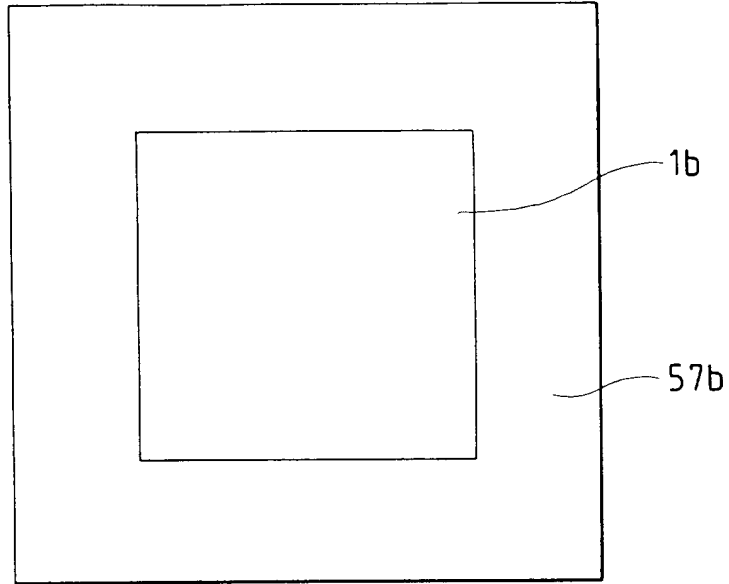


图 67

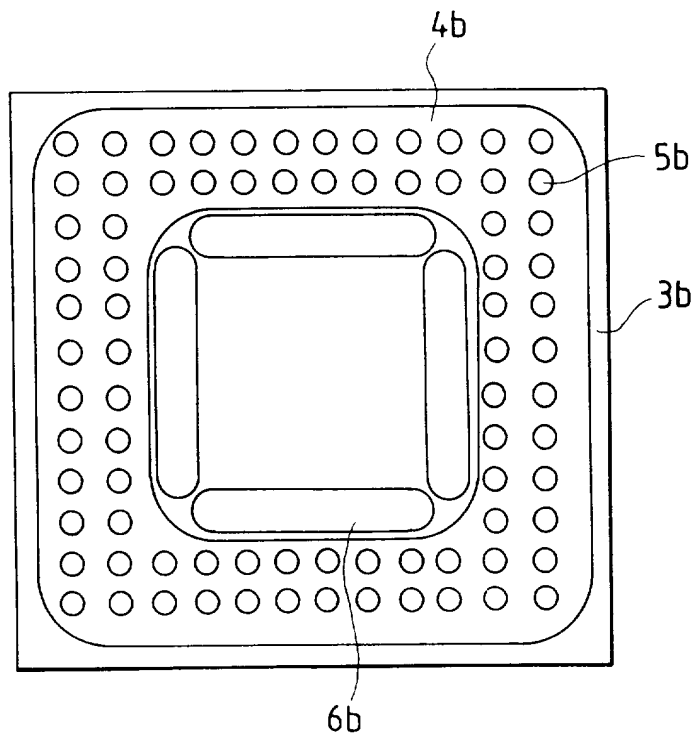


图 68

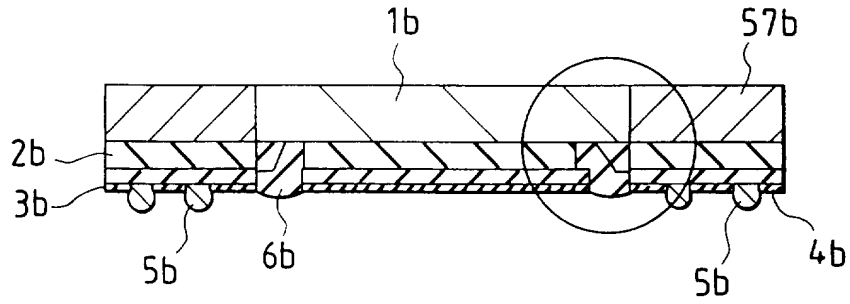


图 69

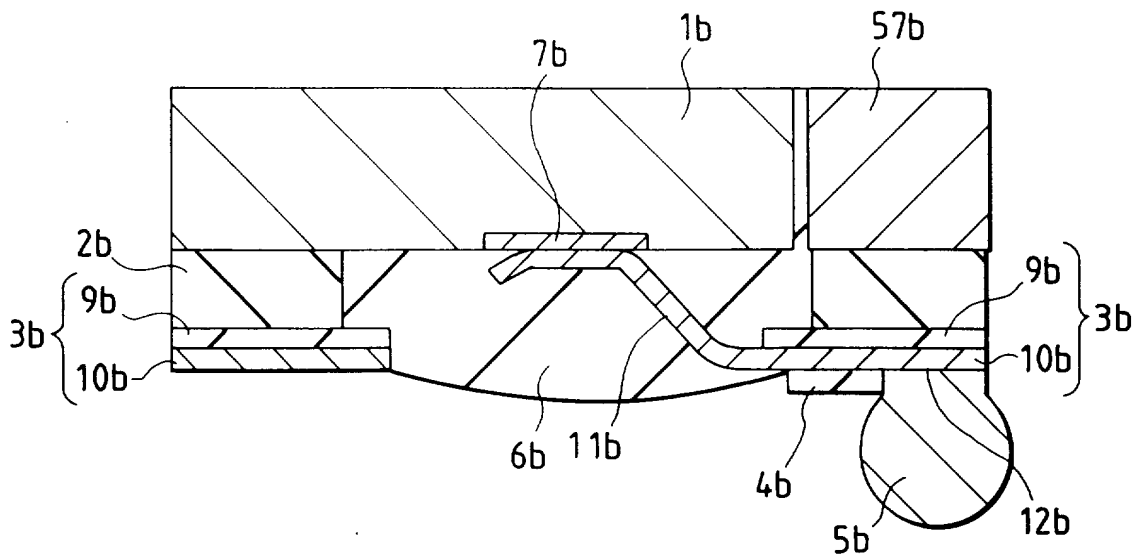


图 70

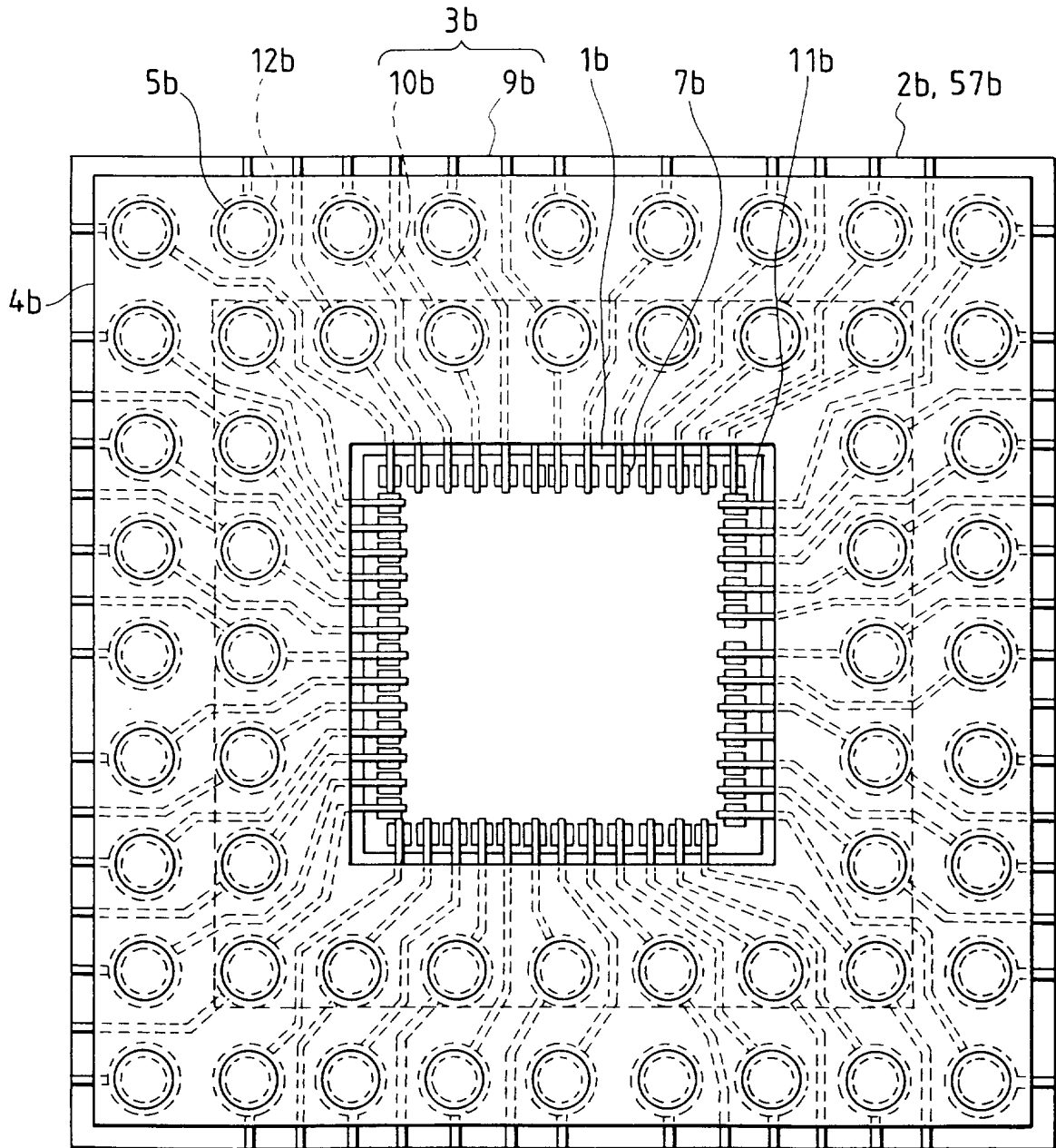


图 71

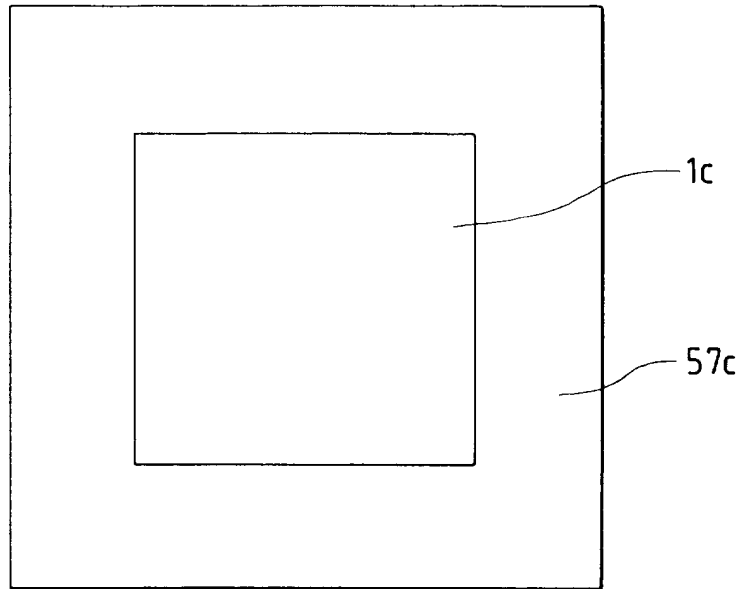


图 72

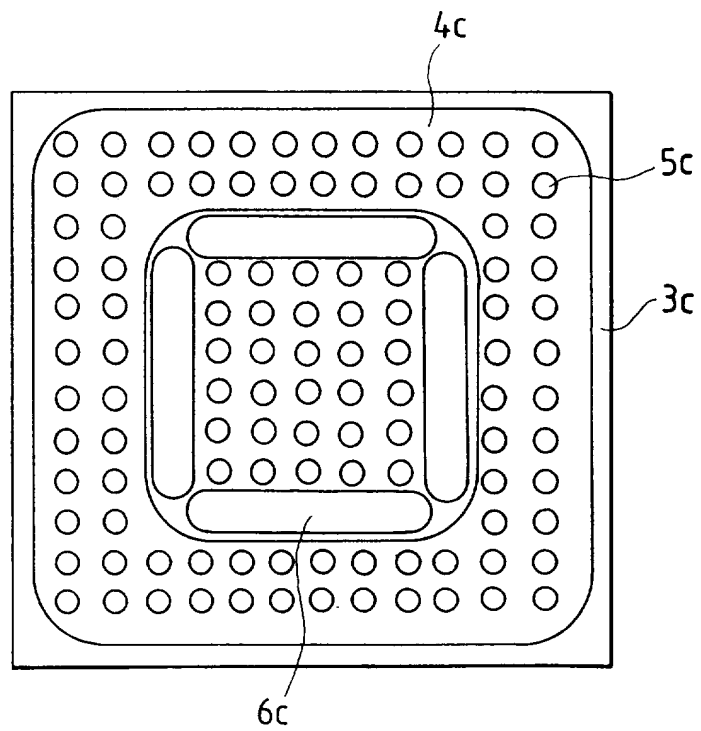


图 73

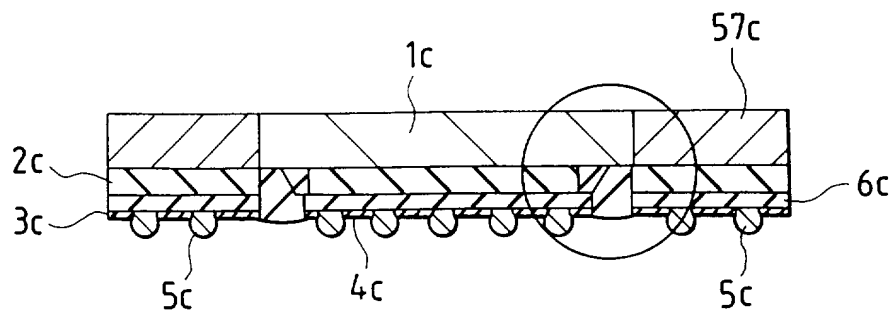


图 74

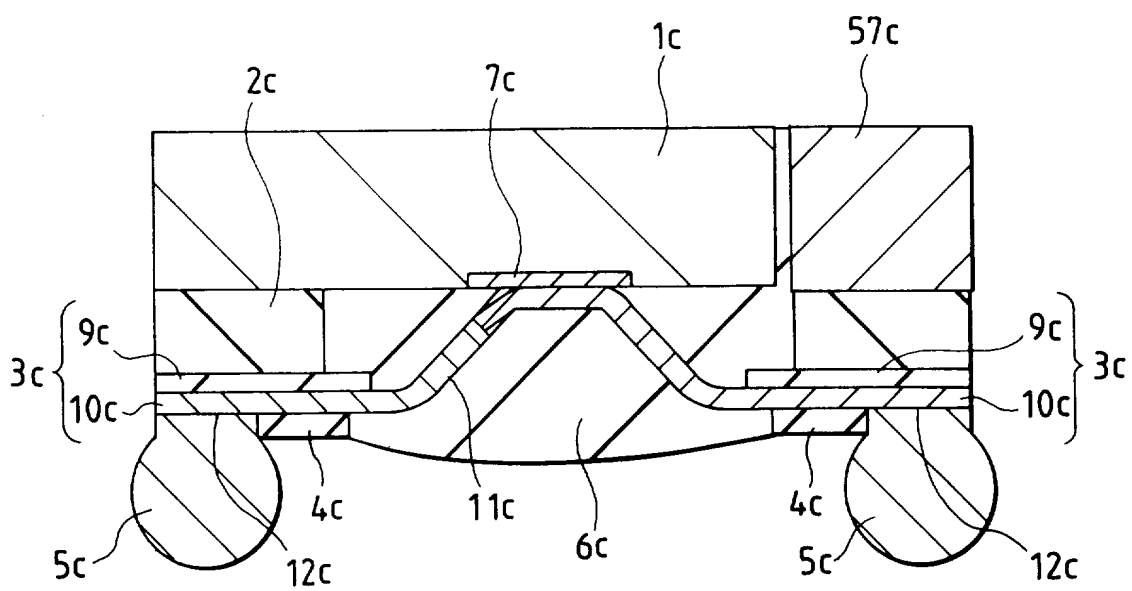


图 76

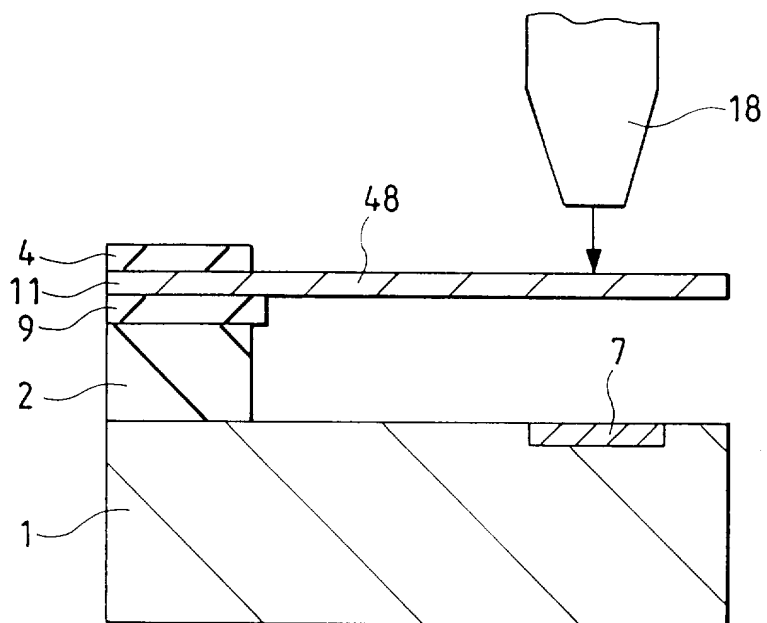


图 77

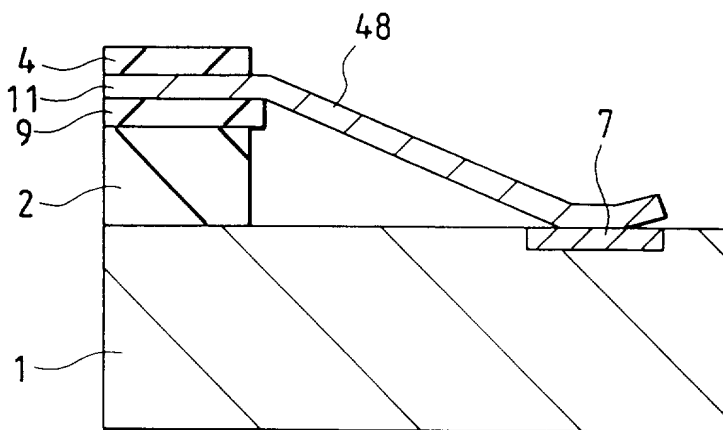


图 78

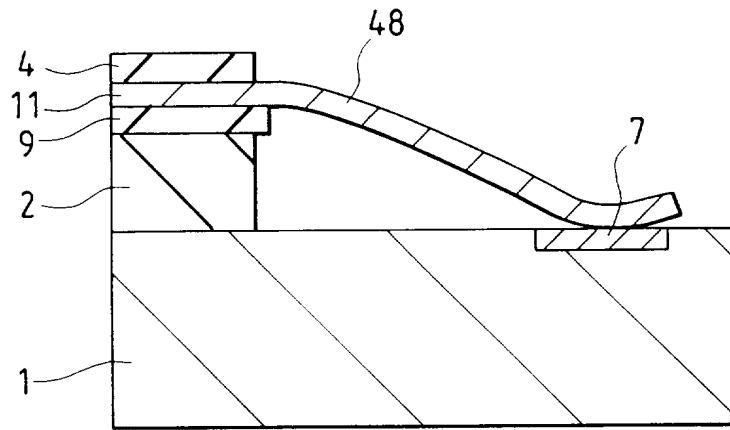


图 79

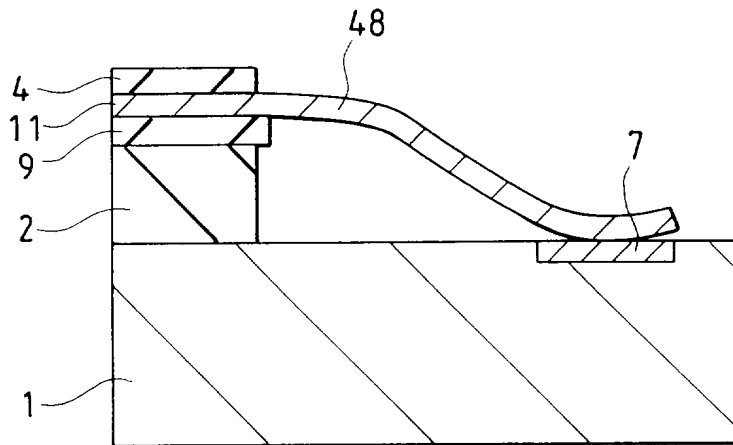


图 80

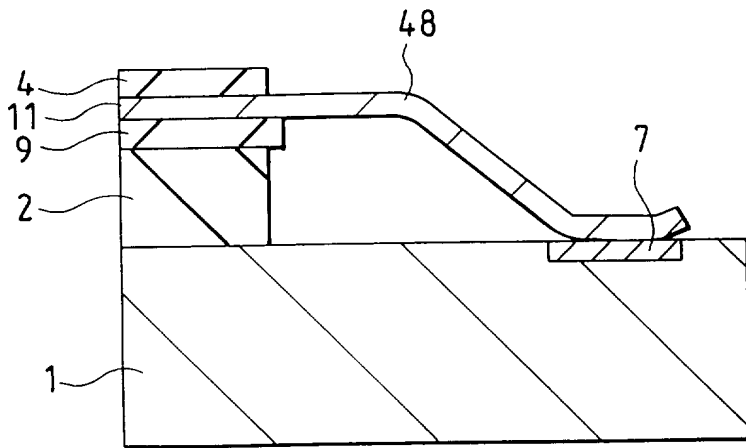


图 81

