(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년06월16일
(11) 등록번호 10-2544031
(24) 등록일자 2023년06월12일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) *G02F 1/1333* (2006.01)
G02F 1/1343 (2006.01) *G02F 1/1368* (2006.01)
H01L 27/12 (2006.01) *H10K 59/00* (2023.01)
(52) CPC특허분류
G02F 1/136227 (2013.01)
G02F 1/133345 (2013.01)
(21) 출원번호 10-2017-0184677
(22) 출원일자 2017년12월29일
심사청구일자 2020년12월23일
(65) 공개번호 10-2019-0081852
(43) 공개일자 2019년07월09일
(56) 선행기술조사문헌
WO2013073619 A1*
KR1020170054844 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김성현
경기도 파주시 월롱면 엘지로 245
김성규
경기도 파주시 월롱면 엘지로 245
이다영
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인(유한) 대아

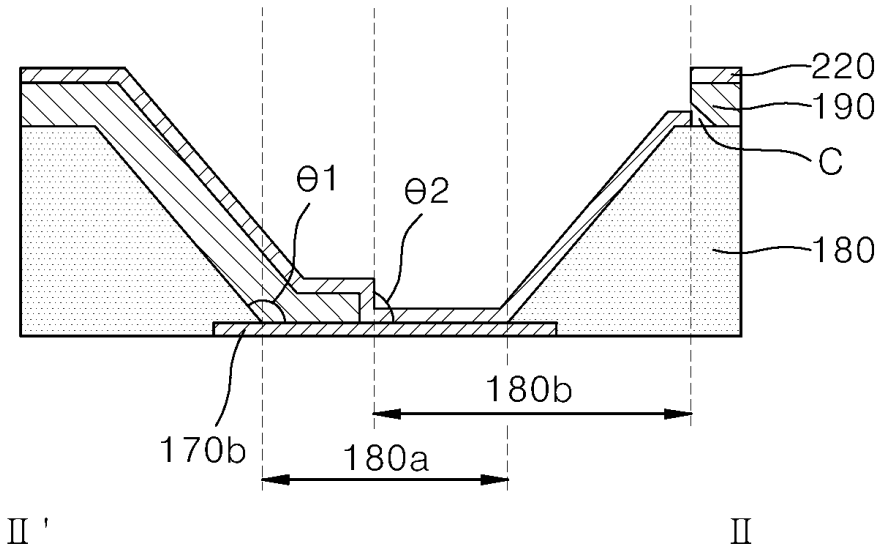
전체 청구항 수 : 총 13 항 심사관 : 이우리

(54) 발명의 명칭 **표시장치용 어레이 기판 및 그 제조 방법**

(57) 요 약

본 발명은 화소 영역 면적을 증대시킬 수 있는 표시장치용 어레이 기판 및 그 제조 방법에 관한 것으로, 박막 트랜지스터의 드레인 전극과 화소 전극을 연결하는 컨택홀 구조가 유기 절연막을 관통하는 제1 컨택홀과 무기 절연막을 관통하는 제2 컨택홀을 포함하되, 제1 컨택홀과 제2 컨택홀이 중첩되어 있다. 이를 통해 유기 절연막을 관통하는 제1 컨택홀의 사이즈를 줄일 수 있고, 이에 따라 블랙 매트릭스 면적을 감소시킬 수 있다. 그 결과, 본 발명은 화소 영역의 면적 증가에 따른 투과율을 향상시킬 수 있다.

대 표 도 - 도8



(52) CPC특허분류
G02F 1/1343 (2013.01)
G02F 1/1368 (2013.01)
H01L 27/1214 (2013.01)
H10K 59/1213 (2023.02)
G02F 2201/123 (2013.01)

명 세 서

청구범위

청구항 1

기판;

상기 기판 상에 제1 방향을 따라 배치된 게이트 배선;

상기 게이트 배선과 교차하는 제2 방향을 따라 배치되어 화소 영역을 정의하는 데이터 배선;

상기 게이트 배선과 데이터 배선의 교차 부분에 배치되는 박막 트랜지스터;

상기 박막 트랜지스터가 배치된 기판 상에 배치되며, 상기 박막 트랜지스터의 드레인 전극이 노출되는 제1 컨택홀을 구비하는 유기 절연막;

상기 유기 절연막 상에 배치되며, 상기 박막 트랜지스터의 드레인 전극이 노출되는 제2 컨택홀을 구비하는 적어도 한 층의 무기 절연막;

상기 무기 절연막 상에 배치되며, 상기 제1 컨택홀 및 제2 컨택홀을 통해 상기 박막 트랜지스터의 드레인 전극과 연결되는 화소 전극을 포함하고,

상기 제1 컨택홀의 일부분과 상기 제2 컨택홀의 일부분이 중첩되고,

상기 제1 컨택홀의 측벽의 경사가 상기 제2 컨택홀의 측벽의 경사보다 더 크고, 상기 제1 컨택홀의 측벽의 경사는 둔각인, 표시장치용 어레이 기판.

청구항 2

제1항에 있어서,

상기 유기 절연막의 일 측벽 상에는 무기 절연막 및 화소 전극이 배치되어 있고,

상기 유기 절연막의 타 측벽 상에는 화소 전극이 배치되어 있고,

상기 유기 절연막의 일 측벽과 타 측벽 사이에는 드레인 전극 상에 화소 전극이 배치된 구조를 갖는, 표시장치용 어레이 기판.

청구항 3

제2항에 있어서,

상기 유기 절연막의 일 측벽은 상기 제2 컨택홀과 중첩되지 않는 제1 컨택홀의 측벽이고,

상기 유기 절연막의 타 측벽은 상기 제2 컨택홀과 중첩되는 상기 제1 컨택홀 측벽인, 표시장치용 어레이 기판.

청구항 4

제1항에 있어서,

상기 제1 컨택홀과 제2 컨택홀은 상기 제1 방향을 따라 배치된, 표시장치용 어레이 기판.

청구항 5

제2항에 있어서,

상기 유기 절연막의 일 측벽 상에 배치된 상기 무기 절연막은 상기 드레인 전극에 접촉하는, 표시장치용 어레이 기판.

청구항 6

제1항에 있어서,

상기 화소 전극은 상기 제2 컨택홀의 측벽에서 단절되어 있는, 표시장치용 어레이 기판.

청구항 7

제1항에 있어서,

상기 박막 트랜지스터는

소스 영역, 상기 드레인 영역 및 상기 소스 영역과 드레인 영역 사이의 채널 영역을 구비하는 액티브층과,

상기 액티브층 상에 배치되는 게이트 절연막과,

상기 게이트 절연막 상의 상기 액티브층의 채널 영역에 중첩되는 영역에 배치되되, 상기 게이트 배선으로부터 상기 제2 방향으로 돌출된 형태로 배치되는 게이트 전극과,

상기 게이트 전극이 배치된 게이트 절연막 상에 배치되는 층간 절연막과,

상기 층간 절연막 상에 상기 데이터 배선으로부터 상기 제1 방향으로 돌출된 형태로 배치되며, 상기 액티브층의 소스 영역에 연결되는 소스 전극과,

상기 층간 절연막 상에 상기 소스 전극과 이격 배치되며, 상기 액티브층의 드레인 영역에 연결되는 드레인 전극을 포함하는, 표시장치용 어레이 기판.

청구항 8

제7항에 있어서,

상기 기판과 상기 액티브층 사이에 버퍼층이 추가로 배치된, 표시장치용 어레이 기판.

청구항 9

제8항에 있어서,

상기 기판과 상기 버퍼층 사이에 차광층이 추가로 배치된, 표시장치용 어레이 기판.

청구항 10

제7항에 있어서,

상기 층간 절연막은

표면이 평탄화되어 있으며, 상기 소스 전극 및 드레인 전극과 상기 액티브층을 연결하는 콘택홀들을 구비하는 제1 층간 절연막과,

상기 제1 층간 절연막 상에 배치되는, 제2 층간 절연막을 포함하는, 표시장치용 어레이 기판.

청구항 11

제1항에 있어서,

상기 무기 절연막은

상부에 터치 신호 배선이 배치되는 제1 무기 절연막과,

상기 제1 무기 절연막 상에 배치되며, 상부에 공통 전극이 배치되는 제2 무기 절연막과,

상기 제2 무기 절연막 상에 배치되며, 상부에 상기 화소 전극이 배치되는 제3 무기 절연막을 포함하는, 표시장치용 어레이 기판.

청구항 12

기판 상에 박막 트랜지스터를 배치하는 단계;

상기 박막 트랜지스터가 배치된 기판 상에 상기 박막 트랜지스터의 드레인 전극이 노출되는 제1 컨택홀을 구비하는 유기 절연막을 배치하는 단계;

상기 유기 절연막 상에 적어도 한 층의 무기 절연막을 배치하는 단계;

상기 박막 트랜지스터의 드레인 전극이 노출되도록 상기 무기 절연막을 관통하는 제2 컨택홀을 형성하는 단계;

상기 제2 컨택홀이 배치된 상기 무기 절연막 상에 화소 전극을 배치하는 단계를 포함하고,

상기 제1 컨택홀의 일부와 중첩되도록 상기 제2 컨택홀을 형성하고,

상기 제1 컨택홀의 측벽의 경사가 상기 제2 컨택홀의 측벽의 경사보다 더 크고, 상기 제1 컨택홀의 측벽의 경사는 둔각인, 표시장치용 어레이 기판 제조 방법.

청구항 13

제12항에 있어서,

상기 제2 컨택홀과 중첩되지 않는 제1 컨택홀의 측벽인 상기 유기 절연막의 일 측벽 상에는 상기 무기 절연막 및 상기 화소 전극이 배치되어 있고,

상기 유기 절연막의 일 측벽 상에 배치된 상기 무기 절연막은 상기 드레인 전극에 접촉하는, 표시장치용 어레이 기판 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 투과율을 향상시킬 수 있는 표시장치용 어레이 기판에 관한 것이다.

[0002] 또한, 본 발명은 상기 표시장치용 어레이 기판을 제조하는 방법에 관한 것이다.

배 경 기 술

[0004] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.

[0005] 널리 알려진 평판 표시장치로는 액정 표시장치(Liquid Crystal Display Device), 플라즈마 디스플레이 패널(Plasma Display Panel), 유기발광 다이오드 표시장치(Organic Light Emitting Diode Display Device) 등이 있다. 이러한 평판 표시장치 중에서 최근에는 양산 기술의 발전, 구동수단의 용이성, 저전력 소비, 고화질, 대화면 구현 등 여러 장점이 있는 액정 표시장치 및 유기발광다이오드 표시장치에 많은 연구가 집중되고 있다.

[0006] 일반적인 액정 표시장치는 액정층을 사이에 두고 TFT(thin film transistor)가 구현된 하부 기판과 컬러필터가 구현된 상부 기판이 대향되도록 합착된 표시 패널과 화상 표시를 위해 면광을 제공하는 백라이트 유닛을 포함한다. 이러한, 액정 표시장치는 데이터 전압에 따라 복수의 화소 각각의 액정층을 투과하는 광의 투과율을 조절하

여 영상 신호에 따른 화상을 표시하게 된다.

[0007] 반면, 유기발광다이오드 표시장치는 액정층과 백라이트 유닛을 생략하고, 대신 하부 기판에 TFT와 함께 자체 발광이 가능한 유기발광다이오드를 구현한다.

[0009] 액정 표시장치 및 유기발광다이오드 표시장치 모두, 박막 트랜지스터가 배치된 어레이 기판을 포함한다. 어레이 기판에는 화소 전극과 드레인 전극을 연결하기 위해, 화소 전극과 드레인 전극 사이에 배치된 절연막을 관통하는 컨택홀을 구비한다. 이때, 드레인 전극 상에 PAC(Photo Acryl Compound) 재질의 유기 절연막과 그 위에 배치되는 다수의 무기 절연막이 배치되어 있다. 드레인 전극과 화소 전극을 연결하기 위해서는 유기 절연막을 관통하는 제1 컨택홀과 다수의 무기 절연막을 관통하는 제2 컨택홀이 필요하다.

[0010] 드레인 전극과 화소 전극을 연결하기 위해 하나의 컨택홀을 형성하는 방법도 고려할 수 있으나, 건식 식각시 유기 절연막이 식각되지 않기 때문에 적용될 수 없다. 또한, 드레인 전극 상에 무기 절연막만 형성하는 방법도 고려할 수 있으나, 무기 절연막은 증착에 의해 형성되기 때문에 평탄화된 절연막을 형성할 수 없는 문제점이 발생한다.

[0011] 따라서, 드레인 전극과 화소 전극을 연결하기 위해서는 유기 절연막을 관통하는 제1 컨택홀과 다수의 무기 절연막을 관통하는 제2 컨택홀이 필요하다. 이러한 제1 컨택홀과 제2 컨택홀은 홀-인-홀(hole-in-hole) 구조를 갖는다. 이러한 홀-인-홀 구조의 제1 컨택홀과 제2 컨택홀을 형성하기 위하여 일반적으로 제1 컨택홀의 사이즈가 제2 컨택홀의 사이즈보다 크다.

[0012] 한편, 표시 장치용 어레이 기판에서 투과율을 향상시키기 위해서는 화소 영역의 면적이 넓어야 한다. 한정된 사이즈의 기판에서 화소 영역의 면적을 넓히기 위해서는 화소 영역과 화소 영역 사이의 블랙 매트릭스 영역의 사이즈를 감소시킬 필요성이 있다. 블랙 매트릭스는 어레이 기판의 박막 트랜지스터, 게이트 라인 및 데이터 라인을 가려주기 위한 것으로, 주로 컬러필터 등이 배치되는 상부 기판에 배치된다.

[0013] 화소 전극과 드레인 전극을 연결하기 위한 컨택홀 역시 블랙 매트릭스 영역에 포함된다. 따라서, 제1 컨택홀의 사이즈가 축소될 수 있다면, 그만큼 블랙 매트릭스 영역의 사이즈도 감소될 수 있으므로, 화소 영역의 면적을 넓힐 수 있다.

발명의 내용

해결하려는 과제

[0015] 본 발명은, 화소 영역의 면적 증대를 통해 투과율을 향상시킬 수 있는 표시장치용 어레이 기판을 제공하는 것을 과제로 한다.

[0016] 또한, 본 발명은 투과율을 향상시킬 수 있는 표시장치용 어레이 기판을 제조하는 방법을 제공하는 것을 과제로 한다.

과제의 해결 수단

[0018] 상기 과제를 해결하기 위한 본 발명의 실시예에 따른 표시장치용 어레이 기판은, 기판, 게이트 배선, 데이터 배선, 박막 트랜지스터, 유기 절연막, 무기 절연막 및 화소 전극을 포함한다. 게이트 배선은 기판 상에 제1 방향을 따라 배치된다. 데이터 배선은 게이트 배선과 교차하는 제2 방향을 따라 배치되어 화소 영역을 정의한다. 박막 트랜지스터는 게이트 배선과 데이터 배선 및 액티브층의 교차 부분에 배치된다. 유기 절연막은 상기 박막 트랜지스터가 배치된 기판 상에 배치되며, 상기 박막 트랜지스터의 드레인 전극이 노출되는 제1 컨택홀을 구비한다. 무기 절연막은 상기 유기 절연막 상에 배치되며, 상기 박막 트랜지스터의 드레인 전극이 노출되는 제2 컨택홀을 구비하며, 하나의 층 또는 복수의 층으로 배치된다. 화소 전극은 상기 무기 절연막 상에 배치되며, 상기 제1 컨택홀 및 제2 컨택홀을 통해 박막 트랜지스터의 드레인 전극과 연결된다.

[0019] 본 발명에 따른 표시장치용 어레이 기판은 상기 제1 컨택홀의 일부분과 상기 제2 컨택홀의 일부분이 중첩된 홀-바이-홀(hole-by-hole) 구조를 갖는다. 이러한 홀-바이-홀 구조의 컨택홀을 통해 제1 컨택홀의 사이즈를 줄일 수 있고, 제1 컨택홀의 사이즈가 줄어든 만큼 블랙 매트릭스 폭을 감소시킬 수 있다. 이에 따라 화소 영역의 면적을 넓힐 수 있어, 투과율을 향상시킬 수 있다.

[0021] 한편, 상기 유기 절연막의 일 측벽 상에는 무기 절연막 및 화소 전극이 배치되어 있고, 상기 유기 절연막의 타 측벽 상에는 화소 전극이 배치되어 있고, 상기 유기 절연막의 일 측벽과 타 측벽 사이에는 드레인 전극 상에 화

소 전극이 배치된 구조를 가질 수 있다. 이때, 상기 유기 절연막의 일 측벽은 상기 제2 컨택홀과 중첩되지 않는 제1 컨택홀의 측벽이고, 상기 유기 절연막의 타 측벽은 상기 제1 컨택홀과 중첩되지 않는 상기 제2 컨택홀 측벽일 수 있다.

[0022] 또한, 제1 컨택홀과 제2 컨택홀은 제1 방향을 따라 배치될 수 있다.

[0023] 또한, 제1 컨택홀의 측벽의 경사가 상기 제2 컨택홀의 측벽의 경사보다 더 클 수 있다.

[0024] 또한, 화소 전극은 제2 컨택홀의 측벽에서 단절되어 있을 수 있다.

[0026] 상기 과제를 해결하기 위한 본 발명의 실시예에 따른 표시장치용 어레이 기판 제조 방법은 기판 상에 박막 트랜지스터(120)를 배치하는 단계; 상기 박막 트랜지스터가 배치된 기판 상에 상기 박막 트랜지스터의 드레인 전극이 노출되는 제1 컨택홀을 구비하는 유기 절연막을 배치하는 단계; 상기 유기 절연막 상에 적어도 한 층의 무기 절연막을 배치하는 단계; 상기 박막 트랜지스터의 드레인 전극이 노출되도록 상기 무기 절연막을 관통하는 제2 컨택홀을 형성하는 단계; 상기 제2 컨택홀이 배치된 상기 무기 절연막 상에 화소 전극을 배치하는 단계를 포함한다. 이때, 상기 제1 컨택홀의 일부와 중첩되도록 상기 제2 컨택홀을 형성한다.

발명의 효과

[0028] 본 발명에 따른 표시장치용 어레이 기판은 박막 트랜지스터의 드레인 전극과 화소 전극을 연결하기 위한 컨택홀 구조에 있어, 유기 절연막을 관통하는 제1 컨택홀의 일부분과 무기 절연막을 관통하는 제2 컨택홀의 일부분이 중첩된 홀-바이-홀 구조를 갖는다.

[0029] 이러한 홀-바이-홀 구조의 컨택홀은 제1 컨택홀의 사이즈를 줄이더라도 제2 컨택홀 형성에 영향을 미치지 않는다. 이에 따라, 제1 컨택홀의 사이즈를 줄일 수 있고, 제1 컨택홀의 사이즈가 줄어든 만큼 블랙 매트릭스 폭을 감소시킬 수 있다. 이에 따라 화소 영역의 면적을 넓힐 수 있어, 투과율을 향상시킬 수 있다.

도면의 간단한 설명

[0031] 도 1은 드레인 전극과 화소 전극을 연결하기 위한 홀-인-홀 구조의 컨택홀들을 포함하는 표시장치용 어레이 기판을 개략적으로 나타낸 것이다.

도 2는 도 1의 I-I' 단면의 예를 나타낸 것이다.

도 3은 도 1의 II-II' 단면을 개략적으로 나타낸 것이다.

도 4는 드레인 전극과 화소 전극을 연결하기 위한 거의 동일한 사이즈를 갖는 컨택홀들을 포함하는 표시장치용 어레이 기판을 개략적으로 나타낸 것이다.

도 5는 도 4의 II-II'단면의 예를 개략적으로 나타낸 것이다.

도 6은 본 발명의 바람직한 실시예에 따른 드레인 전극과 화소 전극을 연결하기 위한 홀-바이-홀 구조의 컨택홀들을 포함하는 표시장치용 어레기 기판을 개략적으로 나타낸 것이다.

도 7은 도 6의 I-I' 단면의 예를 나타낸 것이다.

도 8은 도 7의 II-II' 단면의 예를 개략적으로 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 도면을 참조하여 본 발명에 따른 표시장치용 어레이 기판 및 그 제조 방법에 대하여 상세히 설명한다.

[0033] 이하에서 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 해당 구성요소들은 이와 같은 용어들에 의해 한정되지는 않는다. 이 용어들은 하나의 구성요소들을 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0034] 또한, 본 발명에서 "~~ 상에 있다"라고 함은 "어떠한 부분이 다른 부분과 접촉한 상태로 바로 위에 있다"를 의미할 뿐만 아니라 "어떠한 부분이 다른 부분과 비접촉한 상태이거나 제3의 부분이 중간에 더 형성되어 있는 상태로 다른 부분의 위에 있다"를 의미할 수도 있다.

[0036] 도 1은 드레인 전극과 화소 전극을 연결하기 위한 홀-인-홀 구조의 컨택홀들을 포함하는 표시장치용 어레이 기판을 개략적으로 나타낸 것이다. 또한, 도 2는 도 1의 I-I' 단면의 예를 나타낸 것이다.

[0037] 도 1, 그리고 후술하는 도 4 및 도 6에서는 하나의 서브픽셀 구조를 나타내었으며, 실제 어레이 기판에서는 이러한 서브픽셀 구조들이 상하좌우로 반복된다고 볼 수 있다. 도 1에 도시된 서브픽셀 구조는 예를 들어, 레드, 그린 및 블루 중 어느 하나를 표시하기 위한 것일 수 있으며, 레드, 그린 및 블루를 표시하기 위한 3개의 서브픽셀이 하나의 픽셀을 구성할 수 있다. 도 1에 도시된 서브픽셀 구조는 다른 예로, 레드, 그린, 블루 및 화이트 중 어느 하나를 표시하기 위한 것일 수 있으며, 레드, 그린, 블루 및 화이트를 표시하기 위한 4개의 서브픽셀이 하나의 픽셀을 구성할 수 있다.

[0038] 도 1 및 도 2를 참조하면, 도시된 표시장치용 어레이 기판은 기판(110), 게이트 배선(GL), 데이터 배선(DL), 박막 트랜지스터(120), 유기 절연막(180) 무기 절연막(190) 및 화소 전극(220)을 포함한다. 또한, 기판(110) 상에는 버퍼층(114)이 더 배치되어 있을 수 있다.

[0039] 게이트 배선(GL)은 기판(110) 상에 제1 방향(도 1의 x 방향)을 따라 배치된다. 데이터 배선(DL)은 게이트 배선(GL)과 교차하는 제2 방향(도 1의 y 방향)을 따라 배치된다. 게이트 배선(GL)과 데이터 배선(DL)의 교차에 의해 화소 영역이 정의된다. 박막 트랜지스터(120)는 게이트 배선(GL)과 데이터 배선(DL)의 교차 부분, 보다 구체적으로는 게이트 배선(GL)과 데이터 배선(DL) 및 액티브층(130)의 교차 부분에 배치된다.

[0040] 도 2에 도시된 예와 같이, 박막 트랜지스터(120)는 액티브층(130), 게이트 절연막(140), 게이트 전극(150), 층간 절연막(160), 소스 전극(170a), 드레인 전극(170b)을 포함한다.

[0041] 유기 절연막(180)은 박막 트랜지스터(120)가 배치된 기판 상에 배치되며, 상기 박막 트랜지스터의 드레인 전극이 노출되는 제1 컨택홀(180a)을 구비한다. 유기 절연막(180)은 PAC(Photo Acryl Compound) 재질일 수 있다.

[0042] 무기 절연막(190b)은 유기 절연막(180) 상에 배치되며, 박막 트랜지스터의 드레인 전극(170b)이 노출되는 제2 컨택홀(180b)을 구비한다.

[0043] 화소 전극(220)은 무기 절연막(190) 상에 배치되며, 제1 컨택홀(180a) 및 제2 컨택홀(180b)을 통하여 박막 트랜지스터의 드레인 전극(170b)과 연결된다.

[0045] 도 1 및 도 2에 도시된 드레인 전극(170b)과 화소 전극(220)을 연결하기 위한 컨택홀 구조는 제1 컨택홀(180a) 내에 제2 컨택홀(180b)이 형성되어 있는 홀-인-홀(hole-in-hole) 구조라 볼 수 있다.

[0046] 도 3은 도 1의 II-II' 단면을 개략적으로 나타낸 것으로, 도 2의 A 부분을 개략적으로 나타낸 것이다.

[0047] 홀-인-홀 구조의 제1 컨택홀(180a)과 제2 컨택홀(180b)을 형성하기 위하여 도 3에 도시된 예와 같이, 제1 컨택홀(180a)의 사이즈가 제2 컨택홀(180b)의 사이즈보다 크다.

[0048] 전술한 바와 같이, 표시 장치용 어레이 기판에서 투과율을 향상시키기 위해서는 화소 영역의 면적이 넓어야 한다. 한정된 사이즈의 기판에서 화소 영역의 면적을 넓히기 위해서는 화소 영역과 화소 영역 사이의 게이트 배선, 박막 트랜지스터를 가려주기 위한 블랙 매트릭스 영역의 폭을 감소시킬 필요성이 있다.

[0049] 화소 전극과 드레인 전극을 연결하기 위한 컨택홀 역시 블랙 매트릭스 영역에 포함된다. 따라서, 제1 컨택홀의 사이즈가 축소될 수 있다면, 그만큼 블랙 매트릭스 영역의 폭도 감소될 수 있으므로, 화소 영역의 면적을 넓힐 수 있다.

[0050] 그러나, 도 3에 도시된 예와 같은 홀-인-홀 컨택홀 구조에서는 제1 컨택홀(180a)의 사이즈가 큰 관계로, 블랙 매트릭스 영역의 폭을 감소시키기 어려운 구조라 볼 수 있다.

[0051] 도 4는 드레인 전극과 화소 전극을 연결하기 위한 거의 동일한 사이즈를 갖는 컨택홀들을 포함하는 표시장치용 어레이 기판을 개략적으로 나타낸 것이다. 또한, 도 5는 도 4의 II-II'단면의 예를 개략적으로 나타낸 것이다.

[0052] 도 4 및 도 5를 참조하면, 제1 컨택홀(180a)과 제2 컨택홀(180b)의 사이즈가 거의 동일하도록, 제1 컨택홀(180a)의 사이즈를 감소시켰다.

[0053] 그러나, 제1 컨택홀(180a)의 사이즈를 감소시키면, 제2 컨택홀(180b) 형성시에 무기 절연막에 언더컷(도 5의 B 부분)이 발생하여, 드레인 전극(170b)과 화소 전극(220) 간의 컨택 불량이 발생할 수 있다.

[0054] 물론, 제1 컨택홀(180a)의 사이즈 감소에 대응하여 제2 컨택홀(180b)의 사이즈를 감소시키는 방법이 고려될 수

있으나, 이는 제2 컨택홀(180b) 자체가 안정적으로 형성되기 어려우므로 역시 드레인 전극(170b)과 화소 전극(220) 간의 컨택 불량이 발생할 수 있다.

[0056] 도 6은 본 발명의 바람직한 실시예에 따른 드레인 전극과 화소 전극을 연결하기 위한 홀-바이-홀 구조의 컨택홀들을 포함하는 표시장치용 어레기 기판을 개략적으로 나타낸 것이다. 도 7은 도 6의 I-I' 단면의 예를 나타낸 것이다. 또한, 도 8은 도 6의 II-II' 단면을 개략적으로 나타낸 것으로, 도 8의 A 부분을 개략적으로 나타낸 것이다.

[0057] 도 6 내지 도 8을 참조하면, 기판(110)은 유리 기판이나 고분자 기판이 이용될 수 있다.

[0058] 기판(110) 상에는 버퍼층(114)이 더 배치되어 있을 수 있다. 버퍼층(114)은 박막트랜지스터(120)의 액티브층(130)의 결정화시 기판(110)의 내부로부터 용출되는 알칼리 이온의 방출에 의한 액티브층(130)의 특성 저하를 방지하는 역할을 한다.

[0059] 또한, 기판(110)과 버퍼층(114) 사이에는 차광층(light shild layer)(112)이 더 배치되어 있을 수 있다. 차광층(112) 상부에 배치되는 액티브층(130)으로 외부의 빛이 유입되는 것을 방지하는 역할을 한다. 차광층(112)은 몰리브덴, 크롬 등의 금속 재질일 수 있다.

[0060] 게이트 배선(GL)은 기판(110) 상에 제1 방향(도 6의 x 방향)을 따라 배치된다.

[0061] 데이터 배선(DL)은 게이트 배선(GL)과 교차하는 제2 방향(도 6의 y 방향)을 따라 배치된다. 게이트 배선(GL)과 데이터 배선(DL)의 교차에 의해 화소 영역이 정의된다.

[0062] 박막 트랜지스터(120)는 게이트 배선(GL)과 데이터 배선(DL)의 교차 부분에 배치된다.

[0063] 보다 구체적으로, 박막 트랜지스터(120)는 액티브층(130), 게이트 절연막(140), 게이트 전극(150), 층간 절연막(160), 소스 전극(170a), 드레인 전극(170b)을 포함한다.

[0064] 액티브층(130)은 소스 영역(130a), 드레인 영역(130b), 그리고 소스 영역(130a)과 드레인 영역(130b) 사이의 채널 영역(130c)을 구비한다.

[0065] 액티브층(130)의 재질은 비정질 실리콘, 폴리 실리콘, LTPS(Low Temperature Ploy Silicon) 등이 될 수 있다. 또한, 액티브층(130)의 재질은 ZnO(Zinc Oxide), IGZO(Indium Gallium Zinc Oxide,), ZIO(Zinc Indium Oxide), ZGO(Ga-doped ZnO)와 같은 산화물 반도체일 수 있다. 소스 영역(130a) 및 드레인 영역(130b)에는 각각 고농도의 불순물이 도핑되어 있다.

[0066] 게이트 절연막(140)은 액티브층(130) 상에 배치된다.

[0067] 게이트 전극(150)은 게이트 절연막(140) 상의 액티브층의 채널 영역(130c)에 중첩되는 영역에 배치된다. 이때, 게이트 전극(150)은 게이트 배선(GL)의 일부분이다. 보다 구체적으로, 게이트 전극(150)은 제1 방향(x 방향)을 따라 배치된 게이트 배선(GL)으로부터 제2 방향(y 방향)으로 돌출된 형태로 배치될 수 있다. 게이트 배선(GL)과 게이트 전극(150)은 동시에 형성되며, 제1 금속층이라고도 한다.

[0068] 층간 절연막(160)은 게이트 전극(150)이 배치된 게이트 절연막(140) 상에 배치된다.

[0069] 층간 절연막(160)은 표면이 평탄화되어 있다. 층간 절연막(160)은 복수 층으로 형성될 수 있다. 도 2를 참조하면, 층간 절연막(160)은 제1 층간 절연막(160a) 및 제2 층간 절연막(160b)을 포함한다. 제1 층간 절연막은 소스 전극(170a) 및 드레인 전극(170b)과 상기 액티브층(130)을 연결하는 콘택홀들(165a, 165b)을 구비한다. 제2 층간 절연막(160b)은 제1 층간 절연막(160a) 상에 배치된다. 제1 층간 절연막(160a)과 제2 층간 절연막(160b)의 재질은 특별히 한정되지 않는다. 다만, 층간 절연막과 상부의 금속층(소스 전극 및 드레인 전극)의 반응 억제 및 층간 절연막 상부의 증착 안정성 등을 고려할 때 제2 층간 절연막은 무기물 재질인 것이 보다 바람직하다.

[0070] 소스 전극(170a)은 층간 절연막(160) 상에 배치된다. 소스 전극(170a)은 데이터 배선(DL)의 일부분이며, 제2 방향(y 방향)을 따라 배치된 데이터 배선(DL)으로부터 제1 방향(x 방향)으로 돌출된 형태로 배치된다. 소스 전극(170a)은 소스-액티브 연결용 컨택홀(165a)을 통해 액티브층(130)의 소스 영역(130a)에 연결된다.

[0071] 드레인 전극(170b)은 층간 절연막(160) 상에 소스 전극(170a)과 이격 배치된다. 드레인 전극(170b)은 드레인-액티브 연결용 컨택홀(165b)을 통해 액티브층(130)의 드레인 영역(130b)에 연결된다.

[0072] 데이터 배선(DL), 소스 전극(170a) 및 드레인 전극(170b)은 동시에 형성되며, 이들을 통틀어 제2 금속층이라고

도 한다.

[0073] 유기 절연막(180)은 박막 트랜지스터(120)가 배치된 기판 상에 배치되며, 상기 박막 트랜지스터의 드레인 전극이 노출되는 제1 컨택홀(180a)을 구비한다. 유기 절연막(180)은 PAC(Photo Acryl Compound) 재질일 수 있으며, 코팅 및 광중합 반응에 의해 형성될 수 있다. 제1 컨택홀(180a)은 포토 리소그래피 공정에서 하부의 드레인 전극(170b)이 노출되도록 패터닝되어 형성될 수 있다. 또한, 제1 컨택홀(180a)을 둘러싼 유기 절연막의 끝단, 즉 제1 컨택홀(180a)의 측벽은 테이퍼지게 형성될 수 있다. 이를 통해 유기 절연막 상에 무기 절연막(190) 배치시 증착 안정성을 높일 수 있다.

[0074] 박막 트랜지스터(120)가 배치된 기판 상에 유기 절연막이 아닌 무기 절연막이 배치되는 것을 고려할 수 있다. 그러나, 이는 다음과 같은 이유로 바람직하지 않다.

[0075] 우선, 박막 트랜지스터 상에는 수 마이크로미터 두께의 두꺼운 절연막이 요구되는데, 유기물의 경우 코팅 및 광중합 반응에 의해 수 마이크로 두께의 평탄화된 절연막이 쉽게 형성될 수 있다. 그러나, 무기 절연막의 경우 주로 증착에 의해 형성되는데, 증착을 통하여 주로 수십 내지 수백 나노미터 두께의 막이 형성되며, 증착법을 이용하여 수 마이크로 두께의 막을 형성하기에는 어레이 기판 나아가 표시장치 전체의 제조 비용 상승이 크게 증가한다.

[0076] 또한, 코팅에 의한 유기 절연막의 경우, 평탄화가 용이하다. 그러나, 박막 증착에 의할 때 하부층에 높이 편차가 있을 때, 증착에 의한 절연막 역시 동일한 형태의 높이 편차를 가지게 된다. 이러한 높이 편차가 계속 유지되는 경우, 파손, 크랙 등의 불량 발생 가능성이 높아질 수 있다.

[0078] 무기 절연막(190)은 유기 절연막(180) 상에 배치되며, 박막 트랜지스터(120)의 드레인 전극(170b)이 노출되는 제2 컨택홀(180b)을 구비한다. 무기 절연막(190)은 SiNx, SiON, SiOx 등의 재질일 수 있다. 무기 절연막(190)은 증착에 의해 형성되며, 제1 컨택홀(180a)이 구비된 유기 절연막(180)의 표면 형상에 대응하는 형태로 배치될 수 있다.

[0079] 도 7를 참조하면, 무기 절연막(190)은 3개 층을 포함할 수 있다.

[0080] 제1 무기 절연막(190a)은 상부에 터치 신호 배선(200)이 배치된다. 제2 무기 절연막(190b)은 제1 무기 절연막 상에 배치되며, 상부에 공통 전극(210)이 배치된다. 제3 무기 절연막(190c)은 제2 무기 절연막(190b) 상에 배치되며, 상부에 화소 전극(220)이 배치된다.

[0081] 공통 전극(210)은 박막 트랜지스터(120와 화소 전극(220) 사이에서, 화소 전극(220)과 중첩되도록 배치될 수 있다. 공통 전극(210) 및 화소 전극(220)은 ITO(Indium, Tin Oxide), IZO(Indium Zinc Oxide)와 같은 투명 전도성 산화물(Transparent Conductive Oxide) 재질일 수 있다.

[0082] 터치 신호 배선(200)은 제3 금속층(M3L)이라고도 하며, 공통 전극(210)과 전기적으로 연결된다. 도면에 도시하지는 않았지만, 터치 신호 배선(200)은 디스플레이 모드에서는 공통 전극(210)에서 인가되는 공통 전압을 복수의 터치 전극으로 전달하는 역할을 하고, 터치 모드에서는 터치 구동 신호를 복수의 터치 전극으로 전달하는 역할을 한다. 터치 신호 배선(200)은 금속 재질일 수 있다.

[0083] 화소 전극(220)은 무기 절연막(190), 보다 구체적으로는 제3 무기 절연막(190c) 상에 배치되며, 제1 컨택홀(180a) 및 제2 컨택홀(180b)을 통하여 박막 트랜지스터의 드레인 전극(170b)과 연결된다.

[0084] 화소 전극(226)은 화소 영역에 배치되며, 공통 전극(210)과의 횡전계를 발생시키기 위해 핑거 형태의 구조를 가질 수 있다.

[0086] 도 6 및 도 7에 도시된 드레인 전극(170b)과 화소 전극(220)을 연결하기 위한 컨택홀 구조는 제1 컨택홀(180a)의 일부와 제2 컨택홀(180b)의 일부가 중첩되어 있는 홀-바이-홀(hole-by-hole) 구조라 볼 수 있다.

[0087] 즉, 홀-바이-홀 구조의 제1 컨택홀(180a)과 제2 컨택홀(180b)은 도 8에 도시된 예와 같이, 제1 컨택홀(180a)의 일부분과 제2 컨택홀(180b) 일부분이 중첩된 구조이다.

[0088] 이 홀-바이-홀 컨택홀 구조에서는 제1 컨택홀(180a)의 사이즈가 제2 컨택홀의 사이즈보다 커야 하는 것은 아니며, 제1 컨택홀(180a)의 사이즈가 제2 컨택홀(180b)의 사이즈보다 약간 더 클 수 있고 반대로 제1 컨택홀(180a)의 사이즈가 제2 컨택홀(180b)의 사이즈보다 약간 더 작을 수 있다. 또한, 제1 컨택홀(180a)의 사이즈가 제2 컨택홀(180b)의 사이즈와 동일할 수도 있다. 즉, 홀-바이-홀 구조의 컨택홀은 제1 컨택홀(180a)의 사이즈를 줄이더라도 제2 컨택홀 형성에 영향을 미치지 않는다.

[0089] 홀-바이-홀 구조의 컨택홀을 통해 유기 절연막을 관통하는 제1 컨택홀(180a)의 사이즈를 줄일 수 있고, 제1 컨택홀(180a)의 사이즈가 줄어든 만큼 게이트 배선, 박막 트랜지스터 등을 가리기 위한 블랙 매트릭스 폭을 감소시킬 수 있다. 이에 따라 화소 영역의 면적을 넓힐 수 있어, 투과율을 향상시킬 수 있다.

[0090] 제1 컨택홀(180a)과 제2 컨택홀(180b)은 게이트 배선(GL)을 따르는 제1 방향(x 방향), 데이터 배선(DL)을 따르는 제2 방향(y 방향), 제1 방향과 제2 방향 사이의 방향을 따라 중첩 배치될 수 있다. 다만, 도 6에서 볼 수 있는 바와 같이, 제1 컨택홀(180a)과 제2 컨택홀(180b)은 게이트 배선(GL)을 따르는 제1 방향을 따라 중첩 배치되는 것이 보다 바람직하다. 제1 컨택홀(180a)과 제2 컨택홀(180b) 게이트 배선(GL)을 따르는 제1 방향을 따라 배치될 때 제1 컨택홀(180a)과 제2 컨택홀(180a)의 제2 방향으로의 사이즈가 크게 감소될 수 있으므로 블랙 매트릭스 폭 감소 효과를 높일 수 있다.

[0091] 상기의 홀-바이-홀 구조의 컨택홀은 제2 컨택홀(180b) 형성 시에, 제2 컨택홀(180b)의 일부분이 제1 컨택홀(180a)와 중첩되도록 마스크를 형성한 상태에서 무기 절연막(190)을 건식 식각함으로써 구현될 수 있다. 한편, 건식 식각시 무기 절연막(190)은 식각이 이루어지나, 유기 절연막(180)은 식각이 이루어지지 않는다.

[0092] 이에 따라, 제1 및 제2 컨택홀(180a, 180b)을 기준으로 한 유기 절연막(180)의 일 측벽 상에는 무기 절연막(180) 및 화소 전극(220)이 배치되어 있고, 제2 컨택홀(180g) 형성시 무기 절연막(180)이 제거됨에 따라, 유기 절연막(180)의 타 측벽 상에는 화소 전극(220)이 바로 배치되어 있고, 제1 및 제2 컨택홀(180a, 180b) 형성에 따라 드레인 전극(170b)이 노출되는 유기 절연막(180)의 일 측벽과 타 측벽 사이에는 드레인 전극(170b) 상에 화소 전극(220)이 배치된 구조를 가질 수 있다.

[0093] 여기서, 유기 절연막(180)의 일 측벽은 제2 컨택홀(180b)과 중첩되지 않는 제1 컨택홀(180a)의 측벽이고, 유기 절연막(180)의 타 측벽은 제2 컨택홀(180b)과 중첩되는 제1 컨택홀(180a)의 측벽이 될 수 있다. 즉, 제2 컨택홀(180b)과 중첩되지 않는 제1 컨택홀(180a)의 측벽은 유기 절연막(180) 상에 무기 절연막(190)이 배치되어 있고, 무기 절연막(180) 상에 화소 전극(220)이 배치된 구조를 가질 수 있다. 또한, 제2 컨택홀(180b)과 중첩되는 제1 컨택홀(180a)의 측벽은 유기 절연막(180) 상에 화소 전극(220)이 배치된 구조를 가질 수 있다. 또한, 제2 컨택홀(180b)의 바닥은 박막 트렌지스터의 드레인 전극(170b) 상에 화소 전극(220)이 배치된 구조를 가질 수 있다.

[0094] 이때, 제1 컨택홀(180a)의 측벽의 경사(Θ1)가 상기 제2 컨택홀(180b)의 측벽의 경사(Θ2)보다 더 클 수 있다. 제1 컨택홀(180a)의 경우, 유기 절연막(180) 상에 무기 절연막(190)을 안정적으로 증착시키기 위하여 상대적으로 큰 측벽 경사(Θ1)를 가질 수 있다. 제1 컨택홀(180a)의 측벽의 경사(Θ1)는 90° 보다 큰 둔각일 수 있다. 반면, 제2 컨택홀(180b)의 경우 이러한 큰 측벽 경사를 요하지 않아, 상대적으로 작은 측벽 경사(Θ2)를 가질 수 있다. 제2 컨택홀(180b)의 측벽의 경사(Θ2)는 약 90° 정도가 될 수 있다.

[0095] 또한, 도 8을 참조하면, 화소 전극(220)은 제2 컨택홀(180b)의 측벽에서 단절되어 있을 수 있다. 이는 제2 컨택홀(180b) 형성시 무기막 일부에 언더컷(도 8의 C 부분)의 발생에 기인하는 것이다. 이러한 화소 전극(220)은 제2 컨택홀(180b)의 측벽에서 단절되어 있더라도 도 8에 도시된 예와 같이, 드레인 전극(170b)와 화소 전극(220) 간의 연결에는 문제가 발생하지 않는다. 이는 도 6의 평면도로부터 명확히 알 수 있다. 도 6의 참조하면, 평면에서 볼 때 화소 전극(220)이 드레인 전극(180b)을 덮는 형태로 되어 있다. 이에 따라, 제2 컨택홀(180b)의 측벽에서 화소 전극(200)의 일부분이 단절된다고 하더라도 제1 컨택홀(180a)의 측벽을 통하여 드레인 전극(170b)와 화소 전극(220)이 연결되기 때문에, 해당 화소 영역의 화소 전극 전체에 신호가 인가될 수 있다.

[0097] 본 발명에 따른 표시장치용 어레이 기판은 액정 표시장치용 어레이 기판에 적용될 수 있으며, 유기발광다이오드 표시장치나 이외의 다른 표시장치에도 적용 가능하다.

[0098] 예를 들어, 본 발명에 따른 어레이 기판이 액정 디스플레이 장치에 적용될 경우, 어레이 기판과 컬러필터 기판 사이에 액정층이 개재된 구조를 가지며, 어레이 기판 하부에는 어레이 기판에 균일한 면광을 제공하기 위해, 광원 및 각종 광학 시트를 포함하는 백라이트 유닛이 배치된다.

[0099] 다른, 예로, 본 발명에 따른 어레이 기판이 유기발광다이오드 표시장치에 적용될 경우, 어레이 기판에 박막 트랜지스터와 함께 유기발광다이오드가 배치되며, 별도의 백라이트 유닛 및 편광판은 요구되지 않는다.

[0101] 이상에서는 본 발명의 실시예를 중심으로 설명하였지만, 통상의 기술자의 수준에서 다양한 변경이나 변형을 가할 수 있다. 따라서, 이러한 변경과 변형이 본 발명의 범위를 벗어나지 않는 한 본 발명의 범주 내에 포함되는 것으로 이해할 수 있을 것이다.

부호의 설명

[0103] 110 : 기판 112 : 차광층

114 : 버퍼층 120 : 박막 트랜지스터

130 : 액티브층 130a : 소스 영역130a

130b : 드레인 영역 130c : 채널 영역

140 : 게이트 절연막 150 : 게이트 전극

160 : 층간 절연막 160a : 제1 층간 절연막

160b : 제2 층간 절연막 165a : 소스-액티브 연결용 컨택홀

165b : 드레인-액티브 연결용 컨택홀

170a : 소스 전극 170b : 드레인 전극

180 : 유기 절연막 180a : 제1 컨택홀

180b : 제2 컨택홀 190 : 무기 절연막

190a : 제 1 무기 절연막 190b : 제2 무기 절연막

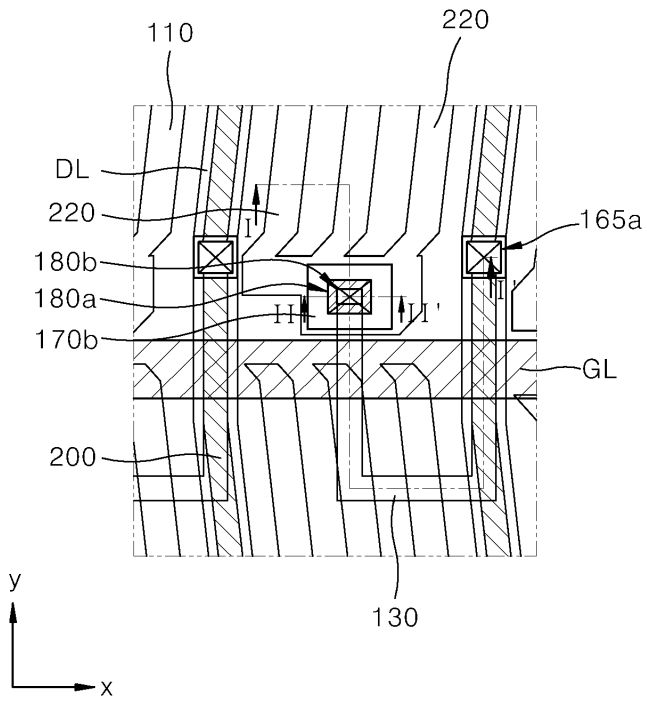
190c : 제3 무기 절연막 200 : 터치 신호 배선

210 : 공통 전극 220 : 화소 전극

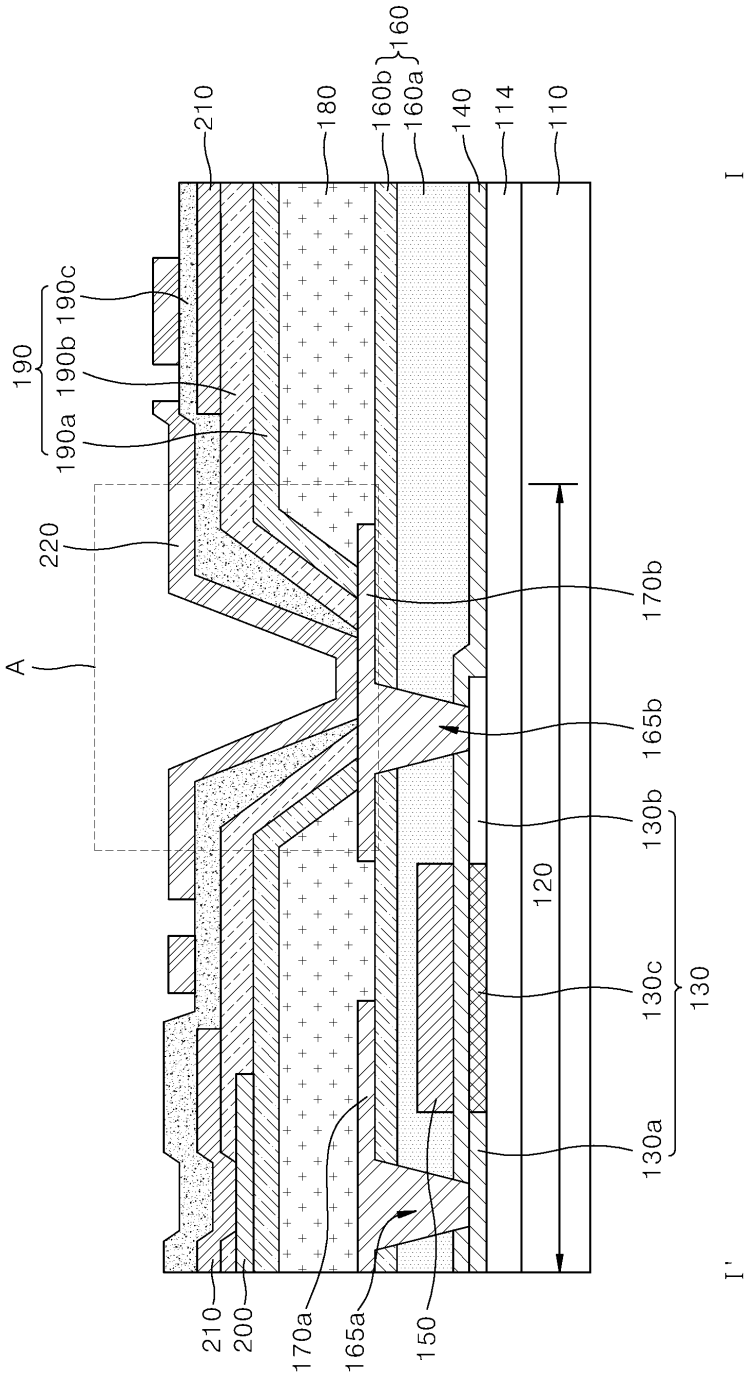
GL : 게이트 배선 DL : 데이터 배선

도면

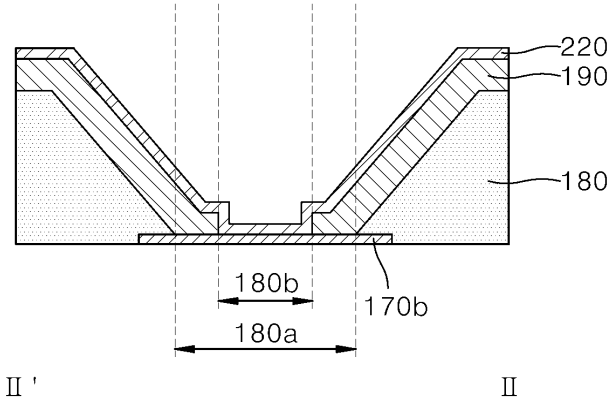
도면1



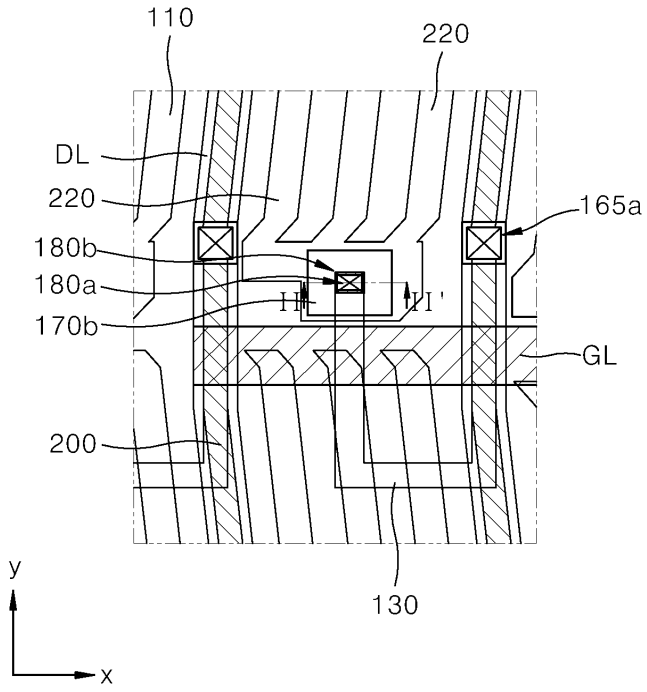
도면2


210
180
160b
160a
160
140
114
110
190
190a
190b
190c
220
A
170b
165b
130b
120
130c
130
130a
I
I'
210
200
170a
165a
150

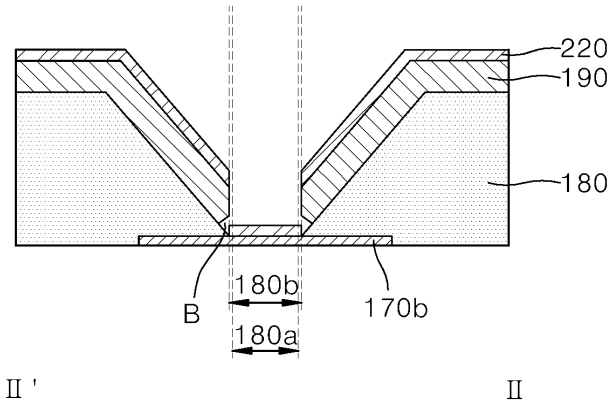
도면3


220
190
180
180b
170b
180a
Ⅱ'
Ⅱ

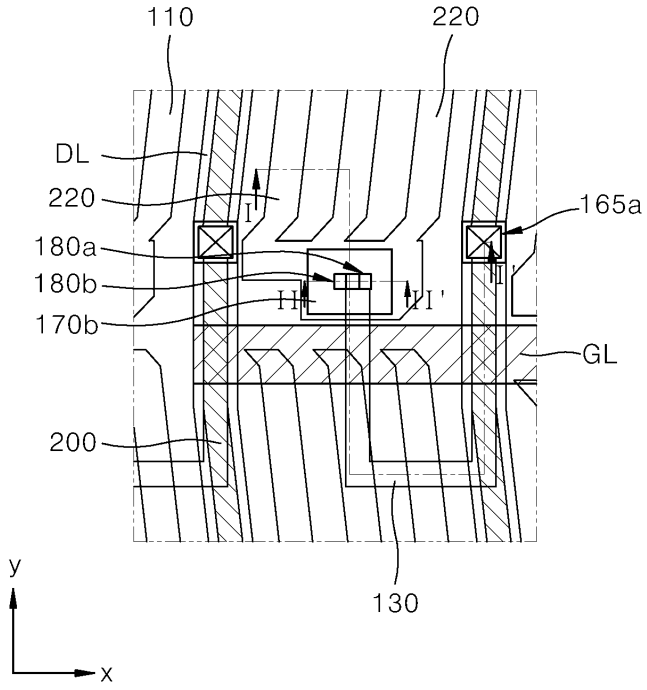
도면4


110
220
DL
220
165a
180b
180a
Ⅰ
Ⅰ'
170b
GL
200
130
y
x

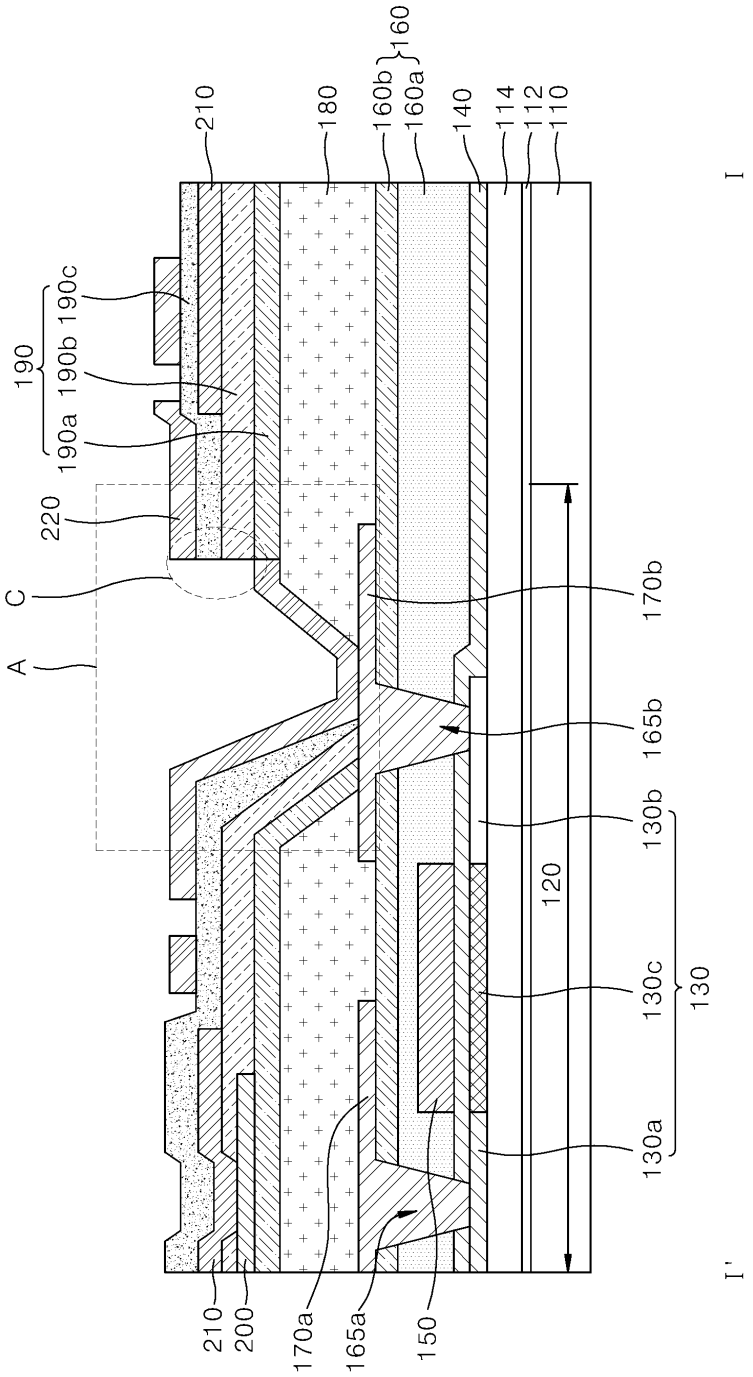
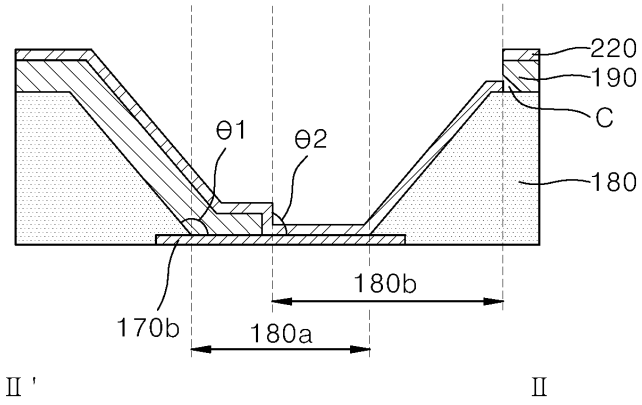
도면5


220
190
180
B
180b
170b
180a
Ⅱ'
Ⅱ

도면6



도면7


210
180
160b
160a
160
140
114
112
110
190
190a
190b
190c
220
C
A
170b
165b
130b
120
130c
130
130a
I
I'
210
200
170a
165a
150

도면8