

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/784 (2006.01)

H01L 27/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200710104428.0

[45] 授权公告日 2010年1月13日

[11] 授权公告号 CN 100580905C

[22] 申请日 2007.4.20

[21] 申请号 200710104428.0

[73] 专利权人 晶能光电(江西)有限公司

地址 330047 江西省南昌市南京东路 235
号南昌大学北区(材料科学研究所)

[72] 发明人 王立 江风益

[56] 参考文献

CN1697205A 2005.11.16

CN1249540A 2000.4.5

US6156584A 2000.12.5

审查员 韩冰

[74] 专利代理机构 北京市金杜律师事务所

代理人 王茂华

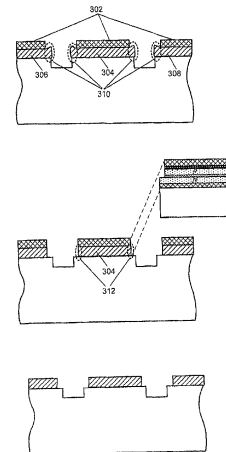
权利要求书 4 页 说明书 11 页 附图 4 页

[54] 发明名称

获得在分割衬底上制造的半导体器件的高质量边界的方法

[57] 摘要

本发明的一个实施例提供一种用于获得在沟槽分割衬底上制造的各种多层结构的高质量边界的工艺。在操作期间,该工艺获取沟槽分割衬底,其中将该衬底的表面分成由沟槽阵列分隔的隔离淀积台的阵列。然后,该工艺在淀积台中的一个上形成多层结构,该多层结构包括第一掺杂层、有源层和第二掺杂层。接着,该工艺去除多层结构的侧壁。



1. 一种用于获得在沟槽分割衬底上制造的各个多层结构的高质量边界的方法，包括：

获得沟槽分割衬底，其中将所述衬底的表面分成由沟槽阵列分隔的多个隔离淀积台的阵列；

在所述淀积台中的一个上形成多层结构，所述多层结构包括第一掺杂层、有源层和第二掺杂层；以及

去除所述多层结构的侧壁。

2. 根据权利要求1的方法，其中去除所述多层结构的侧壁包括使用以下工艺中的一种来刻蚀所述侧壁：

干法刻蚀工艺；

湿法刻蚀工艺；以及

干法刻蚀和湿法刻蚀组合的工艺。

3. 根据权利要求2的方法，其中在刻蚀所述侧壁之前，所述方法还包括：利用掩膜层来保护所述多层结构的非边界表面，由此只将所述多层结构的所述边界区域暴露给随后的刻蚀工艺。

4. 根据权利要求3的方法，其中暴露的边界宽度在 $2\mu\text{m}$ 至 $50\mu\text{m}$ 之间。

5. 根据权利要求2的方法，其中如果使用干法刻蚀工艺，则所述方法还包括控制所述干法刻蚀工艺以至少刻蚀穿所述多层结构的所述有源层，其中所述干法刻蚀工艺垂直于所述多层结构而进行。

6. 根据权利要求2的方法，其中所述干法刻蚀工艺是感应耦合等离子体（ICP）刻蚀。

7. 根据权利要求2的方法，其中所述湿法刻蚀工艺包括使用基于 H_3PO_4 的刻蚀剂。

8. 根据权利要求7的方法，其中所述方法包括将所述基于 H_3PO_4 的刻蚀剂加热到高于 100°C 的温度。

9. 根据权利要求2的方法，其中从所述多层结构的下侧执行所

述刻蚀工艺，且其中所述方法进一步包括：

将支撑结构键合到所述多层结构的顶侧；

去除所述沟槽分割衬底以暴露所述多层结构的下侧，其中所述多层结构附连到所述支撑结构；

对所述多层结构的下侧进行构图，以暴露所述多层结构的不合需要的边界区域；以及

去除与所述不合需要的边界区域对应的所述多层结构的侧壁。

10. 根据权利要求9的方法，其中去除所述多层结构的所述侧壁包括使用基于 H_3PO_4 的刻蚀剂来湿法刻蚀所述侧壁。

11. 如权利要求10的方法，其中所述方法包括将所述基于 H_3PO_4 的刻蚀剂加热到高于 $100^\circ C$ 的温度。

12. 一种半导体器件，通过用于生产在沟槽分割衬底上制造的各个多层结构的高质量边界的工艺而获得，所述工艺包括：

获得沟槽分割衬底，其中所述衬底的表面被分成由沟槽阵列分隔的多个隔离淀积台的阵列；

在所述淀积台中的一个上形成多层结构，所述多层结构包括第一掺杂层、有源层和第二掺杂层；以及

去除所述多层结构的侧壁。

13. 根据权利要求12的半导体器件，其中去除所述多层结构的侧壁包括使用以下工艺中的一种来刻蚀所述侧壁：

干法刻蚀工艺；

湿法刻蚀工艺；以及

干法刻蚀和湿法刻蚀组合的工艺。

14. 根据权利要求13的半导体器件，其中在刻蚀所述侧壁之前，所述工艺还包括：利用掩膜层来保护所述多层结构的非边界表面，由此只将所述多层结构的所述边界区域暴露给随后的刻蚀工艺。

15. 根据权利要求14的半导体器件，其中暴露的边界宽度在 $2\mu m$ 至 $50\mu m$ 之间。

16. 根据权利要求13的半导体器件，其中如果使用干法刻蚀工

艺，则所述方法还包括控制所述干法刻蚀工艺以至少刻蚀穿所述多层结构的所述有源层，其中所述干法刻蚀工艺垂直于所述多层结构而进行。

17. 根据权利要求 13 的半导体器件，其中所述干法刻蚀工艺是感应耦合等离子体（ICP）刻蚀。

18. 根据权利要求 13 的半导体器件，其中所述湿法刻蚀工艺包括使用基于 H_3PO_4 的刻蚀剂，并将所述基于 H_3PO_4 的刻蚀剂加热到高于 $100^\circ C$ 的温度。

19. 根据权利要求 18 的半导体器件，其中所述工艺包括将所述基于 H_3PO_4 的刻蚀剂加热到高于 $100^\circ C$ 的温度。

20. 根据权利要求 13 的半导体器件，其中从所述多层结构的下侧执行所述刻蚀工艺，且其中所述工艺进一步包括：

将支撑结构键合到所述多层结构的顶侧；

去除所述沟槽分割衬底以暴露所述多层结构的下侧，其中所述多层结构附连到所述支撑结构；

对所述多层结构的下侧进行构图，以暴露所述多层结构的不合需要的边界区域；以及

去除与所述不合需要的边界区域对应的所述多层结构的侧壁。

21. 根据权利要求 20 的半导体器件，其中去除所述多层结构的侧壁包括使用基于 H_3PO_4 的刻蚀剂来湿法刻蚀所述侧壁。

22. 根据权利要求 21 的半导体器件，其中所述工艺包括将所述基于 H_3PO_4 的刻蚀剂加热到高于 $100^\circ C$ 的温度。

23. 一种半导体器件，包括：

支撑衬底；

多层结构，其形成在所述支撑衬底上并且包括底部电极、第一掺杂层、有源层、第二掺杂层和顶部电极；以及

键合层，其在所述支撑衬底和所述多层结构之间，其中所述键合层将所述多层结构和所述支撑衬底保持在一起；

其中所述多层结构具有高质量侧壁，所述高质量侧壁是通过去除

与不合需要的边界区域对应的多层结构的原始侧壁而获得的。

获得在分割衬底上制造的半导体器件的高质量边界的方法

技术领域

本发明涉及一种用于半导体器件制造的技术。更具体而言，本发明涉及一种通过对在分割衬底（partitioned substrate）的隔离台面上形成的半导体器件的侧壁进行刻蚀来提高器件质量的方法。

背景技术

期望固态发光器件引领下一代的照明技术。高亮度发光二极管（HB-LED）的应用范围逐渐增加，从用于显示器件的光源到用于常规照明来代替电灯泡。同时，固态激光器继续发光而作为许多关键技术领域发展的驱动力，从光数据存储，到光通信网络，再到医疗应用。

近年来，逐渐出现了对短波长发光器件的需求，诸如蓝光和 UV LED 以及二极管激光器。这些短波长发光器件通常是基于宽带隙半导体材料，诸如基于氮化物的 $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 和基于氧化锌的 $\text{Zn}_x\text{Mg}_y\text{Cd}_{1-x-y}\text{O}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 材料，它们在全世界范围内进行着广泛的研究。具体而言，近来对基于氮化物的 LED 和激光器的成功研发不仅将发光光谱扩展到绿色、蓝色和紫外区域，而且可以实现高发光效率、低功耗和长的操作寿命。

然而，在商业上无法大量获得基于 GaN 的单晶衬底。因而，通常使用诸如硅（Si）、蓝宝石（ Al_2O_3 ）、砷化镓（GaAs）和碳化硅（SiC）之类的其它衬底材料作为用于基于 GaN 的半导体器件的外延生长的支撑衬底。在衬底和半导体器件之间的异质性引起不可避免的晶格常数和热膨胀系数的失配。结果，这些基于氮化物的半导体器件的质量，诸如发光效率和可靠性，会显著地受到这些失配的影响。具体而言，上述的失配可以在外延层中引起高密度的位错和较大的面

内应力，这又会导致器件质量恶化且很可能引起多层结构的裂化。

已经开发了一些技术来有效地减小由于晶格常数失配而引起的位错密度，例如，通过在异质的衬底和外延半导体层之间使用缓冲层，或通过使用侧向外延生长（ELOG）技术。然而，这些技术在消除由上述失配所引起的应力方面仍存有缺陷，且外延半导体层中的裂化在制造过程中依然是一个严重的问题。

最近提出的一种技术通过将大晶片“分割”成各个独立的台（platform）而可以有效地减少面内应力。应注意的是，将晶片“分割”指的是在不破坏晶片的情况下，在晶片表面上进行构图并形成交叉沟槽的工艺。典型地，在平坦的衬底表面上进行构图并形成深沟槽（例如，通过刻蚀衬底），这样将衬底表面划分成由沟槽围绕的隔离的“岛”。接着，在分割衬底上制造半导体多层结构，并在隔离的单个单元的台上形成各个器件。因为应力与表面区域成比例，所以可显著地减少并限制每个隔离器件中的应力。

在这些各个淀积台上生长半导体多层结构也产生了问题。每个台对应于用于膜生长的相对受限的区域，且每个台的边界会对边界附近的多层结构具有不利影响。

因此，需要一种方法和装置以获得在隔离台上制造的多层半导体器件的高质量边界，而不引起上述的问题。

发明内容

本发明的一个实施例提供一种用于获得在沟槽分割衬底上制造的各个多层结构的高质量边界的工艺。在操作期间，该工艺获得沟槽分割衬底，其中该衬底的表面被分成由沟槽阵列分隔的隔离淀积台的阵列。然后，该工艺在淀积台中的一个上形成多层结构，该层结构包括第一掺杂层、有源层和第二掺杂层。然后，该工艺去除多层结构的侧壁。

在此实施例的一个变型中，该工艺通过使用干法刻蚀工艺、湿法刻蚀工艺或干法刻蚀和湿法刻蚀工艺的组合来刻蚀侧壁，以去除多

层结构的侧壁。

在此实施例的又一变型中，在刻蚀侧壁之前，该工艺利用掩膜层来保护多层结构的非边界表面，由此只将多层结构的边界区域暴露给随后的刻蚀工艺。

在又一变型中，所暴露的边界宽度在 $2\mu\text{m}$ 至 $50\mu\text{m}$ 之间。

在又一变型中，如果使用干法刻蚀工艺，该工艺控制干法刻蚀工艺以至少刻蚀穿 (etch through) 多层结构的有源层，其中干法刻蚀工艺垂直于多层结构而进行。

在又一变型中，干法刻蚀工艺为感应耦合等离子体 (ICP) 刻蚀。

在又一变型中，湿法刻蚀工艺使用基于 H_3PO_4 的刻蚀剂。

在又一变型中，基于 H_3PO_4 的刻蚀剂被加热到高于 100°C 的温度。

在又一变型中，该工艺通过以下步骤从多层结构的下侧执行刻蚀工艺：(1) 将支撑结构键合到多层结构的顶侧；(2) 去除沟槽分割衬底以暴露多层结构的下侧，其中多层结构被附连到支撑结构；(3) 对多层结构的下侧进行构图，以暴露多层结构的不合需要的边界区域；以及(4) 去除与不合需要的边界区域对应的多层结构的侧壁。

附图说明

图 1A 图示了根据本发明一个实施例的用于在衬底表面上制造多层结构期间的应力释放的技术；

图 1B 图示了根据本发明一个实施例的沿着图 1A 的水平线 AA' 的沟槽分割衬底的横截面视图；

图 1C 图示了在形成隔离的多层结构后图 1B 的横截面视图；

图 2 图示了根据本发明一个实施例的与多层结构对应的示例性的基于 GaN 的 LED 结构；

图 3A 图示了根据本发明一个实施例的对每个多层结构上的刻蚀掩膜层进行构图的步骤；

图 3B 图示了根据本发明一个实施例的在去除多层结构的低质量

边界后所得到的多层结构;

图 3C 图示了根据本发明一个实施例的在掩膜层剥离后的最终多层结构; 以及

图 4 图示了根据本发明一个实施例的从多层结构的下侧去除边界的示例性逐步工艺。

具体实施方式

给出以下的描述, 以使得本领域技术人员能够制造和使用本发明, 且这些描述是在具体应用及其需求的背景下提供的。公开实施例的各种修改对本领域技术人员而言是显而易见的, 且在不离开本发明的范围的情况下, 这里限定的一般原理可以应用到其它实施例和应用。因而, 本发明不限于所示出的实施例, 而是与权利要求的最宽范围一致。

为了应力释放而将衬底分割

当使用诸如硅 (Si) 晶片之类的常规半导体晶片作为衬底来制造诸如 GaN 蓝光 LED 之类的异质多层半导体结构时, 在衬底表面和多层结构之间的晶格常数和热膨胀系数的失配引起多层结构中的应力。典型地, 这种应力随着多层结构的厚度和表面区域而增加。应力的累积最后会导致多层结构的裂化, 这使得难以制造出高质量的半导体器件。

图 1A 图示了根据本发明一个实施例的用于在衬底表面上制造多层结构期间的应力释放的技术。

如图 1A 所示, 对诸如 Si 衬底的衬底表面的部分区域 100 进行构图 (例如, 使用光刻技术), 并利用交叉沟槽结构 102 来分割。形成沟槽结构 102 可以涉及用于在衬底表面上制造沟槽的任意已知的或以后开发的技术。这些技术可以包括但不限于干法刻蚀技术、湿法刻蚀技术和机械刮擦 (scraping) 技术。

沟槽结构 102 将部分衬底 100 划分成隔离的方形台 104 的阵列,

其中每个方形台只是原始表面区域的一小部分。典型地，每个方形台的大小通过诸如 LED 或二极管激光器之类的单个半导体器件的占用面积来确定。在本发明的一个实施例中，每个台具有约 $100\mu\text{m}$ 到 $3000\mu\text{m}$ 的尺度。

应注意的是，除了形成方形台之外，可以通过改变沟槽结构 102 的图案来形成可选的台形状。这些可选的形状中的一些可以包括但不限于：三角形，矩形，平行四边形，六边形，圆形或其它不规则形状。

图 1B 图示了根据本发明一个实施例的沿着图 1A 中的水平线 AA' 的沟槽分割衬底的横截面视图。如图 1B 所示，交叉沟槽 102 的侧壁有效地形成了如台面 108、部分台面 110 和 112 的隔离台面结构的侧壁。每个台面限定了用于生长单个半导体器件的独立表面区域。

应注意的是，当在这些台面上淀积材料时，淀积的材料也可以聚集在沟槽 102 中。如果相邻的多层结构利用沟槽中的材料连接，则不可以有效地释放多层结构中的应力。因而，在本发明的一个实施例中，沟槽结构 102 足够深，使得在沟槽每一侧上的两个相邻台面上形成的多层结构彼此不充分耦合。

例如，对于典型的 $4\mu\text{m}$ 厚的多层结构而言，沟槽深度可以是 $4\mu\text{m}$ 。在一个实施例中，沟槽 102 的深度大于多层结构厚度的两倍。

图 1C 图示了根据本发明一个实施例的在形成隔离多层结构 114-118 后图 1B 的横截面视图。

应注意的是，在台面 108 上形成的多层结构 114 在空间上不与相邻的多层结构 116 和 118 耦合，多层结构 116 和 118 在空间上不与它们各自相邻的结构耦合。在一个实施例中，每个多层结构 114-118 对应于单个半导体器件。因为多层结构 114 的表面区域显著地小于部分衬底 100，所以也显著降低了由于与衬底失配而引起的多层结构 114 中的应力。因而，通过利用深沟槽来对衬底进行构图以及通过在隔离的淀积台上形成各个半导体器件，可以有效地消除未分割衬底表面中的大应力所引起的问题。

在本发明的一个实施例中，每个多层结构是基于 $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) 的发光器件。在以下讨论中，“GaN 材料”一般可以包括基于 $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) 的化合物，其可以是二元、三元或四元化合物，如 GaN、InGaN、GaAlN 和 InGaAlN。

图 2 图示了根据本发明一个实施例的与多层结构 114 对应的示例性的基于 GaN 的 LED 结构 200。GaN LED 200 具有可选的缓冲层 202，出于晶格常数和/或热膨胀系数匹配的考虑，可以在硅台面 108 上外延生长该缓冲层 202。然后在缓冲层 202 上生长 n 型掺杂 GaN 层 204。接着，在 n 型掺杂层 204 上形成 InGaN/GaN 多量子阱 (MQW) 有源层 206 和 p 型掺杂 GaN 层 208。

随后，在 p 型掺杂层 208 上形成欧姆接触层 210。欧姆接触层 210 的形成可以使用任何化学或物理汽相淀积方法，诸如电子束蒸发、灯丝蒸发或溅射淀积。欧姆接触层 210 也可以是具有不小于 30% 的反射率的反射材料。

回到图 1C，应注意的是，在台面 108 上生长多层结构 114 受到了“边界效应”的影响。更具体而言，当淀积多层结构中的层时，淀积速率在台的中心区域更均匀，但朝着台的边界逐渐增加。

这种边界效应是边界附近粗糙度和缺陷数目增加的结果，边界附近粗糙度和缺陷数目的增加为淀积的材料产生了更多的生长位置。因而，所形成的层在中部区域更均匀，但朝着台的边界可能变得更厚并包括更多的缺陷。当新淀积的层变为下一层的淀积表面时，这种边界的粗糙又加重了用于下一层生长的边界效应。结果，多层结构 114 在中部区域是均匀的，但在台面 108 的边界处生长得较厚和/或不规则（圆圈 120 内）。应注意的是，在某些情况下，结构 114 在台面 108 的边界处可能不形成较厚区域 120。然而，突出的生长缺陷仍可以出现，并显著地降低器件性能。尽管在此公开中的例子示出了这些较厚的区域，但这些较厚的区域仅仅是为了示例，而并非将本发明的实施例限制到这种情况。

此外，过生长 (outgrown) 的多层结构也可以水平地形成，且

在台面 108 的侧壁上方翘起。结果，多层结构 114 可以弯曲在边界上方并在台面 108 的侧壁上按水平方向生长。

最终，这样制造的多层器件 114 可以具有高度均匀的边界和过生长侧壁。如果这一器件是 LED 器件，则低质量的侧壁会导致泄漏电流显著增加，并恶化静电放电 (ESD) 电阻。

因此，期望去除多层结构 114 的低质量边界区域 120。

从顶侧去除低质量边界

图 3A-3C 图示了根据本发明一个实施例的去除多层结构的低质量边界的工艺。

图 3A 图示了根据本发明一个实施例的对每个多层结构上的刻蚀掩膜层进行构图的步骤。如图 3A 所示，在每个多层结构 304、306 (部分示出) 和 308 (部分示出) 的上方对预定厚度的刻蚀掩膜层 302 进行构图。在每个多层结构上，将刻蚀掩膜 302 设计成保护多层结构的高质量区域，同时暴露多层结构的低质量边界区域 310。应注意的是，掩膜层 302 选择性地阻挡后续的刻蚀工艺，且因此基于刻蚀工艺的类型来进行选择。掩膜层 302 的预定厚度足够厚以在进行刻蚀工艺时保护高质量区域。在一个实施例中，掩膜层 302 具有 $5\mu\text{m}$ 和 $10\mu\text{m}$ 之间的厚度。

在本发明的一个实施例中，刻蚀工艺是感应耦合等离子体 (ICP) 干法刻蚀工艺，且刻蚀掩膜层 302 由氧化硅 (SiO_2) 制成。在此实施例中，预定厚度的 SiO_2 层淀积在多层结构表面的上方。接着，光致抗蚀剂 (PR) 层旋涂在 SiO_2 层的上方。然后对此 PR 层进行构图，并获得与刻蚀掩膜 302 类似的 PR 掩膜。接着，使用构图的 PR 层作为掩膜，对 SiO_2 层进行构图且随后去除 PR 层。然后，使用 SiO_2 掩膜来在后续的 ICP 工艺中保护多层结构的高质量区域。

图 3B 图示了根据本发明一个实施例在去除多层结构的低质量边界 310 后所得到的多层结构。如所观察的，多层结构 304 的新边界 312 基本通过掩膜层 302 的边界来限定。多层结构 302 的生长台面的

侧壁上的过生长结构和低质量区域 310 被刻蚀掉。

去除低质量区域 310 可以通过使用干法刻蚀、湿法刻蚀或干法刻蚀/湿法刻蚀工艺的组合来实现。应注意的是，干法刻蚀工艺典型地为各向异性的，且所得到的多层结构 314 的侧壁基本是垂直的（如图 2B 所示）。另一方面，如果使用湿法刻蚀工艺，则刻蚀工艺典型地是各向同性的，并且所得到的多层结构 314 的侧壁可以在掩膜层 302 下被钻蚀（undercut）到一定距离。然而，湿法刻蚀工艺典型地具有比使用干法刻蚀工艺更高的刻蚀速率。

应注意的是，当刻蚀图 2 中所示的 GaN LED 结构时，刻蚀工艺可以不需要完全经过多层堆叠 200。在一个实施例中，刻蚀工艺只需要刻蚀穿 p 型层 208 和有源层 206，而不刻蚀 n 型层 204 和缓冲层 202。图 3B 的插图图示了这种部分刻蚀的 GaN LED 结构。

图 3C 图示了根据本发明一个实施例的在剥离掩膜层 302 后的最终多层结构。多层结构的新边界是没有缺陷的高质量边界，且因此不易受到泄漏电流或 ESD 问题的影响。

在本发明的一个实施例中，在上述刻蚀工艺之后，在该结构的上方淀积绝缘层，其中绝缘层还覆盖多层结构的侧壁。应注意的是，这种绝缘层可以有助于保护多层结构的侧壁以免于通过随后例如为了形成用于多层结构的电极而进行的金属淀积工艺而短路。

例 1

对常规衬底进行构图并刻蚀，以形成方形的各个淀积台。每个方形淀积台具有 $285\mu\text{m}\times 285\mu\text{m}$ 的尺寸。将衬底分割的沟槽结构具有宽 $15\mu\text{m}$ 且深 $20\mu\text{m}$ 的沟槽。

接着，在每个方形淀积台上，使用金属氧化物化学汽相淀积（MOCVD）方法，通过外延生长形成 GaN 蓝光 LED 的多层结构，其中多层结构的总厚度是 $4\mu\text{m}$ 。然后淀积氧化物掩膜层，且之后在掩膜层上方旋涂 $2\mu\text{m}$ 厚的 PR 层，其中对 PR 层进行光刻以保持 $250\mu\text{m}\times 250\mu\text{m}$ 的中心区域。然后通过光刻工艺刻蚀氧化物层，以在多层结构的每侧上暴露约 $35\mu\text{m}$ 宽的边界。

然后衬底经受 ICP 干法刻蚀工艺。干法刻蚀工艺去除多层结构的暴露的低质量边缘和侧壁，因此获得多层结构的高质量边界。

例 2

对常规衬底进行构图并刻蚀，以形成菱形的各个淀积台。每个菱形淀积台具有 $285\mu\text{m}$ 的侧边和 60° 的锐角。将衬底分割的沟槽结构具有宽 $15\mu\text{m}$ 且深 $30\mu\text{m}$ 的沟槽。

接着，在每个菱形淀积台上，使用 MOCVD 方法通过外延生长形成 GaN 蓝光 LED 的多层结构，其中多层结构的总厚度是 $4\mu\text{m}$ 。然后将 $6\mu\text{m}$ 厚的 PR 层旋涂在多层结构的上方，其中对 PR 层进行光刻以保持 $250\mu\text{m}$ 侧边的菱形，这样随后在多层结构的每侧上暴露约 $35\mu\text{m}$ 宽的边界。

然后将衬底置于 ICP 设备中，并进行干法刻蚀，直到 LED 多层结构的有源层被刻蚀穿。干法刻蚀工艺去除多层结构的暴露的低质量边缘和侧壁，因此获得多层结构的高质量边界。

从下侧去除低质量边界

在本发明的一个实施例中，从多层结构 114 的下侧去除图 1C 中的低质量边界 120。此技术典型地合并到“倒装芯片”类型的晶片键合工艺中并涉及比图 3 的顶侧刻蚀工艺更多的步骤。

图 4 图示了根据本发明一个实施例的从多层结构的下侧去除边界的示例性的逐步工艺。

在步骤 A 中，对硅衬底 402 进行构图并刻蚀，以产生若干由沟槽分隔的台面。每个台面限定用于生长多层结构的表面区域。

在步骤 B 中，在衬底台面之上形成多层结构 404。应注意的是，在一个实施例中，台面充分分开且沟槽足够深，使得不同层的外延生长不会在两个单独结构之间产生任何附连，由此显著地降低与晶格失配生长相关联的应力。在本发明的一个实施例中，多层结构 404 是基于 GaN 的半导体结构 200。应注意的是，原本淀积的多层结构 404 具有由于边界效应而引起的低质量边界。

在步骤 C 中，在多层结构 404 之上淀积金键合层 406。应注意的是，金层 406 可以部分地填充多层结构 404 之间的沟槽，且还形成在台面的侧壁上。因为键合层金属可以淀积在侧壁上并使 PN 结短路，所以可选地，本发明的一个实施例在淀积金属键合层 406 之前在多层结构 404 上方形成绝缘层。应注意的是，还可以使用适于作为键合材料的其它金属。

在步骤 D 中，附连支撑结构 408 并将其粘合到金键合层 406。在一个实施例中，支撑结构 408 为新的硅衬底。

在步骤 E 中，使用湿法刻蚀工艺去除硅淀积衬底 402。作为去除硅淀积衬底 402 的结果，暴露了多层结构 404 的下侧。应注意的是，在步骤 E 中已将整个结构倒装，且多层结构 404 通过金键合层 406 和支撑结构 408 来支撑。

在步骤 F 中，利用掩膜层 410 对每个多层结构进行构图，该掩膜层 410 保护每个多层结构的高质量区域，同时暴露结构边界周围的低质量区域，且还暴露了侧壁上的键合层。在一个实施例中，掩膜层 410 是光刻的 PR 掩膜层。在又一实施例中，掩膜层 410 可以是光刻的金属掩膜层，其还用作 LED 多层结构的欧姆接触层。在又一实施例中，除了在构图金属层时使用的 PR 掩膜保留在构图的金属层上方以外，掩膜层 410 为上述光刻的金属层。因此，掩膜层 410 包括金属层和 PR 层二者，以便提供更多的刻蚀保护。

在步骤 G 中，使用刻蚀工艺去除多层结构的低质量边界和侧壁（包括侧壁上的键合材料）。

在一个实施例中，刻蚀工艺是使用 H_3PO_4 酸溶液的湿法刻蚀工艺。应注意的是，GaN（或更一般地为 $InGaAlN$ ）薄膜典型地呈现为六方纤锌矿晶格结构，优选地在（0001）方向具有稳定的生长表面。因此，GaN 晶体在生长方向中呈现为 Ga 极性，其从 n 型掺杂层指向 p 掺杂层。结果，原始生长衬底的去除暴露了呈现 N 极性的表面。使用基于 H_3PO_4 的湿法刻蚀的显著益处是刻蚀剂与多层结构的 N 极性表面高速反应，由此显著地提高了生产速度。而且，基于 H_3PO_4 酸的刻

蚀剂的刻蚀速率可以通过将刻蚀剂加热到预定温度来控制，其中较高温度对应于较高的刻蚀速率。在一个实施例中， H_3PO_4 酸溶液的温度高于 $100^\circ C$ 。在又一实施例中， H_3PO_4 酸溶液的温度为 $150^\circ C$ 。适于 H_3PO_4 湿法刻蚀工艺的刻蚀掩膜包括PR掩膜、金属掩膜或PR/金属双层掩膜。应注意的是，当应用到多层结构的Ga极性表面时，由于GaN晶体的两个极性的不同性质，基于 H_3PO_4 的湿法刻蚀会慢得多。因此，基于 H_3PO_4 的湿法刻蚀特别适于在倒装芯片工艺后从结构下侧去除低质量区域。

在又一实施例中，刻蚀工艺是干法刻蚀工艺，如ICP刻蚀工艺。应注意的是，干法刻蚀工艺典型地是各向异性的，且垂直于多层结构。因此，所得到的多层结构404的侧壁基本是直的。应注意的是，当将干法刻蚀工艺应用到图2的基于GaN的多层结构时，刻蚀工艺可以不需要完全经过堆叠200。在一个实施例中，刻蚀工艺只需要刻蚀穿缓冲层202、n型层204和有源层206，而不刻蚀p型层208，因为该结构已经由于倒装芯片工艺而翻转。

最后，在步骤H中，从刻蚀的多层结构404剥离掩膜层410，其中多层结构404的新边界是不易受到泄漏电流或ESD问题影响的高质量边界。应注意的是，在步骤H后，可以执行可选的淀积步骤，以利用绝缘材料涂覆包括侧壁的多层结构。这提供了对各个PN结结构的侧壁的保护以免于其短路或沾污。

本发明实施例的前述描述仅为说明和描述的目的而给出。它们并非穷尽性的，或并不旨在将本发明限制成这里所公开的形式。因而，对本领域技术人员而言，许多修改和变化是显而易见的。另外，上述公开内容并非旨在限制本发明。本发明的范围由所附权利要求来限定。

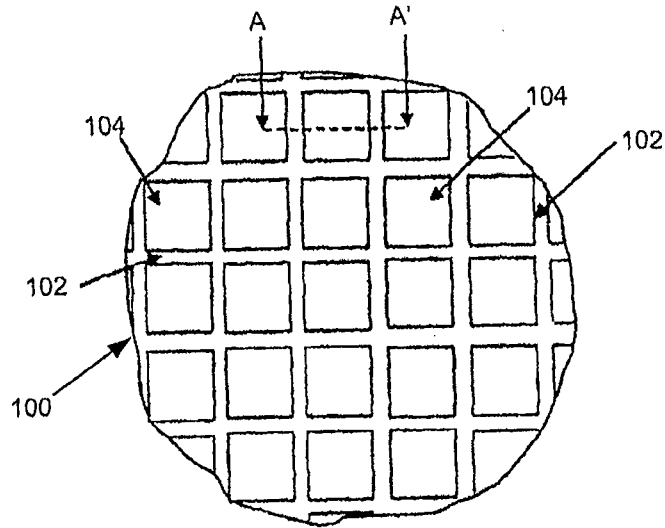


图 1A

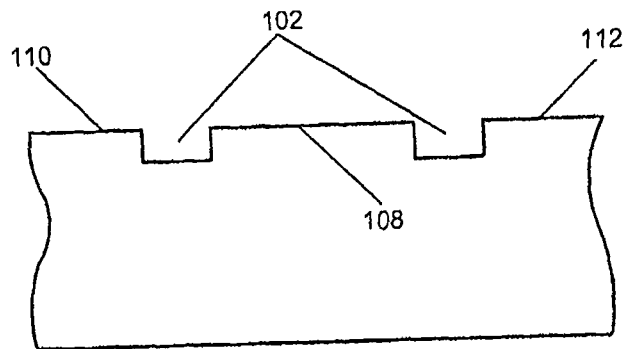


图 1B

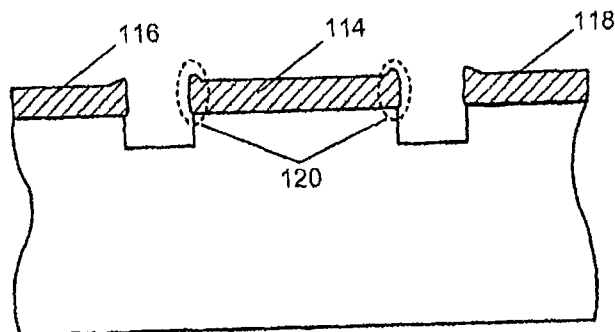


图 1C

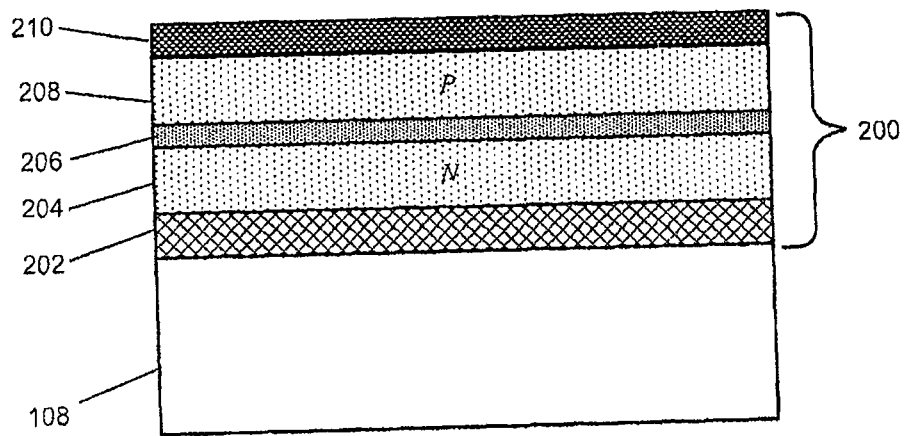


图 2

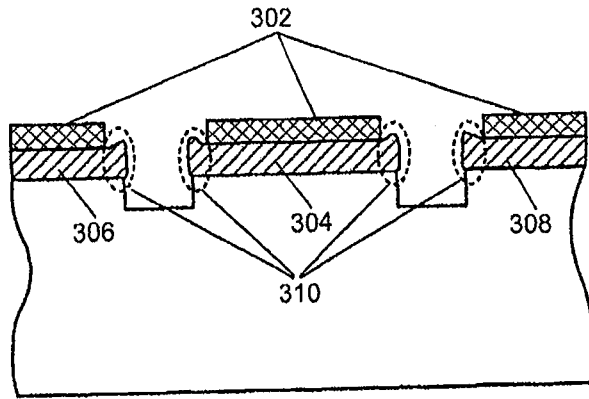


图 3A

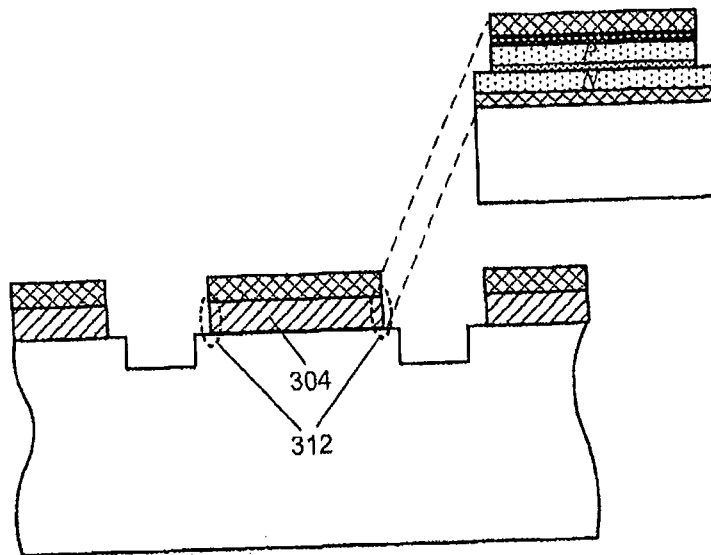


图 3B

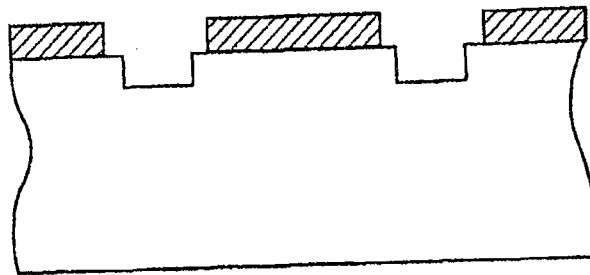


图 3C

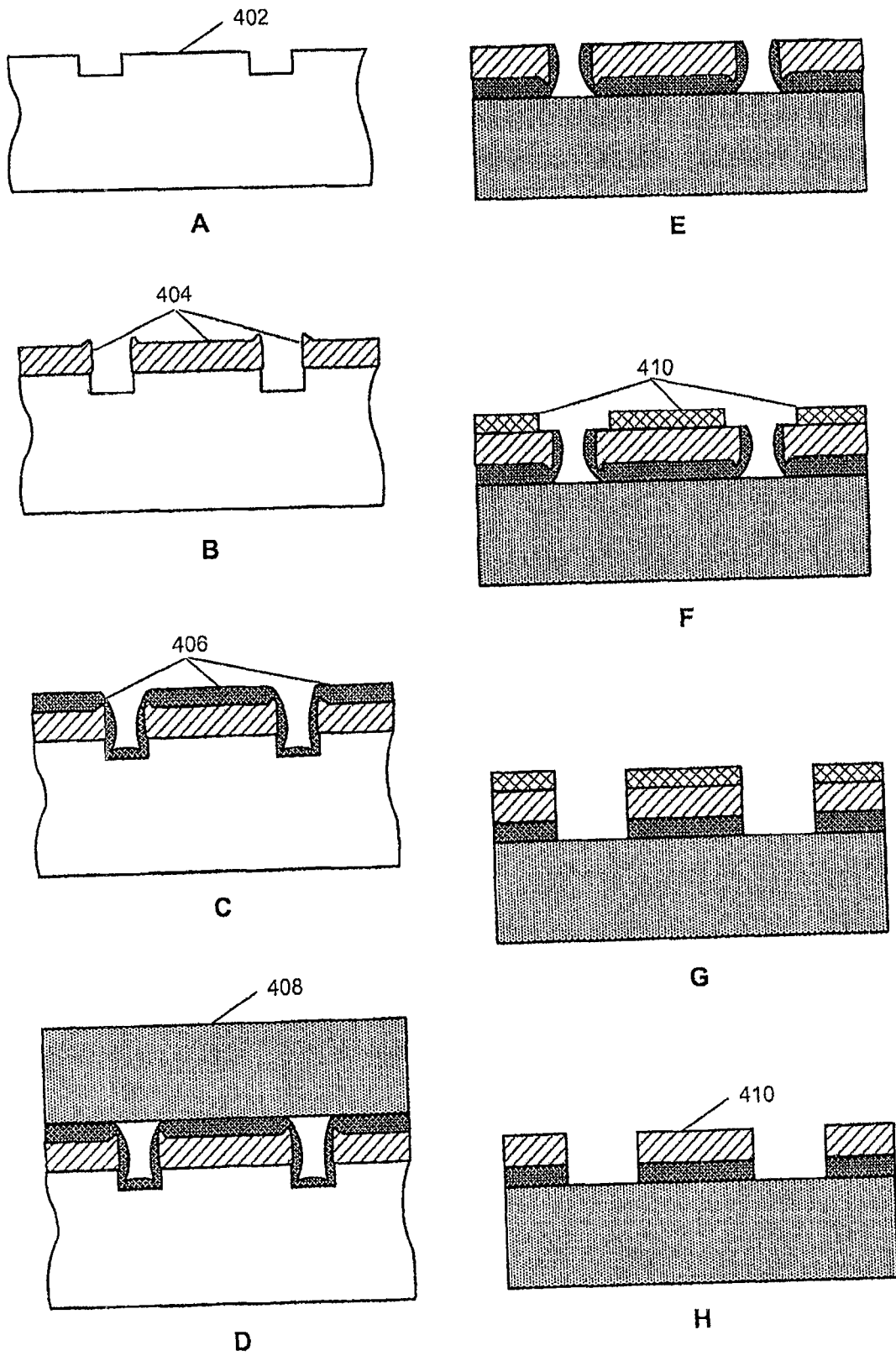


图 4