

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年1月3日(03.01.2013)



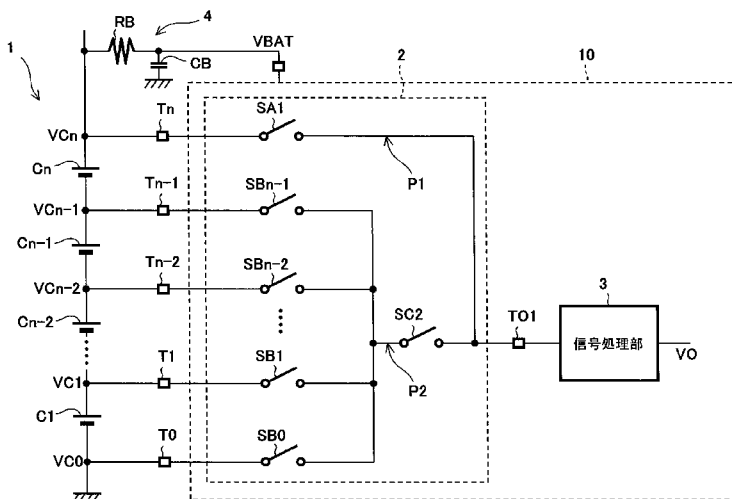
(10) 国際公開番号
WO 2013/001683 A1

- (51) 国際特許分類:
G01R 19/00 (2006.01)
 - (21) 国際出願番号: PCT/JP2012/001630
 - (22) 国際出願日: 2012年3月9日(09.03.2012)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2011-143209 2011年6月28日(28.06.2011) JP
 - (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人(米国についてのみ): 下村 和寛 (SHIMOMURA, Kazuhiro), 明山 亮太(AKEYAMA, Ryouuta).
 - (74) 代理人: 特許業務法人 有古特許事務所(PATENT CORPORATE BODY ARCO PATENT OFFICE); 〒6500031 兵庫県神戸市中央区東町123番地の1 貿易ビル3階 Hyogo (JP).
 - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: MULTIPLEXER FOR VOLTAGE MEASUREMENT AND VOLTAGE METER COMPRISING SAME

(54) 発明の名称: 電圧計測用マルチプレクサおよびそれを備えた電圧計測器

[図1]



3 SIGNAL PROCESSING UNIT

(57) Abstract: Provided are: a multiplexer for voltage measurement capable of suppressing increases in circuit surface area while enabling high-precision voltage measurement even when an input voltage higher than the power supply voltage is applied; and a voltage meter comprising same. The multiplexer comprises: a first switch (SA1) disposed in a first path (P1) between at least one input terminal (Tn) for high voltage and an output terminal (TO1); a plurality of second switches (SB0-SBn-1) disposed at each input terminal in a second path (P2) between each input terminal other than the input terminal (Tn) for high voltage and the output terminal (TO1); and a third switch (SC1) disposed between the plurality of second switches (SB0-SBn-1) and an output terminal-side end of the first switch (SA1). The first switch (SA1) and the third switch (SC1) are configured so as to operate at a higher voltage than the power supply voltage (VBAT).

(57) 要約: 電源電圧より高い入力電圧が印加された場合でも高精度な電圧計測を可能としつつ回路面積の増大を抑制することができる電圧計測用マルチプレクサおよびそれを備えた電圧計測器を提供する。

少なくとも1つの高電圧用入力端子(Tn)と出力端子(TO1)との間の第1経路(P1)に設けられる第1スイッチ(SA1)と、高電圧用入力端子(Tn)以外の各入力端子と出力端子(TO1)との間の第2経路(P2)において当該各入力端子ごとに設けられる複数の第2スイッチ(SB0~SBn-1)と、複数の第2スイッチ(SB0~SBn-1)と第1スイッチ(SA1)の出力端子側端との間に設けられた第3スイッチ(SC1)とを備え、第1スイッチ(SA1)および第3スイッチ(SC1)は、電源電圧(VBAT)より高い電圧でも動作するよう構成されている。

WO 2013/001683 A1

明 細 書

発明の名称：

電圧計測用マルチプレクサおよびそれを備えた電圧計測器

技術分野

[0001] 本発明は所定数のバッテリーセルが直列に接続されたバッテリーセルアレイにおける各バッテリーセルの電圧を計測するために用いられる電圧計測用マルチプレクサおよびそれを備えた電圧計測器に関する。

背景技術

[0002] ハイブリッド電気自動車（HEV）や電気自動車（EV）に搭載されるバッテリーには、出力電圧およびエネルギー密度が一般的な2次電池より高く高効率なりチウムイオンバッテリーが多く用いられている。リチウムイオンバッテリーは、充放電の制御が難しく、破裂や発火の危険性があるため、車載バッテリーとしてリチウムイオンバッテリーを用いる場合には、特にバッテリーの電圧管理が重要となる。

[0003] このようなバッテリーの電圧を計測するための電圧計測器の構成として、直列接続されたバッテリーセルの両端の電圧を順次計測する構成が知られている（例えば特許文献1参照）。図11は従来の電圧計測器の概略構成を示す回路図である。図11に示すように、従来の電圧計測器110は、複数（ n 個）のバッテリーセル C_j （ $j = 1, \dots, n$ ）が直列接続されたバッテリーセルアレイ101の各バッテリーセル C_j の電圧を計測するために、複数のバッテリーセル C_j の各接続端の電圧が入力され、そのうちの1つの電圧を出力するマルチプレクサ102と、マルチプレクサ102の出力に基づいて各バッテリーセル C_j の電圧を演算処理する信号処理部103とを備えている。マルチプレクサ102は、各バッテリーセル C_j の両端の電圧が入力される複数の入力端子 T_i （ $i = 0, \dots, n$ ）ごとに設けられる2つで一对のスイッチ SWA_i 、 SWB_i を備えている。一方のスイッチ SWA_i をオンすることにより、対応するバッテリーセル C_j の一端の電圧が一对の出力端子 T_{01} 、 T_{02}

の一方（正相側の出力端子 $T O 1$ ）に接続され、他方のスイッチ $S W B i$ をオンすることにより、対応するバッテリーセル $C j$ の一端の電圧が一对の出力端子 $T O 1$ 、 $T O 2$ の他方（逆相側の出力端子 $T O 2$ ）に接続される。このような構成においては、マルチプレクサ $1 0 2$ によってバッテリーセル $C j$ の各接続端のノードが各ノードに対応するスイッチ $S W A i$ 、 $S W B i$ により選択的に信号処理部 $1 0 3$ に接続されることにより、当該バッテリーセル $C j$ の電圧が計測される。これをすべてのバッテリーセル $C j$ に対して順次行うことにより、各バッテリーセル $C j$ の電圧データを収集し、これに基づいてバッテリーの制御を行う。

先行技術文献

特許文献

[0004] 特許文献1：特開2010-60435号公報

発明の概要

発明が解決しようとする課題

[0005] ここで、このような電圧計測器においては、バッテリーセルアレイ $1 0 1$ の電圧（ N 個のバッテリーセル $C j$ が直列接続されたバッテリーセルの総電圧値 $V C_n$ ）をマルチプレクサ $1 0 2$ 等の各構成要素の駆動電源（電源電圧 $V B A T$ ）としても利用している。この際、各構成要素の駆動やノイズ等により電源電圧 $V B A T$ に揺れが生じる場合がある。また、電圧計測器に外部電源が接続される場合には、当該外部電源の電流リプルなどによっても電源電圧 $V B A T$ の揺れが生じる。このような電源電圧 $V B A T$ の揺れによりバッテリーセルアレイ $1 0 1$ の電圧計測精度が悪化するのを防止するために、駆動電源の経路と電圧計測の経路との間にキャパシタ $C B$ および抵抗 $R B$ で構成されるフィルタ $1 0 4$ を挿入することが知られている。

[0006] しかし、電源電圧 $V B A T$ の揺れによってバッテリーセルアレイ $1 0 1$ の電圧 $V C_n$ が電源電圧 $V B A T$ が高くなると、電源電圧 $V B A T$ より高い電圧が印加されるバッテリーセル（高電位側のバッテリーセルの幾つか）の電圧に対

応するマルチプレクサ102のスイッチSWA_p, SWB_p（例えばp = n - 1, n等）が誤動作し、バッテリーセルC_jの電圧計測精度を低下させてしまう問題がある。

[0007] 図12は図11に示す電圧計測器に用いられるスイッチの概略構成を示す回路図である。図12に示すように、スイッチSWA_i, SWB_iは、NチャンネルMOSトランジスタ121とPチャンネルMOSトランジスタ122とが並列に接続され、各ゲートに互いに反転した制御信号C, NCが入力されることにより、ソースドレイン間が接続または遮断される、いわゆるCMOSスイッチ（伝送ゲート）により構成されている。このようなスイッチSWA_i, SWB_iにおいては、電源電圧VBATとグランド電圧GNDとを用いてオンまたはオフが実現されるため、電源電圧VBATより高い電圧が入力されると、制御信号の状態に拘わらずスイッチSWA_i, SWB_iがオンしてしまう場合がある。この結果、他のバッテリーセルC_jを計測している場合においても当該高電位側のバッテリーセルが接続された状態となり、正しいバッテリーセル電圧を計測することができない。

[0008] これに対し、電源電圧より高い電圧が入力された場合でも誤動作が生じないようなMOSスイッチも考えられる。図13は従来の昇圧型のMOSスイッチの概略構成を示す回路図である。このような昇圧型のMOSスイッチは、マルチプレクサ102の入出力電圧に応じて制御電圧を変動させるよう構成されている。具体的には、昇圧型のMOSスイッチは、ドレインが互いに接続された2つのPチャンネルMOSトランジスタ131, 132と、各PチャンネルMOSトランジスタ131, 132のゲートとソースとを直接接続するか所定のオフセット電圧V_cを生じさせる電圧源133, 134を介して接続するかを切り替える切り替え部135, 136とを備えている。切り替え部135, 136を切り替えて、MOSトランジスタ131, 132のゲートとソースとを直接接続することにより、MOSスイッチはオフし、電圧源133, 134を介して接続することにより、PチャンネルMOSトランジスタ131, 132のゲート電圧をソース電圧よりオフセット電圧V

c下げることにより、当該PチャンネルMOSトランジスタ131, 132がオンしてMOSスイッチはオンする。このようなスイッチを用いれば電源電圧VBATより高い電圧が入力されても切り替え部135, 136が直接接続されている限りMOSトランジスタ131, 132がオンすることはないため、正しいバッテリーセル電圧を計測することは可能である。

[0009] しかしながら、このような昇圧型のMOSスイッチを採用する場合、すべてのバッテリーセルC_jに接続されたすべてのスイッチSWA_i, SWB_iを図13に示すような昇圧型のPMOSスイッチに置き換える必要がある。というのも、高電位側のバッテリーセルに対応するスイッチSWA_p, SWB_pがオンした場合にも他のバッテリーセルに対応するスイッチSWA_i, SWB_iの出力端子側に電源電圧VBATより高い電圧が印加される可能性があるからである。図13に示すような昇圧型のMOSスイッチは、通常の伝送ゲートに比べて回路面積が大きいいため、これをすべてのスイッチSWA_i, SWB_iに採用すると、マルチプレクサ102の回路面積が増大し、電圧計測器が大型化してしまう。

[0010] 本発明は、このような従来の課題を解決するものであり、電源電圧より高い入力電圧が印加された場合でも高精度な電圧計測を可能としつつ回路面積の増大を抑制することができる電圧計測用マルチプレクサおよびそれを備えた電圧計測器を提供することを目的とする。

課題を解決するための手段

[0011] 本発明のある形態に係る電圧計測用マルチプレクサは、複数のバッテリーセルが直列に接続されたバッテリーセルアレイの各バッテリーセルの電圧を計測するために、前記複数のバッテリーセルの各接続端における電圧が入力され、そのうちの1つの電圧を出力する電圧計測用マルチプレクサであって、前記複数のバッテリーセルの各接続端の電圧がそれぞれ入力される複数の入力端子と、前記複数の入力端子から入力される電圧のうちいずれか1つを出力する出力端子と、前記複数の入力端子のうち最も高い電圧が印加される側から所定数のバッテリーセルに接続される少なくとも1つの高電圧用入力端子と前記

出力端子との間の第1経路に設けられ、前記高電圧用入力端子と前記出力端子とを接続または遮断する第1スイッチと、前記高電圧用入力端子以外の各入力端子と前記出力端子との間の第2経路において当該各入力端子ごとに設けられ、前記高電圧用入力端子以外の入力端子のいずれか1つと前記出力端子とを選択的に接続または遮断する複数の第2スイッチと、前記複数の第2スイッチと前記第1スイッチの前記出力端子側端との間に設けられた第3スイッチとを備え、前記第1スイッチおよび前記第3スイッチは、前記第1、第2および第3スイッチを駆動するための前記バッテリーセルアレイの電圧に基づいた電源電圧より高い電圧でも動作するよう構成されている。

[0012] 上記構成によれば、各バッテリーセルの接続端における電圧が入力される入力端子と出力端子との間の経路のうち、入力端子に電源電圧より高い入力電圧が印加される可能性のある入力端子を含む経路（第1経路）と、電源電圧より低い入力電圧が印加される入力端子を含む経路（第2経路）とを別系統としている。その上で、第1経路において出力端子に接続されている第1スイッチと第2経路において出力端子に接続されている第3スイッチとを、マルチプレクサの各スイッチを駆動する電源電圧より高い電圧でも動作するような構成としている。これにより、第2経路において高い電圧が印加されない入力端子に対応して設けられた第2スイッチは従来のような簡単なスイッチで構成しつつ、第2スイッチと出力端子との間の経路を集約して第3スイッチを設けることにより、電源電圧より高い電圧でも動作する第3スイッチの数を減らすことができる。したがって、電源電圧より高い入力電圧が印加された場合でも高精度な電圧計測を可能としつつ回路面積の増大を抑制することができる。

[0013] 前記高電圧用入力端子は、前記複数の入力端子のうち最も高い電圧が印加される入力端子であってもよい。

[0014] 前記出力端子は、2つで一对の出力端子で構成されており、前記第1スイッチ、前記第2スイッチおよび前記第3スイッチは、それぞれ、前記複数の入力端子のうちのいずれか1つと前記一对の出力端子のうちの一方の出力端

子とを接続または遮断する正相側スイッチと、前記複数の入力端子のうちのいずれか1つと前記一对の出力端子のうちの他方の出力端子とを接続または遮断する逆相側スイッチとを含んでもよい。

[0015] 前記第1スイッチは、主端子の一方が前記入力端子に接続され、主端子の他方が前記出力端子に接続される第1MOSトランジスタと、前記第1MOSトランジスタの前記制御端子と前記主端子の一方との間に接続され、前記制御端子と前記主端子の一方との間の電位差の最大値を規定する第1定電圧素子と、一端が前記制御端子に接続される第1キャパシタと、前記第1キャパシタと基準電位とを接続または遮断する第4スイッチと、前記第1キャパシタと前記第4スイッチとの間に所定の電圧を印加する第1定電圧回路とを備えてもよい。これによれば、第1MOSトランジスタの制御端子に接続された第1キャパシタに第1定電圧回路によって生成された定電圧が印加されることによって第1MOSトランジスタがオンする。すなわち、第1MOSトランジスタの制御端子に印加される電圧（制御電圧）は、電源電圧に依存しない。しかも、第1MOSトランジスタの主端子の一方と制御端子との間には、第1定電圧素子が接続されており、この間の電圧が第1定電圧素子によって一定電圧以下に制御される。したがって、簡単な構成で、第1スイッチを、電源電圧より高い電圧でも動作させることが可能となる。

[0016] 前記定電圧回路は、前記キャパシタの他端に接続される第2定電圧素子と、前記第2定電圧素子に電流を流して前記キャパシタと前記第2定電圧素子の間に所定の定電圧を印加する第1電流源とを備えてもよい。これによれば、第2定電圧素子に第1電流源からの電流を流すことにより、容易に定電圧を生成することができる。

[0017] 前記第3スイッチは、主端子の一方が前記第2スイッチに接続され、主端子の他方が前記出力端子に接続され、前記第1MOSトランジスタと相補関係にある第2MOSトランジスタと、前記第2MOSトランジスタの前記制御端子と前記主端子の一方との間に接続され、前記制御端子と前記主端子の一方との間の電位差の最大値を規定する第3定電圧素子と、一端が前記制御

端子に接続される第2キャパシタと、前記第2キャパシタと基準電位とを接続または遮断する第5スイッチと、前記第2キャパシタと前記第5スイッチとの間に所定の電圧を印加する第2定電圧回路とを備えてもよい。これによれば、第3スイッチにおいても第1スイッチと同様に、簡単な構成で、電源電圧より高い電圧でも動作させることが可能となる。さらに、第2MOSトランジスタが第1スイッチの第1MOSトランジスタと相補的に接続されるため、第2キャパシタ、第5スイッチおよび第2定電圧回路を第1スイッチの第1キャパシタ、第4スイッチおよび第1定電圧回路と共通化することができる。

[0018] 前記第1スイッチおよび前記第3スイッチと前記一对の出力端子との間に接続される一对の第6スイッチと、前記第1スイッチおよび前記第3スイッチと前記第6スイッチとの間に接続されるフライングキャパシタとを備えてもよい。これによれば、第6スイッチによる接続を解除した状態で第1スイッチまたは第3スイッチを接続することにより、計測すべき電圧によってフライングキャパシタに充電され、その後、第1スイッチまたは第3スイッチの接続を解除した状態で第6スイッチを接続することにより、フライングキャパシタに充電された電圧が出力端子に印加される（出力端子に接続される後段の信号処理部に入力される）。これにより、バッテリーセルと信号処理部との絶縁性を確保しつつ、高精度な電圧計測を行うことができる。しかも、フライングキャパシタに充電される電圧は正相側に接続された電圧と逆相側に接続された電圧との差電圧であるため、フライングキャパシタおよび第6スイッチは電源電圧以下で駆動する一般的な構成とすることができる（高電圧対応の構成にする必要がない）。

[0019] また、本発明の他の形態に係る電圧計測器は、上記構成の電圧計測用マルチプレクサと、前記一对の出力端子から出力される各入力端子の電圧に基づいて各バッテリーセルの電圧を演算処理する信号処理部とを備えている。

[0020] 上記構成によれば、電源電圧より高い入力電圧が印加された場合でも高精度な電圧計測を可能としつつ回路面積の増大を抑制することができるマルチ

プレクサを用いて電圧計測器を用いているため、電圧計測器の小型化しつつバッテリーセルの電圧を高精度に計測することができる。

[0021] 本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、以下の好適な実施態様の詳細な説明から明らかにされる。

発明の効果

[0022] 本発明は以上に説明したように構成され、電源電圧より高い入力電圧が印加された場合でも高精度な電圧計測を可能としつつ回路面積の増大を抑制することができるという効果を奏する。

図面の簡単な説明

[0023] [図1]図1は本発明の第1実施形態に係るマルチプレクサが適用された電圧計測器の概略構成例を示す回路図である。

[図2]図2は図1に示す電圧計測器の信号処理部の概略構成を示す回路図である。

[図3]図3は図1に示すマルチプレクサの第1スイッチの概略構成を示す回路図である。

[図4]図4は図3に示す第1スイッチにおける第1キャパシタの両端部の電圧波形を示すグラフである。

[図5]図5は図1に示すマルチプレクサの第3スイッチの概略構成を示す回路図である。

[図6]図6は図5に示す第3スイッチにおける第2キャパシタの両端部の電圧波形を示すグラフである。

[図7]図7は本発明の第2実施形態に係る電圧計測装置が適用されたバッテリーシステムの概略構成例を示す回路図である。

[図8]図8は図7に示す電圧計測器の信号処理部の概略構成を示す回路図である。

[図9]図9は本発明の第3実施形態に係るマルチプレクサが適用された電圧計測器の概略構成例を示す回路図である。

[図10]図10は本発明の第4実施形態に係るマルチプレクサが適用された電

圧計測器の概略構成例を示す回路図である。

[図11]図 1 1 は従来の電圧計測器の概略構成を示す回路図である。

[図12]図 1 2 は図 1 1 に示す電圧計測器に用いられるスイッチの概略構成を示す回路図である。

[図13]図 1 3 は従来の昇圧型のMOSスイッチの概略構成を示す回路図である。

発明を実施するための形態

[0024] 以下、本発明の実施の形態を、図面を参照しながら説明する。なお、以下では全ての図を通じて同一または相当する要素には同一の参照符号を付して、その重複する説明を省略する。

[0025] <第 1 実施形態>

まず、本発明の第 1 実施形態に係るマルチプレクサが適用された電圧計測器について説明する。図 1 は本発明の第 1 実施形態に係るマルチプレクサが適用された電圧計測器の概略構成例を示す回路図である。

[0026] 図 1 に示すように、本実施形態の電圧計測器 10 は、複数 (n 個) のバッテリーセル C_j ($j = 1, \dots, n$) が直列接続されたバッテリーセルアレイ 1 の各バッテリーセル C_j の電圧を計測するために、複数のバッテリーセル C_j の各接続端における電圧が入力され、そのうちの 1 つの電圧を出力するマルチプレクサ 2 と、マルチプレクサ 2 の出力に基づいて各バッテリーセル C_j の電圧を演算処理する信号処理部 3 とを備えている。マルチプレクサ 2 は、各バッテリーセル C_j の各接続端の電圧 V_{C_i} ($i = 0, 1, \dots, n$) が入力される複数の入力端子 T_i と、複数の入力端子 T_i から入力される電圧のうちいずれか 1 つを出力する出力端子 T_{O1} とを備えている。出力端子 T_{O1} には、信号処理部 3 が接続されている。

[0027] 複数の入力端子 T_i のうち最も高い電圧が印加される側から所定数 (本実施形態においては 1 つ) のバッテリーセル C_n の接続端に接続される少なくとも 1 つの高電圧用入力端子 T_n と出力端子 T_{O1} との間の第 1 経路 P_1 には、第 1 スイッチ S_{A1} が設けられており、高電圧用入力端子 T_n と出力端子

T O 1 とを接続または遮断するよう構成されている。また、高電圧用入力端子 T n 以外の各入力端子 T 0 ~ T n - 1 と出力端子 T O 1 との間の第 2 経路 P 2 には、当該各入力端子 T 0 ~ T n - 1 ごとに第 2 スイッチ S B 0 ~ S B n - 1 が設けられている。複数の第 2 スイッチ S B 0 ~ S B n - 1 は、高電圧用入力端子 T n 以外の入力端子 T 0 ~ T n - 1 のいずれか 1 つと出力端子 T O 1 とを選択的に接続または遮断するよう構成されている。

[0028] また、複数の第 2 スイッチ S B 0 ~ S B n - 1 と第 1 スイッチ S A 1 の出力端子 T O 1 側端との間には、第 3 スイッチ S C 1 が設けられている。本実施形態においては、複数の第 2 スイッチ S B 0 ~ S B n - 1 と 1 つの第 3 スイッチ S C 1 とを接続するために、当該第 2 スイッチ S B 0 ~ S B n - 1 と第 3 スイッチ S C 1 との間で第 2 経路は、1 つに集約されている。

[0029] 各スイッチは、外部または内部に設けられたマイクロコントローラなどの制御部（図示せず）によりオンまたはオフが制御される。第 1 スイッチ S A 1 と第 3 スイッチ S C 1 とは、択一的にオンするよう制御される。すなわち、高電圧用入力端子 T n に入力される電圧 V C n を計測する場合には、第 3 スイッチ S C 1 をオフした状態で第 1 スイッチ S A 1 をオンする。また、高電圧用入力端子 T n 以外の入力端子 T 0 ~ T n - 1 に入力される電圧 V C 0 ~ V C n - 1 を計測する場合には、第 1 スイッチ S A 1 をオフした状態で第 3 スイッチ S C 1 をオンする。

[0030] 電圧計測器 1 0 は、バッテリーセルアレイ 1 の電圧（n 個のバッテリーセル C j が直列接続されたバッテリーセルの総電圧値 V C n）をマルチプレクサ 2 および信号処理部 3 等の各構成要素の駆動電源（電源電圧 V B A T）としても利用している。そして、電源電圧 V B A T の揺れによりバッテリーセルアレイ 1 の電圧計測精度が悪化するのを防止するために、駆動電源の経路と電圧計測の経路との間にキャパシタ C B および抵抗 R B で構成されるフィルタ 4 が挿入されている。

[0031] 図 2 は図 1 に示す電圧計測器の信号処理部の概略構成を示す回路図である。図 2 に示すように、信号処理部 3 は、一端がマルチプレクサ 2 の出力端子

T O 1 に接続され、当該出力端子 T O 1 から出力される電圧に応じて充電されるキャパシタ 3 1 と、当該キャパシタ 3 1 の他端が入力端子に接続された差動増幅器 3 0 と、差動増幅器 3 0 の入出力端子間に接続されたキャパシタ 3 2 と、キャパシタ 3 2 と並列に接続されたスイッチ S 3 3 とを備えている。差動増幅器 3 0 は、非反転入力端子が基準電圧に接続され、反転入力端子がキャパシタ 3 1 と接続されている。

[0032] このような信号処理部 3 の動作を、バッテリーセル C n の電圧を計測する場合を例に挙げて説明する。まず、マルチプレクサ 2 の各スイッチをオフした状態でスイッチ S 3 3 をオン（接続）することにより、キャパシタ 3 1, 3 2 の電荷を放電し、差動増幅器 3 0 の出力電圧 V O を 0 にする。その後、第 1 スイッチ S A 1 をオンする。これにより、バッテリーセル C n の上側の電圧 V C n が入力端子 T n およびスイッチ S A 1 を含む第 1 経路 P 1 を通じて出力端子 T O 1 に出力される。キャパシタ 3 1 は、出力端子 T O 1 から出力された上側の電圧 V C n に応じて充電される。その後、スイッチ S 3 3 および第 1 スイッチ S A 1 をオフした後、第 2 スイッチ S B n - 1 をオンする。これにより、バッテリーセル C n の下側の電圧 V C n - 1 が入力端子 T n - 1 およびスイッチ S B n - 1 を含む第 2 経路 P 2 を通じて出力端子 T O 1 に出力される。これに伴い、キャパシタ 3 1 には、下側の電圧 V C n - 1 に応じた電荷が蓄積されるように、上側の電圧 V C n から下側の電圧 V C n - 1 に降下した電圧分の電荷が放電される。この際、スイッチ S 3 3 がオフしているため、降下した電圧分の電荷は、キャパシタ 3 1 からキャパシタ 3 2 に移動する。このようにしてキャパシタ 3 2 には、上側の電圧 V C n から下側の電圧 V C n - 1 の差分電圧、すなわち、バッテリーセル C n の電圧が印加され、これが差動増幅器 3 0 の出力電圧 V O となって出力される。他のバッテリーセル C j を計測する場合も同様である。

[0033] ここで、第 1 スイッチ S A 1 および第 3 スイッチ S C 1 は、第 1、第 2 および第 3 スイッチを駆動するためのバッテリーセルアレイ 1 の電圧（n 個のバッテリーセル C j が直列接続されたバッテリーセルの総電圧値）V C n に基づい

た電源電圧 V_{BAT} より高い電圧でも動作するよう構成されている。

[0034] 上記構成によれば、複数のバッテリーセル C_j の各接続端の電圧 V_{C_i} が入力される入力端子 T_i と出力端子 T_{O1} との間の経路のうち、入力端子 T_i に電源電圧 V_{BAT} より高い入力電圧が印加される可能性のある入力端子 T_n を含む経路（第1経路 P_1 ）と、電源電圧 V_{BAT} より低い入力電圧が印加される入力端子 $T_0 \sim T_{n-1}$ を含む経路（第2経路 P_2 ）とを別系統としている。その上で、第1経路 P_1 において出力端子 T_{O1} に接続されている第1スイッチ S_{A1} と第2経路 P_2 において出力端子 T_{O1} に接続されている第3スイッチ S_{C1} とを、マルチプレクサ2の各スイッチを駆動する電源電圧 V_{BAT} より高い電圧でも動作するような構成としている。これにより、第2経路 P_2 において高い電圧が印加されない入力端子 $T_0 \sim T_{n-1}$ に対応して設けられた第2スイッチ $S_{B0} \sim S_{B_{n-1}}$ は従来のような簡単なスイッチ（例えば図12で示すようなスイッチ）で構成しつつ、第2スイッチ $S_{B0} \sim S_{B_{n-1}}$ と出力端子 T_{O1} との間の経路を集約して第3スイッチ S_{C1} を設けることにより、電源電圧 V_{BAT} より高い電圧でも動作する第3スイッチ S_{C1} の数を減らすことができる（本実施形態においては1つの第3スイッチ S_{C1} のみが設けられている）。したがって、電源電圧 V_{BAT} より高い入力電圧が印加された場合でも高精度な電圧計測を可能としつつ回路面積の増大を抑制することができる。

[0035] 電源電圧 V_{BAT} より高い電圧でも動作する第1スイッチ S_{A1} および第3スイッチ S_{C1} の構成としては、図13に示すようなオフセット電圧 V_c を用いてMOSトランジスタ131, 132のゲートソース間に電圧差を生じさせる昇圧型のスイッチ回路が考えられるが、これに限られない。

[0036] 本実施形態においては、以下のような構成の第1スイッチ S_{A1} および第3スイッチ S_{C1} が用いられている。図3は図1に示すマルチプレクサの第1スイッチの概略構成を示す回路図である。図3に示すように、第1スイッチ S_{A1} は、主端子の一方（ソース）が入力端子 T_n に接続され（主端子の一方に入力電圧 V_{in} が印加され）、主端子の他方（ドレイン）が出力端子

TO1に接続される（主端子の他方に出力電圧 V_{out} が印加される）第1 MOSトランジスタQ1と、第1 MOSトランジスタQ1の制御端子（ゲート）と主端子の一方との間に接続され、制御端子と主端子の一方との間の電位差（ゲートソース間電圧）の最大値を規定する第1定電圧素子D1と、一端が制御端子に接続される第1キャパシタ40と、第1キャパシタ40と基準電位となるグランドGNDとを接続または遮断する第4スイッチSD1と、第1キャパシタ40と第4スイッチSD1との間に所定の電圧を印加する第1定電圧回路41とを備えている。本実施形態において、第1 MOSトランジスタQ1は、PチャンネルMOSトランジスタにより構成されている。

[0037] 第1定電圧回路41は、第1キャパシタ40の他端に接続される第2定電圧素子D2と、第2定電圧素子D2に電流を流して第1キャパシタ40と第2定電圧素子D2との間に所定の定電圧VDを印加する第1電流源42とを備えている。

[0038] 第1定電圧素子D1および第2定電圧素子D2は、例えばツェナーダイオードなどが用いられる。第1定電圧素子D1と第2定電圧素子D2とは同じ順方向電圧VDを有しており、この順方向電圧VDは、第1 MOSトランジスタQ1をオンさせるのに十分な電圧として設定されている。なお、本実施形態において第1 MOSトランジスタQ1は、PチャンネルMOSトランジスタで構成されているので、第1定電圧素子D1は、第1 MOSトランジスタQ1のゲートからソースへと向かう方向を順方向としている。

[0039] 上記のような構成によれば、第1 MOSトランジスタQ1の制御端子に接続された第1キャパシタ40に第1定電圧回路41によって生成された定電圧VDが印加されることによって第1 MOSトランジスタQ1がオンする。すなわち、第1 MOSトランジスタQ1の制御端子に印加される電圧（制御電圧）VDは、電源電圧VBATに依存しない。しかも、第1 MOSトランジスタQ1の主端子の一方と制御端子との間には、第1定電圧素子D1が接続されており、この間の電圧が第1定電圧素子D1によって一定電圧VD以

下に制御される。したがって、簡単な構成で、第1スイッチSA1を、電源電圧VBATより高い電圧でも動作させることが可能となる。また、第2定電圧素子D2に第1電流源42からの電流を流すことにより、容易に定電圧VDを生成することができる。

[0040] 第1スイッチSA1の動作をより具体的に説明する。図4は図3に示す第1スイッチにおける第1キャパシタの両端部の電圧波形を示すグラフである。図4においては、第1キャパシタ40と第1MOSトランジスタQ1の制御端子との間の電圧（第1端部電圧）V1と第1キャパシタ40と第4スイッチSD1との間の電圧（第2端部電圧）V2との時間的変化が示されている。

[0041] まず、第4スイッチSD1がオフのとき、第2定電圧素子D2に電流源42から電流が供給されることにより、第2定電圧素子D2には定電圧VDが発生する。これにより、第1キャパシタ40と第4スイッチSD1との間の電圧（第2端部電圧）V2は第2定電圧素子D2の定電圧VDとなる。ここで、十分に時間が経過し、第1キャパシタ40が定常状態であれば、第1キャパシタ40には電流が流れないので、第1定電圧素子D1にも電流は流れない。したがって、第1キャパシタ40と第1MOSトランジスタQ1の制御端子との間の電圧（第1端部電圧）V1は入力電圧Vinと等しくなる。このため、第1MOSトランジスタQ1のソースゲート間に電位差は発生せず、第1MOSトランジスタQ1はオフとなる（時刻0～t1）。

[0042] 次に、時刻t1において第4スイッチSD1がオンすると、第1キャパシタ40の第4スイッチSD1側端がグランドGNDに接続されるため、第2端部電圧V2はVDから基準電位（0V）になる。一方で、第1キャパシタ40の両端の電位差は瞬時にはほとんど変わらないため、第1端部電圧V1も第2端部電圧V2の電圧降下分（電圧VD）低下し、 $V1 = Vin - VD$ となる。これにより、第1MOSトランジスタQ1のソースゲート間には電位差VDが発生し、第1MOSトランジスタQ1はオンする。その後、時刻t2で第4スイッチSD1がオフすると、第2端部電圧V2は基準電位か

ら第2定電圧素子D2による定電圧VDとなるため、第1端部電圧V1も第2端部電圧V2の電圧上昇分（電圧VD）上昇する。ここで、第4スイッチSD1のオン期間において第1端部電圧V1はわずかに上昇する。したがって、第4スイッチSD1をオフにする直前の第1端部電圧V1は、 $V_{in} - VD$ より低下していることはない。このため、第1端部電圧V1は第4スイッチSD1をオフにすることにより電圧VD上昇して入力電圧 V_{in} 以上の電圧になる。したがって、第1MOSトランジスタQ1はオフする。その後、時刻t3で第4スイッチSD1がオンすると、時刻t1における動作と同様に、第1MOSトランジスタQ1はオンする。以降は第4スイッチSD1のオンまたはオフ動作に応じて上記と同様に第1MOSトランジスタQ1のオンまたはオフ動作が制御される。

[0043] 図5は図1に示すマルチプレクサの第3スイッチの概略構成を示す回路図である。図5に示すように、第3スイッチSC1は、主端子の一方（ソース）が第2スイッチSB0～SBn-1に接続され（主端子の一方に入力電圧 V_{in} が印加され）、主端子の他方（ドレイン）が出力端子TO1に接続され（主端子の他方に出力電圧 V_{out} が印加され）、第1MOSトランジスタQ1と相補関係にある第2MOSトランジスタQ2と、第2MOSトランジスタQ2の制御端子（ゲート）と主端子の一方との間に接続され、制御端子と主端子の一方との間の電位差（ゲート-ソース間電圧）の最大値を規定する第3定電圧素子D3と、一端が制御端子に接続される第2キャパシタ45と、第2キャパシタ45と基準電位となるグラウンドGNDとを接続または遮断する第5スイッチSE1と、第2キャパシタ45と第5スイッチSE1との間に所定の電圧を印加する第2定電圧回路43とを備えている。本実施形態において、第2MOSトランジスタQ2は、NチャンネルMOSトランジスタにより構成されている。

[0044] 第2定電圧回路43は、第1定電圧回路41と同様に、第2キャパシタ45の他端に接続される第4定電圧素子D4と、第4定電圧素子D4に電流を流して第2キャパシタ45と第4定電圧素子D4との間に所定の定電圧VD

を印加する第2電流源44とを備えている。

[0045] 第3定電圧素子D3および第4定電圧素子D4についても、例えばツェナーダイオードなどが用いられる。第3定電圧素子D3と第4定電圧素子D4とは同じ順方向電圧VDを有しており、この順方向電圧VDは、第2MOSトランジスタQ2をオンさせるのに十分な電圧として設定されている。なお、本実施形態において第2MOSトランジスタQ2は、NチャンネルMOSトランジスタで構成されているので、第3定電圧素子D3は、第2MOSトランジスタQ2のソースからゲートへと向かう方向を順方向としている。

[0046] 上記のような構成によれば、第3スイッチSC1においても第1スイッチSA1と同様に、簡単な構成で、電源電圧VBATより高い電圧でも動作させることが可能となる。

[0047] 第3スイッチSC1の動作をより具体的に説明する。図6は図5に示す第3スイッチにおける第2キャパシタの両端部の電圧波形を示すグラフである。図6においては、第2キャパシタ45と第2MOSトランジスタQ2の制御端子との間の電圧（第3端部電圧）V3と第2キャパシタ45と第5スイッチSE1との間の電圧（第4端部電圧）V4との時間的变化が示されている。

[0048] まず、第5スイッチSE1がオンのとき、第2キャパシタ45と第2MOSトランジスタQ2の制御端子との間の電圧（第3端部電圧）V3は、基準電位（0V）となる。ここで、ここで、十分に時間が経過し、第2キャパシタ45が定常状態であれば、第2キャパシタ45には電流が流れないので、第3定電圧素子D3にも電流は流れない。したがって、第3端部電圧V3は入力電圧Vinと等しくなる。このため、第2MOSトランジスタQ2のソース-ゲート間に電位差は発生せず、第2MOSトランジスタQ2はオフとなる（時刻0～t1）。

[0049] 次に、時刻t1において第5スイッチSE1がオフすると、第4定電圧素子D4に電流源44から電流が供給されることにより、第4定電圧素子D4には定電圧VDが発生する。これにより、第2キャパシタ45と第5スイッ

チSE1との間の電圧（第4端部電圧） V_4 は基準電位（0V）から第4定電圧素子D4の定電圧VDとなる。一方で、第2キャパシタ45の両端の電位差は瞬時にはほとんど変わらないため、第3端部電圧 V_3 も第4端部電圧 V_4 の電圧上昇分（電圧VD）上昇し、 $V_1 = V_{in} + VD$ となる。これにより、第2MOSトランジスタQ2のソースゲート間には電位差VDが発生し、第2MOSトランジスタQ2はオンする。

[0050] その後、時刻 t_2 で第5スイッチSE1がオンすると、第4端部電圧 V_4 は第4定電圧素子D4による定電圧VDから基準電位となるため、第3端部電圧 V_3 も第4定電圧素子D4の電圧降下分（電圧VD）低下する。ここで、第5スイッチSE1のオフ期間において第3端部電圧 V_3 はわずかに低下する。したがって、第5スイッチSE1をオンにする直前の第3端部電圧 V_3 は、 $V_{in} + VD$ より上昇していることはない。このため、第3端部電圧 V_3 は第5スイッチSE1をオンにすることにより電圧VD低下して入力電圧 V_{in} 以下の電圧になる。したがって、第2MOSトランジスタQ2はオフする。その後、時刻 t_3 で第5スイッチSE1がオフすると、時刻 t_1 における動作と同様に、第2MOSトランジスタQ2はオンする。以降は第5スイッチSE1のオンまたはオフ動作に応じて上記と同様に第2MOSトランジスタQ2のオフまたはオン動作が制御される。

[0051] このように、本実施形態の構成によれば、第1スイッチSA1における第4スイッチSD1の動作と、第3スイッチSC1における第5スイッチSE1の動作とを同じにすることで第1スイッチSA1と第3スイッチSC1とが択一的にオンする。したがって、同じ制御信号で動作させることができるため、回路構成がより簡単となる。

[0052] <第2実施形態>

次に、本発明の第2実施形態に係るマルチプレクサが適用された電圧計測器について説明する。図7は本発明の第2実施形態に係るマルチプレクサが適用された電圧計測器の概略構成例を示す回路図である。本実施形態において第1実施形態と同様の構成については同じ符号を付し説明を省略する。本

実施形態の電圧計測器 10B が第 1 実施形態の電圧計測器 10 と異なる点は、図 7 に示すように、1 つの入力端子 T_i を正相および逆相にそれぞれ接続可能に構成されていることである。

[0053] 具体的には、マルチプレクサ 2B の出力端子は、2 つで一对の出力端子 T_{O1} 、 T_{O2} で構成されており、第 1 スイッチ、第 2 スイッチおよび第 3 スイッチは、それぞれ、複数の入力端子 T_i のうちのいずれか 1 つと一对の出力端子 T_{O1} 、 T_{O2} のうちの一方の出力端子 T_{O1} とを接続または遮断する正相側スイッチと、複数の入力端子 T_i のうちのいずれか 1 つと一对の出力端子 T_{O1} 、 T_{O2} のうちの他方の出力端子 T_{O2} とを接続または遮断する逆相側スイッチとを含んでいる。すなわち、第 1 スイッチは、正相側第 1 スイッチ S_{AA1} と逆相側第 1 スイッチ S_{AB1} とを含み、第 2 スイッチは、正相側第 2 スイッチ $S_{BA0} \sim S_{BA_{n-1}}$ と逆相側第 2 スイッチ $S_{BB0} \sim S_{BB_{n-1}}$ とを含み、第 3 スイッチは、正相側第 3 スイッチ S_{CA1} と逆相側第 3 スイッチ S_{CB1} とを含む。

[0054] 図 8 は図 7 に示す電圧計測器の信号処理部の概略構成を示す回路図である。図 8 に示すように、信号処理部 3B は、一端がマルチプレクサ 2B の一对の出力端子 T_{O1} 、 T_{O2} のそれぞれに接続され、当該出力端子 T_{O1} 、 T_{O2} から出力される電圧に応じて充電される一对のキャパシタ 31A、31B と、一对の入力端子が一对のキャパシタ 31A、31B の他端にそれぞれ接続された差動増幅器 30B と、差動増幅器 30B の入出力端子間に接続された一对のキャパシタ 32A、32B と、一对のキャパシタ 32A、32B と並列に接続された一对のスイッチ S_{33A} 、 S_{33B} とを備えている。すなわち、信号処理部 3B はいわゆる容量型増幅回路として構成されている。

[0055] このような信号処理部 3B の動作を、バッテリーセル C_n の電圧を計測する場合を例に挙げて説明する。まず、マルチプレクサ 2B の各スイッチをオフした状態でスイッチ S_{33A} 、 S_{33B} をオン（接続）することにより、キャパシタ 31A、31B、32A、32B の電荷を放電し、差動増幅器 30B の出力電圧 V_O （正相側出力電圧 V_{OP} および逆相側出力電圧 V_{ON} ）を

0にする。その後、正相側第1スイッチSA1および逆相側第2スイッチSBB_{n-1}をオンする。これにより、バッテリーセルC_nの上側の電圧VC_nが入力端子T_nおよび正相側第1スイッチSA1を含む第1経路P1を通じて正相側出力端子TO1に出力され、バッテリーセルC_nの下側の電圧VC_{n-1}が入力端子T_{n-1}および逆相側第2スイッチSBB_{n-1}を含む第2経路P2を通じて逆相側出力端子TO2に出力される。正相側キャパシタ31Aは、正相側出力端子TO1から出力された上側の電圧VC_nに応じて充電され、逆相側キャパシタ31Bは、逆相側出力端子TO2から出力された下側の電圧C_{n-1}に応じて充電される。

[0056] その後、一对のスイッチS33A、S33B、正相側第1スイッチSA1および逆相側第2スイッチSBB_{n-1}をオフした後、正相側第2スイッチSBA_{n-1}および逆相側第1スイッチSAB1をオンする。これにより、バッテリーセルC_nの下側の電圧VC_{n-1}が入力端子T_{n-1}および正相側第2スイッチSBA_{n-1}を含む第2経路P2を通じて正相側出力端子TO1に出力され、バッテリーセルC_nの上側の電圧VC_nが入力端子T_nおよび逆相側第1スイッチSAB1を含む第1経路P1を通じて逆相側出力端子TO2に出力される。

[0057] これに伴い、正相側キャパシタ31Aに、下側の電圧VC_{n-1}に応じた電荷が蓄積されるように、上側の電圧VC_nから下側の電圧VC_{n-1}に降下した電圧分の電荷が放電される。この際、スイッチS33Aがオフしているため、降下した電圧分の電荷は、正相側キャパシタ31Aから正相側キャパシタ32Aに移動する。一方、逆相側キャパシタ31Bに、上側の電圧VC_nに応じた電荷が蓄積されるように、下側の電圧VC_{n-1}から上側の電圧VC_nに上昇した電圧分の電荷が充電される。この際、スイッチS33Bがオフしているため、上昇した電圧分の電荷は、逆相側キャパシタ32Aから逆相側キャパシタ31Bに移動する。

[0058] このようにして正相側キャパシタ32Aには、上側の電圧VC_nから下側の電圧VC_{n-1}の差分電圧、すなわち、バッテリーセルC_nの正相電圧が印

加され、これが差動増幅器 30B の正相側出力電圧 V_{OP} となって出力される。また、逆相側キャパシタ 32B には、下側の電圧 $V_{C_{n-1}}$ から上側の電圧 V_{C_n} の差分電圧、すなわち、バッテリーセル C_n の逆相電圧が印加され、これが差動増幅器 30B の逆相側出力電圧 V_{ON} となって出力される。このように、一对のキャパシタ 32A, 32B には、正負が逆で同じ量の電荷が蓄積されるため、正相側出力電圧 V_{OP} と逆相側出力電圧 V_{ON} の差分 ($V_{OP} - V_{ON}$) を出力電圧 V_O として出力することにより得られる出力電圧 V_O のゲインを 2 倍にすることができる。他のバッテリーセル C_j を計測する場合も同様である。

[0059] <第 3 実施形態>

次に、本発明の第 3 実施形態に係るマルチプレクサが適用された電圧計測器について説明する。図 9 は本発明の第 3 実施形態に係るマルチプレクサが適用された電圧計測器の概略構成例を示す回路図である。本実施形態において第 2 実施形態と同様の構成については同じ符号を付し説明を省略する。本実施形態の電圧計測器 10C が第 2 実施形態の電圧計測器 10B と異なる点は、図 9 に示すように、信号処理部 3C がマルチプレクサ 2B の一对の出力端子 T_{O1} , T_{O2} から出力される電圧信号をアナログーデジタル変換するアナログーデジタル変換部 51 とデジタル化された電圧信号をデータ処理するデータ処理部 52 とを備えていることである。このようにデジタル化して電圧管理を行う態様においても、マルチプレクサ 2B を適用することにより、電源電圧 V_{BAT} より高い入力電圧が印加された場合でも高精度な電圧計測を可能としつつ回路面積の増大を抑制することができる。

[0060] <第 4 実施形態>

次に、本発明の第 4 実施形態に係るマルチプレクサが適用された電圧計測器について説明する。図 10 は本発明の第 4 実施形態に係るマルチプレクサが適用された電圧計測器の概略構成例を示す回路図である。本実施形態において第 2 実施形態と同様の構成については同じ符号を付し説明を省略する。本実施形態の電圧計測器 10D が第 2 実施形態の電圧計測器 10B と異なる

点は、図10に示すように、第1スイッチSAA1、SAB1および第3スイッチSCA1、SCB1と一对の出力端子TO1、TO2との間に接続される一对の第6スイッチSFA1、SFA2と、第1スイッチSAA1、SAB1および第3スイッチSCA1、SCB1と第6スイッチSFA1、SFB1との間に接続されるフライングキャパシタ61とを備えていることである。

[0061] これによれば、第6スイッチSFA1、SFB1による接続を解除した状態（オフの状態）で第1スイッチSAA1、SAB1または第3スイッチSCA1、SCB1を接続することにより、フライングキャパシタ61が計測すべき電圧によって充電される。その後、第1スイッチSAA1、SAB1または第3スイッチSCA1、SCB1の接続を解除した上で第6スイッチSFA1、SFB1を接続することにより、フライングキャパシタ61の充電電圧が出力端子TO1、TO2に印加される（出力端子TO1、TO2に接続される後段の信号処理部3Bに入力される）。これにより、バッテリーセルCjと信号処理部3Bとの絶縁性を確保しつつ、高精度な電圧計測を行うことができる。しかも、フライングキャパシタ61に充電される電圧は正相側に接続された電圧と逆相側に接続された電圧との差電圧である（入力端子TO~Tnに印加される電圧がそのまま入力されることがない）ため、計測する電圧が高電圧用入力端子Tnから入力される電源電圧VBATより高い（可能性のある）電圧であるか否かに拘わらず、フライングキャパシタ61および第6スイッチSFA1、SFB1は電源電圧VBAT以下で駆動する一般的な構成とすることができる（高電圧対応の構成にする必要がない）。

[0062] 以上、本発明の実施形態について説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内で種々の改良、変更、修正が可能である。例えば、複数の上記実施形態における各構成要素を任意に組み合わせることとしてもよい。また、上記実施形態において、高電圧用入力端子は、複数の入力端子TO~Tnのうち最も高い電圧VCnが印加される入力端子Tnのみとしているが、本発明はこれに限られず、電源電圧V

BATより高い電圧が印加され得る複数の入力端子に接続されるスイッチを第1スイッチとして構成してもよい。

[0063] 上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

産業上の利用可能性

[0064] 本発明のマルチプレクサおよび電圧計測器は、電源電圧より高い入力電圧が印加された場合でも高精度な電圧計測を可能としつつ回路面積の増大を抑制するために有用である。

符号の説明

[0065] 1 バッテリセルアレイ
2, 2B マルチプレクサ
3, 3B, 3C 信号処理部
4 フィルタ
10, 10B, 10C, 10D 電圧計測器
30, 30B 差動増幅器
31, 31A, 31B, 32, 32A, 32B キャパシタ
40 第1キャパシタ
41 第1定電圧回路
42, 44 電流源
43 第2定電圧回路
45 第2キャパシタ
51 デジタル変換部
52 データ処理部
61 フライングキャパシタ
C_j (j = 1, ..., n) バッテリセル

- D 1 第1定電圧素子
- D 2 第2定電圧素子
- D 3 第3定電圧素子
- D 4 第4定電圧素子
- P 1 第1経路
- P 2 第2経路
- Q 1 第1MOSトランジスタ
- Q 2 第2MOSトランジスタ
- S 3 3, S 3 3 A, S 3 3 B スイッチ
- S A 1, S A A 1, S A B 1 第1スイッチ
- S B 0 ~ S B n - 1, S B A 0 ~ S B n - 1, S B B 0 ~ S B B n - 1
第2スイッチ
- S C 1, S C A 1, S C B 1 第3スイッチ
- S D 1 第4スイッチ
- S E 1 第5スイッチ
- S F A 1, S F B 1 第6スイッチ
- T i (i = 0, …, n) 入力端子
- T O 1, T O 2 出力端子

請求の範囲

[請求項1] 複数のバッテリーセルが直列に接続されたバッテリーセルアレイの各バッテリーセルの電圧を計測するために、前記複数のバッテリーセルの各接続端における電圧が入力され、そのうちの1つの電圧を出力する電圧計測用マルチプレクサであって、

前記複数のバッテリーセルの各接続端の電圧がそれぞれ入力される複数の入力端子と、

前記複数の入力端子から入力される電圧のうちのいずれか1つを出力する出力端子と、

前記複数の入力端子のうち最も高い電圧が印加される側から所定数のバッテリーセルに接続される少なくとも1つの高電圧用入力端子と前記出力端子との間の第1経路に設けられ、前記高電圧用入力端子と前記出力端子とを接続または遮断する第1スイッチと、

前記高電圧用入力端子以外の各入力端子と前記出力端子との間の第2経路において当該各入力端子ごとに設けられ、前記高電圧用入力端子以外の入力端子のいずれか1つと前記出力端子とを選択的に接続または遮断する複数の第2スイッチと、

前記複数の第2スイッチと前記第1スイッチの前記出力端子側端との間に設けられた第3スイッチとを備え、

前記第1スイッチおよび前記第3スイッチは、前記第1、第2および第3スイッチを駆動するための前記バッテリーセルアレイの電圧に基づいた電源電圧より高い電圧でも動作するよう構成されている、電圧計測用マルチプレクサ。

[請求項2] 前記高電圧用入力端子は、前記複数の入力端子のうち最も高い電圧が印加される入力端子である、請求項1に記載の電圧計測用マルチプレクサ。

[請求項3] 前記出力端子は、2つで一对の出力端子で構成されており、前記第1スイッチ、前記第2スイッチおよび前記第3スイッチは、

それぞれ、前記複数の入力端子のうちのいずれか1つと前記一对の出力端子のうちの一方の出力端子とを接続または遮断する正相側スイッチと、前記複数の入力端子のうちのいずれか1つと前記一对の出力端子のうちの他方の出力端子とを接続または遮断する逆相側スイッチとを含む、請求項1に記載の電圧計測用マルチプレクサ。

[請求項4]

前記第1スイッチは、

主端子の一方が前記入力端子に接続され、主端子の他方が前記出力端子に接続される第1MOSトランジスタと、

前記第1MOSトランジスタの前記制御端子と前記主端子の一方との間に接続され、前記制御端子と前記主端子の一方との間の電位差の最大値を規定する第1定電圧素子と、

一端が前記制御端子に接続される第1キャパシタと、

前記第1キャパシタと基準電位とを接続または遮断する第4スイッチと、

前記第1キャパシタと前記第4スイッチとの間に所定の電圧を印加する第1定電圧回路とを備えた、請求項1に記載の電圧計測用マルチプレクサ。

[請求項5]

前記第1定電圧回路は、前記第1キャパシタの他端に接続される第2定電圧素子と、前記第2定電圧素子に電流を流して前記第1キャパシタと前記第2定電圧素子との間に所定の定電圧を印加する電流源とを備えた、請求項4に記載の電圧計測用マルチプレクサ。

[請求項6]

前記第3スイッチは、主端子の一方が前記第2スイッチに接続され、主端子の他方が前記出力端子に接続され、前記第1MOSトランジスタと相補関係にある第2MOSトランジスタと、

前記第2MOSトランジスタの前記制御端子と前記主端子の一方との間に接続され、前記制御端子と前記主端子の一方との間の電位差の最大値を規定する第3定電圧素子と、

一端が前記制御端子に接続される第2キャパシタと、

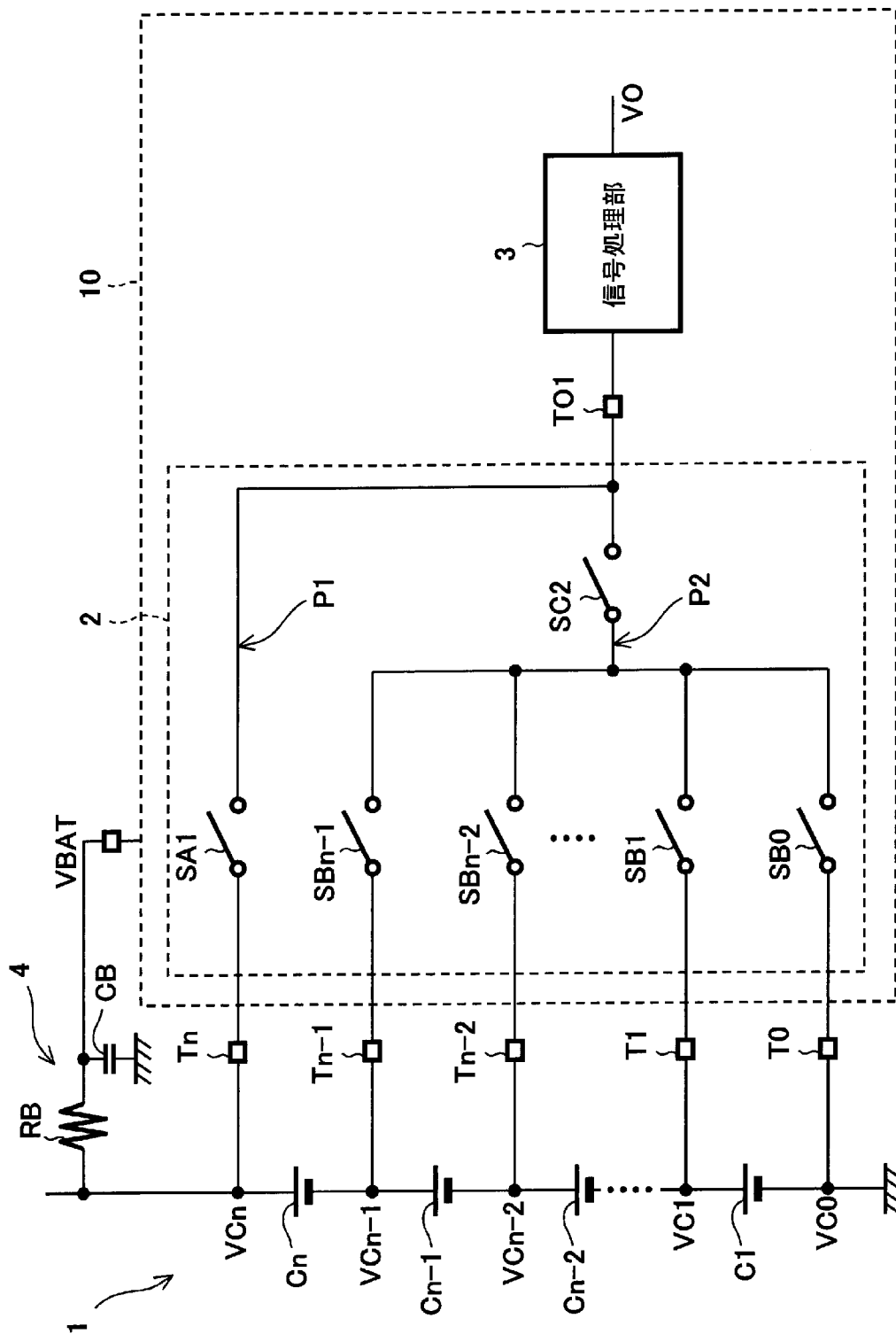
前記第2キャパシタと基準電位とを接続または遮断する第5スイッチと、

前記第2キャパシタと前記第5スイッチとの間に所定の電圧を印加する第2定電圧回路とを備えた、請求項4に記載の電圧計測用マルチプレクサ。

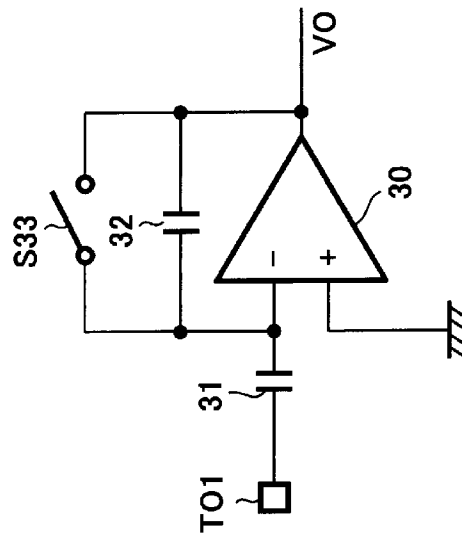
[請求項7] 前記第1スイッチおよび前記第3スイッチと前記一对の出力端子との間に接続される一对の第6スイッチと、前記第1スイッチおよび前記第3スイッチと前記第6スイッチとの間に接続されるフライングキャパシタとを備えた、請求項3に記載の電圧計測用マルチプレクサ。

[請求項8] 請求項1に記載の電圧計測用マルチプレクサと、
前記一对の出力端子から出力される各入力端子の電圧に基づいて各バッテリーセルの電圧を演算処理する信号処理部とを備えた、電圧計測器。

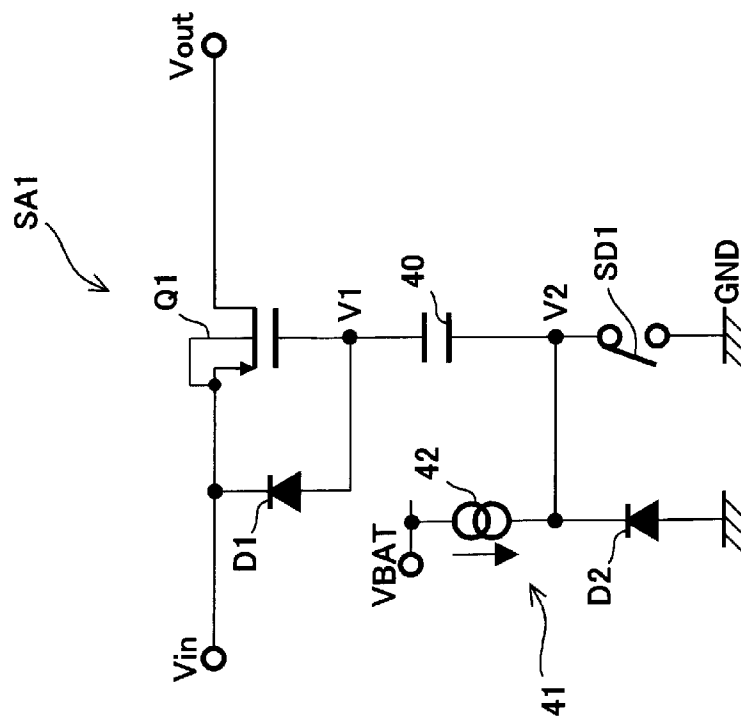
[図1]



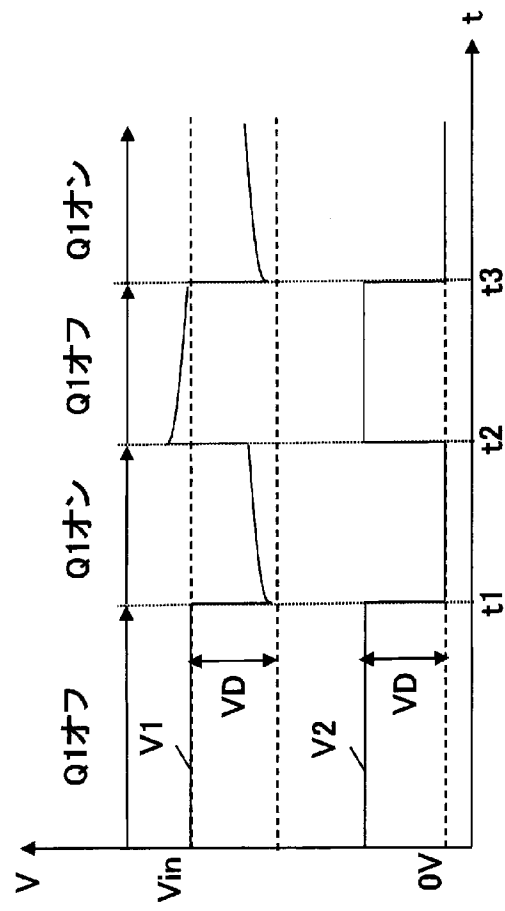
[図2]



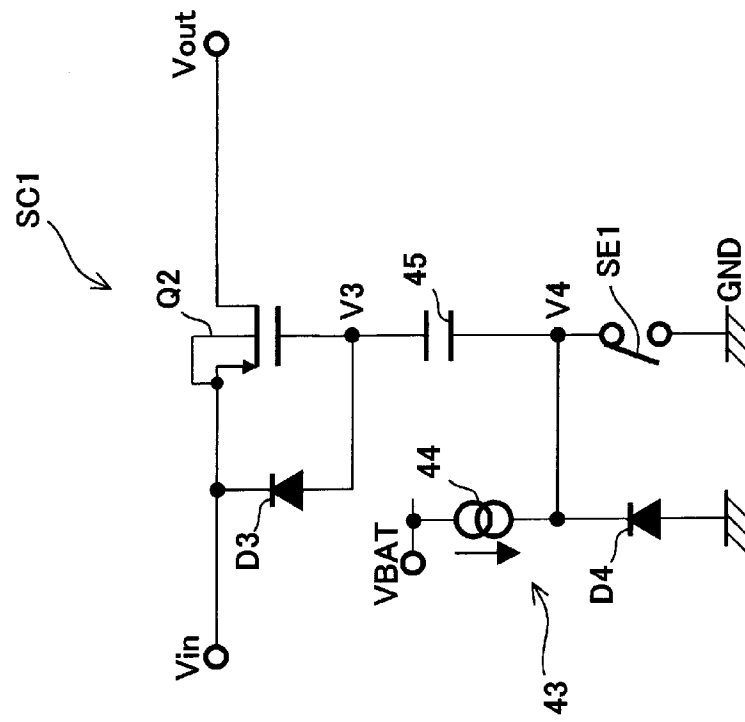
[図3]



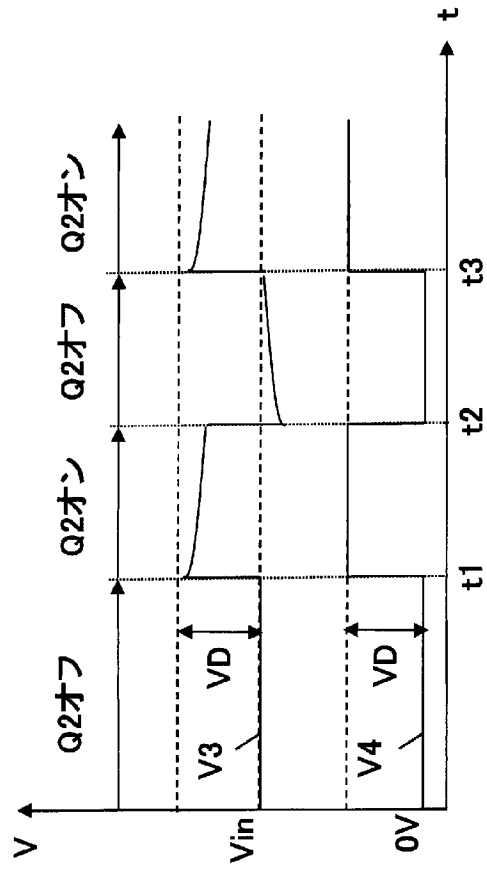
[図4]



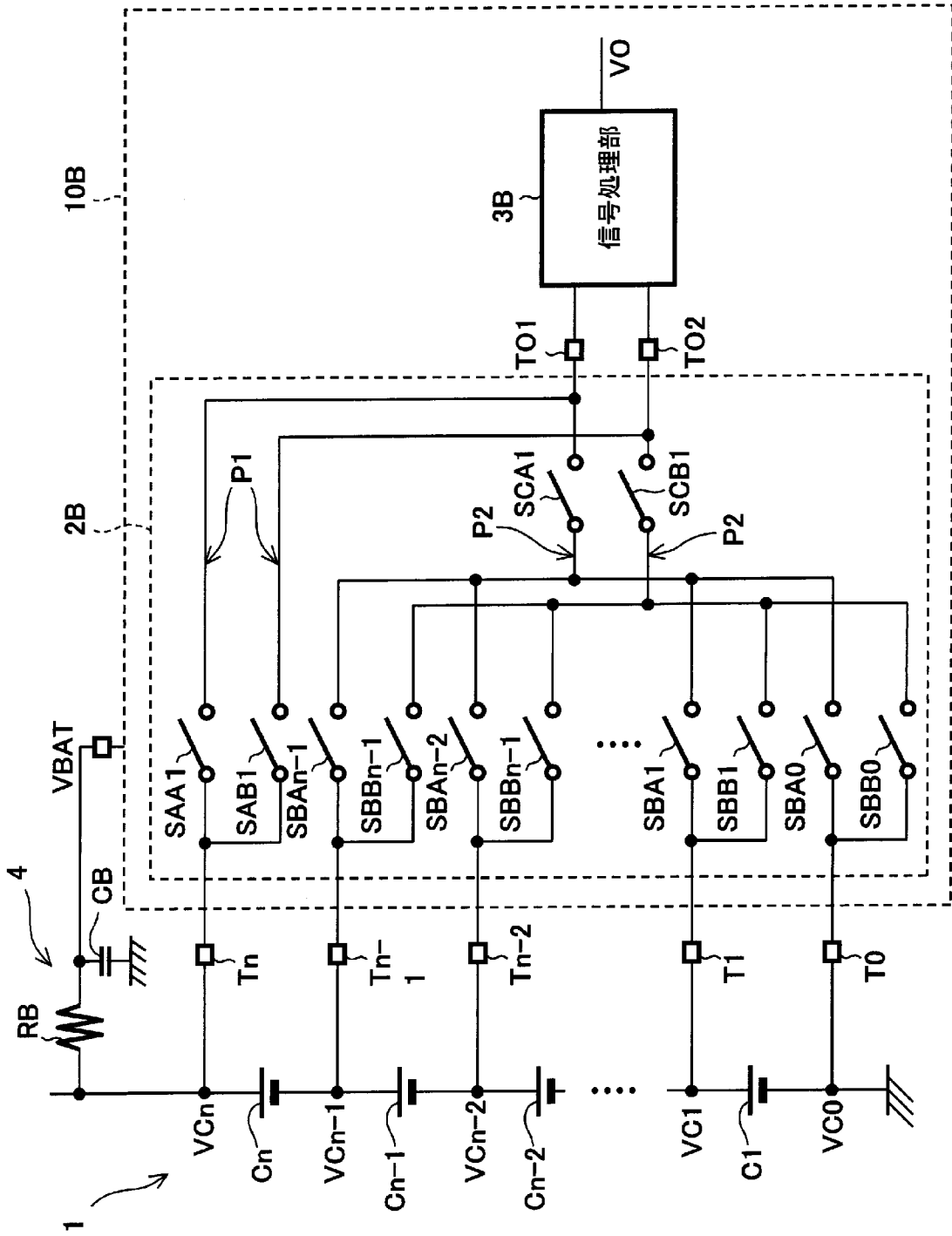
[図5]



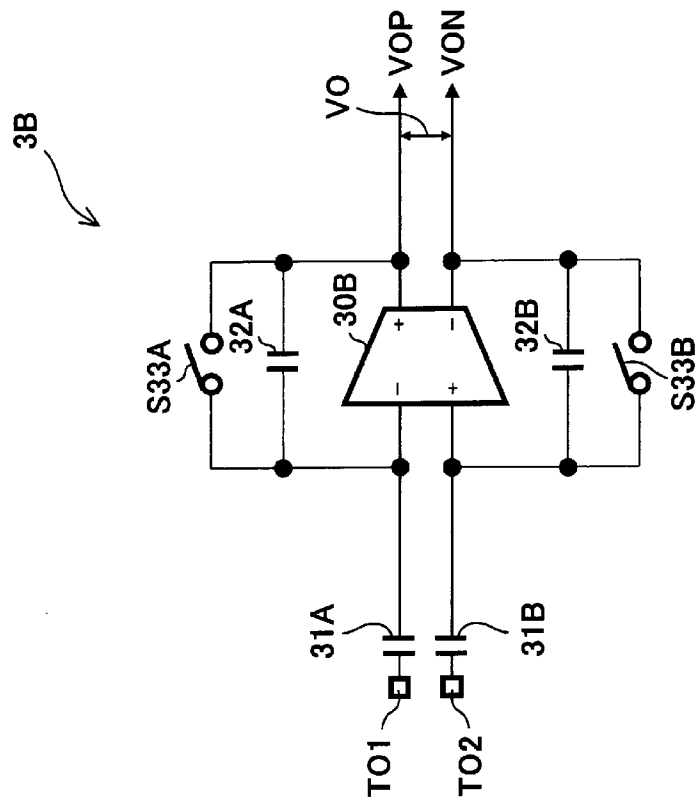
[図6]



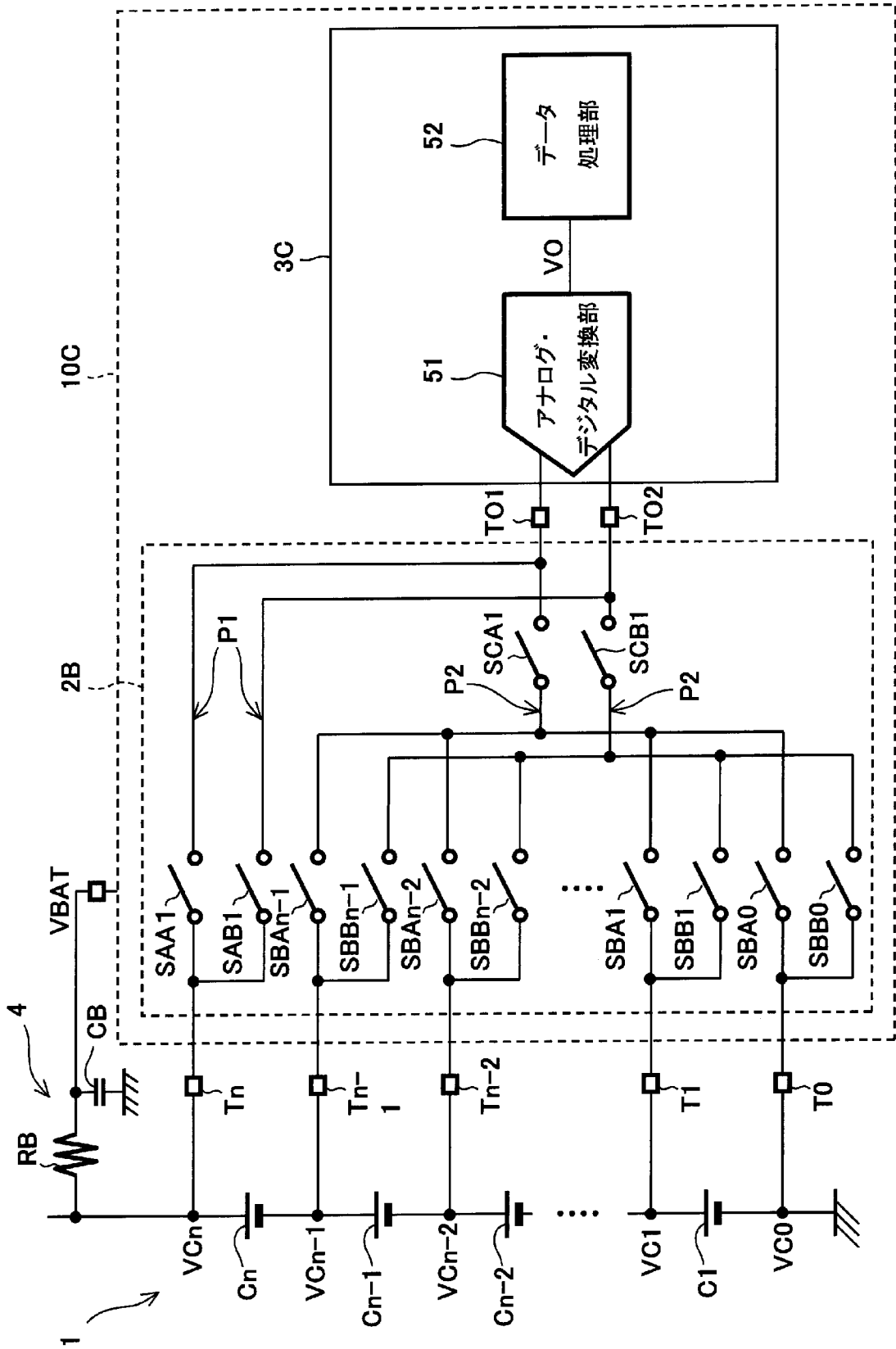
[図7]



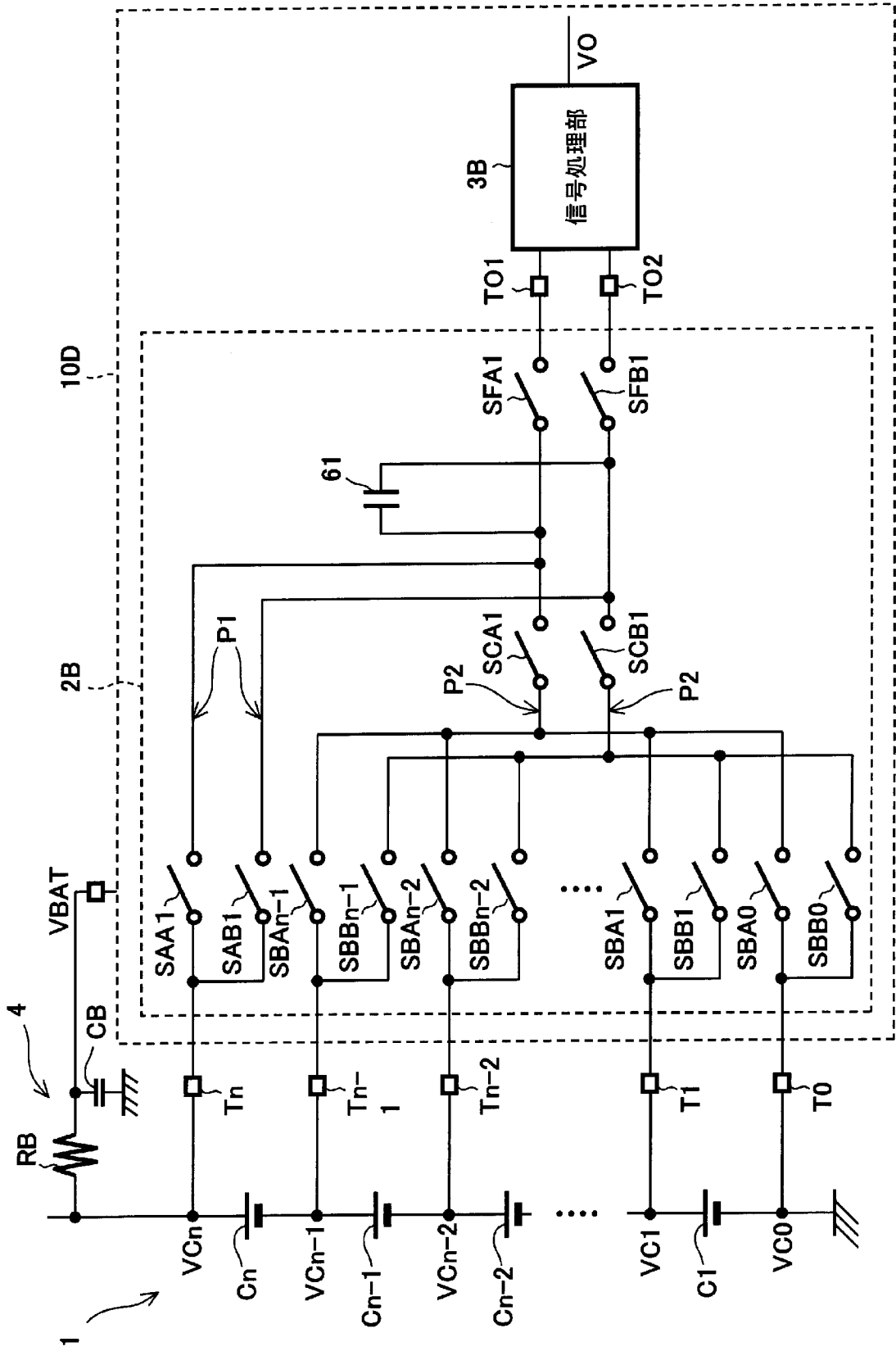
[図8]



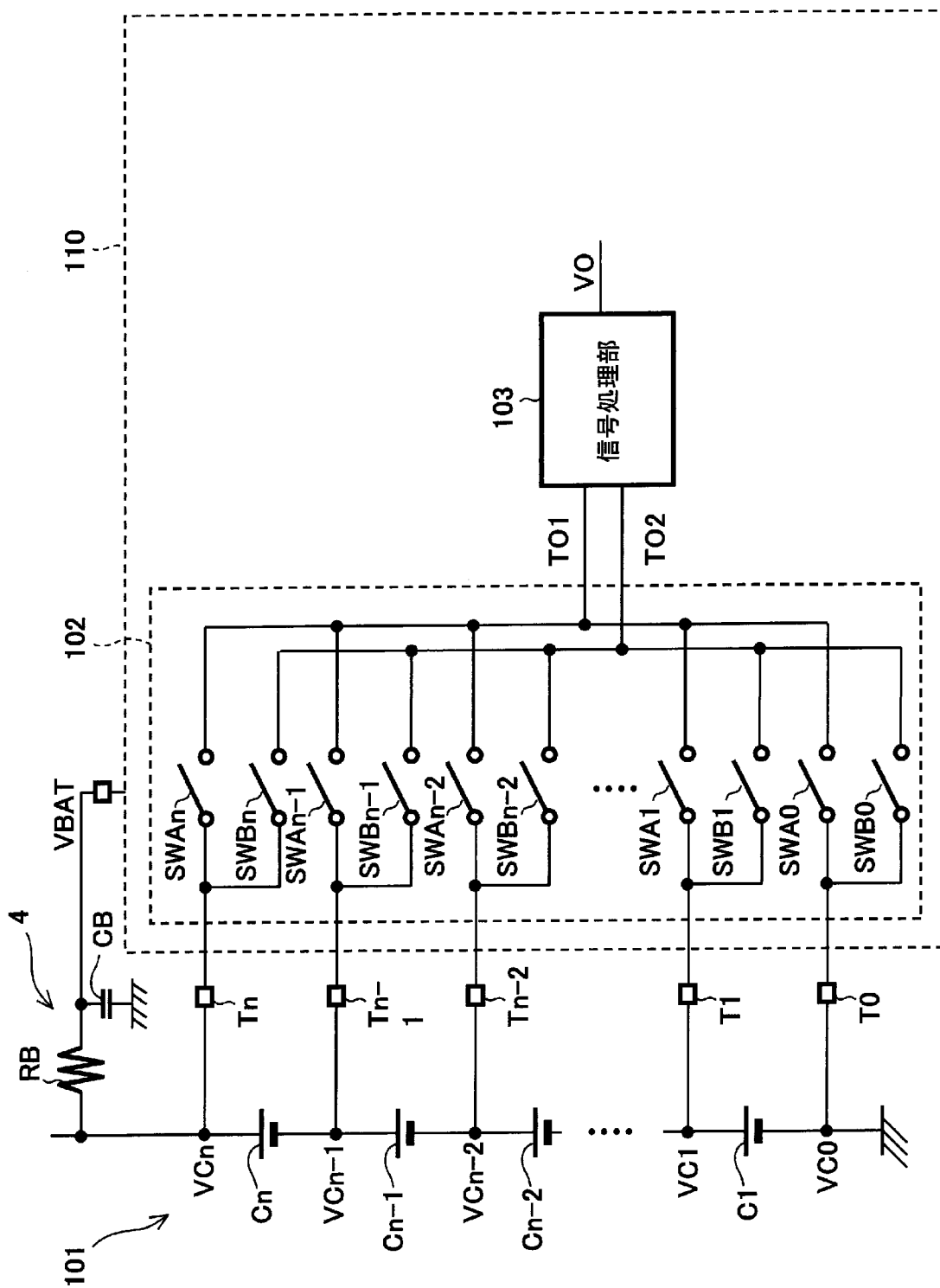
[図9]



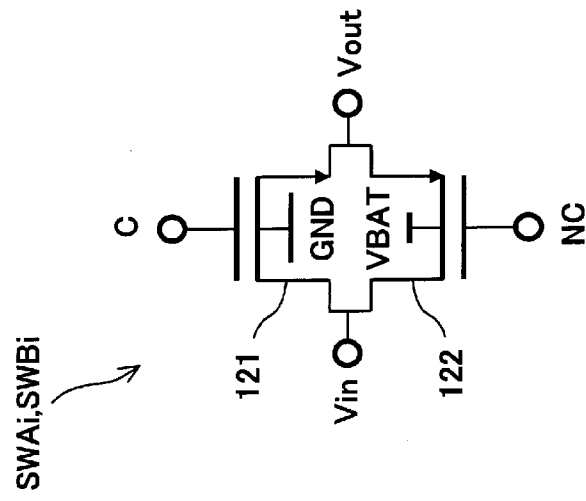
[図10]



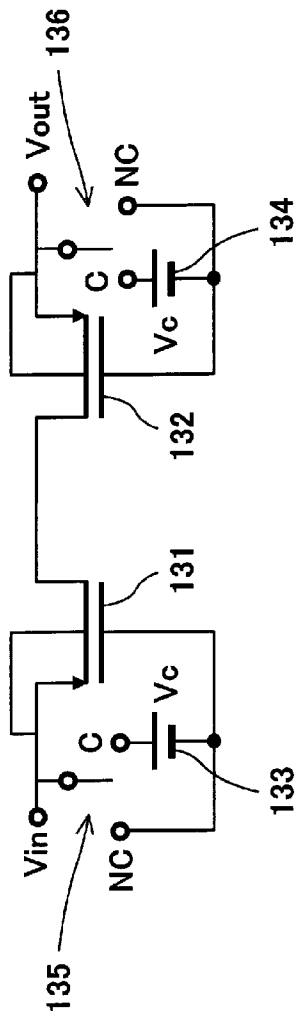
[図11]



[圖12]



[圖13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001630

A. CLASSIFICATION OF SUBJECT MATTER

G01R19/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | JP 2006-53120 A (Denso Corp.), 23 February 2006 (23.02.2006), entire text; all drawings & US 2006/0012336 A1 | 1-8 |
| A | JP 2009-189172 A (Denso Corp.), 20 August 2009 (20.08.2009), entire text; all drawings (Family: none) | 1-8 |

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
04 June, 2012 (04.06.12)

Date of mailing of the international search report
12 June, 2012 (12.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G01R19/00(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G01R19/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|--|----------------|
| A | JP 2006-53120 A (株式会社デンソー) 2006.02.23, 全文, 全図 & US 2006/0012336 A1 | 1-8 |
| A | JP 2009-189172 A (株式会社デンソー) 2009.08.20, 全文, 全図 (ファミリーなし) | 1-8 |

☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

| | |
|--------------------------|--------------------------|
| 国際調査を完了した日 04.06.2012 | 国際調査報告の発送日 12.06.2012 |
|--------------------------|--------------------------|

| | | | |
|---|---------------------------|-----|---------|
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員) 武田 知晋 | 2 S | 9 8 0 5 |
| | 電話番号 03-3581-1101 内線 3258 | | |