

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-80455

(P2004-80455A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int. Cl.⁷

H04B 1/30
H03G 3/20
H03G 3/30
H04B 1/16

F I

H04B 1/30
H03G 3/20
H03G 3/20
H03G 3/30
H03G 3/30

A
E
B
C

テーマコード(参考)

5J100
5K061

審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く

(21) 出願番号

特願2002-238749 (P2002-238749)

(22) 出願日

平成14年8月20日(2002.8.20)

(71) 出願人

000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(74) 代理人

100086298
弁理士 船橋 國則

(72) 発明者

藤田 浩章
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者

阿部 雅美
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者

佐生 登
東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

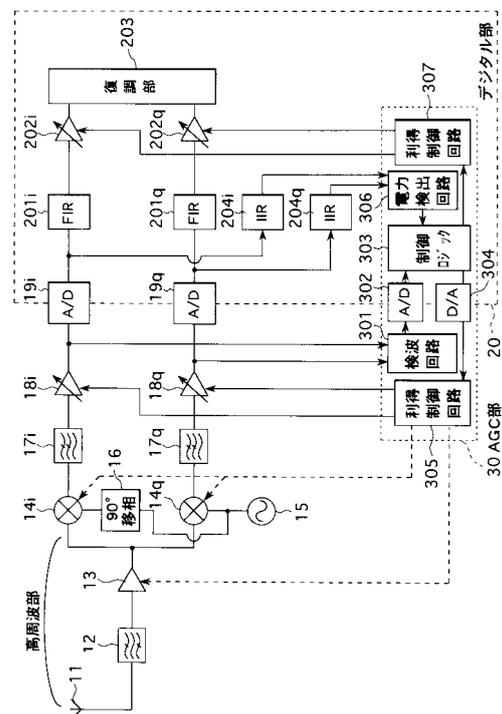
(54) 【発明の名称】 受信回路およびこれを用いた無線通信装置

(57) 【要約】

【課題】アナログAGCをかけた後に再度デジタルAGCをかけるようにした場合、復調系に用いるFIRフィルタの遅延特性によってAGCのセットアップタイムが長くなる。

【解決手段】アナログAGCループとデジタルAGCループとを併用した構成を採る受信回路において、高速でかつ急峻な遮断特性を持つIIRフィルタ204i、204qを用いてデジタルAGCループを形成するとともに、当該デジタルAGCループをフィードフォワード制御とすることで、隣接チャネル・次隣接チャネルに存在する妨害波による干渉を受けた場合においても、大きな遅延特性をもつFIRフィルタ201i、201qの影響を受けずにデジタル可変利得増幅器202i、202qの各利得値を高速に設定できるようにする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

受信信号を周波数変換して得られる信号から希望チャネルの信号を取り出すアナログフィルタと、

前記アナログフィルタで取り出された信号の振幅を調整するアナログ可変利得増幅手段と、

前記アナログ可変利得増幅手段の出力信号をデジタル信号に変換する A / D 変換手段と、

前記 A / D 変換手段の出力信号から希望チャネルの信号を取り出す F I R フィルタと、

前記 F I R フィルタで取り出された信号の振幅を調整するデジタル可変利得増幅手段と、

前記 A / D 変換手段の出力信号から希望チャネルの信号を取り出す I I R フィルタと、

前記 I I R フィルタで取り出された信号の強度に応じて前記デジタル可変利得増幅手段の利得値を調整するフィードフォワード制御手段と

を備えたことを特徴とする受信回路。

10

【請求項 2】

請求項 1 記載の受信回路においてさらに、

前記アナログ可変利得増幅手段の出力信号に含まれる希望チャネルの信号レベルに応じて当該アナログ可変利得増幅手段の利得値を調整するフィードバック制御手段

を備えたことを特徴とする受信回路。

【請求項 3】

前記周波数変換して得られる信号がベースバンド信号であることを特徴とする請求項 1 記載の受信回路。

20

【請求項 4】

前記周波数変換して得られる信号が低中間周波信号であることを特徴とする請求項 1 記載の受信回路。

【請求項 5】

アンテナで受信された高周波信号の周波数変換を行う周波数変換手段と、

前記周波数変換手段で周波数変換された信号を処理する信号処理部と、

前記信号処理部で処理された信号を復調する復調手段とを備え、

前記信号処理部は、

前記周波数変換手段で周波数変換された信号から希望チャネルの信号を取り出すアナログフィルタと、

前記アナログフィルタで取り出された信号の振幅を調整するアナログ可変利得増幅手段と、

前記アナログ可変利得増幅手段の出力信号をデジタル信号に変換する A / D 変換手段と、

前記 A / D 変換手段の出力信号から希望チャネルの信号を取り出す F I R フィルタと、

前記 F I R フィルタで取り出された信号の振幅を調整するデジタル可変利得増幅手段と、

前記 A / D 変換手段の出力信号から希望チャネルの信号を取り出す I I R フィルタと、

前記 I I R フィルタで取り出された信号の強度に応じて前記デジタル可変利得増幅手段の利得値を調整するフィードフォワード制御手段とを有する

ことを特徴とする無線通信装置。

30

40

【請求項 6】

前記信号処理部はさらに、

前記アナログ可変利得増幅手段の出力信号に含まれる希望チャネルの信号レベルに応じて当該アナログ可変利得増幅手段の利得値を調整するフィードバック制御手段を有する

ことを特徴とする請求項 5 記載の無線通信装置。

【請求項 7】

前記周波数変換手段は、前記高周波信号をベースバンド信号に周波数変換することを特徴とする請求項 5 記載の無線通信装置。

【請求項 8】

前記周波数変換手段は、前記高周波信号を低中間周波信号に周波数変換する

50

ことを特徴とする請求項 5 記載の無線通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、無線 LAN、携帯電話など無線通信システムの受信回路およびこれを用いた無線通信装置に関し、特に IEEE 802.11a など、高速の AGC (Automatic Gain Control) 回路が必要なシステムに用いて好適な受信回路およびこれを用いた無線通信装置に関する。

【0002】

【従来の技術】

無線通信システムにおける受信方式は、受信した高周波信号を中間周波信号に周波数変換して処理するスーパーヘテロダイン方式と、受信した高周波信号を直接ベースバンド信号に周波数変換して処理するダイレクトコンバージョン方式とに大別される。これらの受信方式のうち、ダイレクトコンバージョン方式の受信機（以下、ダイレクトコンバージョン受信機と記す）は、スーパーヘテロダイン方式の受信機に比較して、IF（中間周波）段が不要な分だけ外付け部品が少ないため低コストであり、また回路構成が比較的簡易であるためマルチバンド、マルチモード受信機などに適している。これらの理由から、最近、多くの無線通信システムにダイレクトコンバージョン受信機が用いられている。

【0003】

従来例（第 1 従来例）に係るダイレクトコンバージョン受信機の構成を図 3 に示す。同図において、アンテナ 101 で受信された高周波信号は、バンドパスフィルタ 102 および低雑音増幅器 103 を経由してミキサ回路 104 i, 104 q に各一方の入力として与えられる。ミキサ回路 104 i には他方の入力として、ローカル発振器 105 から出力されるローカル信号が 90° 移相器 106 で 90° 移相されて供給される。ミキサ回路 104 q には他方の入力として、ローカル発振器 105 から出力されるローカル信号が直接供給される。ローカル信号の周波数は、高周波信号と同じ周波数に設定されている。

【0004】

ミキサ回路 104 i は、入力される高周波信号に対して位相差 0° のローカル信号を混合することによってベースバンド（0 Hz）の同相成分 I（以下、I 信号と記す）を得る。ミキサ回路 104 q は、入力される高周波信号に対して位相差 90° のローカル信号を混合することによってベースバンドの直交成分 Q（以下、Q 信号と記す）を得る。I, Q 信号は、アナログローパスフィルタ（以下、アナログ LPF と記す）107 i, 107 q に供給される。

【0005】

アナログ LPF 107 i, 107 q は、受信された信号から希望帯域（希望チャネル）の信号のみを取り出す役割を有している。アナログ LPF 107 i, 107 q で取り出された希望帯域の信号は、アナログ可変利得増幅器 108 i, 108 q で振幅が調整されて AGC 部 109 に直接供給され、さらに A/D（アナログ/デジタル）変換器 110 i, 110 q でデジタル信号に変換されて復調部 111 を含むデジタル部 112 に供給される。

【0006】

AGC 部 109 は、アナログ可変利得増幅器 108 i, 108 q の出力信号をレベル検波する検波回路 121 およびその検波レベルに応じてアナログ可変利得増幅器 108 i, 108 q の利得値を制御する制御回路 122 を有し、A/D 変換器 110 i, 110 q の入力信号を最適かつ安定したレベルに保つために、アナログ可変利得増幅器 108 i, 108 q に対する自動利得制御（AGC）を行う。制御回路 122 は、低雑音増幅器 103 やミキサ回路 104 i, 104 q の利得値を制御する場合もある。

【0007】

ところで、近年、信号の伝送速度の増加および周波数資源の逼迫に伴って、信号の帯域幅が増大し、チャネル間隔が狭くなる傾向にある。このように、信号の帯域幅が増大することにより、アナログ LPF 108 i, 108 q には高いカットオフ周波数が要求される。

10

20

30

40

50

また、チャンネル間隔が狭くなることにより、アナログLPF107i, 107qとして、急峻でかつ線形歪（振幅歪と位相歪）の小さな特性のものが必要とされる。しかしながら、広帯域に遮断特性がシャープでかつ線形歪が小さい特性のアナログLPF107i, 107qを、低消費電力で実現することは難しく、また、低雑音、高リニアリティ特性を同時に得ることも難しい。

【0008】

このアナログLPF107i, 107qの広帯域化の問題に対する改善策として、図4に示す従来例（第2従来例）がある。図4中、図3と同等部分には同一符号を付して示している。

【0009】

この第2従来例に係るダイレクトコンバージョン受信機では、デジタル部112内であって、A/D変換器110i, 110qの後段に、FIR（Finite Impulse Response；有限長インパルス応答）フィルタ201i, 201qおよびデジタル可変利得増幅器202i, 202qを設けた構成を採っている。そして、アナログLPF107i, 107qとFIRフィルタ201i, 201qとのそれぞれの組み合わせで、チャンネルセレクトのために必要な遮断特性を得ている。

【0010】

希望チャンネルに隣接するチャンネルに干渉となる信号（以下、隣接チャンネル信号と記す）が存在する場合、アナログLPF107i, 107qの遮断特性が不十分であるために、A/D変換器110i, 110qの入力信号には隣接チャンネル信号が残っている。したがって、FIRフィルタ201i, 201qでその隣接チャンネル信号を所望のレベルまで落とす。そして、復調部111の入力信号レベルが最適かつ安定になるように、可変利得増幅器108i, 108qの自動利得制御に加えて、デジタル可変利得増幅器202i, 202qの自動利得制御を行うようにしている。

【0011】

可変利得増幅器108i, 108qおよびデジタル可変利得増幅器202i, 202qの自動利得制御は、AGC部109によって行われる。AGC部109は、可変利得増幅器108i, 108qの利得制御を行うアナログAGCループと、デジタル可変利得増幅器202i, 202qの利得制御を行うデジタルAGCループとから構成されている。

【0012】

アナログAGCループは、アナログ可変利得増幅器108i, 108qの出力信号をレベル検波する検波回路211と、その検波レベルをデジタル信号に変換するA/D変換器212と、このA/D変換器212の出力信号を基に適正な利得値を設定する制御ロジック回路213と、この制御ロジック回路213から出力される利得値データをアナログ信号に変換するD/A（デジタル/アナログ）変換器214と、このD/A変換器214の出力信号に応じてアナログ可変利得増幅器108i, 108qの利得値を制御する利得制御回路215とから形成され、フィードバック制御を行う構成となっている。

【0013】

デジタルAGCループは、FIRフィルタ201i, 201qの出力信号、即ちデジタル可変利得増幅器202i, 202qの入力信号の信号強度を検出する電力検出回路216と、この電力検出回路216の検出値を基に適正な利得値を設定する制御ロジック回路213と、この制御ロジック回路213から出力される利得値データに応じてデジタル可変利得増幅器202i, 202qの利得値を制御する利得制御回路217とから形成され、フィードフォワード制御を行う構成となっている。

【0014】

上述したように、第2従来例に係るダイレクトコンバージョン受信機では、アナログLPF108i, 108qの広帯域化の問題を解決するために、A/D変換器110i, 110qの後段に、FIRフィルタ201i, 201qおよびデジタル可変利得増幅器202i, 202qを設けて、アナログ段でAGCをかけた後に再度デジタル段でAGCをかけるようにしている。

10

20

30

40

50

【0015】

【発明が解決しようとする課題】

しかしながら、FIRフィルタ201i, 201qで急峻な遮断特性を得るためには、FIRフィルタ201i, 201qの段数を多く設定しなければならない、その結果、FIRフィルタ201i, 201qの遅延時間が数 μ sec ~ 数十 μ sec程度と大きくなってしまふ。FIRフィルタ201i, 201qの遅延時間が大きいと、隣接チャンネルに干渉信号が存在する場合、最適な利得値を得るためのAGCのセットアップタイムが長くなってしまふ。

【0016】

このように、AGCのセットアップタイムが増加することは、例えば、無線LAN仕様であるIEEE802.11aのようなパケットモードの通信では、受信品質の劣化となる。図5に、IEEE802.11aのトレーニングシンボルの構成を示す。パケットのはじめの8 μ secの期間がショートプリアンプルと呼ばれ、この期間内にAGCのセットアップを行う必要がある。ショートプリアンプル期間内にAGCのセットアップが正確に行われない場合には、信号のレベルを正しく設定することができないためパケットエラーになることがある。

10

【0017】

上述したことから明らかなように、デジタルAGCループを含む構成の受信回路では、特に、希望チャンネルの隣接チャンネルまたは次隣接チャンネルに干渉信号が存在する場合に、FIRフィルタ201i, 201qの遅延特性によってAGCのセットアップタイムが長くなるため、例えばパケットモードの通信では受信品質の劣化を来すという課題がある。

20

【0018】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、隣接チャンネルまたは次隣接チャンネルに存在する信号によって干渉を受けた場合でも、高速かつ高精度にて自動利得制御を行うことが可能な受信回路およびこれを用いた無線通信装置を提供することにある。

【0019】

【課題を解決するための手段】

本発明による受信回路は、受信信号を周波数変換して得られる信号から希望チャンネル（希望帯域）の信号を取り出すアナログフィルタと、このアナログフィルタで取り出された信号の振幅を調整するアナログ可変利得増幅手段と、このアナログ可変利得増幅手段の出力信号をデジタル信号に変換するA/D変換手段と、このA/D変換手段の出力信号から希望チャンネルの信号を取り出すFIRフィルタと、このFIRフィルタで取り出された信号の振幅を調整するデジタル可変利得増幅手段と、A/D変換手段の出力信号から希望チャンネルの信号を取り出すIIR（Infinite Impulse Response；無限長インパルス応答）フィルタと、このIIRフィルタで取り出された信号の強度に応じてデジタル可変利得増幅手段の利得値を調整するフィードフォワード制御手段とを備えた構成となっている。この受信回路は、ダイレクトコンバージョン方式や低IF方式を採用する無線通信装置において、周波数変換して得られる信号を処理する信号処理部、即ちベースバンド部や低IF部として用いられる。

30

40

【0020】

上記構成の受信回路またはこれを用いた無線通信装置において、FIRフィルタは、有限長の期間のみ非零であるインパルス応答を持つデジタルフィルタであり、アナログフィルタとの組み合わせで、希望チャンネルを選択するために必要な遮断特性を得るとともに、希望チャンネルに隣接するチャンネルの信号を所望のレベルまで落とす作用をなす。一方、IIRフィルタは、無限に持続するインパルス応答を持つデジタルフィルタであり、FIRフィルタに比べて群遅延歪が生じるものの、少ない段数で急峻な遮断特性を得ることができ、しかも遅延時間が小さい。このIIRフィルタを用いて希望チャンネルの信号を取り出し、その信号強度に応じてデジタル可変利得増幅手段の利得制御（フィードフォワード制御）を行うことで、隣接チャンネルまたは次隣接チャンネルに存在する信号によって干渉を受け

50

た場合でも、大きな遅延特性をもつ F I R フィルタの影響を受けずにデジタル可変利得増幅手段の利得値を高速に設定できる。

【 0 0 2 1 】

【 発明の実施の形態 】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 2 2 】

[第 1 実施形態]

図 1 は、本発明の第 1 実施形態に係る受信回路を用いた無線通信装置、例えばダイレクトコンバージョン方式の受信機の構成を示すブロック図である。

【 0 0 2 3 】

図 1 において、アンテナ 1 1 で受信された高周波信号は、バンドパスフィルタ 1 2 および低雑音増幅器 1 3 を経由してミキサ回路 1 4 i , 1 4 q に各一方の入力として与えられる。ミキサ回路 1 4 i には他方の入力として、ローカル発振器 1 5 から出力されるローカル信号が 9 0 ° 移相器 1 6 で 9 0 ° 移相されて供給される。ミキサ回路 1 4 q には他方の入力として、ローカル発振器 1 5 から出力されるローカル信号が直接供給される。ローカル発振器 1 5 において、ローカル信号の周波数は、高周波信号と同じ周波数に設定されている。

【 0 0 2 4 】

ミキサ回路 1 4 i は、入力される高周波信号に対して位相差 0 ° のローカル信号を混合することによってベースバンドの I (同相) 信号を得る。ミキサ回路 1 4 q は、入力される高周波信号に対して位相差 9 0 ° のローカル信号を混合することによってベースバンドの Q (直交) 信号を得る。I , Q 信号は、アナログ L P F 1 7 i , 1 7 q に供給される。

【 0 0 2 5 】

アナログ L P F 1 7 i , 1 7 q は、受信された信号から希望帯域 (希望チャネル) の信号のみを取り出す役割を有している。アナログ L P F 1 7 i , 1 7 q で取り出された希望帯域の信号は、アナログ可変利得増幅器 1 8 i , 1 8 q で信号振幅が調整され、A / D 変換器 1 9 i , 1 9 q でデジタル信号に変換されてデジタル部 2 0 に供給される。アナログ可変利得増幅器 1 8 i , 1 8 q で振幅調整された信号は A G C 部 3 0 にも供給される。

【 0 0 2 6 】

デジタル部 2 0 は、A / D 変換器 1 9 i , 1 9 q の出力信号から希望チャネルの信号を取り出す F I R フィルタ 2 0 1 i , 2 0 1 q と、この F I R フィルタ 2 0 1 i , 2 0 1 q で取り出された信号の振幅を調整するデジタル可変利得増幅器 2 0 2 i , 2 0 2 q と、このデジタル可変利得増幅器 2 0 2 i , 2 0 2 q から出力される I , Q 信号を復調する復調部 2 0 3 と、A / D 変換器 1 9 i , 1 9 q の出力信号から希望チャネルの信号を取り出す I I R フィルタ 2 0 4 i , 2 0 4 q とを有する構成となっている。なお、F I R フィルタ 2 0 1 i , 2 0 1 q および I I R フィルタ 2 0 4 i , 2 0 4 q は共にローパスフィルタである。

【 0 0 2 7 】

ここで、復調系のデジタルフィルタとして F I R フィルタ 2 0 1 i , 2 0 1 q を用いる理由は、入力信号の周波数が異なった場合であっても、各周波数に対して同じ遅延特性を示し、群遅延歪が小さいためである。なお、F I R フィルタ 2 0 1 i , 2 0 1 q は、復調動作を行うのに十分な通過帯域特性並びに遅延特性を有していれば良い。

【 0 0 2 8 】

このデジタル部 2 0 において、F I R フィルタ 2 0 1 i , 2 0 1 q は、有限長の期間のみ非零であるインパルス応答を持つデジタルフィルタであり、アナログ L P F 1 7 i , 1 7 q との組み合わせで、希望チャネルを選択するために必要な遮断特性を得るとともに、希望チャネルに隣接・次隣接するチャネルの信号 (妨害波) を所望のレベルまで落とす作用をなす。

【 0 0 2 9 】

一方、I I R フィルタ 2 0 4 i , 2 0 4 q は、無限に持続するインパルス応答を持つデジ

10

20

30

40

50

タルフィルタであり、FIRフィルタ201i, 201qに比べて群遅延歪が生じるものの、少ない段数で急峻な遮断特性を得ることができ、しかも遅延時間が小さい(高速)。一例として、FIRフィルタ201i, 201qが数 μ sec ~ 数十 μ sec 程度の大きな遅延時間を持つのに対し、IIRフィルタ204i, 204qの遅延時間は数十nsec ~ 数百nsec 程度と小さい。

【0030】

可変利得増幅器18i, 18qおよびデジタル可変利得増幅器202i, 202qの自動利得制御はAGC部30によって行われる。すなわち、AGC部30は、可変利得増幅器18i, 18qの利得制御を行うアナログAGCループと、デジタル可変利得増幅器202i, 202qの利得制御を行うデジタルAGCループとから構成されている。

10

【0031】

アナログAGCループは、アナログ可変利得増幅器18i, 18qの出力信号をレベル検波する検波回路301と、その検波レベルをデジタル信号に変換するA/D変換器302と、このA/D変換器302の出力信号を基に利得値を設定する制御ロジック回路303と、この制御ロジック回路303から出力される利得値データをアナログ信号に変換するD/A変換器304と、このD/A変換器304の出力信号に応じてアナログ可変利得増幅器18i, 18qの各利得値を制御する利得制御回路305とから形成され、フィードバック制御を行う構成となっている。なお、利得制御回路305は、低雑音増幅器13やミキサ回路14i, 14qの各利得値を制御する場合もある。

【0032】

デジタルAGCループは、FIRフィルタ201i, 201qの出力信号、即ちデジタル可変利得増幅器202i, 202qの入力信号の信号強度(信号レベル)を検出する電力検出回路306と、この電力検出回路306の検出値を基に利得値を設定する制御ロジック回路303と、この制御ロジック回路303から出力される利得値データに応じてデジタル可変利得増幅器202i, 202qの各利得値を制御する利得制御回路307とから形成され、フィードフォワード制御を行う構成となっている。

20

【0033】

次に、上記構成の第1実施形態に係る受信回路の動作について説明する。アンテナ11で受信された高周波信号は、バンドパスフィルタ12および低雑音増幅器13を経た後、ミキサ回路14i, 14qでベースバンド信号(I, Q信号)にダウンコンバージョンされる。このベースバンド信号は、アナログLPF17i, 17qで希望チャネル(希望帯域)外の妨害波が除去され、希望チャネルの信号成分のみが取り出される。ここで、アナログLPF17i, 17qの遮断特性が十分急峻な特性でない場合には、隣接チャネル・次隣接チャネルの妨害波、即ち干渉信号が残ってしまう。

30

【0034】

アナログLPF17i, 17qで取り出された信号は、アナログ可変利得増幅器18i, 18qで振幅調整された後、A/D変換器19i, 19qに入力されてデジタル信号に変換される。A/D変換器19i, 19qの出力信号は、FIRフィルタ201i, 201qおよびIIRフィルタ204i, 204qにそれぞれ入力される。FIRフィルタ201i, 201qでは、アナログLPF17i, 17qで除去しきれずに残っていた隣接チャネル・次隣接チャネルの信号の除去が行われる。

40

【0035】

FIRフィルタ201i, 201qで取り出された希望チャネルの信号は、デジタル可変利得増幅器202i, 202qで振幅調整された後、復調部203に入力されて復調される。一方、IIRフィルタ204i, 204qでは、希望チャネルの隣接・次隣接チャネルに存在する妨害波(干渉信号)が除去され、希望チャネルの信号のみが取り出される。この取り出された信号は電力検出回路306に入力され、信号強度の検出が行われる。この検出された信号強度は制御ロジック回路303へ入力される。

【0036】

また、A/D変換器19i, 19qに入力される直前の信号は検波回路301へも入力さ

50

れ、信号レベルの検波が行われる。この検波された信号レベルは制御ロジック回路303へ入力される。制御ロジック回路303では、検波回路301から与えられる信号レベルを基にアナログ部の適性なゲイン値を設定するとともに、電力検出回路307から与えられる信号強度を基にデジタル部の適性なゲイン値を設定する。

【0037】

制御ロジック回路303で設定されたアナログ系のゲイン値は、D/A変換器304でアナログ信号に変換されて利得制御回路305に入力され、当該利得制御回路305の制御の下に、アナログ可変利得増幅器18i, 18qの利得値を調整する。一方、制御ロジック回路303で設定されたデジタル系のゲイン値は利得制御回路307に入力され、当該利得制御回路307の制御の下に、デジタル可変利得増幅器202i, 202qの利得値を調整する。

10

【0038】

上述したように、アナログAGCループによるフィードバック制御により、検波回路301での検波レベルに応じてアナログ可変利得増幅器18i, 18qの各利得値の調整が行われ、またデジタルAGCループによるフィードフォワード制御により、電力検出回路306の検出レベルに応じてデジタル可変利得増幅器202i, 202qの各利得値の調整が行われる。

【0039】

このように、アナログAGCループとデジタルAGCループとを併用した構成を採ることによって、信号の帯域幅が増加することに伴ってアナログLPF17i, 17qのカットオフ周波数が高くなったとしても、アナログLPF17i, 17qとFIRフィルタ201i, 201qとのそれぞれの組み合わせでチャンネルセレクトのために必要な遮断特性を得ることができるため、広帯域に遮断特性が急峻でかつ線形歪(振幅歪と位相歪)が小さい特性を、低消費電力で実現でき、また低雑音、高リニアリティ特性を同時に得ることが可能になる。

20

【0040】

しかも、第1実施形態に係るダイレクトコンバージョン方式の受信回路においては、デジタルAGCループに高速でかつ急峻な遮断特性を持つIIRフィルタ204i, 204qを用いるとともに、当該デジタルAGCループをフィードフォワード制御とした構成を採っていることで、隣接チャンネル・次隣接チャンネルに存在する妨害波による干渉を受けた場合においても、大きな遅延特性をもつFIRフィルタ201i, 201qの影響を受けずにデジタル可変利得増幅器202i, 202qの各利得値を高速に設定できるため、AGCのセットアップの高速化を図ることができる。

30

【0041】

[第2実施形態]

図2は、本発明の第2実施形態に係る受信回路を用いた無線通信装置、例えば低IF方式の受信機の構成を示すブロック図である。

【0042】

図2において、アンテナ51で受信された高周波信号は、バンドパスフィルタ52および低雑音増幅器53を経由してミキサ回路54に一方の入力として与えられる。ミキサ回路54には他方の入力として、ローカル発振器55から出力されるローカル信号が供給される。ローカル発振器55において、ローカル信号の周波数は、スーパーヘテロダイン方式でのローカル信号の周波数よりも高い周波数、換言すれば高周波信号に近い周波数に設定されている。

40

【0043】

ミキサ回路54は、入力される高周波信号に対してローカル発振器55からのローカル信号を混合することにより、スーパーヘテロダイン方式で用いるIF信号よりも低い周波数のIF信号、即ち低IF信号を得る。この低IF信号はアナログBPF(バンドパスフィルタ)56に供給される。アナログBPF56は、受信された信号から希望チャンネルの信号のみを取り出す役割を有している。アナログBPF56で取り出された希望帯域の信号

50

は、アナログ可変利得増幅器 57 で信号振幅が調整され、A/D変換器 58 でデジタル信号に変換されてデジタル部 60 に供給される。アナログ可変利得増幅器 57 で振幅調整された信号は A G C 部 70 にも供給される。

【 0 0 4 4 】

デジタル部 60 は、A/D変換器 58 の出力信号から希望チャネルの信号を取り出す F I R フィルタ 601 と、この F I R フィルタ 601 で取り出された信号の振幅を調整するデジタル可変利得増幅器 602 と、このデジタル可変利得増幅器 602 から出力される低 I F 信号を復調する復調部 603 と、A/D変換器 58 の出力信号から希望チャネルの信号を取り出す I I R フィルタ 604 とを有する構成となっている。ここで、復調系のデジタルフィルタとして F I R フィルタ 601 を用いるのは、第 1 実施形態の場合と同じ理由による。なお、F I R フィルタ 601 および I I R フィルタ 604 は共にバンドパスフィルタである。

10

【 0 0 4 5 】

このデジタル部 60 において、F I R フィルタ 601 は、有限長の期間のみ非零であるインパルス応答を持つデジタルフィルタであり、アナログ B P F 56 との組み合わせによって、希望チャネルを選択するために必要な遮断特性を得るとともに、希望チャネルに隣接・次隣接するチャネルの信号（妨害波）を所望のレベルまで落とす作用をなす。一方、I I R フィルタ 604 は、無限に持続するインパルス応答を持つデジタルフィルタであり、F I R フィルタ 601 に比べて群遅延歪が生じるものの、少ない段数で急峻な遮断特性を得ることができ、しかも遅延時間が小さい（高速）。

20

【 0 0 4 6 】

可変利得増幅器 57 およびデジタル可変利得増幅器 602 の自動利得制御は A G C 部 70 によって行われる。すなわち、A G C 部 70 は、可変利得増幅器 57 の利得制御を行うアナログ A G C ループと、デジタル可変利得増幅器 602 の利得制御を行うデジタル A G C ループとから構成されている。

【 0 0 4 7 】

アナログ A G C ループは、アナログ可変利得増幅器 57 の出力信号をレベル検波する検波回路 701 と、その検波レベルをデジタル信号に変換する A/D変換器 702 と、この A/D変換器 702 の出力信号を基に利得値を設定する制御ロジック回路 703 と、この制御ロジック回路 703 から出力される利得値データをアナログ信号に変換する D/A変換器 704 と、この D/A変換器 704 の出力信号に応じてアナログ可変利得増幅器 57 の利得値を制御する利得制御回路 705 とから形成され、フィードバック制御を行う構成となっている。なお、利得制御回路 705 は、低雑音増幅器 53 やミキサ回路 54 の各利得値を制御する場合もある。

30

【 0 0 4 8 】

デジタル A G C ループは、F I R フィルタ 601 の出力信号、即ちデジタル可変利得増幅器 602 の入力信号の信号強度（信号レベル）を検出する電力検出回路 706 と、この電力検出回路 706 の検出値を基に利得値を設定する制御ロジック回路 703 と、この制御ロジック回路 703 から出力される利得値データに応じてデジタル可変利得増幅器 602 の利得値を制御する利得制御回路 707 とから形成され、フィードフォワード制御を行う構成となっている。

40

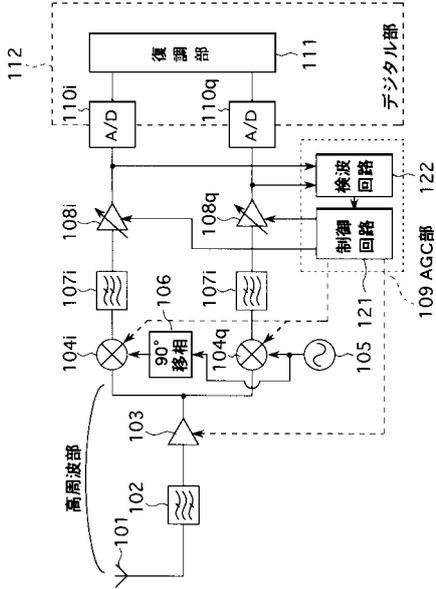
【 0 0 4 9 】

上記構成の第 2 実施形態に係る低 I F 方式の受信回路においても、先述した第 1 実施形態に係るダイレクトコンバージョン方式の受信回路の場合と同様に、デジタル A G C ループに高速でかつ急峻な遮断特性を持つ I I R フィルタ 604 を用いるとともに、当該デジタル A G C ループをフィードフォワード制御とした構成を採ることで、隣接チャネル・次隣接チャネルに存在する妨害波による干渉を受けた場合においても、大きな遅延特性をもつ F I R フィルタ 601 の影響を受けずにデジタル可変利得増幅器 602 の利得値を高速に設定できるため、A G C のセットアップの高速化を図ることができる。

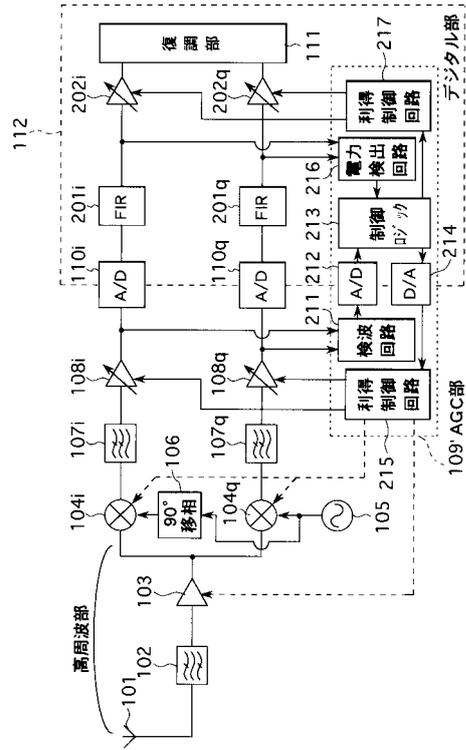
【 0 0 5 0 】

50

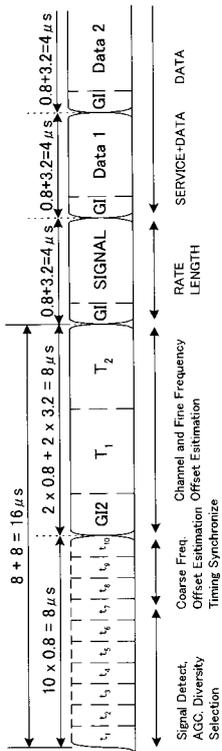
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

H 0 4 B 1/16

R

Fターム(参考) 5J100 JA01 KA05 LA00 LA11 QA01 SA02
5K061 BB12 CC25 CC52 JJ24