



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월16일
 (11) 등록번호 10-0858758
 (24) 등록일자 2008년09월09일

(51) Int. Cl.
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
 (21) 출원번호 10-2006-0099635
 (22) 출원일자 2006년10월13일
 심사청구일자 2006년10월13일
 (65) 공개번호 10-2007-0041374
 (43) 공개일자 2007년04월18일
 (30) 우선권주장
 JP-P-2005-00300432 2005년10월14일 일본(JP)
 JP-P-2006-00265905 2006년09월28일 일본(JP)
 (56) 선행기술조사문헌
 US20030042527 A1*
 US7138680 B2
 JP2005311300 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시끼가이샤 도시바
 일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1코
 (72) 발명자
야스다 나오끼
 일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시
 끼가이샤 도시바지적재산본부 내
니시카와 유키에
 일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시
 끼가이샤 도시바지적재산본부 내
무라오카 고이찌
 일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시
 끼가이샤 도시바지적재산본부 내
 (74) 대리인
구영창, 장수길

전체 청구항 수 : 총 21 항

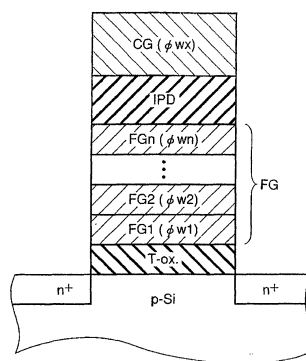
심사관 : 정병홍

(54) 불휘발성 반도체 기억 장치

(57) 요약

메모리 셀의 커플링비의 증대와 리크 전류의 저감을 도모한다. 본 발명의 예에 관한 불휘발성 반도체 기억 장치는, 반도체 기판 내에 배치되는 소스·드레인 확산층과, 소스·드레인 확산층 사이의 채널 상에 배치되는 제1 절연막 T-ox.와, 제1 절연막 T-ox. 상에 배치되고, 스택된 복수의 제1 도전층으로 구성되는 플로팅 게이트 전극 FG와, 플로팅 게이트 전극 FG 상에 배치되는 제2 절연막 IPD와, 제2 절연막 IPD 상에 배치되는 컨트롤 게이트 전극 CG를 구비한다. 복수의 제1 도전층 중 최상층을 제외한 1개의 제1 도전층을 기준층으로 한 경우에, 기준층의 일함수는, 4.0eV 이상이고, 기준층으로부터 위의 기준층을 포함하는 복수의 제1 도전층의 일함수 $\phi w1$, $\phi w2$, ..., ϕwn 은, 제2 절연막 IPD를 향함에 따라서 점차 커진다.

대표도 - 도7



특허청구의 범위

청구항 1

반도체 기판 내에 배치되는 소스·드레인 확산층과,

상기 소스·드레인 확산층 사이의 채널 상에 배치되는 제1 절연막과,

상기 제1 절연막 상에 배치되고, 스택된 복수의 제1 도전층으로 구성되는 플로팅 게이트 전극과,

상기 플로팅 게이트 전극 상에 배치되는 제2 절연막과,

상기 제2 절연막 상에 배치되는 컨트롤 게이트 전극을 구비하고,

상기 복수의 제1 도전층 중 최상층을 제외한 1개의 제1 도전층을 기준층으로 한 경우에, 상기 기준층의 일함수는, 4.0eV 이상 또한 5.2eV 이하이고, 상기 기준층으로부터 위의 기준층을 포함하는 복수의 제1 도전층의 일함수는, 상기 제2 절연막을 향함에 따라서 점차 커지고,

상기 복수의 제1 도전층 중 최상층의 구성 재료는, 상기 컨트롤 게이트 전극에 있어서 상기 제2 절연막과 접하는 영역의 구성 재료와 같은 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 2

제1항에 있어서,

상기 기준층은, 불순물을 포함하는 도전성 반도체 재료로 구성되고, 상기 기준층보다 위의 적어도 1개의 제1 도전층은, 금속으로 구성되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 3

제1항에 있어서,

상기 불순물은, n형 불순물이고, 상기 도전성 반도체 재료는, 폴리실리콘이며, 상기 n형 불순물의 도펀트 농도는, $5 \times 10^{19} \text{ cm}^{-3}$ 이상인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 4

제1항에 있어서,

상기 기준층 및 그것보다 위의 적어도 1개의 제1 도전층은, 금속으로 구성되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 복수의 제1 도전층의 최하층은, 불순물을 포함하는 도전성 반도체 재료로 구성되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 기준층 및 그것보다 위의 적어도 1개의 제1 도전층의 일함수는, 4.0eV 내지 5.2eV까지의 범위 내에 포함되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 7

제6항에 있어서,

상기 기준층보다 위의 적어도 1개의 제1 도전층의 일함수는, 4.4eV 이상인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 8

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 컨트롤 게이트 전극은, 상기 기준층의 일함수보다 큰 일함수를 갖는 도전 재료로 구성되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 9

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 컨트롤 게이트 전극은, 상기 복수의 제1 도전층의 최상층과 동일한 재료로 구성되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 10

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 컨트롤 게이트 전극은, 스택된 복수의 제2 도전층으로 구성되고, 상기 복수의 제2 도전층의 최하층은, 상기 기준층의 일함수보다 큰 일함수를 갖는 도전 재료로 구성되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 11

제10항에 있어서,

상기 복수의 제2 도전층의 일함수는, 상기 제2 절연막을 향함에 따라서 점차 커지는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 12

제10항에 있어서,

상기 복수의 제2 도전층의 저항율은, 상기 제2 절연막으로부터 멀어짐에 따라서 점차 작아지는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 13

제10항에 있어서,

상기 복수의 제2 도전층의 최하층은, 상기 복수의 제1 도전층의 최상층과 동일한 재료로 구성되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 14

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 플로팅 게이트 전극의 두께, 길이 및 폭을, 각각, T_{FG} , L 및 W 로 한 경우에, $T_{FG} < L$, 또한, $T_{FG} < W$ 인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 15

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 복수의 제1 도전층의 최하층은, 상기 복수의 제1 도전층 중에서 가장 두꺼운 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 16

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 복수의 제1 도전층의 최하층은, Si, Ta, Hf, Zr, Al, Ti 중에서 선택되는 1종류 이상의 원소를 포함하는 재료, 또는, 그 재료의 질화물, 탄화물, 규화물, 규질화물 혹은 규탄질화물로 구성되는 것을 특징으로 하는 불

휘발성 반도체 기억 장치.

청구항 17

제16항에 있어서,

상기 복수의 제1 도전층의 최하층이 규화물인 경우에, 상기 규화물의 조성은, Si의 원자수가 금속 원자의 원자수 이상인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 18

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 복수의 제1 도전층의 최상층은, Pt, W, Ir, Ru, Re, Mo, Ti, Ta, Ni, Co 중에서 선택되는 1종류 이상의 원소를 포함하는 재료, Pt, W, Ti, Ta, Ni, Co 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 규화물, W, Ti, Ta 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 탄화물, W, Mo, Ti, Ta 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 질화물, Ti를 포함하는 재료의 규질화물, Ir, Ru 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 산화물, 또는, 그들의 화합물 혹은 혼합물로 구성되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 19

제18항에 있어서,

상기 복수의 제1 도전층의 최상층이 규화물인 경우에, 상기 규화물의 조성은, 금속 원자의 원자수가 Si의 원자수 이상인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 20

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제2 절연막은, Al, Hf, La, Y, Ce, Ti, Zr, Si 중에서 선택되는 적어도 1개의 원소를 포함하는 재료의 산화물, 질화물, 또는, 산질화물인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 21

제1항 또는 제3항에 있어서,

상기 제2 절연막은, 복수의 층으로 구성되고, 상기 복수의 층 중 상기 플로팅 게이트 전극 및 상기 컨트롤 게이트 전극의 쌍방에 접촉하지 않는 층은, Al, Hf, La, Y, Ce, Ti, Zr, Si 중에서 선택되는 적어도 1개의 원소를 포함하는 재료의 산화물, 질화물, 또는, 산질화물인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

<40> [특허 문헌1] 일본 특원2005-133624호

발명이 속하는 기술 및 그 분야의 종래기술

<41> 본 발명은, 스택 게이트 구조의 메모리 셀을 갖는 불휘발성 반도체 기억 장치에 관한 것이다.

<42> NAND형 플래시 메모리 등의 불휘발성 반도체 기억 장치에서는, 메모리 셀(셀 트랜지스터)이 스택 게이트 구조를 갖는다. 스택 게이트 구조란, 소스·드레인 확산층 사이의 채널 상에 플로팅 게이트 전극과 컨트롤 게이트 전극이 스택된 구조를 말한다.

<43> 이러한 메모리 셀에 대한 기입/소거는, 채널과 플로팅 게이트 전극 사이의 터널 절연막에 고전계를 인가하고,

그들 사이에서 전하(예를 들면, 전자)를 주고받음으로써 행해진다. 즉, 플로팅 게이트 전극 내의 전하량을 변화시킴으로써 메모리 셀의 임계치 전압을 시프트시키고, 데이터("0" 또는 "1")를 기억한다.

- <44> 여기에서, 기입/소거의 효율을 좋게 하기 위해서는, 메모리 셀의 커플링비 β 를 크게 하는 것, 또한, 기입/소거 시의 리크 전류를 적게 하는 것이 필요하다.
- <45> 메모리 셀의 커플링비 β 는, (플로팅 게이트 전극의 전압 변화)/(컨트롤 게이트 전극의 전압 변화)의 비율로 정의되고, 용량비로 나타내면,
- <46> $\beta = CIPD/C_{tot}$
- <47> 로 된다. 단, C_{tot} 는, 컨트롤 게이트 전극과 채널 사이의 용량의 총합, CIPD는, 컨트롤 게이트 전극과 플로팅 게이트 전극 사이의 용량이다.
- <48> 종래, 커플링비 β 의 증대에 관해서는, 주로, 플로팅 게이트 전극과 컨트롤 게이트 전극 사이에 배치되는 절연막(소위 인터폴리 절연막)의 재료를 연구함으로써 대응하고 있고, 예를 들면, ONO($SiO_2/SiN/SiO_2$)막이 인터폴리 절연막으로서 사용되어 왔다.
- <49> 최근에는, ONO막 대신에, 이것보다 높은 유전률을 갖는 고유전률(high-k) 재료를 인터폴리 절연막으로서 사용하는 연구가 활발하다(예를 들면, 특허 문헌 1을 참조).
- <50> 현재, 고유전률 재료로서는, 알루미늄 산화막(Al_2O_3), hafnium 산화막(HfO_2), 이들의 혼합물 또는 혼정(hafnium 알루미네이트:HfAlOx) 등이 제안되어 있다.
- <51> 이들 재료는, 실리콘 프로세스에 대한 정합성이 좋고, 메모리 셀의 미세화에도 대응할 수 있기 때문에, 장래성이 매우 기대되고 있다.
- <52> 그러나, 이러한 고유전률 재료를 인터폴리 절연막으로서 사용해도, 소자의 미세화에 수반하여, 기입/소거 시에서의 플로팅 게이트 전극과 컨트롤 게이트 전극 사이의 리크 전류가 기준치를 초과하게 되어, 메모리 셀의 특성이 악화한다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <53> 본 발명의 예에서는, 커플링비의 증대와 기입/소거 시의 리크 전류의 저감을 동시에 실현하는 기술을 제안한다.

발명의 구성 및 작용

- <54> 본 발명의 예에 관한 불휘발성 반도체 기억 장치는, 반도체 기판 내에 배치되는 소스·드레인 확산층과, 소스·드레인 확산층 사이의 채널 상에 배치되는 제1 절연막과, 제1 절연막 상에 배치되고, 스택된 복수의 제1 도전층으로 구성되는 플로팅 게이트 전극과, 플로팅 게이트 전극 상에 배치되는 제2 절연막과, 제2 절연막 상에 배치되는 컨트롤 게이트 전극을 구비하고, 복수의 제1 도전층 중 최상층을 제외한 1개의 제1 도전층을 기준층으로 한 경우에, 기준층의 일함수는, 4.0eV 이상이며, 기준층으로부터 위의 기준층을 포함하는 복수의 제1 도전층의 일함수는, 제2 절연막을 향함에 따라서 점차 커진다.
- <55> 이하, 도면을 참조하면서, 본 발명의 예를 실시하기 위한 최량의 형태에 대해 상세하게 설명한다.
- <56> 1. 일함수
- <57> 본 발명의 예를 설명함에 있어서는, 「일함수」라고 하는 개념이 자주 등장한다. 따라서, 먼저, 이 일함수에 대해 설명한다.
- <58> 불휘발성 반도체 기억 장치의 메모리 셀의 각 층에서 사용되고 있는 재료의 일함수를 측정하기 위해서는, 미소 영역에서의 일함수의 평가 기술이 필요하다.
- <59> 여기에서는, 주사 프로브 현미경(Scanning Probe Microscopy(SPM))의 일종인 켈빈 프로브 포스 현미경(Kelvin Probe Force Microscopy(KPM))을 이용한 평가법(켈빈 프로브법)을 일함수의 평가법으로 한다.
- <60> 켈빈 프로브법에서는, 시료 표면과 프로브 전극(프로브 칩) 사이의 전위차를 직접 측정한다. 프로브 전극의 일함수를 이미 알고 있으면, 시료 표면의 일함수를 정확하게 구할 수 있다.
- <61> 켈빈 프로브법은, 이하의 원리에 기초하여, 시료 표면과 프로브 전극 사이의 전위차를 구한다.

- <62> 먼저, 프로브 전극과 시료 표면을 근접시키고, 양자를 전극으로 하는 커패시터를 형성한다. 여기에서, 프로브 전극을 진동시키면, 커패시터의 용량이 변화되기 때문에, 전하의 이동이 발생한다. 이 전하의 이동을 교류 전류로서 검출한다.
- <63> 다음으로, 프로브 전극에 바이어스 전압을 인가하고, 시료 표면과 프로브 전극 사이의 전위차가 캔슬되면, 커패시터의 양단의 전위가 동등하게 되기 때문에, 전하의 이동은 일어나지 않고, 교류 전류도 흐르지 않는다.
- <64> 따라서, 교류 전류가 최소로 되는 바이어스 전압을 검출함으로써 시료 표면의 일함수를 평가할 수 있다.
- <65> 불휘발성 반도체 기억 장치의 메모리 셀과 같이, 미소 영역에서 일함수를 측정해야만 하는 경우에도, 원리는 동일하다. 이 경우에는, 프로브 전극을 작게 하면, 일함수를 측정할 수 있을 것이다.
- <66> 그러나, 프로브 전극을 작게 하면, 교류 전류가 작아지기 때문에, 충분한 분해능을 얻을 수 없게 된다는 문제가 발생한다.
- <67> 따라서, 캐빈 프로브 포스 현미경에서는, 교류 전류 대신에, 프로브 전극과 시료 표면 사이에 발생하는 정전력을 이용한다.
- <68> 프로브 전극과 시료 표면 사이의 전위차가 없으면, 정전력도 발생하지 않는다. 따라서, 정전력이 최소로 되는 바이어스 전압을 구함으로써, 미소 영역에서의 일함수를 측정할 수 있다.
- <69> 또한, 이러한 캐빈 프로브 포스 현미경(평가 장치)은, 실제로 시판되고 있기 때문에, 불휘발성 반도체 기억 장치의 메모리 셀의 단면을 볼 수 있는 시료를 준비하면, 일함수의 측정은 용이하게 행할 수 있다.
- <70> 2. 커플링비
- <71> 본 발명의 예는, 스택 게이트 구조의 메모리 셀을 갖는 불휘발성 반도체 기억 장치에 적용된다.
- <72> 이러한 불휘발성 반도체 기억 장치에서는, 메모리 셀이 미세화되어도 커플링비 β 가 저하되지 않도록, 먼저, 플로팅 게이트 전극과 컨트롤 게이트 전극이 대향하는 면적을 늘리는 방법이 채용된다.
- <73> 도 1은, 그러한 셀 구조의 예를 도시하고 있다.
- <74> 또한, 도 1에서, 로우 방향은, 워드선(컨트롤 게이트 전극)이 연장되는 방향으로 하고, 컬럼 방향은, 로우 방향에 직교하는 방향으로 한다.
- <75> 이 구조의 특징은, 플로팅 게이트 전극 FG의 측면의 일부를 컨트롤 게이트 전극 CG에 의해 피복하는 점에 있다. 이에 따라, 플로팅 게이트 전극 FG와 컨트롤 게이트 전극 CG가 대향하는 면적을 늘려, 메모리 셀의 커플링비 β 를 증대시킨다.
- <76> 그러나, 최근에는, 그래도, 커플링비 β 를 생각하는 것처럼 크게 취할 수 없기 때문에, 인터폴리 절연막에 고유전률(high-k) 재료를 사용하여 커플링비 β 를 증대시키는 시도가 이루어지고 있다.
- <77> 또한, 이하에서는, 플로팅 게이트 전극과 컨트롤 게이트 전극 사이에 배치되는 전극간 절연막을 총칭하여 IPD(inter-polysilicon dielectric)로 칭하기로 한다.
- <78> 도 2 내지 도 6은, 고유전률 재료를 사용한 경우의 도 1의 셀 구조의 제조 방법의 예를 도시하고 있다.
- <79> 먼저, 도 2에 도시하는 바와 같이, 열 산화법에 의해, 불순물이 도핑된 실리콘 기판(웰을 포함함)(101) 상에, 두께 약 7~8nm의 터널 산화막(102)을 형성한다. 또한, CVD(chemical vapor deposition)법에 의해, 터널 산화막(102) 상에, 두께 약 60nm의 인 도프 폴리실리콘막(103) 및 소자 분리 영역을 가공하기 위한 마스크재(104)를 순차적으로 형성한다.
- <80> 이 후, 마스크재(104) 상에 포토레지스트를 형성하고, 이 포토레지스트를 노광 및 현상한다. 그리고, RIE(reactive ion etching)법에 의해, 포토레지스트의 패턴을 마스크재(104)에 전사한다. 이 후, 포토레지스트는 제거된다.
- <81> 또한, 마스크재(104)를 마스크로 하여, RIE법에 의해, 폴리실리콘막(103) 및 터널 산화막(102)을 순차적으로 에칭하고, 로우 방향에 인접하는 메모리 셀의 플로팅 게이트 전극을 분리하는 슬릿(105a)을 형성한다.
- <82> 계속해서, RIE법에 의해, 실리콘 기판(101)을 에칭하고, 실리콘 기판(101)에, 깊이 약 100nm의 소자 분리 트렌치(105b)를 형성한다.

- <83> 다음으로, 도 3에 도시하는 바와 같이, CVD법에 의해, 슬릿(105a) 및 소자 분리 트렌치(105b)를 완전하게 채우는 실리콘 산화막(106)을 형성한다. 또한, CMP(chemical mechanical polishing)법에 의해, 마스크재(104)가 노출될 때까지, 실리콘 산화막(106)을 연마하여, 실리콘 산화막(106)의 표면을 평탄화한다.
- <84> 이 후, 마스크재(104)가 선택적으로 제거된다.
- <85> 다음으로, 도 4에 도시하는 바와 같이, 희불산 용액을 이용하여, 실리콘 산화막(106)을 에치 백하고, 폴리실리콘막(103)의 측면의 일부를 노출시킨다.
- <86> 또한, ALD(atomic layer deposition)법에 의해, 폴리실리콘막(103)의 상면 및 측면의 일부를 피복하는 두께 약 15nm의 알루미늄산화막(107)을 IPD로서 형성한다.
- <87> 이때, 알루미늄산화막(107)의 퇴적 시에 사용하는 산화제의 영향에 의해, 폴리실리콘막(103)과 알루미늄산화막(107)의 계면에는 지극히 얇은 실리콘 산화막(108)이 형성된다. 따라서, 실질적으로는, IPD는, 합계의 두께가 약 16nm의 알루미늄산화막(107) 및 실리콘 산화막(108)의 2층 구조로 된다.
- <88> 다음으로, 도 5에 도시하는 바와 같이, CVD법에 의해, 알루미늄산화막(107) 상에, 예를 들면, 텅스텐 실리사이드막 및 폴리실리콘막의 2층 구조로 이루어지는 합계의 두께가 약 100nm의 도전막(109)을 형성한다. 계속해서, CVD법에 의해, 도전막(109) 상에, 마스크재(110)를 형성한다.
- <89> 이 후, 마스크재(110) 상에 포토레지스트를 형성하고, 이 포토레지스트를 노광 및 현상한다. 그리고, RIE법에 의해, 포토레지스트의 패턴을 마스크재(110)에 전사한다. 이 후, 포토레지스트는 제거된다.
- <90> 그리고, 마스크재(110)를 마스크로 하여, RIE법에 의해, 도전막(109), 알루미늄산화막(107), 실리콘 산화막(108), 폴리실리콘막(103) 및 터널 산화막(102)을 순차적으로 에칭하면, 플로팅 게이트 전극 FG 및 컨트롤 게이트 전극 CG가 형성된다.
- <91> 다음으로, 도 6에 도시하는 바와 같이, 열 산화법에 의해, 플로팅 게이트 전극 FG 및 컨트롤 게이트 전극 CG의 표면에 실리콘 산화막(111)을 형성하는 처리를 행한 후, 이온 주입법에 의해, 셀프얼라인으로, 실리콘 기판(101)의 표면 영역에 소스·드레인 확산층(112)을 형성하고, 메모리 셀을 완성한다.
- <92> 마지막으로, CVD법에 의해, 메모리 셀을 피복하는 층간 절연막(113)을 형성한다.
- <93> 이러한 제조 방법에 의해 형성된 메모리 셀에서는, 커플링비 β 의 증대를 도모할 수 있지만, 기입/소거 시에서의 플로팅 게이트 전극 FG와 컨트롤 게이트 전극 CG 사이의 리크 전류가 메모리 디바이스의 사양으로부터 요구되는 기준치를 초과하게 되어, 메모리 셀의 특성이 악화된다.
- <94> 3. 본 발명의 개요
- <95> 본 발명의 예에서는, 먼저, 도 7에 도시하는 바와 같이, 플로팅 게이트 전극 FG를 복수의 도전층 FG1, FG2, ..., FGn으로 구성하고, 복수의 도전층 FG1, FG2, ..., FGn 중 최상층을 제외한 1개의 도전층을 기준층으로 한다. 그리고, 기준층의 일함수를 4.0eV 이상으로 하고, 기준층으로부터 위의 기준층을 포함하는 복수의 도전층의 일함수를 IPD를 향함에 따라서 점차 크게 한다.
- <96> 예를 들면, 기준층을 도전층(최하층) FG1로 하는 경우에는, 도전층 FG1로부터 도전층 FGn을 향하여 일함수 ϕ_{w1} , ϕ_{w2} , ..., ϕ_{wn} 을 점차 크게 한다.
- <97> 또한, 기준층을 도전층 FG2로 하는 경우에는, 도전층 FG2로부터 도전층 FGn을 향하여 일함수 ϕ_{w2} , ..., ϕ_{wn} 을 점차 크게 한다. 이 경우, 도전층(최하층) FG1의 일함수 ϕ_{w1} 에 대해서는, 도전층 FG2의 일함수 ϕ_{w2} 보다 커도 상관없다.
- <98> 여기에서, 기준층의 일함수를 4.0eV 이상으로 한 것은, 기준층에는, 실리콘의 일함수보다 작은 일함수를 갖는 도전 재료를 배제하는 주지이다.
- <99> 이에 따라, IPD에 발생하는 리크를 저감한다. 특히, 본 발명의 예는, 도 8에 도시하는 바와 같이, 플로팅 게이트 전극 FG 내에 전하를 주입하는 기입 시에 발생하는 리크, 즉, 플로팅 게이트 전극 FG로부터 컨트롤 게이트 전극 CG에의 전하의 이동을 저감한다. 이 효과는, IPD가 고유전률(high-k) 재료로 구성되는 경우에 매우 유효하다.
- <100> 또한, 기준층은, 불순물을 포함하는 도전성 반도체 재료 또는 금속으로 구성되고, 기준층보다 위의 적어도 1개

의 도전층은, 금속으로 구성된다.

- <101> 여기에서, 금속이란, 자유 전자가 존재하는 재료, 혹은, 그 밴드 구조에서 페르미면이 존재하는 재료를 말하는 것으로 한다. 따라서, 이 정의를 충족하는 한, 금속에는, 금속 원소(원자) 단체 외에, 그 화합물도 포함한다.
- <102> 또한, 컨트롤 게이트 전극 CG의 일함수 ϕ_{wx} 는, 기준층의 일함수보다 큰 것이 바람직하다. 예를 들면, 컨트롤 게이트 전극은, 플로팅 게이트 전극 FG의 최상층과 동일한 재료로 구성한다.
- <103> 그런데, 도 9에 도시하는 바와 같이, 컨트롤 게이트 전극 CG를 복수의 도전층 CG1, CG2, ..., CGm으로 구성하고, 컨트롤 게이트 전극 CG의 최하층 CG1을, 기준층의 일함수보다 큰 일함수를 갖는 도전 재료로 구성해도 된다.
- <104> 예를 들면, 컨트롤 게이트 전극 CG의 최하층 CG1을 플로팅 게이트 전극 FG의 최상층 FGn과 동일한 재료로 구성한다.
- <105> 이 경우, 도 10에 도시하는 바와 같이, 플로팅 게이트 전극 FG 내의 전하를 방출하는 소거 시에 발생하는 바람직하지 못한 현상, 즉, 컨트롤 게이트 전극 CG로부터 플로팅 게이트 전극 FG에의 전하의 이동을 저감할 수 있다.
- <106> 또한, 본 발명의 예에 따르면, 터널 절연막 T-ox.에 접촉하는 플로팅 게이트 전극 FG의 도전층(최하층) FG1의 일함수를 작게 하는 것이 가능하다. 이 경우, 터널 전류, 즉, 전하의 이동량을 많게 할 수 있기 때문에, 기입 시간을 단축할 수 있다.
- <107> 또한, 플로팅 게이트 전극 FG의 도전층(최하층) FG1을 금속으로 구성하면, 그것을 폴리실리콘으로 구성하는 경우에 문제로 되는 공핍층이 발생하지 않기 때문에, 메모리 셀의 특성이 향상된다.
- <108> 본 발명의 예에 의한 구조에서는, "0" 셀/"1" 셀의 임계치 전압의 변화 폭을 크게 할 수 있기 때문에, 예를 들면, 다식화에 유효하다.
- <109> 4. 본 발명의 원리
- <110> 본 발명의 원리에 대해 설명한다.
- <111> 여기에서는, IPD로서, 리크 전류를 현저하게 저감할 수 있는 고유전률(high-k) 재료를 사용하는 경우를 설명하지만, 먼저, 본 발명의 예는, IPD가 고유전률 재료인 경우에 한정되지 않는다는 것을 미리 말해둔다.
- <112> IPD로서 고유전률 재료를 사용하면, 메모리 셀에 대한 기입/소거 시에 IPD에 고전계가 인가되어, 이것에 리크 전류가 흐른다. 이 리크 전류는, 터널 절연막을 통한 전하의 이동(플로팅 게이트 전극에 대한 전하의 주입/방출)을 저해한다.
- <113> 따라서, 이 리크 전류를, 메모리 디바이스의 사양으로부터 정해지는 기준치 이하로 억제할 필요가 있다.
- <114> 그 기준치는, 각종 검토의 결과, 기입 동작의 완료 직전에 터널 절연막에 흐르는 전류의 약 1/10의 값으로 판명되었다.
- <115> 예를 들면, 터널 절연막의 막 두께가 약 7.5nm이고, 커플링비 β 가 약 0.6인 경우, IPD에 인가되는 실효 전계는, 약 19M(mega)V/cm로 된다. 이 경우의 기준치는, 약 5×10^{-6} A/cm²로 되고, 허용되는 IPD의 리크 전류의 밀도는, 그 이하의 값으로 된다. 실효 전계는, 「전하의 면밀도/SiO₂의 유전률」로 나타낸다.
- <116> 여기에서, IPD로서는, 현 단계에서는, 예를 들면, 하프늄 알루미늄네이트(HfAlOx)가 유력한 후보이기 때문에, 이하에서는, 하프늄 알루미늄네이트를 게이트 절연막으로 하는 MOS 캐패시터를 이용하여 실험을 행한다.
- <117> 시료로서는, 게이트 절연막을 두께 약 20nm의 하프늄 알루미늄네이트(HfAlOx)로 하고, 게이트 전극을 구성하는 재료의 종류를 파라미터로 하고, 마이너스 극성의 게이트 전압을 인가하여 리크 전류-전압 특성을 평가한다.
- <118> 도 11은, 평가 결과로서의 리크 전류-전압 특성을 도시하고 있다.
- <119> 이것에 따르면, 리크 전류는, 게이트 전극의 일함수에 따라 변화하는 것을 알 수 있다. 예를 들면, 게이트 전극으로서, 일함수가 약 4eV인 n⁺형 폴리실리콘을 사용하면, 실효 전계 19MV/cm에서의 리크 전류 밀도는, 약 5×10^{-5} A/cm²로 된다.
- <120> 또한, n⁺형 폴리실리콘의 일함수와 거의 동일한 값의 일함수를 갖는 알루미늄을 게이트 전극으로서 사용한 경우

에도, 거의 동일한 결과가 얻어진다.

- <121> 한편, 게이트 전극으로서, 일함수가 약 5eV보다 약간 적은 폴리브텐을 사용하면, 실효 전계 19MV/cm에서의 리크 전류 밀도는, 약 2×10^{-7} A/cm²로 된다.
- <122> 이와 같이, 게이트 전극의 일함수를, 반도체 기판(웰을 포함함)의 전자 친화력보다 크게 함으로써, 리크 전류를 감소시켜, 리크 전류를 메모리 디바이스의 사양으로부터 요구되는 기준치 이하로 저감할 수 있다.
- <123> 또한, 플러스 극성의 게이트 전압을 인가하여 리크 전류-전압 특성을 평가한 결과(그 이외의 조건은 상기와 동일하게 함), 리크 전류 밀도는, 게이트 전극을 구성하는 재료에 의존하지 않는 것을 알 수 있었다.
- <124> 이 경우, 실효 전계 19MV/cm에서의 리크 전류 밀도는, 게이트 전극을 구성하는 재료에 의하지 않고, 약 6×10^{-5} A/cm²로 된다.
- <125> 이 값은, 앞의 마이너스 극성의 게이트 전압을 폴리실리콘 게이트 전극에 인가했을 때의 결과와 거의 동일하게 된다. 이 경우에는, 게이트 전극을 구성하는 재료의 일함수를 제어함에 따른 리크 전류의 저감 효과는 없다.
- <126> 이상의 실험 결과에 따르면, 전자가 주입되는 캐소드측의 게이트 전극의 일함수를 반도체 기판의 전도대의 전자 친화력(전도대의 바닥으로부터 진공 준위까지의 에너지 차)보다 크게 함으로써, IPD(예를 들면, 고유전률(high-k) 재료)에 흐르는 리크 전류가 저감된다.
- <127> 따라서, 기입/소거가 반복해서 행해지는 불휘발성 반도체 기억 장치에서는, 플로팅 게이트 전극 또는 컨트롤 전극의 어느 한 쪽에 대해, 큰 일함수를 갖는 재료를 사용하는 것이 바람직하다.
- <128> 단, NAND형 플래시 메모리의 경우에는, 플로팅 게이트 전극 및 컨트롤 전극의 쌍방에 대해, 큰 일함수를 갖는 재료로 구성하는 것이 바람직하다.
- <129> 왜냐하면, NAND형 플래시 메모리에서는, 기입 및 소거를 모두 터널 절연막에 FN 터널 전류를 흘림으로써 행한다. 또한, 리크 전류의 저감 효과는, 큰 일함수를 갖는 재료가 IPD의 전자 주입측(캐소드측)에 존재하는 경우에 실현되지만, NAND형 플래시 메모리에서는, 기입 및 소거에 따라, IPD의 플로팅 게이트 전극측이 캐소드측으로 되거나, IPD의 컨트롤 게이트측이 캐소드측으로 되거나 하기 때문이다.
- <130> 또한, 전술한 바와 같이, IPD로서는, 비유전률이 15~30의 범위 내에 있는 하프늄 알루미늄네이트(HfAlOx)가 유력한 후보이다.
- <131> 그 이유는, 비유전률이 적절하게 높고, 또한, 실리콘 프로세스와의 정합성이 좋기 때문이다.
- <132> 여기에서 주의해야 할 것은, IPD의 비유전률은, 지나치게 낮으면, 리크 전류의 저감 효과가 얻어지지 않고, 반대로, 너무 높으면, 인접하는 2개의 메모리 셀간의 간섭이 커지는 점에 있다.
- <133> 이 때문에, IPD로서는, 전술한 하프늄 알루미늄네이트(HfAlOx)는 물론, 비유전률이 15~30의 범위 내에 있는 재료가 적합하다.
- <134> 그러한 재료로서는, Al, Hf, La, Y, Ce, Ti, Zr, Si로부터 선택되는 적어도 1개의 원소를 포함하는 재료의 산화물, 질화물, 또는, 산질화물이 있다.
- <135> 이와 같이, 전자가 주입되는 캐소드측의 게이트 전극의 일함수를 반도체 기판의 전도대의 전자 친화력보다 크게 함으로써, IPD에 흐르는 리크 전류가 저감된다.
- <136> 그러나, 플로팅 게이트 전극의 일함수는, 반도체 기판의 전자 친화력 정도의 크기로 유지하는 것이 요청된다.
- <137> 그 이유는, 플로팅 게이트 전극에 축적한 전하를 소거하기 위해서는, 전하를 플로팅 게이트 전극으로부터 터널 절연막을 통하여 이동시켜야만 하지만, 플로팅 게이트 전극의 일함수가 크면, 그 이동이 어려워지기 때문이다.
- <138> 따라서, 플로팅 게이트 전극에 관해서는, IPD측에 배치되는 큰 일함수를 갖는 재료와, 터널 절연막측에 배치되는 작은 일함수를 갖는 재료로 이루어지는 스택 구조를 채용한다.
- <139> 또한, 플로팅 게이트 전극의 내부에서 공핍층에 의한 용량을 발생시키지 않는 것도 중요하다. 이러한 공핍층에 의한 용량이 발생하면, 메모리 셀의 커플링비 β가 저하되어, 기입/소거 특성이 열화되기 때문이다.

- <140> 이 공핍층에 의한 용량을 발생시키지 않기 위한 하나의 방법은, 플로팅 게이트 전극을 금속으로 구성하는 것이다.
- <141> 또한, 또 하나의 방법은, 플로팅 게이트 전극을, 금속과, 도펀트(불순물)를 포함하는 도전성 반도체 재료와의 스택 구조로 하는 것이다. 도전성 반도체 재료는, 실리콘을 주로 하는 재료, 예를 들면, 실리콘, 실리콘에 게르마늄을 첨가한 재료 등으로 한다.
- <142> 후자의 방법에 따르면, 터널 절연막에 접촉하는 재료가 도전성 반도체 재료이기 때문에, 터널 절연막의 신뢰성이 열화하지 않는다.
- <143> 그러나, 금속 및 도전성 반도체 재료 사이에 쇼트키 배리어가 형성되면, 도전성 반도체 재료의 내부에 공핍층이 넓어져, 메모리 셀의 커플링비 β 가 저하된다.
- <144> 이것을 해결하는 하나의 안은, 플로팅 게이트 전극을 구성하는 금속을 복수의 재료로 구성하는 것이다.
- <145> 예를 들면, 플로팅 게이트 전극은, 터널 절연막에 접촉하는 도전성 반도체 재료와, 도전성 반도체 재료층이 작은 일함수를 갖는 재료와, IPD층이 큰 일함수를 갖는 재료로 구성한다.
- <146> 단, 금속으로서의 복수의 재료는, 모두, 도전성 반도체 재료의 일함수보다 큰 일함수를 갖는 것으로 한다.
- <147> 이렇게 하면, 플로팅 게이트 전극 내의 복수의 도전층 사이에 발생하는 일함수의 차는, 높은 격자 이온 밀도의 금속끼리의 사이에서 크고, 금속과 도전성 반도체 재료 사이에서 작아지기 때문에, 도전성 반도체 재료 내의 공핍층은, 크게 신장하지 않고, 메모리 셀의 커플링비 β 를 저하시키지도 않는다.
- <148> 또한, 또 하나의 안은, 금속의 일함수와 도전성 반도체 재료의 도펀트(불순물) 농도를 적절한 관계로 유지하는 것이다.
- <149> 이 점에 관해서, 시뮬레이션에 의한 검토를 행한 결과, 플로팅 게이트 전극 내의 금속의 일함수를 4.4eV 이상의 값으로 하고, 도전성 반도체 재료의 도펀트(불순물) 농도를 $5 \times 10^{19} \text{cm}^{-3}$ 이상의 값으로 설정함으로써, 커플링비 β 의 저하를 억제할 수 있다는 것을 알 수 있었다.
- <150> 이 검토에서의 시뮬레이션의 상세 내용은, 이하와 같다.
- <151> 도 12에 도시하는 바와 같이, 1차원의 메모리 셀 구조를 가정하고, 포아슨의 방정식과 전류 연속의 식을 연립하여 풀어, 메모리 셀의 임계치 전압의 경시 변화를 계산한다.
- <152> 이 계산에서는, 금속/폴리실리콘의 경계의 쇼트키 배리어는, 터널 절연막의 두께를 실질적으로 증가시키고, IPD의 리크 전류는, 캐소드 전극층의 금속의 일함수에 의존하는 것으로 하였다.
- <153> 또한, 터널 절연막에 흐르는 전류는, FN(Fowler-Nordheim) 터널 전류의 실험식을 이용한다.
- <154> 이 시뮬레이션에 이용한 메모리 셀은, p형 실리콘 기판 상의 두께 약 7.5nm의 SiO_2 막과, 그 위의 플로팅 게이트 전극과, 그 위의 두께 약 2.5nm, 비유전률 약 20의 IPD(ex. HfAlOx)와, 그 위의 컨트롤 게이트 전극으로 구성되는 것으로 한다.
- <155> 이 구조에 의한 커플링비 β 는, 0.6이다. 이 메모리 셀 구조는, 55nm 스케일링 그룹 이후의 디바이스에서 일반적이다.
- <156> 이 메모리 셀 구조에 대하여, 컨트롤 게이트 전압으로서 19V를 인가한 경우의 임계치 전압의 경시 변화를 계산한다.
- <157> 도 13은, 그 계산 결과를 도시하고 있다.
- <158> 도 13에서는, IPD의 리크 전류를 고려한 경우 (◆)로 하지 않는 경우 (■)를 비교하여 도시하고 있지만, IPD에 리크 전류가 발생하고 있으면, 임계치 전압은, 정상치 이상으로는 변화되지 않는 것을 알 수 있다.
- <159> 이 정상치는, 메모리 셀의 기입 능력의 지표를 부여한다.
- <160> 따라서, 플로팅 게이트 전극의 일함수를 여러 가지로 변화시켰을 때에, 임계치 전압의 시프트량 ΔV_{th} 가 어떻게 변화하는가를 조사한다.
- <161> ΔV_{th} 를 결정하는 요인으로서, 도 14에 도시하는 바와 같이, 리크 전류와 쇼트키 배리어 용량의 2개가 있고,

서로 상반하는 효과를 미치기 때문에, 최적의 조건을 조사할 필요가 있다.

- <162> 도 15는, 시뮬레이션 결과의 정리를 도시하고 있다.
- <163> 여기에서, 임계치 시프트량 ΔV_{th} 의 "기준점"이란, 플로팅 게이트 전극의 일함수(work function)가 4.0eV인 n⁺형 폴리실리콘의 경우를 나타내고 있고, 이 기준점을 상회하는 임계치 시프트량이 얻어지는 경우에 메모리 셀의 기입 특성이 향상된다고 판단된다.
- <164> 이 계산 결과로부터 이하의 것을 알 수 있다.
- <165> 하나는, 임계치 시프트량 ΔV_{th} 가 기준점을 상회하는지의 여부는, 폴리실리콘의 도펀트(불순물) 농도에 크게 의존하는 것이다. 도펀트(불순물) 농도가 $5 \times 10^{19} \text{cm}^{-3}$ 이상으로 되면, 임계치 전압의 시프트량 ΔV_{th} 가 기준점을 하회하지는 않는다.
- <166> 또한, 그 조건 하에서, 플로팅 게이트 전극의 일함수가 4.4eV 이상으로 되면, 리크 전류를 기준치 이하로 할 수 있어, 기입 특성의 개선이 보인다.
- <167> 따라서, 정리하자면, 플로팅 게이트 전극에 관해서는, 터널 절연막층의 도전성 반도체 재료의 도펀트(불순물) 농도를, $5 \times 10^{19} \text{cm}^{-3}$ 이상으로 하고, IPD층의 금속의 일함수를, 4.4eV 이상으로 하는 것이 좋다.
- <168> 본 발명의 효과에 대해서 정리한다.
- <169> 플로팅 게이트 전극과 IPD의 계면에 일함수가 큰 도전성 재료를 배치함으로써, 플로팅 게이트 전극으로부터 컨트롤 게이트 전극에 전자가 방출되는 현상을 억제할 수 있다.
- <170> 또한, 컨트롤 게이트 전극과 IPD의 계면에 일함수가 큰 도전성 재료를 배치함으로써, 컨트롤 게이트 전극으로부터 플로팅 게이트 전극에 전자가 주입되는 현상을 억제할 수 있다.
- <171> 따라서, 플래시 메모리의 동작에서 중요한 기입/소거 시의 리크 전류를 저감 할 수 있다.
- <172> 또한, 플로팅 게이트 전극과 터널 절연막의 계면의 일함수를, n⁺ 폴리실리콘과 실리콘 산화막의 계면의 일함수와 동일하거나 또는 그것과 동일한 정도로 유지하면, 플래시 메모리의 소거 시의 터널 전류가 작아지지는 않는다.
- <173> 또한, 플로팅 게이트 전극의 터널 절연막에 접촉하는 부분을 금속 재료로 하면, 플로팅 게이트 전극의 하면에 공핍층이 발생하지도 않아, 기입/소거 특성이 향상된다.
- <174> 이상과 같이 하여, IPD의 리크 전류를 감소시키면, 기입 상태와 소거 상태의 메모리 셀의 임계치 전압의 윈도우(차)를 크게 할 수 있으므로, 그 차를 이용하여 플래시 메모리의 다식화를 실현할 수 있다.
- <175> 5. 실시예
- <176> (1) 제1 실시예
- <177> 도 16은, 제1 실시예에 관한 불휘발성 반도체 기억 장치를 도시하고 있다.
- <178> IPD(예를 들면, 고유전률(high-k) 재료)에 발생하는 리크 전류를 방지하기 위해서는, IPD를 큰 일함수의 재료로 끼워넣는 구조, 예를 들면, 「금속(CG)/절연체(high-k)/금속(FG) 구조」를 채용하는 것이 유효하다.
- <179> 그러나, 채널과 플로팅 게이트 전극 사이의 터널 절연막(게이트 절연막)의 신뢰성을 확보하기 위해서는, 예를 들면, 플로팅 게이트 전극으로서 n형 불순물을 포함하는 도전성 폴리실리콘을 사용하는 「폴리실리콘(FG)/절연체(T-ox.) 구조」를 채용할 필요가 있다.
- <180> 따라서, 제1 실시예에서는, 플로팅 게이트 전극을, 터널 절연막(T-ox.)에 접촉하는 도전성 폴리실리콘(poly-Si)과, IPD(예를 들면, 고유전률(high-k) 재료)에 접촉하는 금속(metal·1)으로 이루어지는 스택 구조로 한다.
- <181> 이 금속(metal·1)은, 도전성 폴리실리콘(poly-Si), 예를 들면, n형 불순물을 포함하는 도전성 폴리실리콘의 일함수, 4.0eV보다 큰 일함수를 갖는 재료로부터 선택된다. 또한, 금속(metal·1)의 일함수는, 4.4eV 이상, 5.2eV 이하인 것이 바람직하다.
- <182> 또한, 컨트롤 게이트 전극으로서는, 금속 구조를 채용한다.
- <183> 예를 들면, 컨트롤 게이트 전극에 대해서는, 배선 저항을 고려한 저저항 금속(metal·2)과, IPD와 저저항 금속

(metal · 2) 사이에 배치되고, n형 불순물을 포함하는 도전성 폴리실리콘의 일함수, 4.0eV보다 큰 일함수를 갖는 금속(metal · 3)의 스택 구조로 한다.

- <184> 또한, 금속(metal · 3)은, 저저항 금속(metal · 2)보다 큰 일함수를 가지고 있어도 된다.
- <185> 이에 따라, 플로팅 게이트 전극과 컨트롤 게이트 전극을 갖는 메모리 셀의 커플링비 β 의 증대와, IPD(예를 들면, 고유전률(high-k) 재료)에 발생하는 기입/소거 시의 리크 전류의 저감의 양립을 도모한다.
- <186> 또한, 금속(metal · 3)과 금속(metal · 1)이 동일한 재료로 구성되면, 프로세스가 간략화되어, 제조 코스트를 저하시킬 수 있다.
- <187> (2) 제2 실시예
- <188> 도 17은, 제2 실시예에 관한 불휘발성 반도체 기억 장치를 도시하고 있다.
- <189> 제2 실시예에서는, 플로팅 게이트 전극을, 터널 절연막(T-ox.)에 접촉하는 도전성 폴리실리콘(poly-Si)과, IPD(예를 들면, 고유전률(high-k) 재료)에 접촉하는 금속(metal · 1-1)과, 도전성 폴리실리콘(poly-Si) 및 금속(metal · 1-1) 사이의 금속(metal · 1-2)으로 이루어지는 스택 구조로 한다.
- <190> 제2 실시예의 특징은, 도전성 폴리실리콘(poly-Si)과 IPD 사이에 배치되는 금속을 복수층(도 17의 예에서는, 2층)으로 한 점에 있다.
- <191> 폴리실리콘(poly-Si)과 IPD 사이의 금속(metal · 1-1, metal · 1-2)의 일함수는, 도전성 폴리실리콘(poly-Si)으로부터 IPD를 향함에 따라서, 점차 크게 한다. 이들 금속(metal · 1-1, metal · 1-2)의 일함수는, 도전성 폴리실리콘(poly-Si), 예를 들면, n형 불순물을 포함하는 도전성 폴리실리콘의 일함수, 4.0eV보다 큰 일함수를 갖는 재료로부터 선택된다.
- <192> 또한, 금속(metal · 1-1, metal · 1-2)의 일함수는, 4.4eV 이상, 5.2eV 이하인 것이 바람직하다.
- <193> 이에 따라, 도전성 폴리실리콘(poly-Si)과 금속(metal · 1-2)의 일함수의 차를 작게 하고, 양자의 계면에 발생하는 쇼트키 배리어에 의한 커플링비 β 의 저하를 방지하여, 메모리 셀의 특성의 향상을 도모한다.
- <194> 또한, 컨트롤 게이트 전극으로서는, 제1 실시예와 마찬가지로, 금속 구조를 채용한다.
- <195> 예를 들면, 컨트롤 게이트 전극에 대해서는, 배선 저항을 고려한 저저항 금속(metal · 2)과, IPD와 저저항 금속(metal · 2) 사이에 배치되고, n형 불순물을 포함하는 도전성 폴리실리콘의 일함수, 4.0eV보다 큰 일함수를 갖는 금속(metal · 3)의 스택 구조로 한다.
- <196> 또한, 금속(metal · 3)은, 저저항 금속(metal · 2)보다 큰 일함수를 갖고 있어도 된다.
- <197> 이에 따라, 플로팅 게이트 전극과 컨트롤 게이트 전극을 갖는 메모리 셀의 커플링비 β 의 증대와, IPD(예를 들면, 고유전률(high-k) 재료)에 발생하는 기입/소거 시의 리크 전류의 저감의 양립을 도모한다.
- <198> 또한, 금속(metal · 3)과 금속(metal · 1-1)이 동일한 재료로 구성되면, 프로세스가 간략화되어, 제조 코스트를 저하시킬 수 있다.
- <199> (3) 제3 실시예
- <200> 도 18은, 제3 실시예에 관한 불휘발성 반도체 기억 장치를 도시하고 있다.
- <201> 제3 실시예에서는, 플로팅 게이트 전극을, 터널 절연막(T-ox.)에 접촉하는 금속(metal · 1)과, IPD(예를 들면, 고유전률(high-k) 재료)에 접촉하는 금속(metal · 2)으로 이루어지는 스택 구조로 한다.
- <202> 금속(metal · 1)의 일함수는, 실리콘의 일함수 이상의 값으로 하고, 금속(metal · 2)의 일함수는, 금속(metal · 1)의 일함수보다 크게 한다.
- <203> 금속(metal · 1, metal · 2)의 일함수는, 예를 들면, n형 불순물을 포함하는 도전성 폴리실리콘의 일함수, 4.0eV보다 큰 일함수를 갖는 재료로부터 선택된다. 또한, 금속(metal · 1, metal · 2)의 일함수는, 4.4eV 이상, 5.2eV 이하인 것이 바람직하다.
- <204> 또한, 컨트롤 게이트 전극으로서는, 금속 구조를 채용한다.
- <205> 예를 들면, 컨트롤 게이트 전극에 대해서는, 배선 저항을 고려한 저저항 금속(metal · 3)과, IPD와 저저항 금속(metal · 3) 사이에 배치되고, 금속(metal · 1)의 일함수보다 큰 일함수를 갖는 금속(metal · 4)의 스택 구조로

한다. 또한, 금속(metal·4)은, 저저항 금속(metal·3)보다 큰 일함수를 갖고 있어도 된다.

- <206> 이에 따라, 플로팅 게이트 전극과 컨트롤 게이트 전극을 갖는 메모리 셀의 커플링비 β 의 증대와, IPD(예를 들면, 고유전률(high-k) 재료)에 발생하는 기입/소거 시의 리크 전류의 저감의 양립을 도모한다.
- <207> 또한, 플로팅 게이트 전극이 금속만으로 구성되기 때문에, 플로팅 게이트 전극이 도전성 폴리실리콘인 경우에 문제로 되는 공핍층이 발생하지 않는다. 이 때문에, 메모리 셀의 특성을 향상시킬 수 있다.
- <208> 또한, 금속(metal·4)과 금속(metal·2)이 동일한 재료로 구성되면, 프로세스가 간략화되어, 제조 코스트를 저하시킬 수 있다.
- <209> (4) 제4 실시예
- <210> 도 19는, 제4 실시예에 관한 불휘발성 반도체 기억 장치를 도시하고 있다.
- <211> 제4 실시예는, 제1 실시예의 응용예이다.
- <212> 제4 실시예의 특징은, 터널 절연막(T-ox.)과 도전성 폴리실리콘(poly-Si) 사이에 금속(metal·4)을 배치한 점에 있고, 그 이외에 대해서는, 제1 실시예와 동일하다.
- <213> 금속(metal·4)은, 도전성 폴리실리콘(poly-Si)에 발생하는 공핍층에 의한 메모리 셀의 특성 열화를 방지한다.
- <214> 금속(metal·4)의 일함수에 대해서는, 특별히 제한되지 않는다. 예를 들면, 금속(metal·4)은, 도전성 폴리실리콘(poly-Si), 예를 들면, n형 불순물을 포함하는 도전성 폴리실리콘의 일함수, 4.0eV보다 커도 상관없다.
- <215> 이러한 구조로도, 메모리 셀의 커플링비 β 의 증대와, IPD(예를 들면, 고유전률(high-k) 재료)에 발생하는 기입/소거 시의 리크 전류의 저감의 양립을 도모할 수 있다.
- <216> (5) 제5 실시예
- <217> 도 20은, 제5 실시예에 관한 불휘발성 반도체 기억 장치를 도시하고 있다.
- <218> 제5 실시예는, 제2 실시예의 응용예이다.
- <219> 제5 실시예의 특징은, 터널 절연막(T-ox.)과 도전성 폴리실리콘(poly-Si) 사이에 금속(metal·1-3)을 배치한 점에 있고, 그 이외에 대해서는, 제2 실시예와 동일하다.
- <220> 금속(metal·1-3)은, 도전성 폴리실리콘(poly-Si)에 발생하는 공핍층에 의한 메모리 셀의 특성 열화를 방지한다.
- <221> 금속(metal·1-3)의 일함수에 대해서는, 특별히 제한되지 않는다. 예를 들면, 금속(metal·1-3)은, 도전성 폴리실리콘(poly-Si), 예를 들면, n형 불순물을 포함하는 도전성 폴리실리콘의 일함수, 4.0eV보다 커도 상관없다.
- <222> 이러한 구조로도, 메모리 셀의 커플링비 β 의 증대와, IPD(예를 들면, 고유전률(high-k) 재료)에 발생하는 기입/소거 시의 리크 전류의 저감의 양립을 도모할 수 있다.
- <223> (6) 그 외
- <224> 본 발명의 예는, 메모리 셀의 플로팅 게이트 전극 및 컨트롤 게이트 전극의 형상에는 한정되지 않는다.
- <225> 예를 들면, 도 21의 (b)에 도시하는 바와 같이, 플로팅 게이트 전극 FG가 소자 분리 절연층 STI로부터 돌출하고, 컨트롤 게이트 전극 CG가 플로팅 게이트 전극 FG의 측면의 일부를 피복하고 있는 구조이어도 된다.
- <226> 플로팅 게이트 FG의 단부가 소자 분리 절연층 STI 위에 존재하는 결빙 형상이어도 된다.
- <227> 또한, 도 21의 (c)에 도시하는 바와 같이, 플로팅 게이트 전극 FG의 상면과 소자 분리 절연층 STI의 상면이 실질적으로 일치하는 구조이어도 된다.
- <228> 또한, 도 21의 (a)에 도시하는 컬럼 방향의 단면 형상은, 도 21의 (b) 및 도 21의 (c)의 구조에 대하여 공통적이다.
- <229> 플로팅 게이트 전극을 구성하는 폴리실리콘(poly-Si)에 대해서는, TaSiN 등과 같이, 금속을 포함하는 재료를 대신해도 된다.

- <230> 6. 재료예
- <231> 본 발명의 예에 관한 불휘발성 반도체 기억 장치는, 터널 절연막 상의 플로팅 게이트 전극이 복수의 제1 도전층으로 구성된다.
- <232> 복수의 제1 도전층의 최하층(터널 절연막에 접촉하는 층)은, Si, Ta, Hf, Zr, Al, Ti 중에서 선택되는 1종류 이상의 원소를 포함하는 재료, 또는, 그 재료의 질화물, 탄화물, 규화물, 규질화물 혹은 규탄질화물로 구성된다.
- <233> 예를 들면, 복수의 제1 도전층의 최하층은, Si, Hf, Zr, Al, Ti, Ta, TaSix, TaC, TaN, TiN, TaSiN, HfSix, HfSiN 등으로 구성된다.
- <234> 복수의 제1 도전층의 최하층이 규화물인 경우에는, 규화물의 조성은, Si의 원자수가 금속 원자의 원자수 이상이다.
- <235> 예를 들면, 복수의 제1 도전층의 최하층이 실리콘 리치 실리사이드 MSix로 구성되는 경우, $x \geq 1$ 로 한다. 단, M은 메탈을 나타내고 있다.
- <236> 복수의 제1 도전층의 최상층(IPD에 접촉하는 층)은, Pt, W, Ir, Ru, Re, Mo, Ti, Ta, Ni, Co 중에서 선택되는 1종류 이상의 원소를 포함하는 재료, Pt, W, Ti, Ta, Ni, Co 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 규화물, W, Ti, Ta 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 탄화물, W, Mo, Ti, Ta 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 질화물, Ti를 포함하는 재료의 규질화물, Ir, Ru 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 산화물, 또는, 그들의 화합물 혹은 혼합물로 구성된다.
- <237> 예를 들면, 복수의 제1 도전층의 최상층은, Pt, W, Ir, IrO₂, Ru, RuO₂, Re, TaC, TaN, Mo, MoNx, MoSix, TiN, TiC, TiSiN, TiCN, Ni, NixSi, PtSix, WC, WN, WSix 등으로 구성된다.
- <238> 복수의 제1 도전층의 최상층이 규화물인 경우에는, 규화물의 조성은, 금속 원자의 원자수가 Si의 원자수 이상이다.
- <239> 예를 들면, 복수의 제1 도전층의 최상층이 메탈 리치 실리사이드 MSix로 구성되는 경우, $x \leq 1$ 로 한다. 단, M은 메탈을 나타내고 있다.
- <240> 컨트롤 게이트 전극, 또는, 컨트롤 게이트 전극이 복수의 제2 도전층으로 구성되는 경우에 그 최하층(IPD에 접촉하는 층)은, Pt, W, Ir, Ru, Re, Mo, Ti, Ta, Ni, Co 중에서 선택되는 1종류 이상의 원소를 포함하는 재료, pt, W, Ti, Ta, Ni, Co 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 규화물, W, Ti, Ta 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 탄화물, W, Mo, Ti, Ta 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 질화물, Ti를 포함하는 재료의 규질화물, Ir, Ru 중에서 선택되는 1종류 이상의 원소를 포함하는 재료의 산화물, 또는, 그들의 화합물 혹은 혼합물로 구성된다.
- <241> 예를 들면, 컨트롤 게이트 전극, 또는, 컨트롤 게이트 전극이 복수의 제2 도전층으로 구성되는 경우에 그 최하층은, Pt, W, Ir, IrO₂, Ru, RuO₂, Re, TaC, TaN, Mo, MoNx, MoSix, TiN, TiC, TiSiN, TiCN, Ni, NixSi, PtSix, WC, WN, WSix 등으로 구성된다.
- <242> 복수의 제2 도전층의 최하층이 규화물인 경우에는, 규화물의 조성은, 금속 원자의 원자수가 Si의 원자수 이상이다.
- <243> 예를 들면, 복수의 제2 도전층의 최하층이 메탈 리치 실리사이드 MSix로 구성되는 경우, $x \leq 1$ 로 한다. 단, M은 메탈을 나타내고 있다.
- <244> 컨트롤 게이트 전극의 복수의 제2 도전층의 최하층은, 플로팅 게이트 전극의 복수의 제1 도전층의 최상층과 동일한 재료로 구성해도 된다.
- <245> IPD는, Al, Hf, La, Y, Ce, Ti, Zr, Si 중에서 선택되는 적어도 1개의 원소를 포함하는 재료의 산화물, 질화물, 또는, 산질화물이다.
- <246> IPD는, 고유전률(high-k) 재료, 또는, 이것을 포함하는 적층 구조로 하는 것이 유효하게 생각되지만, 이것에 한정되지는 않는다. 예를 들면, 산화 실리콘, 질화 실리콘, 산질화 실리콘, 또는 이들의 적층 구조이어도 된다.
- <247> 단, IPD에 고유전률 재료를 사용하는 경우에는, IPD는, 3개 이상의 층으로 구성하고, 3개 이상의 층 중 플로팅

게이트 전극 및 컨트롤 게이트 전극의 쌍방에 접촉하지 않는 층은, Al, Hf, La, Y, Ce, Ti, Zr, Si 중에서 선택되는 적어도 1개의 원소를 포함하는 재료의 산화물, 질화물, 또는, 산질화물로 하는 것이 바람직하다.

- <248> 이것은, IPD를 고유전률 재료만으로 구성하면, 캐리어 포획 및 방출에 의한 리텐션 열화가 발생할 가능성이 있기 때문이다. 고유전률 재료를 산화막이나 질화막 등의 절연막으로 끼워넣음으로써 리텐션 특성을 개선할 수 있다.
- <249> 구체적으로는, IPD로서는, SiO₂/고유전률 재료/SiO₂, SiON/고유전률 재료/SiON, Si₃N₄/SiO₂/고유전률 재료/SiO₂/Si₃N₄, Si₃N₄/SiON/고유전률 재료/SiON/Si₃N₄ 등의 적층 구조를 채용한다.
- <250> 또한, TaC 및 TaN은, 그 제조 방법에 의해 일함수를 넓은 범위에서 바꾸는 것이 가능하다. 따라서, 예를 들면, 플로팅 게이트 전극의 복수의 제1 도전층의 최하층과 최상층의 양방에 이용할 수 있는 재료로서 들고 있다.
- <251> 7. 실시예
- <252> (1) 제1 실시예
- <253> 도 22는, 제1 실시예에 관한 메모리 셀의 구조를 도시하고 있다.
- <254> p형 실리콘 기판 상에는, 터널 절연막(게이트 절연막)으로서의 산질화실리콘막(SiON)이 형성된다. 산질화실리콘막 상에는, 도전성 반도체 재료로서 TaSiN이 형성된다. TaSiN 상에는, 금속 재료로서 WN이 형성된다. 플로팅 게이트 전극 FG는, TaSiN과 WN의 적층으로 구성된다.
- <255> 플로팅 게이트 전극 FG 상에는, IPD로서, 고유전률(high-k) 재료, HfAlO_x(조성:Hf/(Hf+Al)=0.6)이 형성된다. HfAlO_x 상에는, WN과 W의 적층으로 이루어지는 컨트롤 게이트 전극 CG가 형성된다.
- <256> 여기에서, SiON의 두께는, 예를 들면, 약 7~8nm의 범위 내의 값, TaSiN과 WN의 두께는, 예를 들면, 모두, 약 30~60nm의 범위 내의 값으로 설정된다. HfAlO_x의 두께는, 예를 들면, 약 20~30nm의 범위 내의 값으로 설정된다.
- <257> 여기에서, 플로팅 게이트 전극 FG를 구성하는 각 재료의 합계의 두께는, 셀 트랜지스터의 사이즈에 의해 제한을 받는 것에 주의해야만 한다. 즉, 셀 사이의 상호 간섭을 억제하기 위해서는, 플로팅 게이트 전극 FG를 구성하는 각 재료의 합계의 두께는, 셀 트랜지스터의 폭 및 길이 중 어느 것에 대해서도 작은 것이 필요하다.
- <258> 또한, 일함수에 대해서는, TaSiN이 약 4.0eV, WN이 약4.8~4.9eV, W가 약 4.5eV이다. W의 저항율은, WN의 저항율보다 작다.
- <259> 본 예에서는, 플로팅 게이트 전극 FG를 구성하는 2개의 층 중 터널 절연막에 접하는 층을 TaSiN으로 구성하였지만, 그 이외에, TaN, TiN, W, WSi 등의 n채널 MIS 트랜지스터에 적합한 금속 게이트 재료, 또는, Si 금계대의 증양 부근의 일함수를 갖는 금속 재료를 사용할 수 있다.
- <260> 또한, IPD에 접촉하는 금속 재료로서 WN을 사용하였지만, 그 이외에, Ru, TaC 등의 p채널 MIS 트랜지스터에 적합한 금속 게이트 재료, 또는, Au, Pt, Co, Ni, Pd, Te, Mo, Ir, Hf, Zr, Y, La 등의 원소 혹은 화합물 중에서 Si 금계대의 증양부보다 큰 일함수를 갖는 재료를 사용할 수 있다.
- <261> 또한, 본 예에서는, 고유전률(high-k) 재료로서 하프늄 알루미늄이테르를 사용하였지만, 이 경우에는, 그 조성 Hf/(Hf+Al)를, 약 0.3~0.8의 범위 내의 값으로 설정하면, 양호한 리크 전류 특성과 재료 가공성이 얻어진다.
- <262> 고유전률 재료로서는, HfAlO_x 이외에도, Al, Hf, La, Y, Ce, Ti, Zr, Si 중의 적어도 1개 이상의 원소를 포함하는 산화물, 산질화물, 규산화물 등을 사용할 수 있고, 또한, 그러한 재료의 적층으로 할 수도 있다.
- <263> IPD로서는, 고유전률 재료와, 실리콘 산화막, 실리콘 질화막 등의 절연막을 조합하여 사용할 수도 있다. 예를 들면, IPD는, Si₃N₄/SiO₂/고유전률 재료/SiO₂/Si₃N₄, Si₃N₄/SiON/고유전률 재료/SiON/Si₃N₄ 등의 스택 구조로 구성할 수도 있다. 또한, IPD와 플로팅 게이트 전극 FG의 계면, 및, IPD와 컨트롤 게이트 전극 CG의 계면에는, 각각, 지극히 얇은 절연 재료로 이루어지는 계면층이 존재하고 있어도 된다.
- <264> 또한, 터널 절연막으로서, 산질화실리콘막(SiON) 이외에, SiO₂/Si₃N₄/SiO₂, Si₃N₄/SiO₂/Si₃N₄ 등의 스택 구조, 또한, 고유전률 재료와 실리콘 절연막으로 이루어지는 스택 구조를 이용해도 된다.
- <265> 도 22의 메모리 셀의 제조 방법에 관해서는, 기본적으로는, 도 2~도 6에서 설명한 제조 방법을 그대로 적용할

수 있다.

- <266> 이하에서는, 도 2~도 6과는 서로 다른 스텝에 대해서만 설명한다.
- <267> 플로팅 게이트 전극 FG의 형성에 관해서는, ALD법을 사용한다.
- <268> 먼저, Ta[N(CH₃)₂]₅, NH₃, SiH₄를 원료 가스로 하는 ALD법을 이용하여, 플로팅 게이트 전극 FG의 하층으로 되는 TaSiN을 형성한다. 이 후, WF₆, NH₃을 원료 가스로 하는 ALD법을 이용하여, 플로팅 게이트 전극 FG의 상층으로 되는 WN을 형성한다.
- <269> 다음으로, Al(CH₃)₃, Hf[N(CH₃)₂]₄와 H₂O를 원료 가스로 하는 ALD법을 이용하여, 온도 250℃의 분위기 속에서 HfAlO_x를 형성한다. 이 후, 850℃, O₂, 130Pa의 분위기 속에서 어닐링을 행한다.
- <270> 컨트롤 게이트 전극 CG의 형성에 관해서는, ALD법과 CVD법의 2개의 방법을 사용한다.
- <271> 먼저, WF₆, NH₃을 원료 가스로 하는 ALD법을 이용하여, 컨트롤 게이트 전극 CG의 하층으로 되는 WN을 형성한다. 이 후, W(CO)₆을 원료 가스로 하는 CVD법을 이용하여, 컨트롤 게이트 전극 CG의 상층으로 되는 W를 형성한다.
- <272> 또한, 여기에서 설명하는 제조 방법은, 일례에 지나지 않으며, 다른 제조 방법에 의해 도 22의 메모리 셀을 형성해도 상관없다.
- <273> 예를 들면, ALD법에 사용하는 원료 가스에 관해서는, 다른 가스를 사용할 수도 있고, ALD법과 CVD법의 구분 사용에 관해서도 특별히 제한은 없다.
- <274> 또한, ALD법 및 CVD법 이외의 스퍼터법, 증착법, 레이저 아브레이션법, MBE법 등의 방법이나, 이들의 방법을 조합한 방법 등에 의해, 플로팅 게이트 전극 FG, 컨트롤 게이트 전극 CG 및 IPD를 형성하는 것도 가능하다.
- <275> (2) 제2 실시예
- <276> 도 23은, 제2 실시예에 관한 메모리 셀의 구조를 도시하고 있다.
- <277> p형 실리콘 기판 상에는, 터널 절연막(게이트 절연막)으로서의 산질화실리콘막(SiON)이 형성된다. 산질화실리콘막 상에는, 도전성 반도체 재료로서 n형 불순물을 포함한 폴리실리콘(n⁺ poly-Si)이 형성된다. n⁺ poly-Si 상에는, 금속 재료로서 TiN과 WN이 형성된다. 플로팅 게이트 전극 FG는, n⁺ poly-Si, TiN 및 WN의 적층으로 구성된다.
- <278> 플로팅 게이트 전극 FG 상에는, 고유전률(high-k) 재료로서 HfAlO_x(조성 · Hf/(Hf+Al)=0.6)가 형성된다. HfAlO_x는, IPD로서 기능한다. HfAlO_x 상에는, WN과 W의 적층으로 이루어지는 컨트롤 게이트 전극 CG가 형성된다.
- <279> 여기에서, SiON의 두께는, 예를 들면, 약 7~8nm의 범위 내의 값, n⁺ poly-Si의 두께는, 예를 들면, 약 30nm, TiN과 WN의 두께는, 예를 들면, 모두, 약 20~30nm의 범위 내의 값으로 설정된다. HfAlO_x의 두께는, 예를 들면, 약 20~30nm의 범위 내의 값으로 설정된다.
- <280> 또한, 일함수에 대해서는, n⁺ poly-Si가 약 4.0eV, TiN이 약 4.6eV, WN이 약 4.8~4.9eV, W가 약 4.5eV이다. W의 저항율은, WN의 저항율보다 작다.
- <281> 본 예에서는, 플로팅 게이트 전극 FG 내의 금속 재료의 하층을 TiN으로 구성하였지만, 그 이외에도, TaN 등의 Si 금속대의 중앙 부근의 일함수를 갖고, 원자의 확산에 대하여 배리어성을 갖는 재료나, Si 금속대의 중앙 부근의 일함수보다 작은 일함수를 갖는 n채널 MIS 트랜지스터에 적합한 금속 게이트 재료 등을 사용할 수 있다.
- <282> 또한, IPD에 접촉하는 금속 재료로서 WN을 사용하였지만, 그 이외에, Ru, TaC 등의 p채널 MIS 트랜지스터에 적합한 금속 게이트 재료, 또는, Au, Pt, Co, Ni, Pd, Te, Mo, Ir, Hf, Zr, Y, La 등의 원소 혹은 화합물 중에서 Si 금속대의 중앙부보다 큰 일함수를 갖는 재료를 사용할 수 있다.
- <283> 또한, 본 예에서는, 고유전률(high-k) 재료로서 하프늄 알루미늄이트르를 사용하였지만, 이 경우에는, 그 조성 Hf/(Hf+Al)을, 약 0.3~0.8의 범위 내의 값으로 설정하면, 양호한 리크 전류 특성과 재료 가공성이 얻어진다.
- <284> 고유전률 재료로서는, HfAlO_x 이외에도, Al, Hf, La, Y, Ce, Ti, Zr, Si 중의 적어도 1개 이상의 원소를 포함

하는 산화물, 산질화물, 규산화물 등을 사용할 수 있고, 또한, 그러한 재료의 적층으로 할 수도 있다.

- <285> IPD로서는, 고유전률 재료와 실리콘 절연막을 조합하여 사용할 수도 있다. 또한, IPD와 플로팅 게이트 전극 FG의 계면, 및, IPD와 컨트롤 게이트 전극 CG의 계면에는, 각각, 지극히 얇은 절연 재료로 이루어지는 계면층이 존재하고 있어도 된다.
- <286> 도 23의 메모리 셀의 제조 방법에 관해서는, 기본적으로는, 도 2~도 6에서 설명한 제조 방법을 그대로 적용할 수 있다.
- <287> 이하에서는, 도 2~도 6과는 서로 다른 스텝에 대해서만 설명한다.
- <288> 플로팅 게이트 전극 FG의 형성에 관해서는, CVD법을 사용한다.
- <289> 먼저, CVD법을 이용하여, 온도 약 620℃의 분위기 속에서, 플로팅 게이트 전극 FG의 하층으로 되는 인(P)이 도프된 n^+ poly-Si를 형성한다.
- <290> 이 후, $TiCl_4$ 와 NH_3 을 원료 가스로 하는 CVD법을 이용하여, 온도 약 500℃의 분위기 속에서, 금속 재료의 n^+ poly-Si층에 배치되는 TiN을 형성한다. 계속해서, $W(CO)_6$ 과 NH_3 을 원료 가스로 하는 CVD법을 이용하여, 온도 약 450℃의 분위기 속에서, 금속 재료의 $HfAlO_x$ 층에 배치되는 WN을 형성한다.
- <291> 다음으로, $Al(CH_3)_3$, $Hf[N(CH_3)_2]_4$ 와 H_2O 를 원료 가스로 하는 ALD법을 이용하여, 온도 250℃의 분위기 속에서 $HfAlO_x$ 를 형성한다. 이 후, 850℃, O_2 , 130Pa의 분위기 속에서 어닐링을 행한다.
- <292> 컨트롤 게이트 전극 CG의 형성에 관해서도, CVD법을 사용한다.
- <293> 먼저, $W(CO)_6$ 과 NH_3 을 원료 가스로 하는 CVD법을 이용하여, 온도 약 450℃의 분위기 속에서, $HfAlO_x$ 상에, 컨트롤 게이트 전극 CG의 하층으로 되는 WN을 형성한다. 계속해서, $W(CO)_6$ 을 원료 가스로 하는 CVD법을 이용하여, 온도 약 450℃의 분위기 속에서, WN 상에, 컨트롤 게이트 전극 CG의 상층으로 되는 W를 형성한다.
- <294> 또한, 여기에서 설명하는 제조 방법은, 일례에 지나지 않으며, 다른 제조 방법에 의해 도 23의 메모리 셀을 형성해도 상관없다.
- <295> 예를 들면, CVD법에 사용하는 원료 가스에 관해서는, 다른 가스를 사용할 수도 있고, CVD법 대신에 ALD법을 이용해도 된다.
- <296> 또한, CVD법 및 ALD법 이외의 스퍼터법, 증착법, 레이저 아브레이션법, MBE법 등의 방법이나, 이들의 방법을 조합한 방법 등에 의해, 플로팅 게이트 전극 FG, 컨트롤 게이트 전극 CG 및 IPD를 형성하는 것도 가능하다.
- <297> (3) 제3 실시예
- <298> 도 24는, 제3 실시예에 관한 메모리 셀의 구조를 도시하고 있다.
- <299> p형 실리콘 기판 상에는, 터널 절연막(게이트 절연막)으로서의 산질화실리콘막($SiON$)이 형성된다. 산질화실리콘막 상에는, 도전성 반도체 재료로서 n형 불순물을 포함한 폴리실리콘(n^+ poly-Si)이 형성된다. n^+ poly-Si 상에는, 금속 재료로서 WN이 형성된다. 플로팅 게이트 전극 FG는, n^+ poly-Si 및 WN의 적층으로 구성된다.
- <300> 플로팅 게이트 전극 FG 상에는, 고유전률(high-k) 재료로서 $HfAlO_x$ (조성:Hf/(Hf+Al)=0.6)이 형성된다. $HfAlO_x$ 는, IPD로서 기능한다. $HfAlO_x$ 상에는, WN과 W의 적층으로 이루어지는 컨트롤 게이트 전극 CG가 형성된다.
- <301> 여기에서, $SiON$ 의 두께는, 예를 들면, 약 7~8nm의 범위 내의 값, n^+ poly-Si의 두께는, 예를 들면, 약 60nm, WN의 두께는, 예를 들면, 약 20~30nm의 범위 내의 값으로 설정된다. $HfAlO_x$ 의 두께는, 예를 들면, 약 20~30nm의 범위 내의 값으로 설정된다.
- <302> 또한, 플로팅 게이트 전극을 구성하는 각 재료층의 막 두께에 관해서는, 터널 절연막에 접하는 층이 주로 전하를 축적하는 층으로 되므로, 이 층의 막 두께가 다른 층의 막 두께에 비하여 작아지지 않도록 하는 것이 바람직하다. 특히, 본 예와 같이, 터널 절연막에 접하는 층이 반도체 재료인 경우에는, 이러한 고려가 필요하게 된다.

- <303> 또한, 일함수에 대해서는, n^+ poly-Si가 약 4.0eV, WN이 약 4.8~4.9eV, W가 약 4.5eV이다. W의 저항율은, WN의 저항율보다 작다.
- <304> 본 예에서는, 플로팅 게이트 전극 FG 내의 금속 재료를 WN으로 구성하였지만, 그 이외에도, Ru, TaC 등의 일함수가 약 5eV 부근의 p채널 MIS 트랜지스터에 적합한 금속 게이트 재료, 또는, 일함수가 약 4.4eV 이상의 금속 재료로서, 원자의 확산에 대하여 배리어성을 갖는 TiN(약 4.6eV), TaN(약 4.4eV) 등을 사용할 수 있다.
- <305> 플로팅 게이트 전극 FG 내의 금속 재료로서는, 일함수가 약 4.4eV 이상이면 되므로, 예를 들면, Au(약 5.1eV), Pt(약 5.3eV), Co(약 5.0eV), Ni(약 5.0eV), Pd(약 5.2eV), Mo(약 4.9eV), W(약 4.5eV) 등의 금속, 또는, 그들의 금속 화합물 중 일함수가 4.4eV 이상으로 되는 것도 사용할 수 있다.
- <306> 또한, 본 예에서는, 고유전률(high-k) 재료로서 하프늄 알루미늄에이트를 사용하였지만, 이 경우에는, 그 조성 Hf/(Hf+Al)을, 약 0.3~0.8의 범위 내의 값으로 설정하면, 양호한 리크 전류 특성과 재료 가공성이 얻어진다.
- <307> 고유전률 재료로서는, HfAlO_x 이외에도, Al, Hf, La, Y, Ce, Ti, Zr, Si 중의 적어도 1개 이상의 원소를 포함하는 산화물, 산질화물, 규산화물 등을 사용할 수 있고, 또한, 그러한 재료의 적층으로 할 수도 있다.
- <308> IPD로서는, 고유전률 재료와 실리콘 절연막을 조합하여 사용할 수도 있다. 또한, IPD와 플로팅 게이트 전극 FG의 계면, 및, IPD와 컨트롤 게이트 전극 CG의 계면에는, 각각, 지극히 얇은 절연 재료로 이루어지는 계면층이 존재하고 있어도 된다.
- <309> 도 24의 메모리 셀의 제조 방법에 관해서는, 기본적으로는, 도 2~도 6에서 설명한 제조 방법을 그대로 적용할 수 있다.
- <310> 이하에서는, 도 2~도 6과는 서로 다른 스텝에 대해서만 설명한다.
- <311> 먼저, CVD법을 이용하여, 온도 약 620℃의 분위기 속에서, 플로팅 게이트 전극 FG의 하층으로 되는 인(P)이 도프된 n^+ poly-Si를 형성한다. 이때, n^+ poly-Si 내의 인 농도가, 약 $1 \times 10^{20} \text{ cm}^{-3}$ 으로 되도록, 원료 가스로서의 실란과 포스핀의 비율을 조정한다.
- <312> 또한, n^+ poly-Si를 퇴적하는 방법으로서는, 이 이외에, 시퀀셜법을 이용할 수 있다. 이 방법은, SiH₄ 단독에 의한 비도프 폴리실리콘의 성장과 희석된 PH₃ 단독에 의한 인의 흡착을 교대로 반복함으로써, 플로팅 게이트 전극 FG의 불순물 농도 및 두께를 정밀하게 제어할 수 있다.
- <313> 이 후, W(CO)₆과 NH₃을 원료 가스로 하는 CVD법을 이용하여, 온도 약 450℃의 분위기 속에서, n^+ poly-Si 상에 WN을 형성한다.
- <314> 다음으로, Al(CH₃)₃, Hf[N(CH₃)₂]₄와 H₂O를 원료 가스로 하는 ALD법을 이용하여, 온도 250℃의 분위기 속에서 HfAlO_x를 형성한다. 이 후, 850℃, O₂, 130Pa의 분위기 속에서 어닐링을 행한다.
- <315> 이 후, W(CO)₆과 NH₃을 원료 가스로 하는 CVD법을 이용하여, 온도 약 450℃의 분위기 속에서, HfAlO_x 상에, 컨트롤 게이트 전극 CG의 하층으로 되는 WN을 형성한다. 계속해서, W(CO)₆을 원료 가스로 하는 CVD법을 이용하여, 온도 약 450℃의 분위기 속에서, WN 상에, 컨트롤 게이트 전극 CG의 상층으로 되는 W를 형성한다.
- <316> 또한, 여기에서 설명하는 제조 방법은, 일례에 지나지 않으며, 다른 제조 방법에 의해 도 24의 메모리 셀을 형성해도 상관없다.
- <317> (4) 제4 실시예
- <318> 도 25는, 제4 실시예에 관한 메모리 셀의 구조를 도시하고 있다.
- <319> p형 실리콘 기판 상에는, 터널 절연막(게이트 절연막)으로서의 산질화실리콘막(SiON)이 형성된다. 산질화실리콘막 상에는, 도전성 반도체 재료로서 n형 불순물을 포함한 폴리실리콘(n^+ poly-Si)이 형성된다. n^+ poly-Si 상에는, 금속 재료로서 WSi가 형성된다. 플로팅 게이트 전극 FG는, n^+ poly-Si 및 WSi의 적층으로 구성된다.
- <320> 플로팅 게이트 전극 FG 상에는, IPD로서, 고유전률(high-k) 재료, HfAlO_x(조성:Hf/(Hf+Al)=0.6)가 형성된다.

HfAlOx 상에는, WSi와 W의 적층으로 이루어지는 컨트롤 게이트 전극 CG가 형성된다.

- <321> 여기에서, SiON의 두께는, 예를 들면, 약 7~8nm의 범위 내의 값, n⁺ poly-Si의 두께는, 예를 들면, 약 60nm, WSi의 두께는, 예를 들면, 약 50nm로 설정된다. HfAlOx의 두께는, 예를 들면, 약 20~30nm의 범위 내의 값으로 설정된다.
- <322> 또한, 일함수에 대해서는, n⁺ poly-Si가 약 4.0eV, WSi가 약 4.4~4.6eV, W가 약 4.5eV이다. W의 저항율은, WSi의 저항율보다 작다.
- <323> 본 예에서는, 플로팅 게이트 전극 FG 내의 금속 재료를 WSi로 구성하였지만, 그 이외에도, CoSi₂, NiSi 등, 내열성에 주의하면서, 다른 실리사이드 재료를 사용할 수 있다.
- <324> 또한, 본 예에서는, 고유전률(high-k) 재료로서 하프늄 알루미늄네이트를 사용하였지만, 이 경우에는, 그 조성 Hf/(Hf+Al)을, 약 0.3~0.8의 범위 내의 값으로 설정하면, 양호한 리크 전류 특성과 재료 가공성이 얻어진다.
- <325> 고유전률 재료로서는, HfAlOx 이외에도, Al, Hf, La, Y, Ce, Ti, Zr, Si 중의 적어도 1개 이상의 원소를 포함하는 산화물, 산질화물, 규산화물 등을 사용할 수 있고, 또한, 그러한 재료의 적층으로 할 수도 있다.
- <326> IPD로서는, 고유전률 재료와 실리콘 절연막을 조합하여 사용할 수도 있다. 또한, IPD와 플로팅 게이트 전극 FG의 계면, 및, IPD와 컨트롤 게이트 전극 CG의 계면에는, 각각, 지극히 얇은 절연 재료로 이루어지는 계면층이 존재하고 있어도 된다.
- <327> 도 25의 메모리 셀의 제조 방법에 관해서는, 기본적으로는, 도 2~도 6에서 설명한 제조 방법을 그대로 적용할 수 있다.
- <328> 이하에서는, 도 2~도 6과는 서로 다른 스텝에 대해서만 설명한다.
- <329> 먼저, CVD법을 이용하여, 온도 약 620℃의 분위기 속에서, 플로팅 게이트 전극 FG의 하층으로 되는 인(P)이 도프된 n⁺ poly-Si를 형성한다.
- <330> 이 후, W(CO)₆을 원료 가스로 하는 CVD법을 이용하여, n⁺ poly-Si 상에 W를 형성한다. 그리고, 제1회째의 어닐링을 행하고, W와 Si를 반응시켜 준안정상의 WSi를 형성하고, 미반응의 W를 웨트 처리로 제거한다. 계속해서, 제2회째의 어닐링을 행하고, 안정상의 WSi로 변화시킨다.
- <331> 다음으로, Al(CH₃)₃, Hf[N(CH₃)₂]₄와 H₂O를 원료 가스로 하는 ALD법을 이용하여, 온도 250℃의 분위기 속에서 HfAlOx를 형성한다. 이 후, 850℃, O₂, 130Pa의 분위기 속에서 어닐링을 행한다.
- <332> 다음으로, CVD법을 이용하여, 온도 약 620℃의 분위기 속에서, HfAlOx 상에, 두께 약 50nm의 인(P)이 도프된 n⁺ poly-Si를 형성한다.
- <333> 이 후, W(CO)₆을 원료 가스로 하는 CVD법을 이용하여, n⁺ poly-Si 상에, 저저항 금속으로서의 W를 충분한 두께로 형성한다. 그리고, 제1회째의 어닐링을 행하고, W과 Si를 반응시켜서 준안정상의 WSi를 형성하고, 계속해서, 제2회째의 어닐링을 행하여, 안정상의 WSi로 변화시킨다.
- <334> 또한, 여기에서 설명하는 제조 방법은, 일례에 지나지 않으며, 다른 제조 방법에 의해 도 25의 메모리 셀을 형성해도 상관없다.
- <335> 예를 들면, 실리사이드층(WSi)을 형성하기 위한 어닐링은, 소스·드레인 확산층의 활성화 어닐링과 일체화해도 된다.
- <336> (5) 제5 실시예
- <337> 도 26 및 도 27은, 제5 실시예에 관한 메모리 셀의 구조를 도시하고 있다.
- <338> 제5 실시예는, NAND형 플래시 메모리의 셀 유닛에 관한 것이다. 셀 유닛 내 각각의 메모리 셀은, 제1 실시예에 관한 메모리 셀과 동일한 구조를 갖는다.
- <339> 이 셀 유닛의 특징은, 컬럼 방향에 대해서는, 도 26에 도시하는 바와 같이, 메모리 셀이 직렬 접속되는 점에 있

다. 또한, 로우 방향에 대해서는, 플로팅 게이트 전극의 상면과 소자 분리 절연층(STI)의 상면이 거의 일치하고, 그들 위에 IPD로서의 고유전률(high-k) 재료, HfAlOx가 배치되는 점에 특징을 갖는다.

<340> NAND형 플래시 메모리의 경우, 메모리 셀의 미세화가 현저하기 때문에, 이러한 셀 유닛의 구조는, 인접하는 셀 사이에 발생하는 기생 용량을 억제하면서, 높은 커플링비를 얻기 위한 기술의 하나이다.

<341> 또한, 플로팅 게이트 전극에 관해서, 또한, 인접하는 셀 사이의 간섭을 적게 하기 위해서는, 플로팅 게이트 전극의 두께, 길이 및 폭을, 각각, T_{FG} , L 및 W 로 한 경우에, $T_{FG} < L$, 또한, $T_{FG} < W$ 로 하는 것이 바람직하다. 이것은, 플로팅 게이트 전극의 두께 L_{FG} 가, 인접하는 셀 사이에 발생하는 캐패시터의 크기를 결정하기 때문이다.

<342> 또한, NAND형 플래시 메모리의 메모리 셀에서는, 플로팅 게이트 전극을 구성하는 복수의 도전층 중, 터널 절연막에 접촉하는 도전층(최하층)이 주로 전하를 축적하게 된다.

<343> 따라서, 플로팅 게이트 전극을 구성하는 복수의 도전층의 최하층은, 이들 복수의 도전층 중에서 가장 두꺼운 것이 바람직하다.

<344> 이 조건은, 특히, 터널 절연막에 접촉하는 도전층(최하층)이 도전성 반도체 재료인 경우에 유효하다.

<345> 8. 적용예

<346> 본 발명의 예는, 스택 게이트 구조의 메모리 셀을 갖는 불휘발성 반도체 기억 장치 전반에 적용 가능하다.

<347> 예를 들면, 본 발명의 예는, NAND형, NOR형, AND형, DINOR형, NOR형과 NAND형의 좋은 점을 융합한 NANO형, 또한, 1개의 메모리 셀이 2개의 선택 트랜지스터에 의해 끼워넣어진 구조를 갖는 3Tr-NAND형 등에 유효한 기술이다.

<348> 9. 맺음말

<349> 본 발명의 예에 따르면, 커플링비의 증대를 위해 고유전률(high-k) 재료를 IPD로서 사용해도, 플로팅 게이트 전극과 IPD 사이, 및, 컨트롤 게이트 전극과 IPD 사이에, 큰 일함수를 갖는 재료로서 금속이 배치되어 있기 때문에, 기입/소거 시에, IPD에 흐르는 리크 전류를 줄일 수 있다.

<350> 또한, 판독 시의 리크 전류의 저감이나, 데이터 유지(retention) 특성의 향상 등도 실현할 수 있다.

<351> 또한, 큰 일함수를 갖는 금속에 대해, 그 일함수를 단계적으로 줄여서 폴리실리콘의 일함수에 가깝게 하고, 플로팅 게이트 전극 내에서 발생하는 공핍층 용량을 억제함으로써, 공핍층 용량에 의한 전위 강하에 기인하는 메모리 셀의 커플링비의 저하를 방지할 수 있다.

<352> 이와 같이, 본 발명의 예에 따르면, 메모리 셀이 미세화되어도, 커플링비의 증대와 리크 전류의 저감을 동시에 실현할 수 있다.

<353> 본 발명의 예는, 전술한 실시예에 한정되는 것이 아니며, 그 요지를 일탈하지 않는 범위에서, 각 구성 요소를 변형하여 구체화할 수 있다. 또한, 전술한 실시예에 개시되어 있는 복수의 구성 요소의 적절한 조합에 의해 여러 가지의 발명을 구성할 수 있다. 예를 들면, 전술한 실시예에 개시되는 모든 구성 요소로부터 몇 가지의 구성 요소를 삭제해도 되며, 서로 다른 실시예의 구성 요소를 적당하게 조합해도 된다.

발명의 효과

<354> 본 발명의 예에 따르면, 커플링비의 증대와 기입/소거 시의 리크 전류의 저감을 동시에 실현할 수 있다.

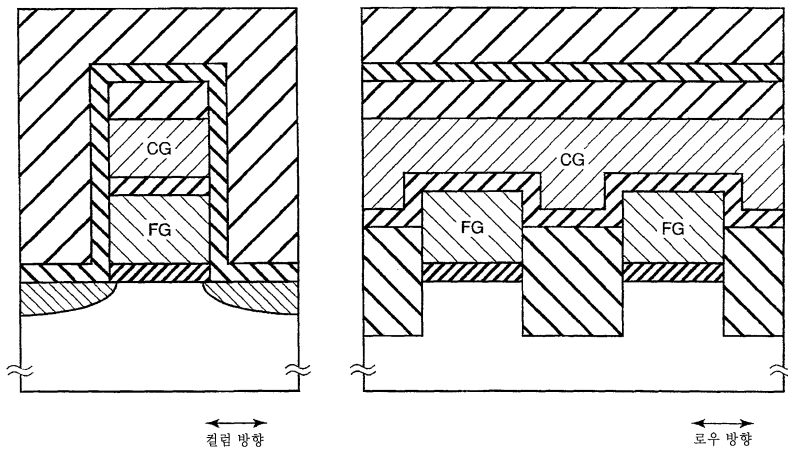
도면의 간단한 설명

- <1> 도 1은 참고예의 셀 구조를 도시하는 단면도.
- <2> 도 2는 도 1의 셀 구조의 제조 방법을 도시하는 단면도.
- <3> 도 3은 도 1의 셀 구조의 제조 방법을 도시하는 단면도.
- <4> 도 4는 도 1의 셀 구조의 제조 방법을 도시하는 단면도.
- <5> 도 5는 도 1의 셀 구조의 제조 방법을 도시하는 단면도.
- <6> 도 6은 도 1의 셀 구조의 제조 방법을 도시하는 단면도.

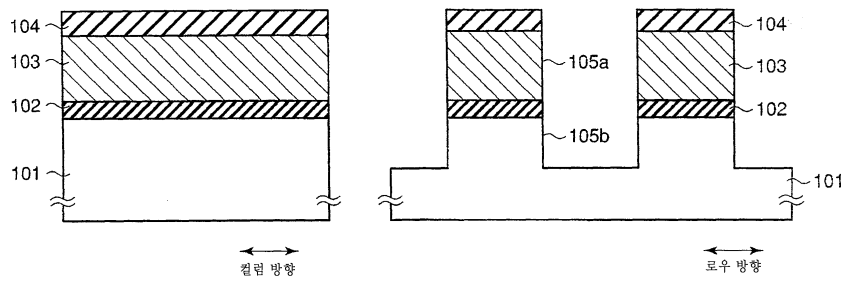
- <7> 도 7은 본 발명의 예의 개요를 도시하는 단면도.
- <8> 도 8은 본 발명의 예의 개요를 도시하는 단면도.
- <9> 도 9는 본 발명의 예의 개요를 도시하는 단면도.
- <10> 도 10은 본 발명의 예의 개요를 도시하는 단면도.
- <11> 도 11은 실효 전계와 전류 밀도의 관계를 도시하는 도면.
- <12> 도 12는 임계치 전압의 경시 변화의 시뮬레이션 모델을 도시하는 도면.
- <13> 도 13은 임계치 전압의 경시 변화의 계산 결과를 도시하는 도면.
- <14> 도 14는 임계치 전압의 변화량의 최적 조건을 구하는 과정을 도시하는 도면.
- <15> 도 15는 임계치 전압의 경시 변화의 시뮬레이션 결과를 도시하는 도면.
- <16> 도 16은 제1 실시예의 셀 구조를 도시하는 단면도.
- <17> 도 17은 제2 실시예의 셀 구조를 도시하는 단면도.
- <18> 도 18은 제3 실시예의 셀 구조를 도시하는 단면도.
- <19> 도 19는 제4 실시예의 셀 구조를 도시하는 단면도.
- <20> 도 20은 제5 실시예의 셀 구조를 도시하는 단면도.
- <21> 도 21은 셀 구조의 변형예를 도시하는 단면도.
- <22> 도 22는 제1 실시예의 셀 구조를 도시하는 단면도.
- <23> 도 23은 제2 실시예의 셀 구조를 도시하는 단면도.
- <24> 도 24는 제3 실시예의 셀 구조를 도시하는 단면도.
- <25> 도 25는 제4 실시예의 셀 구조를 도시하는 단면도.
- <26> 도 26은 제5 실시예의 셀 구조를 도시하는 단면도.
- <27> 도 27은 제5 실시예의 셀 구조를 도시하는 단면도.
- <28> <도면의 주요부분에 대한 부호의 설명>
- <29> 101:실리콘 기판
- <30> 102:터널 산화막
- <31> 103:인 도프 폴리실리콘막
- <32> 104, 110:마스크재
- <33> 105a:슬릿
- <34> 105b:소자 분리 트렌치
- <35> 106, 108, 111:실리콘 산화막
- <36> 107:알루미나막
- <37> 109:도전막
- <38> 112:소스 · 드레인 확산층
- <39> 113:층간 절연막

도면

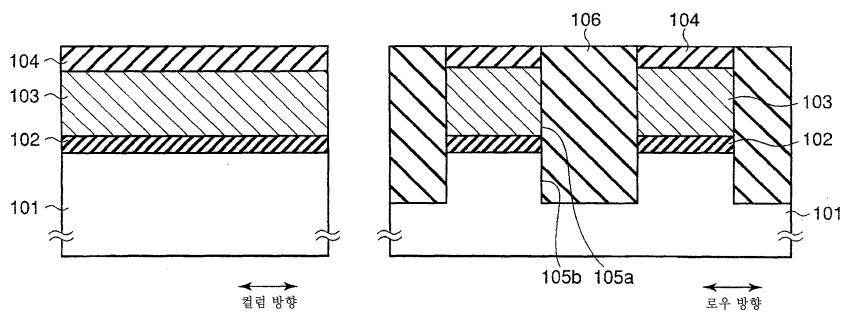
도면1



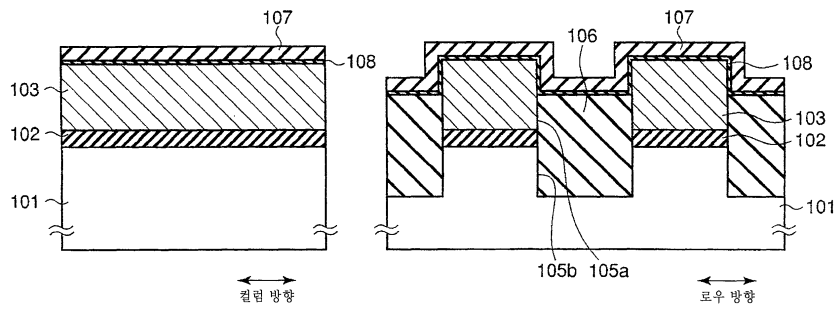
도면2



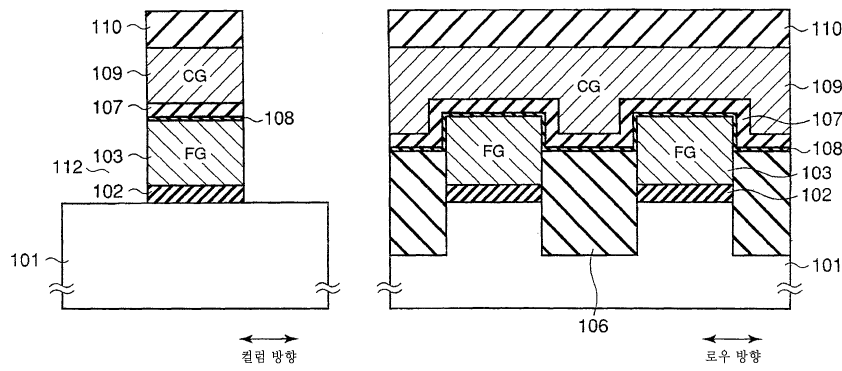
도면3



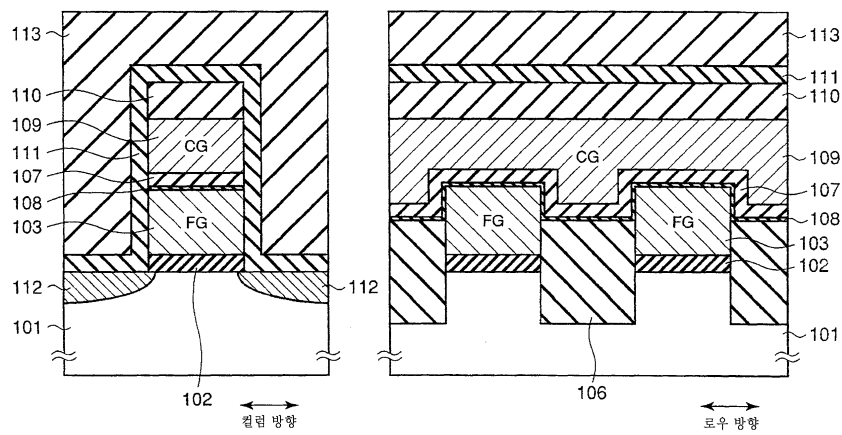
도면4



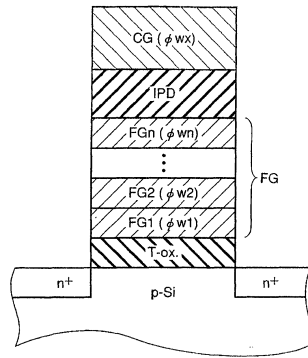
도면5



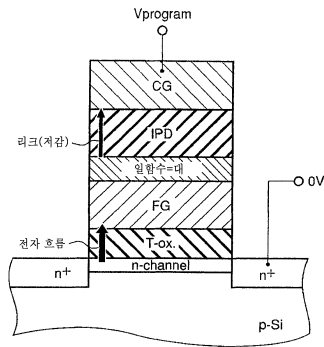
도면6



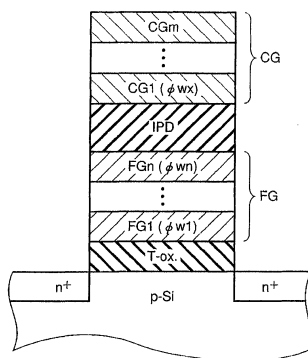
도면7



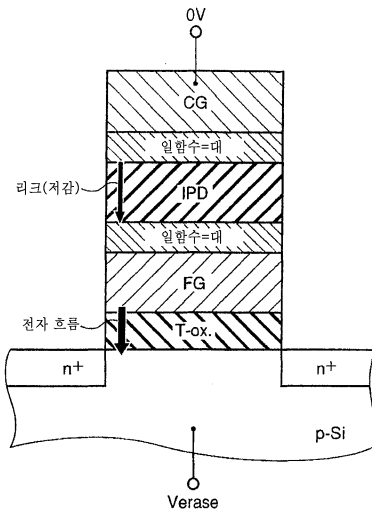
도면8



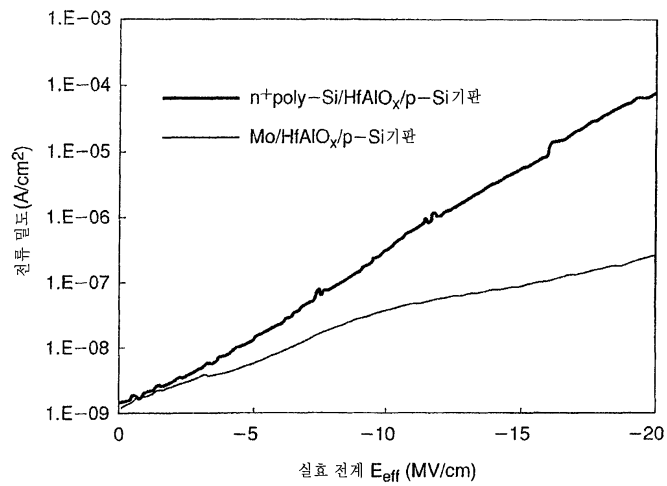
도면9



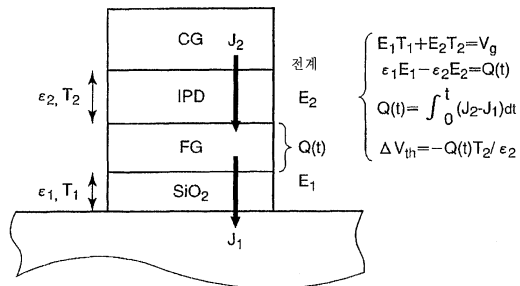
도면10



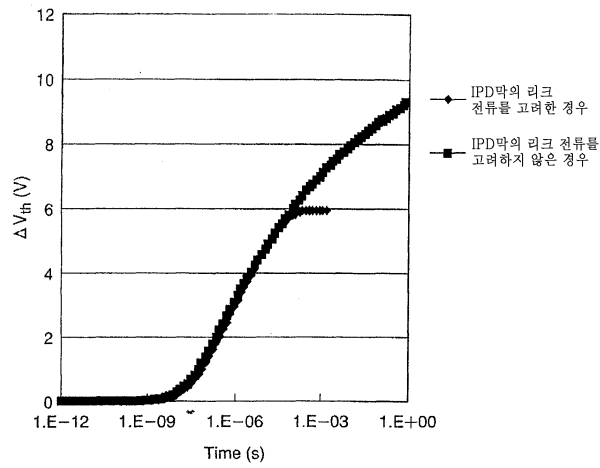
도면11



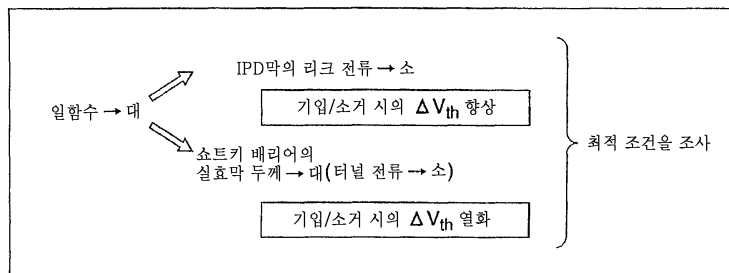
도면12



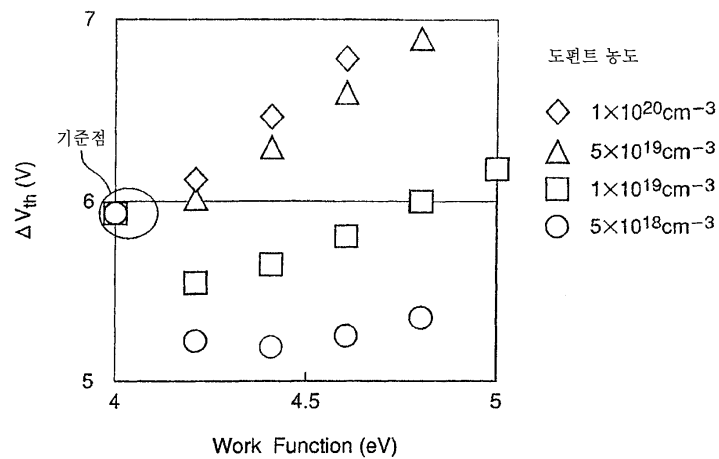
도면13



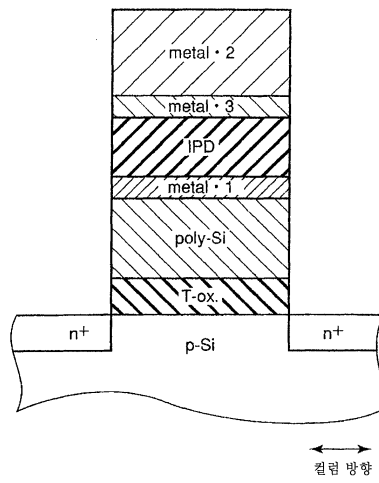
도면14



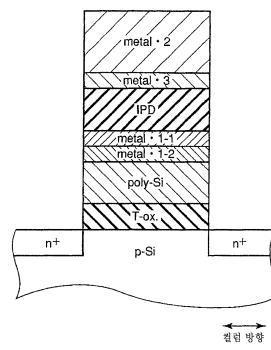
도면15



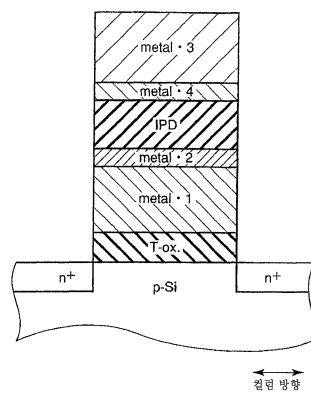
도면16



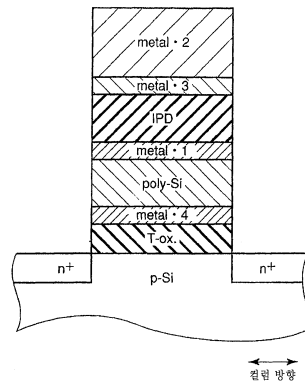
도면17



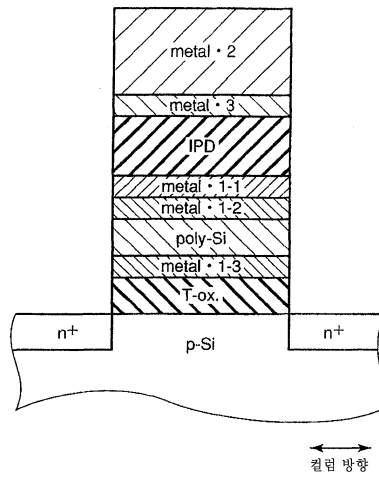
도면18



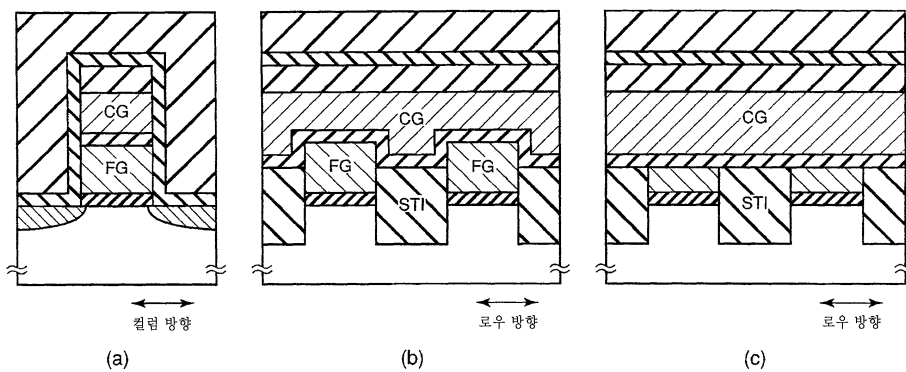
도면19



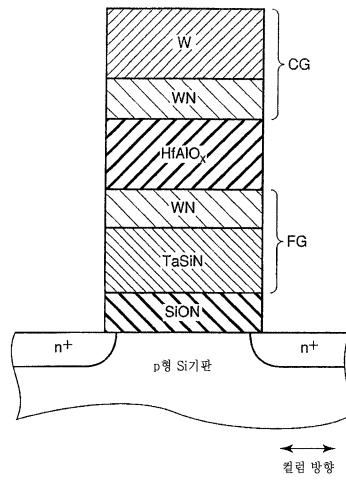
도면20



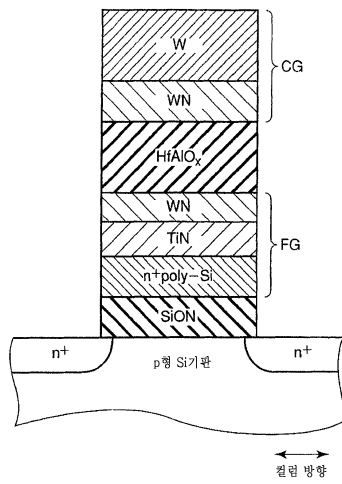
도면21



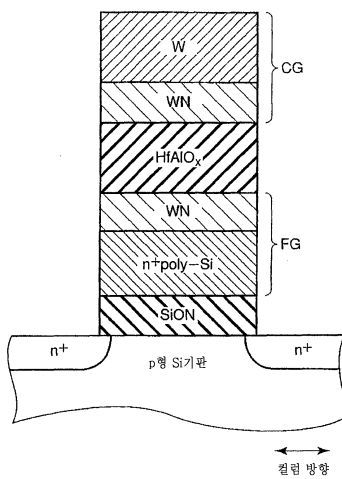
도면22



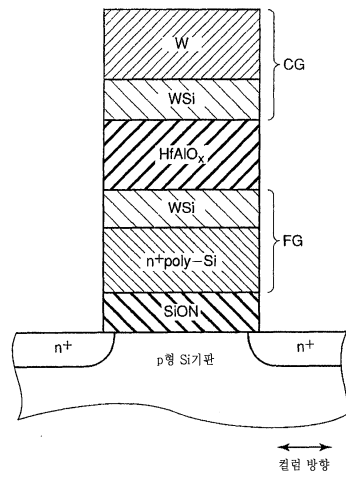
도면23



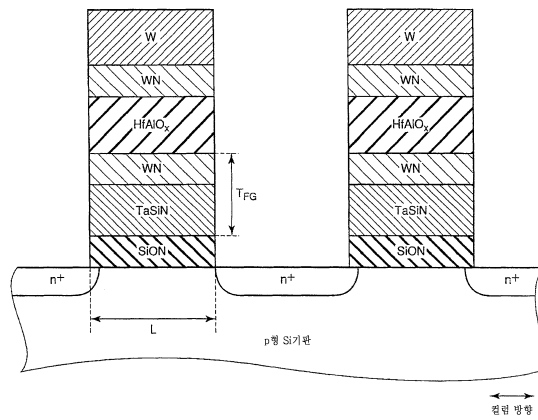
도면24



도면25



도면26



도면27

