

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5799645号
(P5799645)

(45) 発行日 平成27年10月28日 (2015. 10. 28)

(24) 登録日 平成27年9月4日 (2015. 9. 4)

| | | | | | |
|--------------------|------------------|------------|------|--|--|
| (51) Int. Cl. | F I | | | | |
| G06F 17/50 | (2006.01) | G06F 17/50 | 656D | | |
| H03K 19/00 | (2006.01) | H03K 19/00 | B | | |
| G01R 31/28 | (2006.01) | H03K 19/00 | A | | |
| H01L 21/82 | (2006.01) | G01R 31/28 | V | | |
| H01L 21/822 | (2006.01) | H01L 21/82 | T | | |

請求項の数 6 (全 19 頁) 最終頁に続く

| | | | |
|-----------|------------------------------|-----------|---|
| (21) 出願番号 | 特願2011-171849 (P2011-171849) | (73) 特許権者 | 514315159 |
| (22) 出願日 | 平成23年8月5日 (2011. 8. 5) | | 株式会社ソシオネクスト |
| (65) 公開番号 | 特開2013-37472 (P2013-37472A) | | 神奈川県横浜市港北区新横浜 2 丁目 1 〇 番 2 3 |
| (43) 公開日 | 平成25年2月21日 (2013. 2. 21) | (74) 代理人 | 100092152 |
| 審査請求日 | 平成26年5月1日 (2014. 5. 1) | | 弁理士 服部 毅巖 |
| | | (72) 発明者 | 牛山 健一 |
| | | | 神奈川県横浜市港北区新横浜二丁目 1 〇 番 2 3 富士通セミコンダクター株式会社内 |
| | | 審査官 | 台田 幸裕 |

最終頁に続く

(54) 【発明の名称】 電源電圧設定方法及び電源電圧設定プログラム

(57) 【特許請求の範囲】

【請求項 1】

コンピュータが、
チップのレイアウトデータからクリティカルパスのゲート遅延と配線遅延の比率を抽出し、

前記チップに設けられたモニタ回路について第 1 電源電圧で実測されたゲート遅延及び配線遅延を前記比率に基づき合成して第 1 遅延値を生成し、

前記モニタ回路について、複数のプロセスばらつき、及び、前記第 1 電源電圧を含む複数の電源電圧の条件で実行されるシミュレーションの結果に基づき、前記各条件の、前記プロセスばらつきと、前記電源電圧と、前記シミュレーションで得られるゲート遅延及び配線遅延を前記比率に基づき合成した第 2 遅延値との関係を含むテーブルを生成し、

前記テーブルと前記第 1 遅延値とに基づいて、前記チップに適用するチップ電源電圧を設定する、

ことを特徴とする電源電圧設定方法。

【請求項 2】

コンピュータが、
チップのレイアウトデータからクリティカルパスのゲート遅延と配線遅延の比率を抽出し、

前記チップに設けられたモニタ回路について第 1 電源電圧条件で実測されたゲート遅延及び配線遅延を前記比率に基づき合成して第 1 遅延値を生成し、

10

20

前記モニタ回路についての前記第 1 電源電圧条件でのシミュレーションで得られるゲート遅延及び配線遅延を前記比率に基づき合成して第 2 遅延値を生成し、

前記第 1 遅延値と前記第 2 遅延値とを比較した結果に基づいて、前記第 1 遅延値と前記第 2 遅延値との関係により予め設定された電源電圧値を特定し、

特定された前記電源電圧値を、前記チップに適用するチップ電源電圧として設定する、
ことを特徴とする電源電圧設定方法。

【請求項 3】

前記コンピュータが、
前記テーブルを参照し、前記第 1 遅延値が該当する前記条件内の前記プロセスばらつき
を抽出し、

10

抽出した前記プロセスばらつきと、前記第 1 電源電圧の前記シミュレーションで得られるゲート遅延及び配線遅延を前記比率に基づき合成した前記第 2 遅延値とに基づいて、前記テーブルから電源電圧値を抽出し

抽出された前記電源電圧値を、前記チップ電源電圧として設定する、
ことを特徴とする請求項 1 に記載の電源電圧設定方法。

【請求項 4】

前記モニタ回路は、
前記第 1 遅延値及び前記第 2 遅延値の生成に用いるゲート遅延を測定するゲート遅延モニタと、

前記第 1 遅延値及び前記第 2 遅延値の生成に用いる配線遅延を測定する配線遅延モニタと、

20

を含み、

前記配線遅延モニタは、
論理ゲート及び配線が設けられ、配線遅延が支配的な遅延値を有する第 1 回路と、ゲート遅延に基づく遅延値を有する第 2 回路とを備え、

前記第 1 回路の遅延値から前記第 2 回路の遅延値を減算することによって、前記第 1 遅延値及び前記第 2 遅延値の生成に用いる配線遅延を測定する、

ことを特徴とする請求項 1 乃至 3 のいずれかに記載の電源電圧設定方法。

【請求項 5】

コンピュータに、
チップのレイアウトデータからクリティカルパスのゲート遅延と配線遅延の比率を抽出し、

30

前記チップに設けられたモニタ回路について第 1 電源電圧で実測されたゲート遅延及び配線遅延を前記比率に基づき合成して第 1 遅延値を生成し、

前記モニタ回路について、複数のプロセスばらつき、及び、前記第 1 電源電圧を含む複数の電源電圧の条件で実行されるシミュレーションの結果に基づき、前記各条件の、前記プロセスばらつきと、前記電源電圧と、前記シミュレーションで得られるゲート遅延及び配線遅延を前記比率に基づき合成した第 2 遅延値との関係を含むテーブルを生成し、

前記テーブルと前記第 1 遅延値とに基づいて、前記チップに適用するチップ電源電圧を設定する、

40

処理を実行させることを特徴とする電源電圧設定プログラム。

【請求項 6】

コンピュータに、
チップのレイアウトデータからクリティカルパスのゲート遅延と配線遅延の比率を抽出し、

前記チップに設けられたモニタ回路について第 1 電源電圧条件で実測されたゲート遅延及び配線遅延を前記比率に基づき合成して第 1 遅延値を生成し、

前記モニタ回路についての前記第 1 電源電圧条件でのシミュレーションで得られるゲート遅延及び配線遅延を前記比率に基づき合成して第 2 遅延値を生成し、

前記第 1 遅延値と前記第 2 遅延値とを比較した結果に基づいて、前記第 1 遅延値と前記

50

第2遅延値との関係により予め設定された電源電圧値を特定し、

特定された前記電源電圧値を、前記チップに適用するチップ電源電圧として設定する、
処理を実行させることを特徴とする電源電圧設定プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チップに適用する電源電圧の設定方法、及び電源電圧の設定プログラムに関する。

【背景技術】

【0002】

チップ（半導体素子）製造においては、そのプロセスばらつきにより、当初設定されていた電源電圧では、目的のスピードよりも高速或いは低速で動作するチップが生じ得る。目的のスピードよりも高速で動作するチップについては、電源電圧を下げて使用することで、その処理タイミングの適正化、消費電力の低減が図られる。目的のスピードよりも低速で動作するチップについては、電源電圧を上げて使用することで、目的のスピード確保、処理タイミングの適正化が図られる。このような電源電圧の設定手法は、A S V（Adaptive Supply Voltage scaling）と呼ばれている。A S I C（Application Specific Integrated Circuit）等の集積回路における、D S P（Digital Signal Processor）コア等の処理コアに対してA S Vを行う技術等も知られている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特表2009-519620号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

プロセスばらつきに応じてチップの電源電圧を設定するA S Vでは、例えば、チップごとに所定のモニタ回路を用い、プロセスばらつきに応じた遅延（又は周波数）を取得する。そして、その取得した遅延を、遅延と電源電圧の関係を示した変換テーブルを用いて電源電圧に変換し、当該チップに適用する電源電圧を設定する。モニタ回路には、例えば、リング発振回路が用いられ、その場合、モニタ回路で測定される遅延や変換テーブルの遅延には、ゲート遅延特性が反映されることになる。即ち、このようなA S Vでは、ゲート遅延特性に基づいて電源電圧が設定されている。

【0005】

しかし、このようなA S Vを適用するチップにおいて、配線遅延が支配的になるような回路がクリティカルパスであった場合、ゲート遅延に基づいて設定された電源電圧では、そのチップについて所望の動作を実現することができない可能性がある。

【課題を解決するための手段】

【0006】

本発明の一観点によれば、チップのレイアウトデータからクリティカルパスのゲート遅延と配線遅延の比率を抽出し、前記チップに設けられたモニタ回路について第1電源電圧で実測されたゲート遅延及び配線遅延を前記比率に基づき合成して第1遅延値を生成し、前記モニタ回路について、複数のプロセスばらつき、及び、前記第1電源電圧を含む複数の電源電圧の条件で実行されるシミュレーションの結果に基づき、前記各条件の、前記プロセスばらつきと、前記電源電圧と、前記シミュレーションで得られるゲート遅延及び配線遅延を前記比率に基づき合成した第2遅延値との関係を含むテーブルを生成し、前記テーブルと前記第1遅延値とに基づいて、前記チップに適用するチップ電源電圧を設定する電源電圧設定方法が提供される。

【0007】

また、本発明の一観点によれば、チップのレイアウトデータからクリティカルパスのゲ

10

20

30

40

50

ート遅延と配線遅延の比率を抽出し、前記チップに設けられたモニタ回路について第1電源電圧条件で実測されたゲート遅延及び配線遅延を前記比率に基づき合成して第1遅延値を生成し、前記モニタ回路についての前記第1電源電圧条件でのシミュレーションで得られるゲート遅延及び配線遅延を前記比率に基づき合成して第2遅延値を生成し、前記第1遅延値と前記第2遅延値とを比較した結果に基づいて、前記第1遅延値と前記第2遅延値との関係により予め設定された電源電圧値を特定し、特定された前記電源電圧値を、前記チップに適用するチップ電源電圧として設定する電源電圧設定方法が提供される。

更にまた、本発明の一観点によれば、上記のような方法を実現するための処理をコンピュータに実行させる電源電圧設定プログラムが提供される。

【発明の効果】

10

【0008】

開示の技術によれば、チップ内のゲート遅延及び配線遅延を考慮して適正な電源電圧を設定することが可能になり、当該チップについて所望の動作を実現することが可能になる。

【図面の簡単な説明】

【0009】

【図1】電源電圧設定方法の一例の説明図である。

【図2】変換テーブルの説明図である。

【図3】ゲート遅延及び配線遅延を考慮した電源電圧設定方法の一例の説明図である。

【図4】電源電圧設定装置の構成例を示す図である。

20

【図5】クリティカルパスの一例を示す図である。

【図6】遅延解析結果の一例を示す図である。

【図7】変換テーブルの一例を示す図である。

【図8】変換テーブルの一例を示す図である。

【図9】チップ電源電圧設定処理フローの一例を示す図である。

【図10】電源電圧設定装置のハードウェアの構成例を示す図である。

【発明を実施するための形態】

【0010】

まず、チップに適用する電源電圧（チップ電源電圧）の設定方法の一形態について説明する。

30

図1は電源電圧設定方法の一例の説明図である。

【0011】

図1に示す電源電圧設定方法では、まず、チップに搭載された、遅延（遅延時間又は周波数）を測定するモニタ回路100について、所定の電源電圧条件で、その遅延値が実測される（ステップS10）。モニタ回路100には、例えば、リング発振回路101を設ける。このようなモニタ回路100を、所定の電源電圧条件で動作させることにより、ゲート遅延を反映した遅延値が実測される。

【0012】

また、このモニタ回路100について、そのレイアウトデータ（設計データ）等を利用し、コンピュータを用いたシミュレーションが実行され、ゲート遅延を反映した遅延値（シミュレーション値）が測定される（ステップS20）。このシミュレーションは、例えば、プロセスばらつき、電源電圧（上記実測時の電源電圧条件を含む）の条件を変化させて実行される。そして、各条件のシミュレーションの結果に基づき、プロセスばらつき、電源電圧、遅延値の関係を含む変換テーブル110が作成される（ステップS30）。

40

【0013】

図2は変換テーブルの説明図である。

上記のようなシミュレーションにより、図2に例示するような、プロセスばらつき（ $-3 \sim +3$ ）、電源電圧（ $1.0 [V] \sim 2.0 [V]$ ）、遅延値（ $A [ps]$ 、 $A' [ps]$ 、 $B [ps]$ 、 $B' [ps]$ ）の関係を示す変換テーブル110が作成される。

【0014】

50

尚、図2において、例えば、プロセスばらつき のプラス(+)側が、目的のスピードよりもチップ(モニタ回路100)が高速で動作する場合を示し、マイナス(-)側が、目的のスピードよりもチップ(モニタ回路100)が低速で動作する場合を示す。この場合、遅延値は、 $A [ps] > B [ps]$ 、 $A' [ps] > B' [ps]$ となる。また、遅延値と電源電圧との関係では、低電源電圧ほど遅延値が大きくなり、 $A [ps] > A' [ps]$ 、 $B [ps] > B' [ps]$ となる。

【0015】

上記のようにして作成される変換テーブル110を参照し、上記の測定(実測、シミュレーション)された遅延値に基づき、チップ電源電圧が設定される(ステップS40)。

例えば、変換テーブル110を参照することにより、まず上記のように所定の電源電圧条件で実測された遅延値の該当するプロセスばらつきが求められる。このプロセスばらつきが、このモニタ回路100が搭載されたチップのプロセスばらつきとされる。そして、チップのプロセスばらつきが、目的のプロセスばらつきであれば、モニタ回路100の実測時に用いた電源電圧が、そのチップに適用するチップ電源電圧に設定される。チップのプロセスばらつきが、目的のプロセスばらつきと異なれば、変換テーブル110より、目的のプロセスばらつき相当の遅延値(上記シミュレーション値)が得られるような電源電圧が求められ、その電源電圧がチップ電源電圧に設定される。

【0016】

モニタ回路100で実測された遅延値の該当するプロセスばらつきが、目的のプロセスばらつきよりも大きい(チップが目的のスピードよりも高速で動作する)場合には、実測時の電源電圧より低い電圧がチップ電源電圧に設定される。モニタ回路100で実測された遅延値の該当するプロセスばらつきが、目的のプロセスばらつきよりも小さい(チップが目的のスピードよりも低速で動作する)場合には、実測時の電源電圧より高い電圧がチップ電源電圧に設定される。

【0017】

このようなASV手法を適用することにより、高速(Fast)寄りにできたチップについては、そのチップ電源電圧を下げることで、処理タイミングの適正化、消費電力の低減が図られるようになる。また、低速(Slow)寄りにできたチップについては、そのチップ電源電圧を上げることで、処理タイミングの適正化、目的スピードの確保が図られるようになる。

【0018】

ところで、図1に示した方法では、モニタ回路100により、ゲート遅延を反映した遅延値が測定(実測、シミュレーション)され、その遅延値に基づき、チップ電源電圧が設定される。しかし近年では、チップ内の回路要素(トランジスタ、配線等)の微細化、高集積化、高密度化等に伴い、チップ動作速度、チップ電源電圧に対し、ゲート遅延のほか、配線遅延の影響も大きくなりつつある。仮に、配線遅延が支配的になるような回路がチップのクリティカルパスであった場合、上記のようにゲート遅延に基づいて設定されたチップ電源電圧では、そのチップについて所望の動作を実現することができないことが起こり得る。

【0019】

そこで以下、ゲート遅延のほか配線遅延も考慮したチップ電源電圧の設定方法について説明する。

図3はゲート遅延及び配線遅延を考慮した電源電圧設定方法の一例の説明図である。

【0020】

図3に示す電源電圧設定方法では、ゲート遅延を測定するゲート遅延モニタ11、及び配線遅延を測定する配線遅延モニタ12を含む、モニタ回路10が用いられる。モニタ回路10は、チップ電源電圧を設定するチップに搭載されている。

【0021】

モニタ回路10のゲート遅延モニタ11は、ゲート遅延を測定する回路、例えばリング発振回路11aで構成される。モニタ回路10の配線遅延モニタ12は、配線遅延が支配

10

20

30

40

50

的となるように論理ゲート及び配線が設けられた回路、例えばリング発振回路 1 2 a と、ゲート遅延回路、例えばリング発振回路 1 2 b とで構成される。配線遅延モニタ 1 2 による配線遅延の測定は、リング発振回路 1 2 a で得られる出力から、リング発振回路 1 2 b で得られる出力を減算することによって行われる。

【 0 0 2 2 】

チップ電源電圧の設定にあたっては、まず、チップのレイアウトデータ（設計データ）20 から、クリティカルパスが抽出される（ステップ S 1）。ここでは、コンピュータによる、レイアウトデータ 20 を用いた遅延解析シミュレーションを実行することにより、レイアウトデータ 20 内に存在するクリティカルパスが抽出される。次いで、遅延解析シミュレーションの遅延解析結果に基づき、抽出したクリティカルパス内のゲート遅延及び配線遅延がそれぞれ抽出され、ゲート遅延と配線遅延の比率（遅延比）X : Y が求められる（ステップ S 2）。

10

【 0 0 2 3 】

モニタ回路 10 については、所定の電源電圧条件で、ゲート遅延及び配線遅延がそれぞれゲート遅延モニタ 1 1 及び配線遅延モニタ 1 2 によって実測される。そして、実測されたゲート遅延及び配線遅延は、レイアウトデータ 20 から抽出したクリティカルパスの遅延比に基づいて合成される（ステップ S 3）。実測されたゲート遅延 M G 及び配線遅延 M L の、クリティカルパスの遅延比 X : Y に基づいた合成は、次式（1）に従って行われる。

【 0 0 2 4 】

$$(M G \times X + M L \times Y) / (X + Y) \cdots (1)$$

20

また、モニタ回路 10 について、そのレイアウトデータを利用した、コンピュータを用いたシミュレーションが実行され、ゲート遅延及び配線遅延が、それぞれゲート遅延モニタ 1 1 及び配線遅延モニタ 1 2 によって測定（シミュレーション）される（ステップ S 4）。このシミュレーションは、例えば、プロセスばらつき、電源電圧（上記実測時の電源電圧条件を含む）の条件を変化させて実行される。

【 0 0 2 5 】

シミュレーションによって得られたゲート遅延及び配線遅延は、クリティカルパスの遅延比に基づいて合成され（ステップ S 5）、プロセスばらつき、電源電圧、合成後の遅延値の関係を含む変換テーブル 30 が作成される（ステップ S 6）。シミュレーションによって得られたゲート遅延 S G 及び配線遅延 S L の、クリティカルパスの遅延比 X : Y に基づいた合成は、次式（2）に従って行われる。

30

【 0 0 2 6 】

$$(S G \times X + S L \times Y) / (X + Y) \cdots (2)$$

上記のようにして作成される変換テーブル 30 を参照し、上記の測定（実測、シミュレーション）された遅延値に基づき、チップ電源電圧が設定される（ステップ S 7）。尚、変換テーブル 30 を用いたチップ電源電圧の設定の詳細については後述する。

【 0 0 2 7 】

図 3 に示したようなチップ電源電圧の設定は、例えば、次の図 4 に示すような電源電圧設定装置 50 を用いて行われる。

40

図 4 は電源電圧設定装置の構成例を示す図である。

【 0 0 2 8 】

図 4 に示す電源電圧設定装置 50 は、遅延解析部 5 1 及び遅延比生成部 5 2 を含む遅延比抽出部 5 3 a を有している。

遅延解析部 5 1 は、チップのレイアウトデータ 20 から、遅延解析シミュレーションによってクリティカルパスを抽出し、更に、抽出したそのクリティカルパス内のゲート遅延及び配線遅延をそれぞれ抽出する。遅延比生成部 5 2 は、遅延解析部 5 1 で抽出された、クリティカルパス内のゲート遅延及び配線遅延に基づき、ゲート遅延と配線遅延の遅延比を生成する。この遅延比生成部 5 2 で生成された遅延比は、遅延比格納部 5 3 に格納される。このようにして遅延比抽出部 5 3 a の遅延解析部 5 1 及び遅延比生成部 5 2 により、

50

レイアウトデータ 20 からクリティカルパスのゲート遅延及び配線遅延の遅延比（比率）が抽出される。

【0029】

電源電圧設定装置 50 は更に、第 1 遅延値生成部 55、モニタ回路シミュレーション部 56、第 2 遅延値生成部 57、及びチップ電源電圧設定部 59 を有している。

第 1 遅延値生成部 55 は、モニタ回路 10 について所定の電源電圧条件で実測されたゲート遅延 MG 及び配線遅延 ML が格納された実測遅延格納部 54 の情報を用い、遅延値を生成する。第 1 遅延値生成部 55 は、実測遅延格納部 54 に格納されたゲート遅延 MG 及び配線遅延 ML を、遅延比格納部 53 に格納された遅延比に基づいて、上記の式（1）に従って合成する。

10

【0030】

モニタ回路シミュレーション部 56 は、モニタ回路 10 についてのシミュレーションを実行し、ゲート遅延 SG 及び配線遅延 SL（シミュレーション値）を取得する。このシミュレーションには、例えばレイアウトデータ 20 に含まれるモニタ回路 10 のデータを利用することができる。モニタ回路シミュレーション部 56 は、プロセスばらつき及び電源電圧の条件を変化させ、各条件について、モニタ回路 10 のシミュレーションを実行する。

【0031】

第 2 遅延値生成部 57 は、モニタ回路シミュレーション部 56 で条件を変化させて取得した各ゲート遅延 SG 及び配線遅延 SL を、当該条件ごとに、遅延比格納部 53 に格納された遅延比に基づいて、上記の式（2）に従って合成する。第 2 遅延値生成部 57 は、合成後の遅延値に基づき、プロセスばらつき、電源電圧、合成後の遅延値の関係を含む変換テーブル 30 を作成する。

20

【0032】

チップ電源電圧設定部 59 は、第 1 遅延値生成部 55 で生成された合成後の遅延値と、第 2 遅延値生成部 57 で生成された合成後の遅延値に基づいて作成された変換テーブル 30 とを用い、このチップに適用するチップ電源電圧を設定する。

【0033】

尚、上記のような電源電圧設定装置 50 は、コンピュータを用いて実現することができる。

30

例えばこの図 4 のような電源電圧設定装置 50 を用いた、上記図 3 に示した電源電圧設定方法によれば、ゲート遅延及び配線遅延を考慮し、チップのプロセスばらつきに応じて、適正なチップ電源電圧を設定することが可能になる。以下、図 3 に示した電源電圧設定方法について、具体例を挙げて、より詳細に説明する。

【0034】

まず、クリティカルパスの抽出について述べる。チップ電源電圧の設定では、上記のように、まず電源電圧設定装置 50 の遅延解析部 51 が、レイアウトデータ 20 から、遅延解析シミュレーションによって、チップのクリティカルパスを特定し、抽出する。

【0035】

図 5 に、抽出されるクリティカルパスの一例を示す。

40

図 5 の点線で囲まれた部分が、抽出されたクリティカルパス 21 の一例である。図 5 に示すクリティカルパス 21 には、フリップフロップや論理ゲートの回路素子のセル（Cell__A～G）、及びセル間を接続する配線（Net__1～7）が含まれている。クリティカルパス 21 は、Cell__A、Net__1、Cell__B、Net__2、Cell__C、Net__3、Cell__D、Net__4、Cell__E、Net__5、Cell__F、Net__6、Cell__G、Net__7 が順に繋がった構成になっている。

【0036】

遅延解析部 51 は、遅延解析シミュレーションによってこのようなクリティカルパス 21 を抽出し、更に、抽出されたクリティカルパス 21 の遅延解析結果を抽出する。

図 6 に、抽出される遅延解析結果の一例を示す。

50

【 0 0 3 7 】

遅延解析シミュレーションにより、クリティカルパス 2 1 内の各 Cell__A ~ G 及び Net__1 ~ 7 の遅延が解析され、各遅延 [ps] がそれぞれ図 6 の遅延解析結果 5 1 a に示すようにして抽出される。Cell__A ~ G の各遅延はそれぞれゲート遅延として抽出され、Net__1 ~ 7 の各遅延はそれぞれ配線遅延として抽出される。

【 0 0 3 8 】

各 Cell__A ~ G のゲート遅延、及び各 Net__1 ~ 7 の配線遅延の抽出後は、電源電圧設定装置 5 0 の遅延比生成部 5 2 が、これらの値を用い、クリティカルパス 2 1 の遅延比 (ゲート遅延と配線遅延の比率) を生成する。図 6 の例の場合、ゲート遅延及び配線遅延は、それぞれ次式 (3)、(4) のようにして求められる。

【 0 0 3 9 】

ゲート遅延 = 6 0 [ps] (Cell__A) + 6 0 [ps] (Cell__B) + 5 0 [ps] (Cell__C) + 9 0 [ps] (Cell__D) + 7 0 [ps] (Cell__E) + 4 0 [ps] (Cell__F) + 3 0 [ps] (Cell__G) = 4 0 0 [ps] · · · (3)

配線遅延 = 2 0 [ps] (Net__1) + 3 0 [ps] (Net__2) + 5 0 [ps] (Net__3) + 2 0 [ps] (Net__4) + 3 0 [ps] (Net__5) + 3 0 [ps] (Net__6) + 2 0 [ps] (Net__7) = 2 0 0 [ps] · · · (4)

これらの計算結果より、クリティカルパス 2 1 の遅延比が、ゲート遅延 : 配線遅延 = 2 : 1 と求められるようになる。遅延比生成部 5 2 によって求められた遅延比は、電源電圧設定装置 5 0 の遅延比格納部 5 3 に格納される。

【 0 0 4 0 】

このようにしてクリティカルパス 2 1 の遅延比が求められる一方で、このチップのモニタ回路 1 0 については、所定の電源電圧条件、例えば 2 . 0 [V] で、そのゲート遅延及び配線遅延が実測される。ゲート遅延及び配線遅延は、それぞれゲート遅延モニタ 1 1 及び配線遅延モニタ 1 2 を用いて実測される。実測されたゲート遅延及び配線遅延は、電源電圧設定装置 5 0 の実測遅延格納部 5 4 に格納される。

【 0 0 4 1 】

電源電圧設定装置 5 0 の第 1 遅延値生成部 5 5 は、実測遅延格納部 5 4 に格納されている、実測されたゲート遅延及び配線遅延を用い、それらを、先に求めた遅延比に基づいて合成する。

【 0 0 4 2 】

例えば、実測により得られたゲート遅延 (ゲート遅延モニタ 1 1 の実測値) が 8 0 [ps] であり、実測により得られた配線遅延 (配線遅延モニタ 1 2 の実測値) が 2 0 [ps] であったとする。その場合、これらのゲート遅延及び配線遅延の、遅延比に基づく合成後の遅延値は、上記の式 (1) に従い、次式 (1 a) のようにして求められる。

【 0 0 4 3 】

$(8 0 [ps] \times 2 + 2 0 [ps] \times 1) / (2 + 1) = 6 0 [ps] \cdot \cdot \cdot (1 a)$

また、このチップのモニタ回路 1 0 については、電源電圧設定装置 5 0 のモニタ回路シミュレーション部 5 6 によって、ゲート遅延及び配線遅延のシミュレーション値が取得される。

【 0 0 4 4 】

モニタ回路シミュレーション部 5 6 は、まず上記実測時の電源電圧、この例では 2 . 0 [V] で、モニタ回路 1 0 のゲート遅延モニタ 1 1 及び配線遅延モニタ 1 2 のそれぞれについてシミュレーションを実行し、ゲート遅延及び配線遅延のシミュレーション値を取得する。尚、モニタ回路シミュレーション部 5 6 でのシミュレーション条件は、測定者がシミュレーション前に予め設定しておくことができる。

【 0 0 4 5 】

次いで、電源電圧設定装置 5 0 の第 2 遅延値生成部 5 7 が、このモニタ回路シミュレーション部 5 6 でのシミュレーションで取得されるゲート遅延及び配線遅延を用い、それら

10

20

30

40

50

を、先に求めた遅延比に基づいて合成する。

【 0 0 4 6 】

例えば、シミュレーションで得られたゲート遅延（ゲート遅延モニタ 1 1 のシミュレーション値）が 1 0 0 [p s] であり、シミュレーションで得られた配線遅延（配線遅延モニタ 1 2 のシミュレーション値）が 4 0 [p s] であったとする。その場合、これらのゲート遅延及び配線遅延の、遅延比に基づく合成後の遅延値は、上記の式（ 2 ）に従い、次式（ 2 a ）のようにして求められる。

【 0 0 4 7 】

$(1 0 0 [p s] \times 2 + 4 0 [p s] \times 1) / (2 + 1) = 8 0 [p s] \cdots (2 a)$

10

モニタ回路シミュレーション部 5 6 は、この例では更に、プロセスばらつき及び電源電圧の条件を変え、各条件でそれぞれモニタ回路 1 0 のシミュレーションを実行し、各条件についてそれぞれ、ゲート遅延及び配線遅延のシミュレーション値を取得する。そして、第 2 遅延値生成部 5 7 は、各条件で取得されたゲート遅延及び配線遅延を、上記同様、遅延比に基づいて合成し、変換テーブル 3 0 を作成する。

【 0 0 4 8 】

図 7 に、変換テーブルの一例を示す。

この図 7 には、プロセスばらつきの条件を、チップが標準的にできた場合（ T y p ）と高速寄りにできた場合（ 2 F a s t ）の 2 種類とし、電源電圧の条件を、 1 . 0 [V] と 2 . 0 [V] の 2 種類としたときの、変換テーブル 3 0 を例示している。ここでは電源電圧 2 . 0 [V] （ T y p ）が、当初このチップに対して設定されているチップ電源電圧である。図 7 の変換テーブル 3 0 には、上記の式（ 2 a ）で求められる合成後の遅延値 8 0 [p s] が、プロセスばらつき T y p 、電源電圧 2 . 0 [V] の条件でのシミュレーション値として格納されている。

20

【 0 0 4 9 】

このほか、図 7 の変換テーブル 3 0 には、プロセスばらつき T y p 、電源電圧 1 . 0 [V] の条件でのシミュレーションで得られたゲート遅延及び配線遅延の、遅延比に基づく合成後の遅延値 1 0 0 [p s] が格納されている。また、図 7 の変換テーブル 3 0 には、プロセスばらつき 2 F a s t 、電源電圧が 1 . 0 [V] の条件でのシミュレーションで得られたゲート遅延及び配線遅延の、遅延比に基づく合成後の遅延値 8 0 [p s] が格納されている。更に、図 7 の変換テーブル 3 0 には、プロセスばらつき 2 F a s t 、電源電圧が 2 . 0 [V] の条件でのシミュレーションで得られたゲート遅延及び配線遅延の、遅延比に基づく合成後の遅延値 6 0 [p s] が格納されている。

30

【 0 0 5 0 】

電源電圧設定装置 5 0 のチップ電源電圧設定部 5 9 は、このようにして作成された変換テーブル 3 0 を参照し、上記の式（ 1 a ）で求められた合成後の遅延値（実測値） 6 0 [p s] に基づき、チップ電源電圧を設定する。

【 0 0 5 1 】

例えば、電源電圧 2 . 0 [V] の条件で実測されたゲート遅延及び配線遅延の合成後の遅延値 6 0 [p s] は、変換テーブル 3 0 より、プロセスばらつき 2 F a s t の条件に該当する。プロセスばらつきが T y p 相当の遅延値 8 0 [p s] （電源電圧 2 . 0 [V] の条件でのシミュレーション値）の遅延を得るためには、変換テーブル 3 0 より、電源電圧を 2 . 0 [V] から 1 . 0 [V] に低下させることができる。チップ電源電圧設定部 5 9 は、このようにして求められる電源電圧 1 . 0 [V] を、チップに適用するチップ電源電圧に設定する。

40

【 0 0 5 2 】

このようにプロセスばらつきによって高速寄りにできたチップに対し、当初設定されていた電源電圧 2 . 0 [V] よりも低い 1 . 0 [V] がチップ電源電圧として設定されるようになる。これにより、高速寄りにできたチップについて、その処理タイミングの適正化、消費電力の低減を図ることができる。このようなチップ電源電圧の設定において、ゲー

50

ト遅延及び配線遅延を考慮し、更にクリティカルパス 2 1 でのそれらの比率（遅延比）を考慮することで、適正なチップ電源電圧を設定することができる。

【 0 0 5 3 】

尚、チップ電源電圧設定部 5 9 では、次のようにして簡略化してチップ電源電圧を設定することもできる。例えば、チップ電源電圧設定部 5 9 により、上記の式（ 1 a ）、（ 2 a ）で求められた各遅延値（モニタ回路 1 0 の実測値、シミュレーション値）を比較し、その比較結果に基づいてチップ電源電圧を設定する。

【 0 0 5 4 】

上記の例の場合、式（ 1 a ）で得られる合成後の遅延値（実測値）が 6 0 [p s]、一方、式（ 2 a ）で得られる合成後の遅延値（シミュレーション値）が 8 0 [p s]である。従って、実測の遅延値がシミュレーション値よりも小さいことから、実際に形成されたチップは、高速寄りにできたものであると判定することができる。高速寄りにできたチップの場合には、例えば、遅延値のシミュレーション値と実測値との差分に応じ、予め設定された電源電圧まで下げるようにし、その下げた電源電圧をチップ電源電圧として設定する。チップ電源電圧設定部 5 9 でこのような処理を行うようにすることで、変換テーブル 3 0 の作成に要する処理を省略することが可能になる。

【 0 0 5 5 】

以上、電源電圧設定装置 5 0 を用いたチップ電源電圧の設定方法（ A S V ）について説明した。

次に、上記のチップ電源電圧設定部 5 9 が行う、チップ電源電圧の設定処理の一実施例を、更に別の具体例を挙げて説明する。

【 0 0 5 6 】

図 8 は変換テーブルの一例を示す図、図 9 はチップ電源電圧設定処理フローの一例を示す図である。

図 8 には、プロセスばらつきの条件を T y p、2 F a s t、3 F a s t の 3 種類とし、電源電圧の条件を 1 . 0 [V]、1 . 5 [V]、2 . 0 [V]（ T y p ）の 3 種類とした場合の変換テーブル 3 0 a を例示している。電源電圧 2 . 0 [V] が、チップ電源電圧を設定しようとしているチップに対して当初設定されている電源電圧である。変換テーブル 3 0 a には、図 8 に示したように、プロセスばらつきと電源電圧の各条件についてそれぞれ、遅延値（シミュレーション値）が格納されている。

【 0 0 5 7 】

尚、この図 8 のような内容を含む変換テーブル 3 0 a も、上記同様にして作成することができる。即ち、チップ電源電圧を設定するチップのモニタ回路について、モニタ回路シミュレーション部 5 6 により、所定のプロセスばらつき及び電源電圧の各条件でシミュレーションを行う。そして、シミュレーションにより得られるゲート遅延及び配線遅延を、第 2 遅延値生成部 5 7 により、シミュレーションの各条件ごとに、チップのクリティカルパスの遅延比に基づいて合成する。チップのクリティカルパスの遅延比は、当該チップのレイアウトデータを用いた遅延解析部 5 1 での遅延解析シミュレーション、及びその解析結果を用いた遅延比生成部 5 2 での処理によって生成される。

【 0 0 5 8 】

図 8 の変換テーブル 3 0 a の場合、プロセスばらつき T y p では、電源電圧 1 . 0 [V] のとき遅延値 1 2 0 [p s]、電源電圧 1 . 5 [V] のとき遅延値 1 0 0 [p s]、電源電圧 2 . 0 [V] のとき遅延値 8 0 [p s] になっている。プロセスばらつき 2 F a s t では、電源電圧 1 . 0 [V] のとき遅延値 1 0 0 [p s]、電源電圧 1 . 5 [V] のとき遅延値 8 0 [p s]、電源電圧 2 . 0 [V] のとき遅延値 6 0 [p s] になっている。プロセスばらつき 3 F a s t では、電源電圧 1 . 0 [V] のとき遅延値 8 0 [p s]、電源電圧 1 . 5 [V] のとき遅延値 6 0 [p s]、電源電圧 2 . 0 [V] のとき遅延値 4 0 [p s] になっている。

【 0 0 5 9 】

今、チップ電源電圧を設定するチップのモニタ回路について実測されたゲート遅延及び

10

20

30

40

50

配線遅延を、そのクリティカルパスの遅延比に基づいて合成した遅延値（実測値）が、 X [ps]であったとする。また、チップ電源電圧を設定する際には、プロセスばらつきが大きい、即ち高速（Fast）寄りにできたチップについて、プロセスばらつきがTyp相当であるときの遅延（スピード）になるまで電源電圧を低下させるものとする。

【0060】

チップ電源電圧設定部59は、まず図8の変換テーブル30aを用い、目的とするプロセスばらつきTypで、且つ、当初設定されている電源電圧2.0[V]（Typ）の条件で得られている遅延値80[ps]を、目的とする遅延値として設定する（ステップS100）。

【0061】

次いでチップ電源電圧設定部59は、プロセスばらつき2 Fast及び3 Fastのそれぞれにおいて、ステップS100で設定された、目的遅延値80[ps]が得られるときの電源電圧を抽出する（ステップS101）。図8の変換テーブル30aの場合、プロセスばらつき2 Fastのときに遅延値80[ps]が得られる電源電圧は1.5[V]であり、プロセスばらつき3 Fastのときに遅延値80[ps]が得られる電源電圧は1.0[V]である。チップ電源電圧設定部59は、変換テーブル30aから、このような該当する電源電圧を抽出する。

【0062】

チップ電源電圧を設定する際には、チップ電源電圧設定部59が、電源電圧2.0[V]（Typ）の条件で実測された遅延値 X [ps]と、変換テーブル30a内の、電源電圧2.0[V]（Typ）の条件のシミュレーションで得られた遅延値との比較を行う。

【0063】

その際、チップ電源電圧設定部59は、まず、実測された遅延値 X [ps]が、プロセスばらつきTypでの遅延値80[ps]以下で、プロセスばらつき2 Fastでの遅延値60[ps]よりも大きいか否かを判定する（ステップS102）。チップ電源電圧設定部59は、実測の遅延値 X [ps]が、ステップS102の80[ps] X [ps] > 60[ps]の条件を満たすと判定した場合には、遅延値 X [ps]が得られたチップのプロセスばらつきをTypと判定する（ステップS103）。そして、チップ電源電圧設定部59は、電源電圧の変更は行わず（ステップS104）、チップ電源電圧設定処理を終了する。即ち、この場合は、当初の電源電圧2.0[V]（Typ）がチップ電源電圧としてそのまま設定される。

【0064】

チップ電源電圧設定部59は、実測の遅延値 X [ps]が、ステップS102の80[ps] X [ps] > 60[ps]の条件を満たさないと判定した場合には、次のような処理を行う。

【0065】

即ち、チップ電源電圧設定部59は、実測の遅延値 X [ps]が、プロセスばらつき2 Fastでの遅延値60[ps]以下で、プロセスばらつき3 Fastでの遅延値40[ps]よりも大きいか否かを判定する（ステップS105）。チップ電源電圧設定部59は、実測の遅延値 X [ps]が、ステップS105の60[ps] X [ps] > 40[ps]の条件を満たすと判定した場合には、遅延値 X [ps]が得られたチップのプロセスばらつきを2 Fastと判定する（ステップS106）。そして、チップ電源電圧設定部59は、ステップS101において、プロセスばらつきが2 Fastのときに目的遅延値80[ps]が得られる電源電圧として抽出した1.5[V]の値を、チップ電源電圧として設定し（ステップS107）、処理を終了する。

【0066】

チップ電源電圧設定部59は、実測の遅延値 X [ps]が、ステップS105の60[ps] X [ps] > 40[ps]の条件を満たさないと判定した場合には、次のような処理を行う。

【0067】

10

20

30

40

50

即ち、チップ電源電圧設定部 59 は、実測の遅延値 X [ps] が、プロセスばらつき 3 Fast での遅延値 40 [ps] よりも小さいか否かを判定する (ステップ S108) 。チップ電源電圧設定部 59 は、実測の遅延値 X [ps] が、ステップ S108 の 40 [ps] $> X$ [ps] の条件を満たさない (X [ps] = 40 [ps]) と判定した場合には、遅延値 X [ps] が得られたチップのプロセスばらつきを 3 Fast と判定する (ステップ S109) 。そして、チップ電源電圧設定部 59 は、ステップ S101 において、プロセスばらつきが 3 Fast のときに目的遅延値 80 [ps] が得られる電源電圧として抽出した 1.0 [V] の値を、チップ電源電圧として設定し (ステップ S110) 、処理を終了する。

【0068】

チップ電源電圧設定部 59 は、実測の遅延値 X [ps] が、ステップ S108 の 40 [ps] $> X$ [ps] の条件を満たすと判定した場合には、このチップを不良と判定し (ステップ S111) 、処理を終了する。

【0069】

この図 9 のような処理を行うことで、チップのゲート遅延及び配線遅延が考慮されたチップ電源電圧を、そのチップのプロセスばらつきに応じて適正に設定することができる。

以上、チップ電源電圧の設定方法 (ASV) について説明した。尚、以上の説明では、目的とするスピード又は高速 (Fast) 寄りにできたチップの電源電圧設定を例にして述べたが、低速 (Slow) 寄りにできたチップに対しても同様にして、当該チップに対し適正な電源電圧の設定を行うことが可能である。

【0070】

以上のような電源電圧設定に用いる電源電圧設定装置 50 は、コンピュータを用いて実現することができる。

図 10 は電源電圧設定装置のハードウェアの構成例を示す図である。

【0071】

コンピュータを用いた電源電圧設定装置 50 は、CPU (Central Processing Unit) 201 によって装置全体が制御されている。CPU 201 には、バス 208 を介して RAM (Random Access Memory) 202 と複数の周辺機器が接続されている。

【0072】

RAM 202 は、電源電圧設定装置 50 の主記憶装置として使用される。RAM 202 には、CPU 201 に実行させる OS (Operating System) のプログラムやアプリケーションプログラムの少なくとも一部が一時的に格納される。また、RAM 202 には、CPU 201 による処理に必要な各種データが格納される。

【0073】

バス 208 に接続されている周辺機器としては、ハードディスクドライブ (Hard Disk Drive; HDD) 203、グラフィック処理装置 204、入力インタフェース 205、光学ドライブ装置 206、及び通信インタフェース 207 がある。

【0074】

HDD 203 は、内蔵したディスクに対して、磁気的にデータの書き込み及び読み出しを行う。HDD 203 は、電源電圧設定装置 50 の二次記憶装置として使用される。HDD 203 には、OS のプログラム、アプリケーションプログラム、及び各種データが格納される。尚、二次記憶装置としては、フラッシュメモリ等の半導体記憶装置を使用することもできる。

【0075】

グラフィック処理装置 204 には、モニタ 221 が接続されている。グラフィック処理装置 204 は、CPU 201 からの命令に従って、画像をモニタ 221 の画面に表示させる。モニタ 221 としては、CRT (Cathode Ray Tube) を用いた表示装置や液晶表示装置等がある。

【0076】

入力インタフェース 205 には、キーボード 222 及びマウス 223 が接続されている

10

20

30

40

50

。入力インタフェース 205 は、キーボード 222 やマウス 223 から送られてくる信号を CPU 201 に送信する。尚、マウス 223 は、ポインティングデバイスの一例であり、他のポインティングデバイスを使用することもできる。他のポインティングデバイスとしては、タッチパネル、タブレット、タッチパッド、トラックボール等がある。

【0077】

光学ドライブ装置 206 は、レーザ光等を利用して、光ディスク 224 に記録されたデータの読み取りを行う。光ディスク 224 は、光の反射によって読み取り可能なようにデータが記録された可搬型の記録媒体である。光ディスク 224 には、DVD (Digital Versatile Disc)、DVD-RAM、CD-ROM (Compact Disc Read Only Memory)、CD-R (Recordable) / RW (ReWritable) 等がある。

10

【0078】

通信インタフェース 207 は、ネットワーク 210 に接続されている。通信インタフェース 207 は、ネットワーク 210 を介して、他のコンピュータ又は通信機器との間でデータの送受信を行う。

【0079】

以上のようなハードウェア構成によって、電源電圧設定装置 50 の処理機能を実現することができる。

電源電圧設定装置 50 の処理機能は、コンピュータによって実現することができる。その場合、電源電圧設定装置 50 が有すべき機能の処理内容を記述した電源電圧設定プログラムが提供される。そのプログラムをコンピュータで実行することにより、上記処理機能がコンピュータ上で実現される。処理内容を記述したプログラムは、コンピュータで読み取り可能な記録媒体に記録しておくことができる。コンピュータで読み取り可能な記録媒体としては、磁気記憶装置、光ディスク、光磁気記録媒体、半導体メモリ等がある。磁気記憶装置には、HDD、フレキシブルディスク (FD)、磁気テープ等がある。光ディスクには、DVD、DVD-RAM、CD-ROM / RW 等がある。光磁気記録媒体には、MO (Magneto-Optical disk) 等がある。

20

【0080】

プログラムを流通させる場合には、例えば、そのプログラムが記録された DVD、CD-ROM 等の可搬型記録媒体が販売される。また、プログラムをサーバコンピュータの記憶装置に格納しておき、ネットワークを介して、サーバコンピュータから他のコンピュータにそのプログラムを転送することもできる。

30

【0081】

プログラムを実行するコンピュータは、例えば、可搬型記録媒体に記録されたプログラム若しくはサーバコンピュータから転送されたプログラムを、自己の記憶装置に格納する。そして、コンピュータは、自己の記憶装置からプログラムを読み取り、プログラムに従った処理を実行する。尚、コンピュータは、可搬型記録媒体から直接プログラムを読み取り、そのプログラムに従った処理を実行することもできる。また、コンピュータは、ネットワークを介して接続されたサーバコンピュータからプログラムが転送されるごとに、逐次、受け取ったプログラムに従った処理を実行することもできる。

【0082】

また、上記の処理機能の少なくとも一部を、DSP、ASIC、PLD (Programmable Logic Device) 等の電子回路で実現することもできる。

以上説明した実施の形態に関し、更に以下の付記を開示する。

40

【0083】

(付記1) コンピュータが、

チップのレイアウトデータからクリティカルパスのゲート遅延と配線遅延の比率を抽出し、

前記チップに設けられたモニタ回路について第1電源電圧条件で実測されたゲート遅延及び配線遅延を前記比率に基づき合成して第1遅延値を生成し、

前記モニタ回路についての前記第1電源電圧条件でのシミュレーションで得られるゲー

50

ト遅延及び配線遅延を前記比率に基づき合成して第 2 遅延値を生成し、

前記第 1 遅延値及び前記第 2 遅延値に基づいて、前記チップに適用するチップ電源電圧を設定する、

ことを特徴とする電源電圧設定方法。

【 0 0 8 4 】

(付記 2) 前記第 1 遅延値と前記第 2 遅延値との比較結果に基づいて前記チップ電源電圧を設定することを特徴とする付記 1 に記載の電源電圧設定方法。

(付記 3) 前記コンピュータが、

プロセスばらつき及び電源電圧の複数の条件と、前記各条件での第 3 遅延値との関係を含むテーブルを作成し、

前記テーブルを参照し、前記第 1 遅延値と前記第 3 遅延値とを比較して、前記第 1 遅延値が該当する前記条件内の前記プロセスばらつきを抽出し、

抽出した前記プロセスばらつきと前記第 2 遅延値とに基づいて、前記チップ電源電圧を設定する、

ことを特徴とする付記 1 に記載の電源電圧設定方法。

【 0 0 8 5 】

(付記 4) 前記チップ電源電圧を設定する際には、

前記テーブルを参照し、抽出した前記プロセスばらつきで、前記第 2 遅延値が得られる前記条件内の前記電源電圧を抽出し、

抽出した前記電源電圧を、前記チップ電源電圧に設定する、

ことを特徴とする付記 3 に記載の電源電圧設定方法。

【 0 0 8 6 】

(付記 5) 前記テーブルを作成する際には、

前記モニタ回路の前記各条件でのシミュレーションによってそれぞれ取得されるゲート遅延及び配線遅延を前記条件ごとに前記比率に基づき合成して前記第 3 遅延値を生成する、

ことを特徴とする付記 3 又は 4 に記載の電源電圧設定方法。

【 0 0 8 7 】

(付記 6) 前記モニタ回路は、

前記第 1 遅延値及び前記第 2 遅延値の生成に用いるゲート遅延を測定するゲート遅延モニタと、

前記第 1 遅延値及び前記第 2 遅延値の生成に用いる配線遅延を測定する配線遅延モニタと、

を含み、

前記配線遅延モニタは、

配線遅延が支配的となるように論理ゲート及び配線が設けられ、ゲート遅延及び配線遅延を出力する第 1 回路と、ゲート遅延のみを出力する第 2 回路とを備え、

前記第 1 回路の出力から前記第 2 回路の出力を減算することによって、前記第 1 遅延値及び前記第 2 遅延値の生成に用いる配線遅延を測定する、

ことを特徴とする付記 1 乃至 5 のいずれかに記載の電源電圧設定方法。

【 0 0 8 8 】

(付記 7) コンピュータに、

チップのレイアウトデータからクリティカルパスのゲート遅延と配線遅延の比率を抽出し、

前記チップに設けられたモニタ回路について第 1 電源電圧条件で実測されたゲート遅延及び配線遅延を前記比率に基づき合成して第 1 遅延値を生成し、

前記モニタ回路についての前記第 1 電源電圧条件でのシミュレーションで得られるゲート遅延及び配線遅延を前記比率に基づき合成して第 2 遅延値を生成し、

前記第 1 遅延値及び前記第 2 遅延値に基づいて、前記チップに適用するチップ電源電圧を設定する、

10

20

30

40

50

処理を実行させることを特徴とする電源電圧設定プログラム。

【0089】

(付記8) 前記第1遅延値と前記第2遅延値との比較結果に基づいて前記チップ電源電圧を設定することを特徴とする付記7に記載の電源電圧設定プログラム。

(付記9) 前記コンピュータに、

プロセスばらつき及び電源電圧の複数の条件と、前記各条件での第3遅延値との関係を含むテーブルを作成し、

前記テーブルを参照し、前記第1遅延値と前記第3遅延値とを比較して、前記第1遅延値が該当する前記条件内の前記プロセスばらつきを抽出し、

抽出した前記プロセスばらつきと前記第2遅延値とに基づいて、前記チップ電源電圧を設定する、

10

処理を実行させることを特徴とする付記7に記載の電源電圧設定プログラム。

【0090】

(付記10) 前記チップ電源電圧を設定する際には、

前記テーブルを参照し、抽出した前記プロセスばらつきで、前記第2遅延値が得られる前記条件内の前記電源電圧を抽出し、

抽出した前記電源電圧を、前記チップ電源電圧に設定する、

ことを特徴とする付記9に記載の電源電圧設定プログラム。

【0091】

(付記11) 前記テーブルを作成する際には、

前記モニタ回路の前記各条件でのシミュレーションによってそれぞれ取得されるゲート遅延及び配線遅延を前記条件ごとに前記比率に基づき合成して前記第3遅延値を生成する、

20

ことを特徴とする付記9又は10に記載の電源電圧設定プログラム。

【0092】

(付記12) チップのレイアウトデータからクリティカルパスのゲート遅延と配線遅延の比率を抽出する抽出部と、

前記チップに設けられたモニタ回路について第1電源電圧条件で実測されたゲート遅延及び配線遅延を前記比率に基づき合成して第1遅延値を生成する第1生成部と、

前記モニタ回路についての前記第1電源電圧条件でのシミュレーションで得られるゲート遅延及び配線遅延を前記比率に基づき合成して第2遅延値を生成する第2生成部と、

30

前記第1遅延値及び前記第2遅延値に基づいて、前記チップに適用するチップ電源電圧を設定する設定部と、

を含むことを特徴とする電源電圧設定装置。

【符号の説明】

【0093】

10, 100 モニタ回路

11 ゲート遅延モニタ

11a, 12a, 12b, 101 リング発振回路

12 配線遅延モニタ

40

20 レイアウトデータ

21 クリティカルパス

30, 30a, 110 変換テーブル

50 電源電圧設定装置

51 遅延解析部

51a 遅延解析結果

52 遅延比生成部

53 遅延比格納部

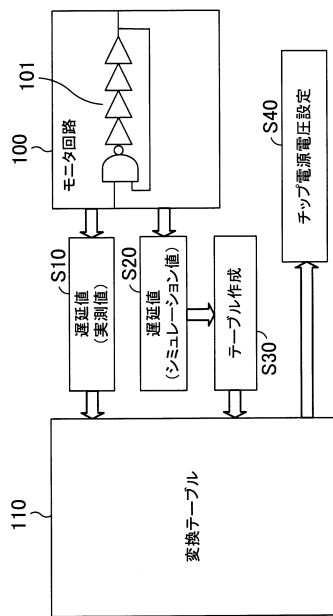
53a 遅延比抽出部

54 実測遅延格納部

50

- 5 5 第 1 遅延値生成部
- 5 6 モニタ回路シミュレーション部
- 5 7 第 2 遅延値生成部
- 5 9 チップ電源電圧設定部
- 2 0 1 C P U
- 2 0 2 R A M
- 2 0 3 H D D
- 2 0 4 グラフィック処理装置
- 2 0 5 入力インタフェース
- 2 0 6 光学ドライブ装置
- 2 0 7 通信インタフェース
- 2 0 8 バス
- 2 1 0 ネットワーク
- 2 2 1 モニタ
- 2 2 2 キーボード
- 2 2 3 マウス
- 2 2 4 光ディスク

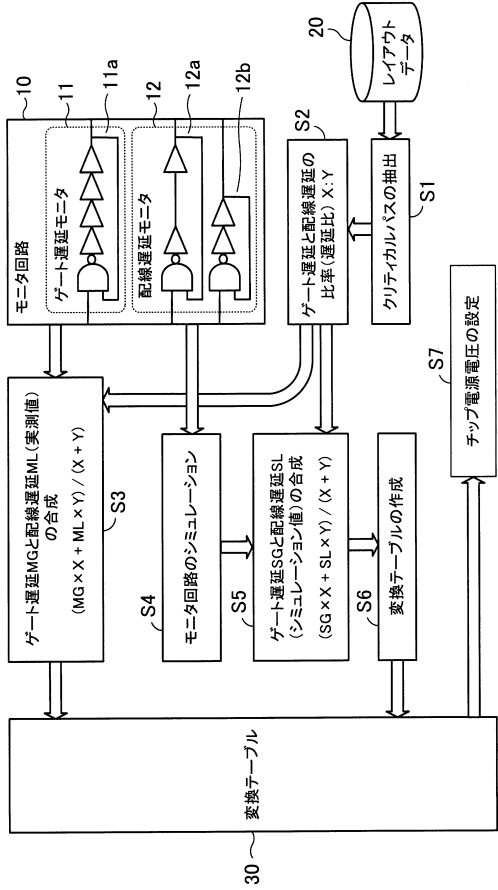
【 図 1 】



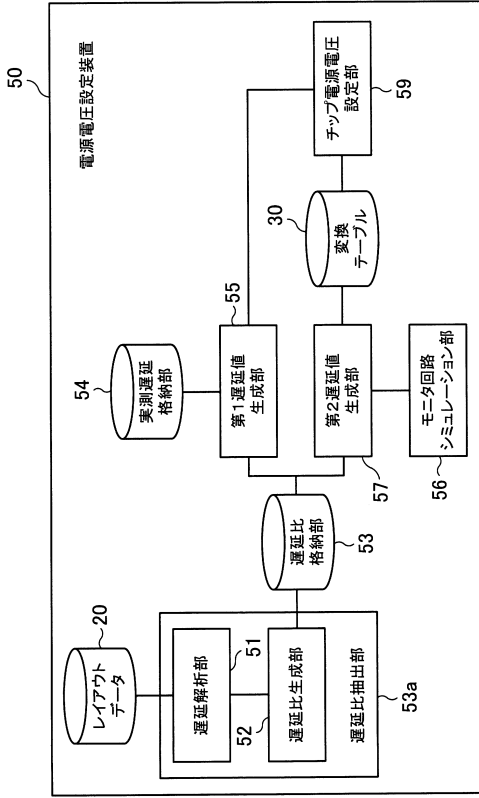
【 図 2 】

| | | |
|---------|------------|------------|
| | -3σ | $+3\sigma$ |
| | A [ps] | B [ps] |
| 1.0 [V] | ... | ... |
| : | : | : |
| 2.0 [V] | A' [ps] | B' [ps] |

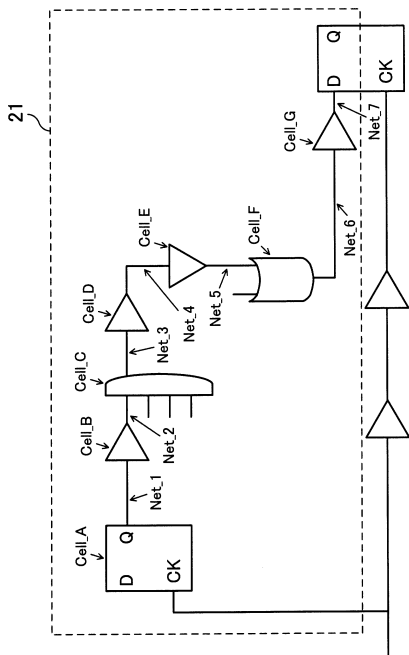
【図3】



【図4】



【図5】



【図6】

| 51a | | |
|--------|-------|--------|
| Cell_A | 50 ps | :ゲート遅延 |
| Net_1 | 10 ps | :配線遅延 |
| Cell_B | 50 ps | :ゲート遅延 |
| Net_2 | 20 ps | :配線遅延 |
| Cell_C | 40 ps | :ゲート遅延 |
| Net_3 | 40 ps | :配線遅延 |
| Cell_D | 80 ps | :ゲート遅延 |
| Net_4 | 10 ps | :配線遅延 |
| Cell_E | 60 ps | :ゲート遅延 |
| Net_5 | 20 ps | :配線遅延 |
| Cell_F | 40 ps | :ゲート遅延 |
| Net_6 | 30 ps | :配線遅延 |
| Cell_G | 30 ps | :ゲート遅延 |
| Net_7 | 20 ps | :配線遅延 |

【図7】

| | | | | |
|------|---------------|----------|---------|-----|
| 電源電圧 | 1.0 [V] | Typ | 2σ Fast | 遅延値 |
| | 2.0 [V] (Typ) | 100 [ps] | 80 [ps] | |
| | | 80 [ps] | 60 [ps] | |

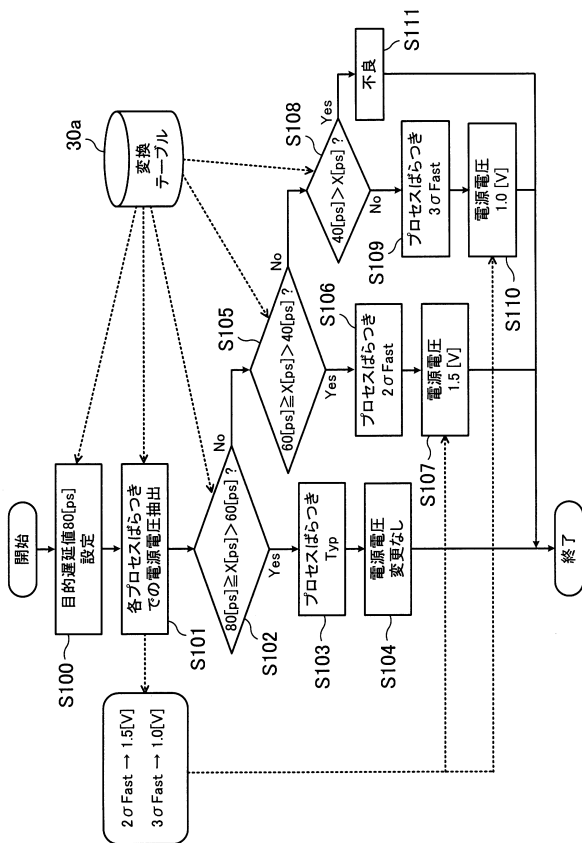
プロセスばらつき

【図8】

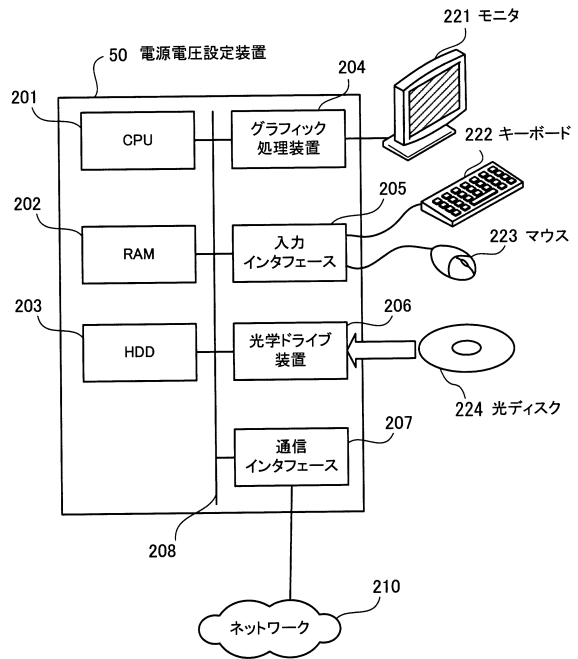
| | | | | | |
|------|---------------|----------|----------|---------|-----|
| 電源電圧 | 1.0 [V] | Typ | 2σ Fast | 3σ Fast | 遅延値 |
| | 1.5 [V] | 120 [ps] | 100 [ps] | 80 [ps] | |
| | 2.0 [V] (Typ) | 100 [ps] | 80 [ps] | 60 [ps] | |

プロセスばらつき

【図9】



【図10】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/04 (2006.01) H 0 1 L 27/04 T

(56)参考文献 特開2010-123807(JP,A)
特開2009-194459(JP,A)
特表2009-519620(JP,A)
Kyu-Nam Shim, Jiang Hu and Jose Silva-Martinez, A Dual-Level Adaptive Supply Voltage System for Variation Resilience, Quality Electronic Design (ISQED), 2010 11th International Symposium on, IEEE, 2010年 3月22日, pages 38-43

(58)調査した分野(Int.Cl., DB名)

G 0 6 F 1 7 / 5 0
G 0 1 R 3 1 / 2 8
H 0 1 L 2 1 / 8 2
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4
H 0 3 K 1 9 / 0 0
I E E E X p l o r e
C i N i i
J S T P l u s (J D r e a m I I I)