



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 600 33 271 T2** 2007.11.08

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 133 798 B1**

(21) Deutsches Aktenzeichen: **600 33 271.3**

(86) PCT-Aktenzeichen: **PCT/EP00/07691**

(96) Europäisches Aktenzeichen: **00 953 163.3**

(87) PCT-Veröffentlichungs-Nr.: **WO 2001/017028**

(86) PCT-Anmeldetag: **07.08.2000**

(87) Veröffentlichungstag
der PCT-Anmeldung: **08.03.2001**

(97) Erstveröffentlichung durch das EPA: **19.09.2001**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **07.02.2007**

(47) Veröffentlichungstag im Patentblatt: **08.11.2007**

(51) Int Cl.⁸: **H01L 29/78** (2006.01)
H01L 29/786 (2006.01)

(30) Unionspriorität:
387628 31.08.1999 US

(73) Patentinhaber:
**Koninklijke Philips Electronics N.V., Eindhoven,
NL**

(74) Vertreter:
derzeit kein Vertreter bestellt

(84) Benannte Vertragsstaaten:
DE, FR, GB

(72) Erfinder:
**LETAVIC, Theodore, NL-5656 AA Eindhoven, NL;
SIMPSON, Mark, NL-5656 AA Eindhoven, NL**

(54) Bezeichnung: **LATERALES DÜNNFILM-SILIZIUM-AUF-ISOLATOR-(SOI)-PMOS-BAUELEMENT MIT DRAIN-AUS-DEHNUNGSZONE**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die Erfindung betrifft das Gebiet der Halbleiter-auf-Isolator (Semiconductor-On-Insulator SOI) Vorrichtungen und insbesondere laterale SOI PMOS-Vorrichtungen, welche für Hochspannungsanwendungen geeignet sind. Bei der Fabrikation von Hochspannungsleistungsvorrichtungen müssen Kompromisse eingegangen werden und Abwägungen vorgenommen werden in Bezug auf Bereiche wie beispielsweise eine Durchschlagspannung, die Größe, ein „ein“ Widerstand, die Einfachheit der Herstellung und die Zuverlässigkeit. Oft führt eine Verbesserung eines Parameters wie beispielsweise die Durchschlagspannung zu der Verschlechterung eines anderen Parameters wie beispielsweise der „ein“ Widerstand. Idealerweise sollten derartige Vorrichtungen gute Eigenschaften in allen Bereichen, jedoch mit einem Minimum an Betriebs- und Fabrikationsnachteilen aufweisen.

[0002] Eine insbesondere vorteilhafte Form von lateralen Dünnschicht SOI-Vorrichtungen weist ein Halbleitersubstrat, eine vergrabene Isolationsschicht auf dem Substrat und eine laterale Transistorvorrichtung in einer SOI-Schicht auf der vergrabenen Isolationsschicht mit einer Vorrichtung wie beispielsweise ein MOSFET, welches eine Halbleiteroberflächenschicht auf der vergrabenen Isolationsschicht und ein Sourcegebiet mit einem ersten Leitfähigkeitstyp, welches in einem Körpergebiet eines zweiten Leitfähigkeitstyps entgegengesetzt zu dem ersten ausgebildet ist, eine isolierte Gateelektrode über einem Kanalgebiet des Körpergebietes und davon isoliert ein laterales Driftgebiet des ersten Leitfähigkeitstyps und ein Draingebiet des ersten Leitfähigkeitstyps auf, welches lateral von dem Kanalgebiet durch das Driftgebiet beabstandet ist.

[0003] Eine Vorrichtung dieses Typs ist in [Fig. 1](#) der US 5,246,870 (Verfahren) und US 5,412,241 (Vorrichtung) gezeigt. Die in [Fig. 1](#) der obigen Patente gezeigte Vorrichtung stellt eine laterale SOI MOSFET-Vorrichtung mit verschiedenen Merkmalen wie beispielsweise eine ausgedünnte SOI-Schicht mit einem linear-lateral Dotiergebiet und einer darüber liegenden Feldplatte zum Verbessern der Operation dar. Diese Vorrichtung stellt einen n-Kanal oder NMOS-Transistor mit einem n-Typ Source und Draingebieten dar, welcher unter Verwendung eines Prozesses hergestellt wird, welcher typischerweise als NMOS-Technologie bezeichnet wird.

[0004] Obwohl der Trend bei Dünnschicht-SOI-Vorrichtungen zu ausgedünnten SOI-Schichten geht, sind einige Vorteile wie beispielsweise die Einfachheit, eine vereinfachte Herstellung und geringere Herstellungskosten bei einer nicht ausgedünnten Vorrichtung wie beispielsweise eine Vorrichtung gemäß US 5,300,448 vorhanden.

[0005] Obwohl die oben beschriebenen Vorrichtungen im Wesentlichen N-Kanalvorrichtungen darstellen, welche nach der NMOS-Technologie hergestellt worden sind, sei darauf hingewiesen, dass es wünschenswert ist, P-Kanal oder PMOS-Hochspannungstransistoren unter Verwendung der Standardtechnologie zu implementieren. Ein Weg, dies zu erreichen, ist in US 5,710,451 gemäß dem Oberbegriff des Anspruchs 1 gezeigt. Die dort gezeigten Strukturen benötigen jedoch einen Halbleiterverbindungsbereich und sind somit komplexer und kostenintensiver herzustellen und können als PMOS-Transistoren lediglich in bestimmten Betriebsmoden betrieben werden.

[0006] Es sei darauf hingewiesen, dass eine Vielzahl von Techniken und Ansätzen vorhanden sind, um die Leistungsfähigkeit von Leistungshalbleitervorrichtungen zu verbessern, um eine fast optimale Kombination derartiger Parameter wie Durchschlagspannung, Größe, Stromfuhreigenschaften und Vereinfachung der Herstellung zu erhalten. Während einige der vorstehenden Strukturen unterschiedliche Level der Verbesserung der Vorrichtungsleistungsfähigkeit vorsehen, optimiert keine der Vorrichtungen oder Strukturen alle Designanforderungen für Hochspannungs-, Hochstrombetrieb mit der Flexibilität der Fabrikation von PMOS und NMOS-Vorrichtungen.

[0007] Somit wäre es wünschenswert, eine Transistorvorrichtungsstruktur zu haben, welche dazu in der Lage ist, eine hohe Performance in einer Hochspannungs-, Hochstromumgebung mit relativ einfachem Design und ökonomischem Design zu realisieren, welches PMOS-Strukturen unter Verwendung einer konventionellen Technologie implementieren kann.

[0008] Es ist somit eine Aufgabe der vorliegenden Erfindung, eine Transistorvorrichtungsstruktur vorzusehen, welche dazu in der Lage ist, eine hohe Performance in einer Hochspannungs- und Hochstromumgebung zu ermöglichen. Es ist eine weitere Aufgabe der Erfindung, eine derartige Transistorvorrichtungsstruktur vorzusehen, in welche PMOS-Vorrichtungen auf einfache und wirtschaftliche Art und Weise unter Verwendung einer herkömmlichen Technologie implementiert werden können.

[0009] Gemäß der Erfindung wird diese Aufgabe durch eine laterale Dünnschicht SOI PMOS-Vorrichtungsstruktur des oben beschriebenen Typs erreicht, wobei das laterale Driftgebiet mit einem Ladungsprofil mit einem linearen Gradienten vorgesehen wird, so dass das Dotierungsniveau in dem lateralen Driftgebiet in Richtung von dem Draingebiet zu dem Sourcegebiet vergrößert wird und wobei ein an die Oberfläche anschließendes Drainerweiterungsgebiet mit p-Typ-Leitfähigkeit in dem Driftgebiet vorgesehen ist und sich von dem Driftgebiet in der Nähe von, aber nicht in direktem Kontakt mit dem Körpergebiet er-

streckt.

[0010] In einem bevorzugten Ausführungsbeispiel der Erfindung ist eine dielektrische Schicht über dem Driftgebiet vorgesehen, und eine leitfähige Feldplatte wird auf der dielektrischen Schicht und über zumindest einem Bereich des Driftgebietes vorgesehen.

[0011] In einem weiteren bevorzugten Ausführungsbeispiel der Erfindung ist die leitfähige Feldplatte mit dem Sourcegebiet der PMOS-Vorrichtung verbunden.

[0012] Laterale Dünnschicht SOI PMOS-Vorrichtungen gemäß der vorliegenden Erfindung bieten eine signifikante Verbesserung dadurch, dass die Kombination von günstigen Performance-Eigenschaften, welche es ermöglichen, dass die Vorrichtung in einer Hochspannungs-, Hochstromumgebung eingesetzt werden kann, und insbesondere eine hohe Durchschlagsspannung durch ein relativ einfaches und wirtschaftliches Design erreicht werden kann, welche durch PMOS-Strukturen unter Verwendung von einer herkömmlichen Technologie implementiert werden.

[0013] Diese und andere Aspekte der Erfindung werden nachstehend Bezug nehmend auf die Ausführungsbeispiele näher beschrieben.

[0014] Die Erfindung kann besser im Hinblick auf die folgende Beschreibung verstanden werden, welche in Verbindung mit den beigefügten Zeichnungen zu lesen ist.

[0015] [Fig. 1](#) zeigt eine vereinfachte Schnittansicht einer lateralen Dünnschicht SOI PMOS-Vorrichtung gemäß einem bevorzugten Ausführungsbeispiel der Erfindung, und

[0016] [Fig. 2](#) zeigt eine vereinfachte Schnittansicht eines weiteren bevorzugten Ausführungsbeispiels einer lateralen Dünnschicht SOI PMOS-Vorrichtung gemäß der Erfindung.

[0017] In der Zeichnung sind Halbleitergebiete mit dem selben Leitfähigkeitstyp in der selben Richtung schraffiert. Es sei darauf hingewiesen, dass die Figuren nicht maßstabsgemäß gezeichnet sind.

[0018] In der vereinfachten Schnittansicht von [Fig. 1](#) ist eine laterale Dünnschichtvorrichtung, hier ein SOI PMOS-Transistor **20** mit einem Halbleitersubstrat **22**, einer vergrabenen Isolationsschicht **24** und einer Halbleiteroberflächen SOI-Schicht **26** gezeigt, in welche die Vorrichtung fabriziert ist. Der PMOS-Transistor weist ein Sourcegebiet **28** mit einer p-Typ-Leitfähigkeit, ein Körpergebiet **30** mit einer n-Typ-Leitfähigkeit, ein laterales Driftgebiet **32** mit einer n-Typ-Leitfähigkeit und ein Draingebiet **34** mit einer p-Typ-Leitfähigkeit auf. Die grundlegende Vor-

richtungsstruktur weist ebenfalls eine Gateelektrode **36** auf, welche als komplett von der darunter liegenden Halbleiteroberflächenschicht **26** isoliert gezeigt ist, und weitere leitfähige Bereiche der Vorrichtung sind durch ein Oxid-Isolationsgebiet **38** isoliert.

[0019] Zusätzlich dazu kann der PMOS-Transistor **20** ein Körperkontakt-Oberflächengebiet **40** in Kontakt mit dem Sourcegebiet **28** aufweisen, welches in dem Körpergebiet **30** angeordnet ist und denselben Leitfähigkeitstyp wie das Körpergebiet, jedoch höher dotiert als das Körpergebiet aufweist. Ein elektrischer Kontakt zu dem Sourcegebiet **28** wird durch eine Sourcekontaktelektrode **42** vorgesehen, während das Draingebiet **34** mit einer Drainkontaktelektrode **44** vorgesehen ist.

[0020] Es sei darauf hingewiesen, dass die vereinfachten repräsentativen Vorrichtungen in den Figuren bestimmte Vorrichtungsstrukturen zeigen, aber dass viele Variationen hinsichtlich der Vorrichtungsgeometrie und Vorrichtungskonfiguration innerhalb des Umfangs der Erfindung möglich sind.

[0021] Gemäß der Erfindung ist der PMOS-Transistor **20** mit einem an die Oberfläche anschließendem Drain-Erweiterungsgebiet **46** mit P-Typ-Leitfähigkeit in dem Driftgebiet **32** vorgesehen und erstreckt sich von dem Draingebiet **34** in die Nähe von, aber nicht in direkten Kontakt mit dem Sourcegebiet **28**. Zusätzlich dazu kann optional ein Puffergebiet **48** mit einer P-Typ-Leitfähigkeit in dem Driftgebiet **32** vorgesehen sein und kann sich unterhalb des Draingebietes **34** von dem Drainerweiterungsgebiet **46** runter zu der vergrabenen Isolationsschicht **24** erstrecken.

[0022] Das laterale Driftgebiet **32** ist mit einem Ladungsprofil mit einem linearen Gradienten über mindestens einem größeren Abschnitt seiner lateralen Erstreckung vorgesehen, so dass das Dotierungsniveau in dem lateralen Driftgebiet in Richtung von dem Draingebiet **34** zu dem Sourcegebiet **28** zunimmt. Die Kombination des Ladungsprofils mit dem linearen Gradienten in dem lateralen Driftgebiet und eine P-Typ-Leitfähigkeits-Drainerweiterung, welche einen Oberflächen-p-n-Übergang mit dem n-Typ-Driftgebiet **32** ausbildet, resultiert in eine neue Vorrichtungskonfiguration, welche die Spannung durch eine Kombination eines Übergangs und eines MOS RE-SURF-Mechanismus unterstützt.

[0023] In der vereinfachten Schnittansicht von [Fig. 2](#) ist ein zweites Ausführungsbeispiel einer lateralen Dünnschicht SOI PMOS-Vorrichtung gezeigt. Da die zu Grunde liegende Struktur dieser Vorrichtung der zu Grunde liegenden Struktur der Vorrichtung gemäß Anspruch 1 ähnlich ist und da gleiche Elemente mit den gleichen Bezugszeichen zur Vereinfachung der Identifizierung vorgesehen sind, werden die Bereiche von [Fig. 2](#), welche ebenfalls in

Fig. 1 vorhanden sind, im Interesse der Kürze nicht weiter detailliert beschrieben. Die Struktur gemäß **Fig. 2** unterscheidet sich von der Struktur von **Fig. 1** dadurch, dass eine dielektrische Schicht **50** über die PMOS-Vorrichtung von **Fig. 1** vorgesehen ist und dass eine leitfähige Feldplatte **52** auf der dielektrischen Schicht **50** und über zumindest einen Bereich des Driftgebietes vorgesehen ist. In einem bevorzugten Ausführungsbeispiel der Erfindung wird die leitfähige Feldplatte **52** über den Hauptabschnitt des Driftgebietes **32** vorgesehen und mit dem Sourcegebiet **28** durch die Sourceelektrode **42** verbunden.

[0024] Es sei darauf hingewiesen, dass viele verschiedene Konfigurationen und Alternativen hinsichtlich der Designparameter und Materialien möglich sind, welche sich innerhalb des Schutzbereiches der Erfindung befinden. Es werden verschiedene repräsentative Designparameter und Materialien beispielhaft und nicht beschränkend dargestellt, wobei auf diejenigen Abschnitte der Vorrichtung fokussiert wird, welche sich von den herkömmlichen Strukturen gemäß dem Stand der Technik unterscheiden.

[0025] Wie vorstehend angeführt, werden die PMOS-Vorrichtungen gemäß der vorliegenden Erfindung in nicht ausgedünnten SOI-Schichten ausgebildet, wodurch die für die Ausbildung von relativ dicken lokalen Oxidationsgebieten gemäß vielen verschiedenen Vorrichtungen gemäß dem Stand der Technik benötigte Zeit, Aufwand und Komplikationen vermieden wird. Typischerweise weist die nicht ausgedünnte SOI-Schicht **26** gemäß der vorliegenden Erfindung eine Dicke in dem Bereich von ungefähr 1,0 bis 1,5 μm auf, wobei das an die Oberfläche anschließende Drain-Erweiterungsgebiet **46** eine Dicke von ungefähr 0,5 μm aufweist. Ein typisches Hintergrunddotierungsniveau für den n-Typ-Abschnitt der SOI-Schicht liegt in dem Bereich von ungefähr 5×10^{15} bis $1 \times 10^{16} \text{ cm}^{-3}$, wobei das Ladungsprofil mit einem linearen Gradienten über einen Großteil des lateralen Driftgebietes in der SOI-Schicht vorgesehen ist und eine maximale n-Typ-Implantation von $1,6 \times 10^{13}$ bis $2,0 \times 10^{13} \text{ cm}^{-2}$ mit einem linearen Ladungsgradienten von dem Drain zu dem Source in dem Bereich von ungefähr $9,0 \times 10^{10}$ bis $1,6 \times 10^{11} \text{ cm}^{-2}/\mu\text{m}$ aufweist, so dass sich das Dotierungsniveau in dem lateralen Driftgebiet sich in Richtung von dem Draingebiet zu dem Sourcegebiet erhöht. Das Ladungsprofil mit dem linearen Gradienten kann sich über den gesamten lateralen Bereich des Driftgebietes oder einen Großteil, aber weniger als über den gesamten Lateralbereich erstrecken. Das an die Oberfläche anschließende Drain-Erweiterungsgebiet **46** wird mit einer p-Typ-Leitfähigkeitsdotiersubstanz in dem Bereich von ungefähr 2×10^{12} bis $6 \times 10^{12} \text{ cm}^{-2}$ dotiert, so dass das Drain-Erweiterungsgebiet einen nominalen Schichtwiderstand (sheet resistance) von ungefähr 7000 Ohm/square aufweist.

[0026] Die Source- und Draingebiete (**28**, **34**) weisen eine p-Typ-Leitfähigkeit auf und sind mit einem Niveau von ungefähr $2 \times 10^{15} \text{ cm}^{-2}$ dotiert und das n-Typ-Körpergebiet **30** ist mit einem Pegel in dem Bereich von ungefähr $1 \times 10^{13} \text{ cm}^{-2}$ bis $5 \times 10^{13} \text{ cm}^{-2}$ dotiert. Es sei darauf hingewiesen, dass die Verwendung eines separaten Dotierungsschrittes zum Ausbilden des Körperbereiches optional ist, da der Körperbereich alternativ dazu aus einem Abschnitt des n-Typ-Driftgebietes **32** ausgebildet werden kann. Das Puffergebiet **48** (optional) ist mit einem Niveau in dem Bereich von ungefähr 1×10^{13} bis $3 \times 10^{13} \text{ cm}^{-2}$ dotiert, während das p-Typ-Leitfähigkeitskörperkontakttoberflächengebiet **40** mit einem Niveau von ungefähr 2^{-15} cm^{-2} dotiert ist.

[0027] In dem Ausführungsbeispiel von **Fig. 2** ist die leitfähige Feldplatte **52** typischerweise aus einem Metall wie beispielsweise Aluminium ausgebildet und ist über die dielektrische Schicht **50** vorgesehen, welche sich typischerweise im Bereich von ungefähr 1,0 bis 1,5 μm befindet und aus abgeschiedenen Oxiden, Nitriden oder beiden Materialien ausgebildet ist.

[0028] Es sei darauf hingewiesen, dass die vorstehenden Parameter lediglich repräsentative Werte darstellen und dass viele unterschiedliche Konfigurationen und Alternativen innerhalb des Bereichs der Erfindung, insbesondere die Dotierungsniveaus, die Schichtdicke, das Vorhandensein oder die Abwesenheit von optionalen Bereichen oder dergleichen möglich sind, so lange die wesentlichen Merkmale der Erfindung, insbesondere das Vorsehen des lateralen Driftgebietes mit einem Ladungsprofil mit einem linearen Gradienten über einen Großteil des lateralen Bereiches und das Vorsehen eines an die Oberfläche anschließenden Drain-Erweiterungsgebiet mit p-Typ-Leitfähigkeit in dem Driftgebiet vorhanden sind.

[0029] Somit sieht die vorliegende Erfindung eine laterale SOI-Vorrichtungsstruktur vor, welche dazu in der Lage ist, eine hohe Performance in einer Hochspannungs-, Hochstromumgebung vorzusehen, während eine Herstellung von PMOS-Vorrichtungen auf einfache und wirtschaftliche Art und Weise unter Verwendung herkömmlicher Technologie ermöglicht wird.

[0030] Während die Erfindung insbesondere im Hinblick auf verschiedene bevorzugte Ausführungsbeispiele gezeigt und beschrieben worden ist, sei darauf hingewiesen, dass ein Fachmann verschiedene Änderungen in der Form und in dem Detail durchführen kann, ohne den Schutzbereich der Erfindung zu verlassen. In dieser Anmeldung sollte das Wort „ein“ oder „eine“ vor einem Element nicht das Vorhandensein einer Vielzahl derartiger Elemente ausschließen, und das Wort „mit“ schließt das Vorhandensein von weiteren Elementen oder Schritten anders als die

beschriebenen oder beanspruchten nicht aus.

Patentansprüche

1. Laterale Dünnschicht-Silicon-On-Insulator (SOI)-PMOS-Anordnung (20), welche ein Halbleiter-substrat (22), eine vergrabene Isolationsschicht auf dem Substrat (24) und eine laterale PMOS-Transistoranordnung in einer SOI-Schicht (26) auf der vergrabenen Isolationsschicht umfasst, und welche aufweist:

ein Source-Gebiet (28) mit p-Typ-Leitfähigkeit, welche in einem Körpergebiet (30) mit n-Typ-Leitfähigkeit gebildet ist,

ein laterales Driftgebiet (32) mit n-Typ-Leitfähigkeit anschließend an das Körpergebiet,

ein Drain-Gebiet (34) mit p-Typ-Leitfähigkeit, welches seitlich von dem Körpergebiet durch das laterale Driftgebiet (32) beabstandet ist, und

eine Gate-Elektrode (36) über einen Teil des Körpergebiets, in welchem ein Kanal-Gebiet während des Betriebs gebildet wird, und welches sich über einen Teil des lateralen Driftgebiets neben dem Körpergebiet erstreckt, wobei die Gate-Elektrode (36) von dem Körpergebiet (30) und dem Driftgebiet (32) durch ein Isolationsgebiet (38) isoliert ist, **dadurch gekennzeichnet**, dass das laterale Driftgebiet (32) mit einem Ladungsprofil mit einem linearen Gradienten über mindestens einen größeren Abschnitt seiner lateralen Erstreckung versehen ist, so dass das Dotierungsniveau in dem lateralen Driftgebiet in einer Richtung von dem Drain-Gebiet (34) zu dem Source-Gebiet (28) zunimmt, und wobei ein an die Oberfläche anschließendes Drain-Erweiterungsgebiet (46) mit p-Typ-Leitfähigkeit in dem Driftgebiet (32) vorgesehen ist und sich von dem Drain-Gebiet (34) in die Nähe von, aber nicht in direkten Kontakt mit dem Körpergebiet (30) erstreckt.

2. Laterale Dünnschicht-Silicon-On-Insulator (SOI)-PMOS-Anordnung (20) nach Anspruch 1, wobei das n-Typ-Körpergebiet (30) aus einem Abschnitt des n-Typ-Driftgebiets (32) gebildet ist.

3. Laterale Dünnschicht-Silicon-On-Insulator (SOI)-PMOS-Anordnung (20) nach Anspruch 1, wobei ein Körper-Kontaktoberflächengebiet (40) mit n-Typ-Leitfähigkeit in dem Körpergebiet vorgesehen ist und das Source-Gebiet kontaktiert.

4. Laterale Dünnschicht-Silicon-On-Insulator (SOI)-PMOS-Anordnung (20) nach Anspruch 1, weiter umfassend ein Puffergebiet (48) mit p-Typ-Leitfähigkeit in dem Driftgebiet (32), welches sich unter dem Drain-Gebiet (34) von dem Drain-Erweiterungsgebiet (46) zu der vergrabenen Isolationsschicht (24) erstreckt.

5. Laterale Dünnschicht-Silicon-On-Insulator (SOI)-PMOS-Anordnung (20) nach Anspruch 1, wel-

che ferner eine dielektrische Schicht (50) über der PMOS-Anordnung und eine leitende Feldschicht (52) auf der dielektrischen Schicht (50) und über mindestens einen Abschnitt des Driftgebiets (32), umfasst.

6. Laterale Dünnschicht-Silicon-On-Insulator (SOI)-PMOS-Anordnung (20) nach Anspruch 5, wobei die leitfähige Feldschicht (52) über einem größeren Abschnitt des Driftgebiets (32) angeordnet und mit dem Source-Gebiet (28) der PMOS-Anordnung verbunden ist.

Es folgt ein Blatt Zeichnungen

Anhängende Zeichnungen

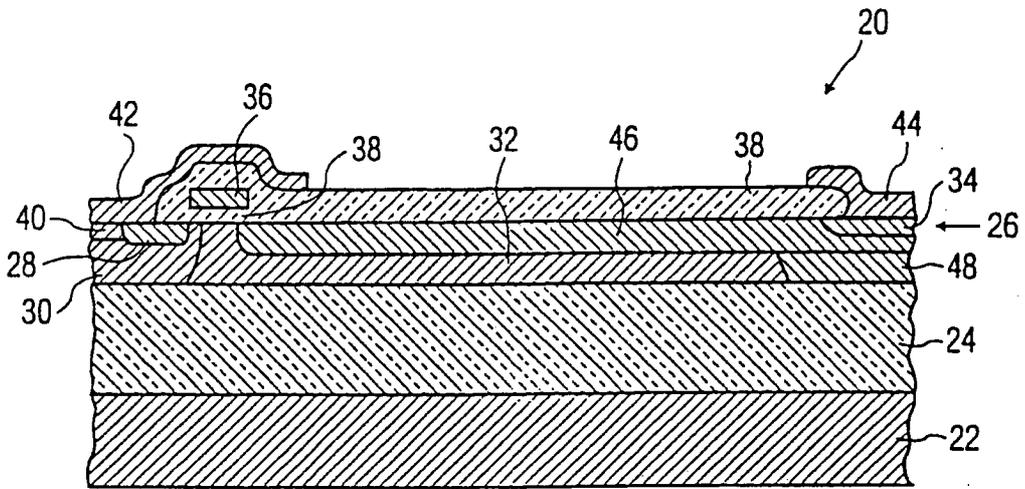


FIG. 1

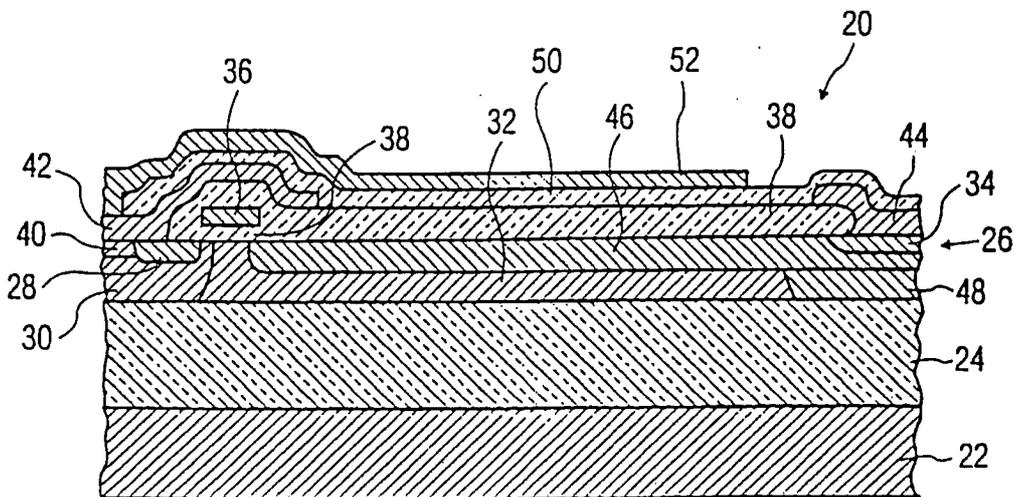


FIG. 2