

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4514369号
(P4514369)

(45) 発行日 平成22年7月28日 (2010.7.28)

(24) 登録日 平成22年5月21日 (2010.5.21)

(51) Int. Cl.		F I		
HO 1 L	21/8249	(2006.01)	HO 1 L	27/06 3 2 1 B
HO 1 L	27/06	(2006.01)	HO 1 L	29/72 Z
HO 1 L	21/331	(2006.01)		
HO 1 L	29/73	(2006.01)		

請求項の数 9 (全 25 頁)

<p>(21) 出願番号 特願2001-219446 (P2001-219446)</p> <p>(22) 出願日 平成13年7月19日 (2001.7.19)</p> <p>(65) 公開番号 特開2003-31709 (P2003-31709A)</p> <p>(43) 公開日 平成15年1月31日 (2003.1.31)</p> <p>審査請求日 平成18年6月8日 (2006.6.8)</p>	<p>(73) 特許権者 000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号</p> <p>(74) 代理人 100085464 弁理士 野口 繁雄</p> <p>(72) 発明者 根来 宝昭 東京都大田区中馬込1丁目3番6号 株式会社リコー内</p> <p>審査官 池淵 立</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の拡散層からなるコレクタと、
前記コレクタ上にゲート絶縁膜を介して形成されたゲート電極と、
前記ゲート電極が形成された領域と一部重複して前記コレクタ内に形成された第1導電型とは逆導電型である第2導電型の拡散層からなるベースと、
前記ベース内の前記ゲート電極に隣接した領域に形成された第1導電型の拡散層からなるエミッタと、
前記ベース内に前記エミッタと間隔をもって形成された第2導電型の拡散層からなるベース用高濃度オーミック拡散層と、
前記ゲート電極に対して前記エミッタとは反対側の領域の前記コレクタ内に形成された第1導電型の拡散層からなるコレクタ用高濃度オーミック拡散層とを備え、
前記ゲート電極と前記ベースが同電位になるように配線が形成されてなるバイポーラトランジスタを備えている半導体装置。

【請求項2】

第1導電型の拡散層からなるコレクタと、
前記コレクタ上にゲート絶縁膜を介して形成されたゲート電極と、
前記ゲート電極が形成された領域と一部重複して前記コレクタ内に形成された第1導電型とは逆導電型である第2導電型の拡散層からなるベースと、
前記ベース内の前記ゲート電極と隣接した領域に形成された第1導電型の拡散層からなる

エミッタと、

前記ベース内に前記エミッタと間隔をもって形成された第2導電型の拡散層からなるベース用高濃度オーミック拡散層と、

前記ゲート電極に対して前記エミッタとは反対側の領域の前記コレクタ内に形成された第1導電型の拡散層からなるコレクタ用高濃度オーミック拡散層とを備え、

前記ゲート電極と前記エミッタが同電位になるように配線が形成されてなるバイポーラトランジスタを備えている半導体装置。

【請求項3】

前記コレクタ用高濃度オーミック拡散層は前記ゲート電極と間隔をもって形成されている請求項1又は2に記載の半導体装置。

10

【請求項4】

前記ゲート電極と前記コレクタ用高濃度オーミック拡散層との間の前記コレクタ内に、前記コレクタよりも濃く、かつ前記コレクタ用高濃度オーミック拡散層よりも薄い第1導電型の不純物濃度をもつ拡散層からなる中濃度コレクタをさらに備えている請求項3に記載の半導体装置。

【請求項5】

出力ドライバからの出力電圧を基準電圧と比較しその出力電圧が一定なるようにフィードバックをかける定電圧電源を備えた半導体装置において、

そこで使用される前記出力ドライバが請求項1から4のいずれかに記載のバイポーラトランジスタであることを特徴とする半導体装置。

20

【請求項6】

内蔵スイッチの切替え動作によりコンデンサに電荷を充放電させることにより電流を流すチャージポンプ方式のDC/DCコンバータを備えた半導体装置において、

そこで使用される少なくとも1つの前記内蔵スイッチが請求項1から4のいずれかに記載のバイポーラトランジスタであることを特徴とする半導体装置。

【請求項7】

以下の工程(A)から(F)を含んでバイポーラトランジスタを形成することを特徴とする半導体装置の製造方法。

(A)半導体基板に第1導電型の拡散層からなるコレクタを形成する工程、

(B)前記コレクタ表面にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成する工程、

30

(C)前記ゲート電極の一側面側の前記コレクタ内に第2導電型の不純物注入を行ない、その後熱拡散処理を行なって、前記コレクタ内に前記ゲート電極に対して自己整合的に第2導電型の拡散層からなるベースを形成する工程、

(D)前記ゲート電極に対して前記ベースとは反対側の領域及び前記ベース内の前記ゲート電極に隣接する領域に第1導電型の不純物注入を行なって、前記コレクタ内に第1導電型の拡散層からなるコレクタ用高濃度オーミック拡散層を形成し、前記ベース内に前記ゲート電極に対して自己整合的に第1導電型の拡散層からなるエミッタを形成する工程、

(E)前記ベース内の前記エミッタと間隔をもつ領域に第2導電型の不純物注入を行なって、前記ベース内に前記エミッタと間隔をもって第2導電型の拡散層からなるベース用高濃度オーミック拡散層を形成する工程、

40

(F)前記ゲート電極と前記ベースが同電位になるように配線を形成する工程。

【請求項8】

以下の工程(A)から(F)を含んでバイポーラトランジスタを形成することを特徴とする半導体装置の製造方法。

(A)半導体基板に第1導電型の拡散層からなるコレクタを形成する工程、

(B)前記コレクタ表面にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成する工程、

(C)前記ゲート電極の一側面側の前記コレクタ内に第2導電型の不純物注入を行ない、その後熱拡散処理を行なって、前記コレクタ内に前記ゲート電極に対して自己整合的に第

50

2 導電型の拡散層からなるベースを形成する工程、

(D) 前記ゲート電極に対して前記ベースとは反対側の領域及び前記ベース内の前記ゲート電極に隣接する領域に第 1 導電型の不純物注入を行なって、前記コレクタ内に第 1 導電型の拡散層からなるコレクタ用高濃度オーミック拡散層を形成し、前記ベース内に前記ゲート電極に対して自己整合的に第 1 導電型の拡散層からなるエミッタを形成する工程、

(E) 前記ベース内の前記エミッタと間隔をもつ領域に第 2 導電型の不純物注入を行なって、前記ベース内に前記エミッタと間隔をもって第 2 導電型の拡散層からなるベース用高濃度オーミック拡散層を形成する工程、

(F) 前記ゲート電極と前記エミッタが同電位になるように配線を形成する工程。

【請求項 9】

前記工程 (C) を行なった後、前記工程 (D) を行なう前に、前記ゲート電極に対して前記ベースとは反対側の領域の前記コレクタ内に第 1 導電型の不純物注入を行なって前記ゲート電極に対して自己整合的に中濃度コレクタを形成する工程 (C ') を含み、前記工程 (D) において、前記コレクタ用高濃度オーミック拡散層を前記ゲート電極と間隔をもってかつ前記中濃度コレクタに隣接して形成する請求項 7 又は 8 に記載の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特にバイポーラトランジスタを備えた半導体装置及びその製造方法に関するものである。

本発明の半導体装置は、例えば高耐圧用出力ドライバを備えた定電圧電源や、インバータ出力部のドライバトランジスタ (N P N 、 P N P バイポーラトランジスタ) を備えた D C / D C コンバータなどに適用される。

【 0 0 0 2 】

【従来の技術】

定電圧電源や D C / D C コンバータなどの回路を備えた半導体装置において、最近、さまざまな用途で使用するために、半導体装置の高出力電流の要求が大きくなっている。そこで使用される高耐圧用スイッチとして例えば L D M O S トランジスタ (横方向二重拡散絶縁ゲート型電界効果トランジスタ) が用いられている。L D M O S トランジスタはドレインに高耐圧をかけることができ、さらに実効長を小さくすることができる。

【 0 0 0 3 】

L D M O S トランジスタは、ソースを囲むようにソース及びドレインとは逆導電型の低濃度不純物層を形成し、ゲート電極直下の低濃度不純層表面にチャンネルを形成する電界効果トランジスタである。

図 1 9 は N チャンネル型 L D M O S トランジスタの一例を示す断面図である。

高抵抗の N 型ドレイン領域 1 0 2 上にゲート酸化膜 1 0 4 を介してポリシリコンゲート電極 1 0 6 が形成されており、ゲート電極 1 0 6 のソース側端部をマスクにして P 型不純物が注入され熱拡散されてチャンネル領域 1 0 8 が形成されている。低抵抗の N 型ソース 1 1 0 と N 型ドレイン用高濃度オーミック拡散層 1 1 2 が、ゲート電極 1 0 6 をマスクとした P 型不純物のイオン注入と熱拡散により形成されている。1 1 4 は層間絶縁膜、1 1 6 , 1 1 8 はそれぞれ N 型ソース 1 1 0 , N 型ドレイン 1 1 2 と接続された電極配線である (特開平 7 - 3 0 2 9 0 3 号公報参照) 。

【 0 0 0 4 】

しかし、L D M O S トランジスタでは、オン抵抗を下げるためにゲート酸化膜 1 0 4 を薄く形成している。そのため、ゲート酸化膜 1 0 4 が破壊しない程度にゲート電極 1 0 6 に電圧を印加して L D M O S トランジスタを動作させる必要がある。ゲート酸化膜 1 0 4 を例えば 2 5 0 の膜厚で形成した場合、2 5 ボルト以上の電圧をかけるとゲート酸化膜 1 0 4 は簡単に破壊してしまうため、ゲート電極 1 0 6 へは 1 5 V 程度の電圧しか印加することができない。したがってドレイン電圧とゲート電圧を同じ設定で動作させることができないこととなる。

10

20

30

40

50

【 0 0 0 5 】

例えばDC / DC製品では、効率を重視するため、入力電圧（電源電位）と接地電位でのインバータ出力が必要とされる。このとき、ゲート電極に印加する電圧の大きさを制限させて使うようにするには、内部降圧回路などによりゲート電圧に印加する電圧を下げる方法が挙げられる。しかし、この方法は結局、電圧を下げる点で効率低下なるため、その解決を図る必要性があった。

【 0 0 0 6 】

その解決方法として、高耐圧用スイッチとしてバイポーラトランジスタを用いる方法がある。バイポーラトランジスタではベース拡散がMOSトランジスタのゲート電極に相当し、入力を電圧で制御する方法ではなく順方向電流を流して動作させるトランジスタである。順方向電流を流して動作させるので、その入力印加電圧は1ボルト程度しか発生しないことが知られている。

オン抵抗が低いバイポーラトランジスタを形成する場合、一般的には縦型構造のバイポーラトランジスタ（縦型バイポーラトランジスタ）が用いられる。しかし、縦型バイポーラトランジスタの構造においては、コレクタを構成するエピタキシャル層と、コレクタ抵抗を下げるための埋込み層と、コレクタ抵抗の低抵抗化のためのコレクタウオール拡散層が必要である。さらに、他の素子との拡散分離のためのアイソレーション拡散層も必要である。このように、縦型構造のバイポーラトランジスタは、製造プロセスが複雑であるという問題があった。

【 0 0 0 7 】

一方、比較的簡単に製造できる横型構造のバイポーラトランジスタ（横型バイポーラトランジスタ）がある。しかし、高耐圧を実現するためには、エミッタとコレクタ間の距離を離して配置する必要があるため、ベース幅が広がり、電流を流す部分が対向するコレクタ、エミッタ間の表面のみとなり、縦型バイポーラトランジスタと比較して電流増幅が得られないという問題があった。

【 0 0 0 8 】

そこで、本発明者はバイポーラトランジスタとして、異なる導電型の二重拡散をポリシリコンゲート電極に対して自己整合的に形成することにより製造することができる製造プロセスの簡単なLDMOSTランジスタ構造を検討した。LDMOSTランジスタは、ドレイン拡散層、チャンネル拡散層及びソース拡散層を備えており、これらの拡散層は、ゲート酸化膜直下の領域では横型バイポーラトランジスタ構造をもち、さらにその直下の領域では縦型バイポーラトランジスタ構造をもつ。このため、LDMOSTランジスタ構造は、ドレイン拡散層をコレクタ、チャンネル拡散層をベース、ソース拡散層をエミッタとしてバイポーラトランジスタ動作させた場合、ベース幅を小さくしても、コレクタ、エミッタ間の耐圧を高耐圧に保つことができる可能性がある構造である。

しかし、LDMOSTランジスタ構造では、ゲート電極に高電圧を印加するとゲート酸化膜が破壊されるという問題があった。

【 0 0 0 9 】

【 発明が解決しようとする課題 】

そこで本発明は、製造プロセスが簡単なLDMOSTランジスタ構造を用い、ベース幅が小さく、かつゲート絶縁膜の破壊を抑制したバイポーラトランジスタを備えた半導体装置及びその製造方法を提供することを目的とするものである。

【 0 0 1 0 】

【 課題を解決するための手段 】

本発明にかかる半導体装置の第1の態様は、第1導電型の拡散層からなるコレクタと、上記コレクタ上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極が形成された領域と一部重複して上記コレクタ内に形成された第1導電型とは逆導電型である第2導電型の拡散層からなるベースと、上記ベース内の上記ゲート電極に隣接した領域に形成された第1導電型の拡散層からなるエミッタと、上記ベース内に上記エミッタと間隔をもって形成された第2導電型の拡散層からなるベース用高濃度オーミック拡散層と、上記ゲ

10

20

30

40

50

ート電極に対して上記エミッタとは反対側の領域の上記コレクタ内に形成された第1導電型の拡散層からなるコレクタ用高濃度オーミック拡散層とを備え、上記ゲート電極と上記ベースが同電位になるように配線が形成されてなるバイポーラトランジスタを備えているものである。

【0011】

本発明にかかる半導体装置の第2の態様は、第1導電型の拡散層からなるコレクタと、上記コレクタ上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極が形成された領域と一部重複して上記コレクタ内に形成された第1導電型とは逆導電型である第2導電型の拡散層からなるベースと、上記ベース内の上記ゲート電極と隣接した領域に形成された第1導電型の拡散層からなるエミッタと、上記ベース内に上記エミッタと間隔をも

10

【0012】

本発明の半導体装置を構成するバイポーラトランジスタにおいて、第1の態様ではゲート電極とベースが同電位になるように配線が形成されており、第2の態様ではゲート電極とエミッタが同電位になるように配線が形成されている。

第1の態様及び第2の態様のバイポーラトランジスタについて、エミッタとベースを同電位にしてオフさせた状態では、LDMOSトランジスタのオフ状態と同様に、コレクタ(LDMOSトランジスタのドレインに相当)とベース(LDMOSトランジスタのチャネル)に電位差が生じると、コレクタとベースの接合面近傍にコレクタ側とベース側の両方に空乏層が生じ、高耐圧を維持できる。

20

【0013】

一方、第1の態様及び第2の態様のバイポーラトランジスタについて、エミッタとベースに電位差を生じさせてオンさせた状態では、LDMOSトランジスタを含むDMOS(Double Diffused MOS、二重拡散MOS)とは異なって、ベース、エミッタ間が順方向電圧になる。

第1の態様のバイポーラトランジスタでは、オンさせた状態では、ゲート電極とベースが同電位にされているのでエミッタ、ゲート電極間に電圧がかかるが、ベース、エミッタ間が順方向電圧になっているので、エミッタ、ゲート電極間には順方向電圧しかかからず、ゲート電極には高電圧は印加されない。これにより、ベースへの入力電圧として高電圧、例えば電源電位を印加してもゲート絶縁膜の破壊を抑制することができ、安定した動作を得ることができる。

30

第2の態様のバイポーラトランジスタでは、オンさせた状態では、ゲート電極とエミッタが同電位にされているのでベース、ゲート電極間に電圧がかかるが、ベース、エミッタ間が順方向電圧になっているので、ベース、ゲート電極間には順方向電圧しかかからず、ゲート絶縁膜には順方向電圧しかかからない。これにより、ベースへの入力電圧として高電圧、例えば電源電位を印加してもゲート絶縁膜の破壊を抑制することができ、安定した動作を得ることができる。

40

【0014】

さらに、第1の態様及び第2の態様のバイポーラトランジスタにおいて、ベース内でエミッタとベース用高濃度オーミック拡散層を接触させて配置すると、互いに濃い拡散層なので、エミッタとベース用高濃度オーミック拡散層との接合でリークが発生する虞れがある。そこで、第1の態様及び第2の態様のバイポーラトランジスタでは、ベース内でエミッタとベース用高濃度オーミック拡散層を間隔をもって配置している。

第1の態様及び第2の態様のバイポーラトランジスタは、ゲート電極直下の横型バイポーラトランジスタ構造が主な動作となり、コレクタ、ベース、エミッタと濃度勾配をつけることが可能となり、ベース幅を小さくすることができ、小面積で高効率のバイポーラト

50

ンジスタを実現できる。

【0015】

本発明にかかる半導体装置の製造方法の第1の局面では、以下の工程(A)から(F)を含んでバイポーラトランジスタを形成する。

(A)半導体基板に第1導電型の拡散層からなるコレクタを形成する工程、

(B)上記コレクタ表面にゲート絶縁膜を形成し、上記ゲート絶縁膜上にゲート電極を形成する工程、

(C)上記ゲート電極の一側面側の上記コレクタ内に第2導電型の不純物注入を行ない、その後熱拡散処理を行なって、上記コレクタ内に上記ゲート電極に対して自己整合的に第2導電型の拡散層からなるベースを形成する工程、

(D)上記ゲート電極に対して上記ベースとは反対側の領域及び上記ベース内の上記ゲート電極に隣接する領域に第1導電型の不純物注入を行なって、上記コレクタ内に第1導電型の拡散層からなるコレクタ用高濃度オーミック拡散層を形成し、上記ベース内に上記ゲート電極に対して自己整合的に第1導電型の拡散層からなるエミッタを形成する工程、

(E)上記ベース内の上記エミッタと間隔をもつ領域に第2導電型の不純物注入を行なって、上記ベース内に上記エミッタと間隔をもって第2導電型の拡散層からなるベース用高濃度オーミック拡散層を形成する工程、

(F)上記ゲート電極と上記ベースが同電位になるように配線を形成する工程。

【0016】

本発明にかかる半導体装置の製造方法の第2の局面では、上記製造方法の第1の局面と同じ工程(A)から(E)を含み、続けて以下の工程(F)を行なってバイポーラトランジスタを形成する。

(F)上記ゲート電極と上記エミッタが同電位になるように配線を形成する工程。

【0017】

製造方法の第1の局面によれば、半導体装置の第1の態様のバイポーラトランジスタを製造することができる。

製造方法の第2の局面によれば、半導体装置の第2の態様のバイポーラトランジスタを製造することができる。

製造方法の第1の局面及び第2の局面では、ゲート電極に対して自己整合的にベース及びエミッタを形成しているため、横型バイポーラトランジスタ構造の電流増幅率を決定し、最も電流が流れるベース幅を短く設定することができる。さらに、ゲート電極に対して自己整合的にベース及びエミッタを形成することにより、ベース幅の寸法に関して写真製版工程でのアライメントズレを考慮する必要はない。これにより、面積の小さな高効率のバイポーラトランジスタを製造することができる。

【0018】

【発明の実施の形態】

本発明の半導体装置において、上記コレクタ用高濃度オーミック拡散層は上記ゲート電極と間隔をもって形成されていることが好ましい。その結果、ゲートモジュレート効果を抑制して耐圧を向上させることができる。

【0019】

本発明の半導体装置において、上記コレクタ用高濃度オーミック拡散層と上記ゲート電極を間隔をもって配置する場合、上記ゲート電極と上記コレクタ用高濃度オーミック拡散層との間の上記コレクタ内に、上記コレクタよりも濃く、かつ上記コレクタ用高濃度オーミック拡散層よりも薄い第1導電型の不純物濃度をもつ拡散層からなる中濃度コレクタをさらに備えていることが好ましい。その結果、中濃度コレクタにより、ゲート電極とコレクタ用高濃度オーミック拡散層との間の拡散抵抗(コレクタ抵抗)を低減することができ、大電流領域での電流増幅率を向上させることができる。

【0020】

本発明の半導体装置を種々の応用装置に適用することができる。

その一例として、出力ドライバからの出力電圧を基準電圧と比較しその出力電圧が一定な

10

20

30

40

50

るようにフィードバックをかける定電圧電源を上げることができる。そこで使用される出力ドライバとして本発明の半導体装置を構成するバイポーラトランジスタを使用することが好ましい。その結果、耐圧を維持しつつ、出力ドライバとして使用するバイポーラトランジスタの大きさを小さくすることができ、チップ面積の縮小化を図ることができる。

【0021】

本発明の半導体装置を適用する他の例として、内蔵スイッチの切替え動作によりコンデンサに電荷を充放電させることにより電流を流すチャージポンプ方式のDC/DCコンバータを上げることができる。そこで使用される少なくとも1つの上記内蔵スイッチとして本発明の半導体装置を構成するバイポーラトランジスタを使用することが好ましい。その結果、耐圧を維持しつつ、内蔵スイッチとして使用するバイポーラトランジスタの大きさを小さくすることができ、チップ面積の縮小化を図ることができる。

10

【0022】

本発明の製造方法において、上記工程(C)を行なった後、上記工程(D)を行なう前に、上記ゲート電極に対して上記ベースとは反対側の領域の上記コレクタ内に第1導電型の不純物注入を行なって上記ゲート電極に対して自己整合的に中濃度コレクタを形成する工程(C')を含み、上記工程(D)において、上記コレクタ用高濃度オーミック拡散層を上記ゲート電極と間隔をもってかつ上記中濃度コレクタに隣接して形成することが好ましい。その結果、中濃度コレクタの位置はゲート電極端で決定されるため、中濃度コレクタ、ベース間の距離に関して写真製版工程でのアライメントズレを考慮する必要がなくなる。

20

【0023】

【実施例】

図1は半導体装置の第1の態様の一実施例を示す断面図である。この実施例は本発明の半導体装置の第1の態様を構成するバイポーラトランジスタをNPNバイポーラトランジスタに適用したものである。

P型の半導体基板(P型基板)1表面に素子分離用のフィールド酸化膜2が形成されている。バイポーラトランジスタ形成領域のP型基板1にN型の拡散層からなるコレクタ(Nwell)3が形成されている。コレクタ3内にP型の拡散層からなるベース(Pbody)5が形成されている。ベース5内にN型の拡散層からなるエミッタ(N⁺)7とP型の拡散層からなるベース用高濃度オーミック拡散層(P⁺)9が間隔をもって形成されている。エミッタ7とベース用高濃度オーミック拡散層9の間隔は例えば1.5 μm以上である。コレクタ3内には、ベース5と間隔をもって、コレクタ3よりも濃い濃度でN型不純物が導入されたN型の拡散層からなるコレクタ用高濃度オーミック拡散層(N⁺)11が形成されている。

30

【0024】

エミッタ7、コレクタ用高濃度オーミック拡散層11間の領域に、コレクタ3上及びベース5上にまたがり、エミッタ7に隣接し、かつコレクタ用高濃度オーミック拡散層11と間隔をもって、ゲート酸化膜13を介して例えば導電性のポリシリコンからなるゲート電極15が形成されている。ゲート電極15とコレクタ用高濃度オーミック拡散層11の間隔は例えば1.5 μm以上である。ベース5及びエミッタ7はゲート電極15に対して自己整合的に形成されたものである。

40

【0025】

エミッタ7はエミッタ配線17を介して接地電位19に電氣的に接続されている。コレクタ用高濃度オーミック拡散層11はコレクタ配線21を介して電源電位23に電氣的に接続されている。ベース用高濃度オーミック拡散層9にはベース配線25が電氣的に接続されており、ゲート電極15にはゲート電極配線27が電氣的に接続されている。ベース配線25とゲート電極配線27は電氣的に接続されている。ベース配線25及びゲート電極配線27は、入力電圧が印加される入力端子29に電氣的に接続されている。

【0026】

図2及び図3は、図1に示したバイポーラトランジスタを製造するための、製造方法の第

50

1の局面の一実施例を示す工程断面図である。図1、図2及び図3を参照して製造方法の一実施例を説明する。

(1) P型基板1上に、写真製版によりコレクタ形成領域に開口部をもつレジストパターンを形成し、そのレジストパターンをマスクにして、 150 KeV の加速エネルギー、 $4.0 \times 10^{12}\text{ cm}^{-2}$ 程度のドーズ量の条件でP型基板1にリンの注入を行なう。レジストパターンを除去した後、 1180°C 、8時間の条件でリンの熱拡散処理を行ない、コレクタ(Nwell)3を形成する(図2(a)参照)。

【0027】

(2) LOCOS(Local Oxidation of Silicon)法により、P型基板1表面にフィールド酸化膜2を 8000 \AA 程度の膜厚で形成し、バイポーラトランジスタ形成領域及び他の素子領域(図示は省略)を分離形成する(図2(b)参照)。

10

【0028】

(3) P型基板1表面にゲート酸化膜13を 300 \AA の膜厚で形成し、さらにその上に例えばCVD(化学的気相成長)法により、ポリシリコン膜を 3500 \AA の膜厚で形成する。そのポリシリコン膜に例えば気相拡散法により過飽和のリンを拡散させた後、写真製版によりポリシリコン膜をパターンニングしてゲート電極15を形成する(図2(c)参照)。

【0029】

(4) ゲート電極15の一側面に隣接するベース形成領域及びゲート電極15上に開口部をもつレジストパターンを形成し、そのレジストパターン及びゲート電極15をマスクにして、 30 KeV の加速エネルギー、 $2.5 \times 10^{13}\text{ cm}^{-2}$ 程度のドーズ量の条件でコレクタ3にボロンを注入する。レジストパターンを除去した後、処理温度が 1100°C 、処理時間が3時間程度の条件で熱拡散処理を行ない、ゲート電極15に対して自己整合的にベース(Pbody)5を形成する(図2(d)参照)。

20

【0030】

(5) P型基板1上に、ベース5上のゲート電極15に隣接した領域、ゲート電極15上、及びコレクタ3上のゲート電極15に対してベース5とは反対側の領域に開口部をもつレジストパターンを形成する。このとき、コレクタ3上にはゲート電極15に隣接して幅寸法が例えば $1.5\text{ }\mu\text{m}$ 以上のレジストパターンが存在するようにレジストパターンを形成する。そのレジストパターンをマスクにして、 50 KeV の加速エネルギー、 $6.0 \times 10^{15}\text{ cm}^{-2}$ 程度のドーズ量の条件で、コレクタ3及びベース5に、リン又は砒素の注入を同時に行なう。レジストパターンを除去した後、処理温度が 920°C 、処理時間が1時間程度の条件で熱拡散処理を施して不純物を熱拡散させ、ベース5内のゲート電極15に隣接する領域にエミッタ(N^+)7を形成し、コレクタ3内にゲート電極15とは例えば $1.5\text{ }\mu\text{m}$ 以上の間隔をもってコレクタ用高濃度オーミック拡散層(N^+)11形成する(図3(e)参照)。

30

【0031】

(6) P型基板1上に、ベース5上のエミッタ7とは例えば $1.5\text{ }\mu\text{m}$ 以上の間隔をもって開口部が位置するようにレジストパターンを形成する。そのレジストパターンをマスクにして、 30 KeV の加速エネルギー、 $2.0 \times 10^{15}\text{ cm}^{-2}$ 程度のドーズ量の条件で、ベース用高濃度オーミック拡散層を形成するためのボロン注入を行なう。レジストパターンを除去した後、処理温度が 920°C 、処理時間が1時間程度の条件で熱拡散処理を施して不純物を熱拡散させ、ベース5内にベース用高濃度オーミック拡散層(P^+)9形成する(図3(f)参照)。

40

【0032】

図1を参照して続きの工程を説明すると、P型基板1上に層間絶縁膜(図示は省略)を形成し、エミッタ7上、ベース用高濃度オーミック拡散層9上及びコレクタ用高濃度オーミック拡散層11上の層間絶縁膜にコンタクトホール(図示は省略)をそれぞれ形成する。各コンタクトホールに導電材料を充填し、層間絶縁膜上に配線17, 21, 25, 27を形成して、エミッタ配線17を介してエミッタ7を接地電位19に電氣的に接続し、コレ

50

クタ配線 2 1 を介してコレクタ用高濃度オーミック拡散層 1 1 を電源電位 2 3 に電氣的に接続し、ベース配線 2 5 及びゲート電極配線 2 7 を介してベース用高濃度オーミック拡散層 9 及びゲート電極 1 5 を入力端子 2 9 に電氣的に接続する。

【 0 0 3 3 】

この製造方法の実施例によれば、図 1 に示したバイポーラトランジスタを製造することができる。さらに、ベース 5 及びエミッタ 7 をゲート電極 1 5 に対して自己整合的に形成しているため、横型バイポーラトランジスタ構造の電流増幅率を決定し、最も電流が流れるベース幅を短く設定することができる。さらに、ベース 5 及びエミッタ 7 をゲート電極 1 5 に対して自己整合的に形成することにより、ベース幅の寸法に関して、写真製版工程でのアライメントズレを考慮する必要はない。これにより、面積の小さな高効率のバイポーラトランジスタを製造することができる。

10

【 0 0 3 4 】

図 1 に示した実施例のバイポーラトランジスタをオフさせた状態では、ゲート電極 1 5 のゲート電圧、ベース 5 のベース電圧及びエミッタ 7 のエミッタ電圧が同じ電位（接地電位）になる。オフさせた状態では、DMOS トランジスタと同様に、コレクタ配線 2 1 及びコレクタ用高濃度オーミック拡散層 1 1 を介してコレクタ 3（DMOS トランジスタのドレインに相当）に正のコレクタ電圧（電源電位）が印加されており、コレクタ 3 とベース 5（DMOS トランジスタのチャンネルに相当）の接合面に、コレクタ 3 側及びベース 5 側の両方に空乏化が生じ、高耐圧が維持される

【 0 0 3 5 】

図 4 は、この実施例のバイポーラトランジスタをオフさせた状態での耐圧特性を示す図であり、縦軸はコレクタ電流 I_C （単位は A（アンペア））、横軸はコレクタ - エミッタ間の電圧 V_{CE} （単位は V（ボルト））を示す。

20

図 4 に示すように、コレクタ - エミッタ間の電圧 V_{CE} が 0 ~ 30 V までの間は数百ピコ A のコレクタ電流 I_C しか流れず、LDMOS トランジスタのオフ状態と同様の耐圧特性をもつことが分かる。

【 0 0 3 6 】

一方、この実施例のバイポーラトランジスタをオンさせた状態では、ベース配線 2 5 及びベース用高濃度オーミック拡散層 9 を介してベース 5 に入力電圧としての電源電位が印加され、ゲート電極配線 2 7 を介してゲート電極 1 5 にも電源電位が印加される。DMOS トランジスタではソース、チャンネル間は同電位であるが、この実施例のバイポーラトランジスタでは、チャンネルをベース、ソースをエミッタとするため、ベース 5 に正のベース電圧が印加されるのでベース 5、エミッタ 7 間が順方向電圧になる。これにより、ゲート電極 1 5 には高電圧が印加されない。図 5 を用いてその一例を説明する。

30

【 0 0 3 7 】

図 5 は、この実施例のバイポーラトランジスタをオンさせた状態でのコレクタ電流 I_C とコレクタ - エミッタ間の電圧 V_{CE} との関係（下方のデータ）と、ゲート電圧 V_G とコレクタ - エミッタ間の電圧 V_{CE} との関係（上方のデータ）を表す図であり、左の縦軸はコレクタ電流 I_C （単位は mA（ミリアンペア））、右の縦軸はゲート電圧 V_G （単位は V）、横軸はコレクタ - エミッタ間の電圧 V_{CE} （単位は V）を示す。

40

図 5 に示すように、ベース 5 と同電位になっているゲート電圧 V_G は 0.8 ~ 0.9 V 程度の電圧で維持され、ゲート電極 1 5 には高電圧は印加されない。これにより、ゲート酸化膜 1 3 の破壊を抑制することができ、バイポーラトランジスタの安定な動作を得ることができる。

【 0 0 3 8 】

この実施例のバイポーラトランジスタでは、ベース 5 及びゲート電極 1 5 へ供給する入力電源として電流制限をかければ、電源電位と接地電位を用いることができ、従来技術のように電源電圧を下げるための内部降圧回路などを設けなくてよいので、例えば DC / DC コンバータなどの回路に組み込んだ場合に効率低下を招くことはない。

【 0 0 3 9 】

50

この実施例のバイポーラトランジスタでは、従来のバイポーラトランジスタとは異なってゲート電極15が設けられている。ゲート電極15への正の電圧印加によりチャンネルができやすい状態になる。さらに、エミッタ7とベース用高濃度オーミック拡散層9を間隔をもって配置することにより、エミッタ、ベース間の接合リークを低減している。これらの作用により、従来のバイポーラトランジスタに比べて、低電流領域の電流増幅率を向上できるという効果もある。

【0040】

図6は、この実施例のバイポーラトランジスタの電流増幅率リニアリティ特性を示す図であり、縦軸は電流増幅率 h_{fe} 、横軸はコレクタ電流 I_C （単位はA）を示す。ここで、電流増幅率 h_{fe} は（コレクタ電流 I_C ）／（ベース電流 I_B ）により算出される。

図6に示すように、コレクタ電流 I_C の低電流領域では、従来のバイポーラトランジスタよりもかなり高い電流増幅率 h_{fe} を示した。この実施例のバイポーラトランジスタを例えば定電圧電源の出力ドライバとして使用する場合、従来のバイポーラトランジスタを使用する場合に比べて、低出力電流時の消費電流を低減できる。

一方、コレクタ電流 I_C の高電流領域では、従来のバイポーラトランジスタと同様の電流増幅率リニアリティ特性を示した。

【0041】

図7は半導体装置の第1の態様の他の実施例を示す断面図である。この実施例は本発明の半導体装置の第1の態様を構成するバイポーラトランジスタをPNPバイポーラトランジスタに適用したものである。

N型の半導体基板（N型基板）31表面に素子分離用のフィールド酸化膜32が形成されている。バイポーラトランジスタ形成領域のN型基板31にP型の拡散層からなるコレクタ（Pwell）33が形成されている。コレクタ33内にN型の拡散層からなるベース（Nbody）35が形成されている。ベース35内にP型の拡散層からなるエミッタ（P⁺）37とN型の拡散層からなるベース用高濃度オーミック拡散層（N⁺）39が間隔をもって形成されている。エミッタ37とベース用高濃度オーミック拡散層39の間隔は例えば1.5 μm以上である。コレクタ33内には、ベース35と間隔をもって、コレクタ33よりも濃い濃度でP型不純物が導入されたP型の拡散層からなるコレクタ用高濃度オーミック拡散層（P⁺）41が形成されている。

【0042】

エミッタ37、コレクタ用高濃度オーミック拡散層41間の領域に、コレクタ33上及びベース35上にまたがり、エミッタ37に隣接し、かつコレクタ用高濃度オーミック拡散層41と間隔をもって、ゲート酸化膜43を介して例えば導電性のポリシリコンからなるゲート電極45が形成されている。ゲート電極45とコレクタ用高濃度オーミック拡散層41の間隔は例えば1.5 μm以上である。ベース35及びエミッタ37はゲート電極45に対して自己整合的に形成されたものである。

【0043】

エミッタ37はエミッタ配線47を介して電源電位23に電氣的に接続されている。コレクタ用高濃度オーミック拡散層41はコレクタ配線51を介して接地電位19に電氣的に接続されている。ベース用高濃度オーミック拡散層39にはベース配線55が電氣的に接続されており、ゲート電極45にはゲート電極配線57が電氣的に接続されている。ベース配線55とゲート電極配線57は電氣的に接続されている。ベース配線55及びゲート電極配線57は、入力電圧が印加される入力端子29に電氣的に接続されている。

【0044】

この実施例のバイポーラトランジスタは、図2及び図3を参照して説明した製造方法実施例の上記工程（1）から（6）とは逆導電型により同様の工程を行なうことにより製造できる。図2及び図3を参照して説明した製造方法の実施例を逆導電型にした製造方法においても、図2及び図3を参照して説明した製造方法の実施例と同様に、ベース35及びエミッタ37をゲート電極45に対して自己整合的に形成するので、ベース幅を短く設定することができる。さらに、ベース35及びエミッタ37をゲート電極45に対して自己整

10

20

30

40

50

合的に形成することにより、ベース幅の寸法に関して写真製版工程でのアライメントズレを考慮する必要はない。これにより、面積の小さな高効率のバイポーラトランジスタを製造することができる。

【 0 0 4 5 】

図 7 に示した実施例のバイポーラトランジスタをオフさせた状態では、ゲート電極 4 5 のゲート電圧、ベース 3 5 のベース電圧及びエミッタ 3 7 のエミッタ電圧が同じ電位（電源電位）になる。ベース配線 5 5 及びベース用高濃度オーミック拡散層 3 9 を介してベース 3 5 に正のベース電圧（電源電位）が印加された状態では、コレクタ 3 3 とベース 3 5 の接合面に、コレクタ 3 3 側及びベース 3 5 側の両方に空乏化が生じ、高耐圧が維持される。

10

【 0 0 4 6 】

一方、この実施例のバイポーラトランジスタをオンさせた状態では、ベース配線 5 5 及びベース用高濃度オーミック拡散層 3 9 を介してベース 3 5 が電源電位以下になり、ゲート電極 4 5 もゲート電極配線 5 7 を介してベース 3 5 と同電位になる。ベース 3 5 の電位がエミッタ 3 7 に印加されている電源電位よりも低電位になるのでエミッタ 3 7、ベース 3 5 間が順方向電圧になる。これにより、ゲート電極 4 5 には高電圧が印加されないので、ゲート酸化膜 4 3 の破壊を抑制することができ、バイポーラトランジスタの安定な動作を得ることができる。

【 0 0 4 7 】

この実施例のバイポーラトランジスタでは、ベース 3 9 及びゲート電極 4 5 へ供給する入力電源として電流制限をかければ、電源電位と接地電位を用いることができ、従来技術のように電源電圧を下げるための内部降圧回路などを設けなくてよいので、例えば DC / DC コンバータなどの回路に組み込んだ場合に効率低下を招くことはない。

20

【 0 0 4 8 】

この実施例のバイポーラトランジスタでは、従来のバイポーラトランジスタとは異なってゲート電極 4 5 が設けられている。ゲート電極 4 5 を接地電位にしてエミッタ 3 7 よりも低電位にすることによりチャネルができやすい状態になる。さらに、エミッタ 3 7 とベース用高濃度オーミック拡散層 3 9 を間隔をもって配置することにより、エミッタ、ベース間の接合リークを低減している。これらの作用により、従来のバイポーラトランジスタに比べて、低電流領域の電流増幅率を向上できるという効果もある。

30

【 0 0 4 9 】

図 8 は半導体装置の第 2 の態様の一実施例を示す断面図である。この実施例は本発明の半導体装置の第 2 の態様を構成するバイポーラトランジスタを NPN バイポーラトランジスタに適用したものである。図 1 と同じ機能を果たす部分には同じ符号を付し、その部分の詳細な説明は省略する。

P 型基板 1 表面にフィールド酸化膜 2 が形成されている。P 型基板 1 のバイポーラトランジスタ形成領域に N 型の拡散層からなるコレクタ (Nwell) 3、P 型の拡散層からなるベース (Pbody) 5、N 型の拡散層からなるエミッタ (N⁺) 7、P 型の拡散層からなるベース用高濃度オーミック拡散層 (P⁺) 9、N 型の拡散層からなるコレクタ用高濃度オーミック拡散層 (N⁺) 11、ゲート酸化膜 13 及びゲート電極 15 により構成されるバイポーラトランジスタが形成されている。このバイポーラトランジスタは図 1 に示したバイポーラトランジスタと同じ構成である。

40

【 0 0 5 0 】

コレクタ用高濃度オーミック拡散層 11 はコレクタ配線 21 を介して電源電位 23 に電氣的に接続されている。ベース用高濃度オーミック拡散層 9 はベース配線 61 を介して入力端子 29 に電氣的に接続されている。エミッタ 7 にはエミッタ配線 65 が電氣的に接続されており、ゲート電極 15 にはゲート電極配線 67 が電氣的に接続されている。エミッタ配線 65 とゲート電極配線 67 は電氣的に接続されている。エミッタ配線 65 及びゲート電極配線 67 は、接地電位 19 に電氣的に接続されている。

【 0 0 5 1 】

50

この実施例のバイポーラトランジスタを製造するための、製造方法の第2の局面の実施例では、図2及び図3を参照して説明した上記工程(1)から(6)と同じ工程を行なった後、次の工程を行なう。

図8を参照して説明すると、P型基板1上に層間絶縁膜(図示は省略)を形成し、エミッタ7上、ベース用高濃度オーミック拡散層9上及びコレクタ用高濃度オーミック拡散層11上の層間絶縁膜にコンタクトホール(図示は省略)をそれぞれ形成する。各コンタクトホールに導電材料を充填し、層間絶縁膜上に配線21, 61, 65, 67を形成して、コレクタ配線21を介してコレクタ用高濃度オーミック拡散層11を電源電位23に電氣的に接続し、ベース配線61を介してベース用高濃度オーミック拡散層9を入力端子29に電氣的に接続し、エミッタ配線65及びゲート電極配線67を介してエミッタ7及びゲート電極15を接地電位19に電氣的に接続する。

10

この製造方法の実施例によれば、図2及び図3を参照して説明した製造方法の実施例と同じ作用効果をもって、図8に示したバイポーラトランジスタを製造することができる。

【0052】

図8に示した実施例のバイポーラトランジスタをオフさせた状態では、ゲート電極15のゲート電圧、ベース5のベース電圧及びエミッタ7のエミッタ電圧が同じ電位(接地電位)になる。この実施例のバイポーラトランジスタをオフさせた状態での耐圧特性は、図4に示した耐圧特性と同じである。すなわち、この実施例のバイポーラトランジスタをオフさせた状態では、コレクタ配線21及びコレクタ用高濃度オーミック拡散層11を介してコレクタ3に電源電位が印加されており、コレクタ3とベース5の接合面に、コレクタ3側及びベース5側の両方に空乏化が生じ、高耐圧が維持される。

20

【0053】

一方、この実施例のバイポーラトランジスタをオンさせた状態では、ベース配線61及びベース用高濃度オーミック拡散層9を介してベース5に入力電圧としての電源電位が印加される。ベース5に正のベース電圧が印加されることによってベース5、エミッタ7間が順方向電圧になる。これにより、ゲート電極15には高電圧が印加されない。その一例を図9を用いて説明する。

【0054】

図9は、この実施例のバイポーラトランジスタをオンさせた状態でのコレクタ電流 I_C とコレクタ-エミッタ間の電圧 V_{CE} との関係(下方のデータ)と、ゲート電圧 V_G とコレクタ-エミッタ間の電圧 V_{CE} との関係(上方のデータ)を表す図であり、左の縦軸はコレクタ電流 I_C (単位はmA)、右の縦軸はゲート電圧 V_G (単位はV)、横軸はコレクタ-エミッタ間の電圧 V_{CE} (単位はV)を示す。

30

図9に示すように、エミッタ7と同電位になっているゲート電圧 V_G は0.8~0.9V程度の電圧で維持され、ゲート電極15には高電圧は印加されない。これにより、ゲート酸化膜13の破壊を抑制することができ、バイポーラトランジスタの安定な動作を得ることができる。

【0055】

この実施例のバイポーラトランジスタでは、ベース5へ供給する入力電源として電流制限をかければ、電源電位と接地電位を用いることができ、従来技術のように電源電圧を下げるための内部降圧回路などを設けなくてよいので、例えばDC/DCコンバータなどの回路に組み込んだ場合に効率低下を招くことはない。

40

【0056】

図10は、この実施例のバイポーラトランジスタの電流増幅率リニアリティ特性を示す図であり、縦軸は電流増幅率 h_{fe} 、横軸はコレクタ電流 I_C (単位はA)を示す。

この実施例のバイポーラトランジスタでは、エミッタ7とベース用高濃度オーミック拡散層9を間隔をもって配置することにより、エミッタ、ベース間の接合リークを低減している。図10に示すように、従来の横型バイポーラトランジスタよりもベース幅が小さいにもかかわらず、従来のバイポーラトランジスタと同様の電流増幅率リニアリティ特性を示し、電流増幅率 h_{fe} は最大で100程度を得ることができた。

50

【 0 0 5 7 】

図 1 1 は半導体装置の第 2 の態様の他の実施例を示す断面図である。この実施例は本発明の半導体装置の第 2 の態様を構成するバイポーラトランジスタを P N P バイポーラトランジスタに適用したものである。図 7 と同じ機能を果たす部分には同じ符号を付し、その部分の詳細な説明は省略する。

N 型基板 3 1 表面にフィールド酸化膜 3 2 が形成されている。N 型基板 3 1 のバイポーラトランジスタ形成領域に P 型の拡散層からなるコレクタ (Pwell) 3 3、N 型の拡散層からなるベース (Nbody) 3 5、P 型の拡散層からなるエミッタ (P⁺) 3 7、N 型の拡散層からなるベース用高濃度オーミック拡散層 (N⁺) 3 9、P 型の拡散層からなるコレクタ用高濃度オーミック拡散層 (P⁺) 4 1、ゲート酸化膜 4 3 及びゲート電極 4 5 により構成されるバイポーラトランジスタが形成されている。このバイポーラトランジスタは図 7 に示したバイポーラトランジスタと同じ構成である。

10

【 0 0 5 8 】

コレクタ用高濃度オーミック拡散層 4 1 はコレクタ配線 5 1 を介して接地電位 1 9 に電氣的に接続されている。ベース用高濃度オーミック拡散層 3 9 はベース配線 7 1 を介して入力端子 2 9 に電氣的に接続されている。エミッタ 7 にはエミッタ配線 7 5 が電氣的に接続されており、ゲート電極 4 5 にはゲート電極配線 7 7 が電氣的に接続されている。エミッタ配線 7 5 とゲート電極配線 7 7 は電氣的に接続されている。エミッタ配線 7 5 及びゲート電極配線 7 7 は、電源電位 2 3 に電氣的に接続されている。

20

【 0 0 5 9 】

この実施例のバイポーラトランジスタを製造するための、製造方法の第 2 の局面の実施例では、図 2 及び図 3 を参照して説明した上記工程 (1) から (6) とは逆導電型により同様の工程を行なった後、次の工程を行なう。

図 1 1 を参照して説明すると、N 型基板 3 1 上に層間絶縁膜 (図示は省略) を形成し、エミッタ 3 7 上、ベース用高濃度オーミック拡散層 3 9 上及びコレクタ用高濃度オーミック拡散層 4 1 上の層間絶縁膜にコンタクトホール (図示は省略) をそれぞれ形成する。各コンタクトホールに導電材料を充填し、層間絶縁膜上に配線 5 1、7 1、7 5、7 7 を形成して、コレクタ配線 5 1 を介してコレクタ用高濃度オーミック拡散層 4 1 を接地電位 1 9 に電氣的に接続し、ベース配線 7 1 を介してベース用高濃度オーミック拡散層 9 を入力端子 2 9 に電氣的に接続し、エミッタ配線 7 5 及びゲート電極配線 7 7 を介してエミッタ 3 7 及びゲート電極 4 5 を電源電位 2 3 に電氣的に接続する。

30

この製造方法の実施例によれば、図 2 及び図 3 を参照して説明した製造方法の実施例と同じ作用効果をもって、図 1 1 に示したバイポーラトランジスタを製造することができる。

【 0 0 6 0 】

図 1 1 に示した実施例のバイポーラトランジスタをオフさせた状態では、ゲート電極 4 5 のゲート電圧、ベース 3 5 のベース電圧及びエミッタ 3 7 のエミッタ電圧が同じ電位 (電源電位) になる。ベース配線 7 1 及びベース用高濃度オーミック拡散層 3 9 を介してベース 3 5 に正のベース電圧 (電源電位) が印加された状態では、コレクタ 3 3 とベース 3 5 の接合面に、コレクタ 3 3 側及びベース 3 5 側の両方に空乏化が生じ、高耐圧が維持される。

40

【 0 0 6 1 】

一方、この実施例のバイポーラトランジスタをオンさせた状態では、ベース配線 7 5 及びベース用高濃度オーミック拡散層 3 9 を介してベース 3 5 が電源電位以下になる。ベース 3 5 の電位がエミッタ 3 7 に印加されている電源電位よりも低電位になるのでエミッタ 3 7、ベース 3 5 間が順方向電圧になる。これにより、ゲート電極 4 5 には高電圧が印加されないので、ゲート酸化膜 4 3 の破壊を抑制することができ、バイポーラトランジスタの安定な動作を得ることができる。

【 0 0 6 2 】

この実施例のバイポーラトランジスタでは、ベース 3 9 及びゲート電極 4 5 へ供給する入力電源として電流制限をかければ、電源電位と接地電位を用いることができ、従来技術の

50

ようには電源電圧を下げるための内部降圧回路などを設けなくてよいので、例えばDC/DCコンバータなどの回路に組み込んだ場合に効率低下を招くことはない。

【0063】

この実施例のバイポーラトランジスタでは、エミッタ37とベース用高濃度オーミック拡散層39を間隔をもって配置することにより、エミッタ、ベース間の接合リークを低減している。これにより、従来の横型バイポーラトランジスタよりもベース幅が小さいにもかかわらず、従来のバイポーラトランジスタと同様の電流増幅率リアリティー特性を得ることができる。

【0064】

図12は半導体装置の第1の態様のさらに他の実施例を示す図であり、(A)は上面図、(B)は(A)のA-A位置での断面図である。この実施例は本発明の半導体装置の第1の態様を構成するバイポーラトランジスタをNPNバイポーラトランジスタに適用したものである。図1と同じ機能を果たす部分には同じ符号を付し、その部分の詳細な説明は省略する。

P型基板1表面にフィールド酸化膜2が形成されている。P型基板1のバイポーラトランジスタ形成領域にN型の拡散層からなるコレクタ(Nwell)3、P型の拡散層からなるベース(Pbody)5、N型の拡散層からなるエミッタ(N⁺)7、P型の拡散層からなるベース用高濃度オーミック拡散層(P⁺)9、N型の拡散層からなるコレクタ用高濃度オーミック拡散層(N⁺)11、ゲート酸化膜13及びゲート電極15が形成されている。

コレクタ用高濃度オーミック拡散層11とゲート電極15の間のコレクタ3内に、コレクタ3よりも濃く、かつコレクタ用高濃度オーミック拡散層11よりも薄いN型の不純物濃度をもつ拡散層からなる中濃度コレクタ(N⁻)81が形成されている。

【0065】

コレクタ用高濃度オーミック拡散層11はコレクタ配線21を介して電源電位23に電氣的に接続されている。エミッタ7はエミッタ配線17を介して接地電位19に電氣的に接続されている。ベース用高濃度オーミック拡散層9にはベース配線25が電氣的に接続されており、ゲート電極15にはゲート電極配線27が電氣的に接続されている。ベース配線25とゲート電極配線27は電氣的に接続されている。ベース配線25及びゲート電極配線27は、入力端子29に電氣的に接続されている。

【0066】

この実施例では、ベース5及びベース用高濃度オーミック拡散層9はA-A方向で隣接する2つのバイポーラトランジスタで共通に形成されている。また、コレクタ用高濃度オーミック拡散層11及び中濃度コレクタ81はA-Aに直交する方向で隣接する2つのバイポーラトランジスタ領域で連続する拡散層により構成されている。これらの4つのバイポーラトランジスタについて、コレクタ3及びエミッタ7は連続する拡散層により構成され、ゲート電極15は連続するポリシリコン膜により構成されている。

【0067】

この実施例では、コレクタ用高濃度オーミック拡散層11とゲート電極15の間のコレクタ3内に中濃度コレクタ81が設けられているので、コレクタ用高濃度オーミック拡散層11とゲート電極15の間のコレクタ抵抗を低減することができ、大電流領域での電流増幅率を向上させることができる。

【0068】

図13は、図12に示したバイポーラトランジスタを製造するための、製造方法の第1の局面の一実施例の一部を示す工程断面図である。図13では1つのバイポーラトランジスタのみについて示す。図2も参照して、この製造方法の実施例を説明する。

図2を参照して説明した製造方法の実施例の上記工程(1)から(4)と同じ工程を行なって、P型基板1にフィールド酸化膜2、コレクタ3、ベース5、ゲート酸化膜13、ゲート電極15を形成する(図2(d)参照)。

【0069】

(5) P型基板1上に、ゲート電極15に対してベース5とは反対側のコレクタ3上の領

10

20

30

40

50

域及びゲート電極 15 上に開口部をもつレジストパターンを形成する。そのレジストパターンをマスクにして、 100 KeV の加速エネルギー、 $5.0 \times 10^{12}\text{ cm}^{-2}$ 程度のドーズ量の条件で、コレクタ 3 内にリンの注入を行なって中濃度コレクタ (N^-) 8 1 を形成する。その後、レジストパターンを除去する (図 13 (d') 参照)。

【0070】

(6) P型基板 1 上に、ベース 5 上のゲート電極 15 に隣接した領域、ゲート電極 15 上、及び中濃度コレクタ 8 1 上に開口部をもつレジストパターンを形成する。このとき、中濃度コレクタ 8 1 上にはゲート電極 15 に隣接して幅寸法が例えば $1.5\ \mu\text{m}$ 以上のレジストパターンが存在するようにレジストパターンを形成する。そのレジストパターンをマスクにして、 50 KeV の加速エネルギー、 $6.0 \times 10^{15}\text{ cm}^{-2}$ 程度のドーズ量の条件で、ベース 5 及び中濃度コレクタ 8 1 に、リン又は砒素の注入を同時に行なう。レジストパターンを除去した後、処理温度が 920°C 、処理時間が 1 時間程度の条件で熱拡散処理を施して不純物を熱拡散させ、ベース 5 内のゲート電極 15 に隣接する領域にエミッタ (N^+) 7 を形成し、中濃度コレクタ 8 1 にゲート電極 15 とは例えば $1.5\ \mu\text{m}$ 以上の間隔をもってコレクタ用高濃度オーミック拡散層 (N^+) 1 1 形成する (図 13 (e') 参照)。

【0071】

(7) P型基板 1 上に、ベース 5 上のエミッタ 7 とは例えば $1.5\ \mu\text{m}$ 以上の間隔をもって開口部が位置するようにレジストパターンを形成する。そのレジストパターンをマスクにして、 30 KeV の加速エネルギー、 $2.0 \times 10^{15}\text{ cm}^{-2}$ 程度のドーズ量の条件で、ベース用高濃度オーミック拡散層を形成するためのボロン注入を行なう。レジストパターンを除去した後、処理温度が 920°C 、処理時間が 1 時間程度の条件で熱拡散処理を施して不純物を熱拡散させ、ベース 5 内にエミッタ 7 とは例えば $1.5\ \mu\text{m}$ 以上の間隔をもってベース用高濃度オーミック拡散層 (P^+) 9 形成する (図 3 (f') 参照)。

【0072】

図 13 を参照して続きの工程を説明すると、P型基板 1 上に層間絶縁膜 (図示は省略) を形成し、エミッタ 7 上、ベース用高濃度オーミック拡散層 9 上及びコレクタ用高濃度オーミック拡散層 1 1 上の層間絶縁膜にコンタクトホール (図示は省略) をそれぞれ形成する。各コンタクトホールに導電材料を充填し、層間絶縁膜上に配線 17, 21, 25, 27 を形成して、エミッタ配線 17 を介してエミッタ 7 を接地電位 19 に電氣的に接続し、コレクタ配線 21 を介してコレクタ用高濃度オーミック拡散層 1 1 を電源電位 23 に電氣的に接続し、ベース配線 25 及びゲート電極配線 27 を介してベース用高濃度オーミック拡散層 9 及びゲート電極 15 を入力端子 29 に電氣的に接続する。

【0073】

この製造方法の実施例によれば、図 13 に示したバイポーラトランジスタを製造することができる。さらに、中濃度コレクタ 8 1 をゲート電極 15 に対して自己整合的に形成しているので、中濃度コレクタ 8 1 の位置はゲート電極 15 端で決定されるため、中濃度コレクタ 8 1、ベース 5 間の距離に関して写真製版工程でのアライメントズレを考慮する必要はない。

【0074】

図 14 は半導体装置の第 1 の態様のさらに他の実施例を示す断面図である。この実施例は本発明の半導体装置の第 1 の態様を構成するバイポーラトランジスタを PNP バイポーラトランジスタに適用したものである。図 7 と同じ機能を果たす部分には同じ符号を付し、その部分の詳細な説明は省略する。

N型基板 3 1 表面にフィールド酸化膜 3 2 が形成されている。N型基板 3 1 のバイポーラトランジスタ形成領域に P型の拡散層からなるコレクタ (Pwell) 3 3、N型の拡散層からなるベース (Nbody) 3 5、P型の拡散層からなるエミッタ (P^+) 3 7、N型の拡散層からなるベース用高濃度オーミック拡散層 (N^+) 3 9、P型の拡散層からなるコレクタ用高濃度オーミック拡散層 (P^+) 4 1、ゲート酸化膜 4 3 及びゲート電極 4 5 が形成されている。

コレクタ用高濃度オーミック拡散層 4 1 とゲート電極 4 5 の間のコレクタ 3 3 内に、コレクタ 3 3 よりも濃く、かつコレクタ用高濃度オーミック拡散層 4 1 よりも薄い P 型の不純物濃度をもつ拡散層からなる中濃度コレクタ (P⁻) 8 3 が形成されている。

【 0 0 7 5 】

エミッタ 3 7 はエミッタ配線 4 7 を介して電源電位 2 3 に電氣的に接続されている。コレクタ用高濃度オーミック拡散層 4 1 はコレクタ配線 5 1 を介して接地電位 1 9 に電氣的に接続されている。ベース用高濃度オーミック拡散層 3 9 にはベース配線 5 5 が電氣的に接続されており、ゲート電極 4 5 にはゲート電極配線 5 7 が電氣的に接続されている。ベース配線 5 5 とゲート電極配線 5 7 は電氣的に接続されている。ベース配線 5 5 及びゲート電極配線 5 7 は、入力電圧が印加される入力端子 2 9 に電氣的に接続されている。

10

【 0 0 7 6 】

この実施例では、コレクタ用高濃度オーミック拡散層 4 1 とゲート電極 4 5 の間のコレクタ 3 3 内に中濃度コレクタ 8 3 が設けられているので、コレクタ用高濃度オーミック拡散層 4 1 とゲート電極 4 5 の間のコレクタ抵抗を低減することができ、大電流領域での電流増幅率を向上させることができる。

【 0 0 7 7 】

この実施例のバイポーラトランジスタは、図 2 及び図 1 3 を参照して説明した製造方法の実施例を逆導電型にして実施することにより製造できる。図 2 及び図 1 3 を参照して説明した製造方法の実施例を逆導電型にした製造方法においても、図 2 及び図 1 3 を参照して説明した製造方法の実施例と同様に、中濃度コレクタ 8 3 をゲート電極 4 5 に対して自己整合的に形成するので、中濃度コレクタ 8 3 に関して写真製版工程でのアライメントズレを考慮する必要はない。

20

【 0 0 7 8 】

図 1 5 は半導体装置の第 2 の態様のさらに他の実施例を示す断面図である。この実施例は本発明の半導体装置の第 2 の態様を構成するバイポーラトランジスタを NPN バイポーラトランジスタに適用したものである。図 1 2 と同じ機能を果たす部分には同じ符号を付し、その部分の詳細な説明は省略する。

P 型基板 1 表面にフィールド酸化膜 2 が形成されている。P 型基板 1 のバイポーラトランジスタ形成領域に N 型の拡散層からなるコレクタ (Nwell) 3、P 型の拡散層からなるベース (Pbody) 5、N 型の拡散層からなるエミッタ (N⁺) 7、P 型の拡散層からなるベース用高濃度オーミック拡散層 (P⁺) 9、N 型の拡散層からなるコレクタ用高濃度オーミック拡散層 (N⁺) 1 1、ゲート酸化膜 1 3、ゲート電極 1 5 及び中濃度コレクタ 8 1 により構成されるバイポーラトランジスタが形成されている。このバイポーラトランジスタは図 1 2 に示したバイポーラトランジスタと同じ構成である。

30

【 0 0 7 9 】

コレクタ用高濃度オーミック拡散層 1 1 はコレクタ配線 2 1 を介して電源電位 2 3 に電氣的に接続されている。ベース用高濃度オーミック拡散層 9 はベース配線 6 1 を介して、入力電圧が印加される入力端子 2 9 に電氣的に接続されている。エミッタ 7 にはエミッタ配線 6 5 が電氣的に接続されており、ゲート電極 1 5 にはゲート電極配線 6 7 が電氣的に接続されている。エミッタ配線 6 5 とゲート電極配線 6 7 は電氣的に接続されている。エミッタ配線 6 5 及びゲート電極配線 6 7 は、接地電位 1 9 に電氣的に接続されている。

40

【 0 0 8 0 】

この実施例では、図 1 2 に示したバイポーラトランジスタと同様に、コレクタ用高濃度オーミック拡散層 1 1 とゲート電極 1 5 の間のコレクタ 3 内に中濃度コレクタ 8 1 が設けられているので、コレクタ用高濃度オーミック拡散層 1 1 とゲート電極 1 5 の間のコレクタ抵抗を低減することができ、大電流領域での電流増幅率を向上させることができる。

【 0 0 8 1 】

この実施例のバイポーラトランジスタを製造するための、製造方法の第 2 の局面の実施例では、図 2 及び図 1 3 を参照して説明した製造方法の実施例の上記工程 (1) から (7) と同じ工程を行なった後、次の工程を行なう。

50

P型基板1上に層間絶縁膜(図示は省略)を形成し、エミッタ7上、ベース用高濃度オーミック拡散層9上及びコレクタ用高濃度オーミック拡散層11上の層間絶縁膜にコンタクトホール(図示は省略)をそれぞれ形成する。各コンタクトホールに導電材料を充填し、層間絶縁膜上に配線21, 61, 65, 67を形成して、コレクタ配線21を介してコレクタ用高濃度オーミック拡散層11を電源電位23に電氣的に接続し、ベース配線61を介してベース用高濃度オーミック拡散層9を入力端子29に電氣的に接続し、エミッタ配線65及びゲート電極配線67を介してエミッタ7及びゲート電極15を接地電位19に電氣的に接続する。

この製造方法の実施例によれば、図2及び図13を参照して説明した製造方法の実施例と同じ作用効果をもって、図15に示したバイポーラトランジスタを製造することができる。

10

【0082】

図16は半導体装置の第2の態様のさらに他の実施例を示す断面図である。この実施例は本発明の半導体装置の第2の態様を構成するバイポーラトランジスタをPNPバイポーラトランジスタに適用したものである。図14と同じ機能を果たす部分には同じ符号を付し、その部分の詳細な説明は省略する。

N型基板31表面にフィールド酸化膜32が形成されている。N型基板31のバイポーラトランジスタ形成領域にP型の拡散層からなるコレクタ(Pwell)33、N型の拡散層からなるベース(Nbody)35、P型の拡散層からなるエミッタ(P⁺)37、N型の拡散層からなるベース用高濃度オーミック拡散層(N⁺)39、P型の拡散層からなるコレクタ用高濃度オーミック拡散層(P⁺)41、ゲート酸化膜43、ゲート電極45及び中濃度コレクタ83により構成されるバイポーラトランジスタが形成されている。このバイポーラトランジスタは図14に示したバイポーラトランジスタと同じ構成である。

20

【0083】

コレクタ用高濃度オーミック拡散層41はコレクタ配線51を介して接地電位19に電氣的に接続されている。ベース用高濃度オーミック拡散層39はベース配線71を介して入力端子29に電氣的に接続されている。エミッタ7にはエミッタ配線75が電氣的に接続されており、ゲート電極45にはゲート電極配線77が電氣的に接続されている。エミッタ配線75とゲート電極配線77は電氣的に接続されている。エミッタ配線75及びゲート電極配線77は、電源電位23に電氣的に接続されている。

30

【0084】

この実施例では、図14に示したバイポーラトランジスタと同様に、コレクタ用高濃度オーミック拡散層41とゲート電極45の間のコレクタ33内に中濃度コレクタ83が設けられているので、コレクタ用高濃度オーミック拡散層41とゲート電極45の間のコレクタ抵抗を低減することができ、大電流領域での電流増幅率を向上させることができる。

【0085】

この実施例のバイポーラトランジスタを製造するための、製造方法の第2の局面のさらに他の実施例では、図2及び図13を参照して説明した製造方法の実施例の上記工程(1)から(7)とは逆導電型により同様の工程を行なった後、次の工程を行なう。

N型基板31上に層間絶縁膜(図示は省略)を形成し、エミッタ37上、ベース用高濃度オーミック拡散層39上及びコレクタ用高濃度オーミック拡散層41上の層間絶縁膜にコンタクトホール(図示は省略)をそれぞれ形成する。各コンタクトホールに導電材料を充填し、層間絶縁膜上に配線51, 71, 75, 77を形成して、コレクタ配線51を介してコレクタ用高濃度オーミック拡散層41を接地電位19に電氣的に接続し、ベース配線71を介してベース用高濃度オーミック拡散層9を入力端子29に電氣的に接続し、エミッタ配線75及びゲート電極配線77を介してエミッタ37及びゲート電極45を電源電位23に電氣的に接続する。

40

この製造方法の実施例によれば、図2及び図13を参照して説明した製造方法の実施例と同じ作用効果をもって、図16に示したバイポーラトランジスタを製造することができる。

50

【 0 0 8 6 】

図 1 から図 3、図 7、図 8、及び図 11 から図 16 に示した半導体装置及び製造方法の実施例では、P 型基板 1 又は N 型基板 31 にバイポーラトランジスタを形成しているが、本発明はこれに限定されるものではなく、P 型ウエル内又は N 型ウエル内にバイポーラトランジスタを形成してもよい。

【 0 0 8 7 】

図 17 は、本発明の半導体装置の半導体装置を適用した定電圧電源の一実施例を示す回路図である。

電源に接続される入力端子 (V_{in}) 91 と、負荷に接続される出力端子 (V_{out}) 93 との間に、出力トランジスタを構成する PNP バイポーラトランジスタ 95 が設けられている。

10

差動増幅回路 97 が設けられており、差動増幅回路 97 の出力端子は PNP バイポーラトランジスタ 95 のベースに接続されている。差動増幅回路 97 の反転入力端子は基準電圧発生回路 (V_{ref}) 99 に接続されている。反転入力端子には基準電圧発生回路 99 から基準電圧が印加される。差動増幅回路 97 の非反転入力端子には、PNP バイポーラトランジスタ 95 の出力電圧を分圧抵抗 R1 と R2 で分圧した電圧が印加される。差動増幅回路 97 及び基準電圧発生回路 99 の電源は入力端子 91 から供給される。差動増幅回路 97、基準電圧発生回路 99 及び抵抗 R2 は接地されている。

この実施例では、PNP バイポーラトランジスタ 95 として本発明の半導体装置を構成するバイポーラトランジスタを用いているので、耐圧を維持しつつ、出力ドライバの大きさを小さくすることができ、チップ面積の縮小化を図ることができる。

20

【 0 0 8 8 】

入力端子 91 からの入力電圧を降圧させる場合、入力電圧を抵抗比分割で出力させるが、出力端子 93 に接続される外部負荷に流す電流量により PNP バイポーラトランジスタ 95 のオン抵抗を可変させなければ出力電圧が一定にならない。そのため、差動増幅回路 97 内で基準電圧発生回路 99 からの基準電圧と抵抗 R1、R2 からの帰還抵抗電圧を比較させることにより出力電圧を一定にする。

【 0 0 8 9 】

図 18 は、本発明の半導体装置を適用した反転型チャージポンプ DC / DC コンバータの一実施例を示す回路図である。

30

回路には、入力端子 (V_{in}) 101、出力端子 (V_{out} 、反転出力) 103、グラウンド端子 (GND) 105、ポンプ容量正側端子 ($CP+$) 107 とポンプ容量負側端子 ($CP-$) 109 が設けられている。ポンプ容量正側端子 107 とポンプ容量負側端子 109 の間には、外付け部品のコンデンサ (図示は省略) が接続されている。

【 0 0 9 0 】

内部には、入力端子 101 とグラウンド端子 105 の間に、順に PNP バイポーラトランジスタ 111 と NPN バイポーラトランジスタ 113 が設けられている。PNP バイポーラトランジスタ 111 と NPN バイポーラトランジスタ 113 の間にポンプ容量正側端子 107 が接続されている。NPN バイポーラトランジスタ 113 とグラウンド端子 105 の間は接地電位 115 に接続されている。接地電位 115 と出力端子 103 の間に、順に NPN バイポーラトランジスタ 117、119 が接続されている。NPN バイポーラトランジスタ 117、119 の間にポンプ容量負側端子 109 が接続されている。

40

【 0 0 9 1 】

基準電圧端子 (V_{ref}) 121 からの基準電圧に基づいて入力端子 101 と同電位の電圧 (V_{in} 電圧) とグラウンド端子 105 と同電位の電圧 (GND 電圧) を交互に発振する発振回路 (OSC) 123 が設けられている。発振回路 123 の出力端子は、NPN バイポーラトランジスタ 113、119 のベースに直接接続されており、NPN バイポーラトランジスタ 117 のベースにインバータ 125 を介して接続されており、PNP バイポーラトランジスタ 111 のベースにインバータ 125 及び 127 を介して接続されている。

【 0 0 9 2 】

50

この反転型チャージポンプDC/DCコンバータは、発振回路123を通して4つのトランジスタ111, 113, 117, 119のベースに電流を与えてスイッチングさせ、ポンプ容量正側端子107とポンプ容量負側端子109の間に接続されたコンデンサを充放電させることにより電流を流し、入力端子101から入力された入力電圧の反転電圧が出力端子103に出力される仕組みになっている。

この実施例では、内蔵スイッチを構成するPNPバイポーラトランジスタ111及びNPNバイポーラトランジスタ113, 115, 117のうち、少なくとも1つについて本発明の半導体装置を構成するバイポーラトランジスタを用いているので、耐圧を維持しつつ、内蔵スイッチの大きさを小さくすることができ、チップ面積の縮小化を図ることができる。

10

【0093】

発振回路123からGND電圧が発振されたとき、PNPバイポーラトランジスタ111とNPNバイポーラトランジスタ117がオンし、他の2つのNPNバイポーラトランジスタ113, 119はオフになる。このとき、ポンプ容量正側端子107とポンプ容量負側端子109の間に接続されたコンデンサに電荷がたまる。

発振回路123からVin電圧が発振されたとき、PNPバイポーラトランジスタ111とNPNバイポーラトランジスタ117はオフになり、他の2つのNPNバイポーラトランジスタ113, 119はオンする。このとき、電荷をためたコンデンサは放電するが、出力端子103がグラウンド端子105よりも低い電位にされているので、入力電圧でたまった電荷とは反転電圧が出力端子103から出力される。

20

上記の動作が繰り返されることにより、入力電圧の反転電圧で電流が流れ続ける。

【0094】

図17及び図18に示した実施例では、本発明を構成するバイポーラトランジスタを定電圧電源又はDC/DCコンバータに適用しているが、本発明が適用される回路装置はこれに限定されるものではなく、バイポーラトランジスタを含む回路装置を備えた半導体装置であれば、本発明の半導体装置を適用することができる。

【0095】

【発明の効果】

請求項1に記載の半導体装置では、第1導電型の拡散層からなるコレクタと、上記コレクタ上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極が形成された領域と一部重複して上記コレクタ内に形成された第2導電型の拡散層からなるベースと、上記ベース内の上記ゲート電極に隣接した領域に形成された第1導電型の拡散層からなるエミッタと、上記ベース内に上記エミッタと間隔をもって形成された第2導電型の拡散層からなるベース用高濃度オーミック拡散層と、上記コレクタ内に形成された第1導電型の拡散層からなるコレクタ用高濃度オーミック拡散層とを備え、上記ゲート電極と上記ベースが同電位になるように配線が形成されてなるバイポーラトランジスタを備えているようにしたので、ベース幅を小さくすることができる。さらに、ゲート電極とベースが同電位にされているので、オンした状態ではエミッタ、ゲート電極間には順方向電圧しかかからず、ゲート電極には高電圧は印加されない。これにより、ベースへの入力電圧として高電圧を印加してもゲート酸化膜の破壊を抑制することができ、安定した動作を得ることができる。

30

40

【0096】

請求項2に記載の半導体装置では、第1導電型の拡散層からなるコレクタと、上記コレクタ上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極が形成された領域と一部重複して上記コレクタ内に形成された第2導電型の拡散層からなるベースと、上記ベース内の上記ゲート電極に隣接した領域に形成された第1導電型の拡散層からなるエミッタと、上記ベース内に上記エミッタと間隔をもって形成された第2導電型の拡散層からなるベース用高濃度オーミック拡散層と、上記コレクタ内に形成された第1導電型の拡散層からなるコレクタ用高濃度オーミック拡散層とを備え、上記ゲート電極と上記エミッタが同電位になるように配線が形成されてなるバイポーラトランジスタを備えているように

50

したので、ベース幅を小さくすることができる。さらに、ゲート電極とエミッタが同電位にされているので、オンした状態ではベース、ゲート電極間には順方向電圧しかかからず、ゲート絶縁膜には順方向電圧しかかからない。これにより、ベースへの入力電圧として高電圧、例えば電源電位を印加してもゲート酸化膜の破壊を抑制することができ、安定した動作を得ることができる。

【0097】

請求項3に記載の半導体装置では、上記コレクタ用高濃度オーミック拡散層は上記ゲート電極と間隔をもって形成されているようにしたので、ゲートモジュレート効果を抑制して耐圧を向上させることができる。

【0098】

請求項4に記載の半導体装置では、上記コレクタ用高濃度オーミック拡散層と上記ゲート電極を間隔をもって配置した場合、上記ゲート電極と上記コレクタ用高濃度オーミック拡散層との間の上記コレクタ内に、上記コレクタよりも濃く、かつ上記コレクタ用高濃度オーミック拡散層よりも薄い第1導電型の不純物濃度をもつ拡散層からなる中濃度コレクタをさらに備えているようにしたので、中濃度コレクタにより、ゲート電極とコレクタ用高濃度オーミック拡散層との間のコレクタ抵抗を低減することができ、大電流領域での電流増幅率を向上させることができる。

【0099】

請求項5に記載の半導体装置では、定電圧電源で使用されるバイポーラトランジスタとして本発明の半導体装置を構成するバイポーラトランジスタを使用するようにしたので、耐圧を維持しつつ、出力ドライバとして使用するバイポーラトランジスタの大きさを小さくすることができ、チップ面積の縮小化を図ることができる。

【0100】

請求項6に記載の半導体装置では、DC/DCコンバータで使用される少なくとも1つの内蔵スイッチとして本発明の半導体装置を構成するバイポーラトランジスタを使用するようにしたので、耐圧を維持しつつ、内蔵スイッチとして使用するバイポーラトランジスタの大きさを小さくすることができ、チップ面積の縮小化を図ることができる。

【0101】

請求項7に記載の製造方法では、ゲート電極に対して自己整合的にベース及びエミッタを形成して請求項1に記載の半導体装置を製造するようにしたので、横型バイポーラトランジスタ構造の電流増幅率を決定し、最も電流が流れるベース幅を短く設定することができ、さらにベース幅の寸法に関して写真製版工程でのアライメントズレを考慮する必要はない。これにより、面積の小さな高効率のバイポーラトランジスタを製造することができる。

【0102】

請求項8に記載の製造方法では、ゲート電極に対して自己整合的にベース及びエミッタを形成して請求項2に記載の半導体装置を製造するようにしたので、横型バイポーラトランジスタ構造の電流増幅率を決定し、最も電流が流れるベース幅を短く設定することができ、さらにベース幅の寸法に関して写真製版工程でのアライメントズレを考慮する必要はない。これにより、面積の小さな高効率のバイポーラトランジスタを製造することができる。

【0103】

請求項9に記載の製造方法では、中濃度コレクタをゲート電極に対して自己整合的に形成して請求項4に記載の半導体装置を製造するようにしたので、中濃度コレクタの位置はゲート電極端で決定されるため、中濃度コレクタ、ベース間の距離に関して写真製版工程でのアライメントズレを考慮する必要はない。

【図面の簡単な説明】

【図1】半導体装置の第1の態様の一実施例を示す断面図である。

【図2】図1に示したバイポーラトランジスタを製造するための、製造方法の第1の局面の一実施例の前半を示す工程断面図である。

10

20

30

40

50

【図 3】同実施例の後半を示す工程断面図である。

【図 4】図 1 に示したバイポーラトランジスタをオフさせた状態での耐压特性を示す図であり、縦軸はコレクタ電流 I_C 、横軸はコレクタ - エミッタ間の電圧 V_{CE} を示す。

【図 5】図 1 に示したバイポーラトランジスタをオンさせた状態でのコレクタ電流 I_C とコレクタ - エミッタ間の電圧 V_{CE} との関係（下方のデータ）と、ゲート電圧 V_G とコレクタ - エミッタ間の電圧 V_{CE} との関係（上方のデータ）を表す図であり、左の縦軸はコレクタ電流 I_C 、右の縦軸はゲート電圧 V_G 、横軸はコレクタ - エミッタ間の電圧 V_{CE} を示す。

【図 6】図 1 に示したバイポーラトランジスタの電流増幅率リニアリティ特性を示す図であり、縦軸は電流増幅率 h_{fe} 、横軸はコレクタ電流 I_C を示す。

【図 7】半導体装置の第 1 の態様の他の実施例を示す断面図である。

10

【図 8】半導体装置の第 2 の態様の一例を示す断面図である。

【図 9】図 8 に示したバイポーラトランジスタをオンさせた状態でのコレクタ電流 I_C とコレクタ - エミッタ間の電圧 V_{CE} との関係（下方のデータ）と、ゲート電圧 V_G とコレクタ - エミッタ間の電圧 V_{CE} との関係（上方のデータ）を表す図であり、左の縦軸はコレクタ電流 I_C 、右の縦軸はゲート電圧 V_G 、横軸はコレクタ - エミッタ間の電圧 V_{CE} を示す。

【図 10】図 8 に示したバイポーラトランジスタの電流増幅率リニアリティ特性を示す図であり、縦軸は電流増幅率 h_{fe} 、横軸はコレクタ電流 I_C を示す。

【図 11】半導体装置の第 2 の態様の他の実施例を示す断面図である。

【図 12】半導体装置の第 1 の態様のさらに他の実施例を示す図であり、(A) は上面図、(B) は (A) の A - A 位置での断面図である。

20

【図 13】図 12 に示したバイポーラトランジスタを製造するための、製造方法の第 1 の局面の一例の一部を示す工程断面図である。

【図 14】半導体装置の第 1 の態様のさらに他の実施例を示す断面図である。

【図 15】半導体装置の第 2 の態様のさらに他の実施例を示す断面図である。

【図 16】半導体装置の第 2 の態様のさらに他の実施例を示す断面図である。

【図 17】本発明の半導体装置を適用した定電圧電源の一例を示す回路図である。

【図 18】本発明の半導体装置を適用した DC / DC コンバータの一例を示す回路図である。

【図 19】Nチャネル型 LDMOS トランジスタの一例を示す断面図である。

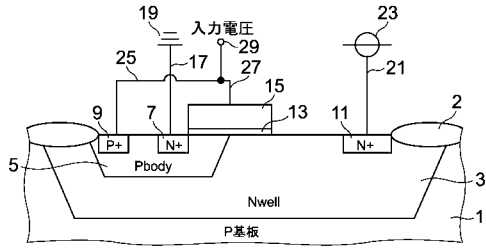
30

【符号の説明】

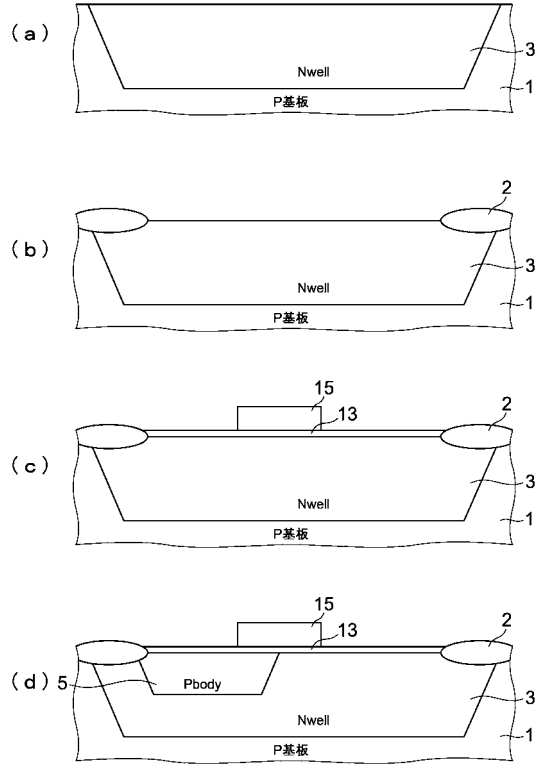
- 1 P型基板
- 2 フィールド酸化膜
- 3 コレクタ
- 5 ベース
- 7 エミッタ
- 9 ベース用高濃度オーミック拡散層
- 11 コレクタ用高濃度オーミック拡散層
- 13 ゲート酸化膜
- 15 ゲート電極
- 17 エミッタ配線
- 19 接地電位
- 21 コレクタ配線
- 23 電源電位
- 25 ベース配線
- 27 ゲート電極配線
- 29 入力端子

40

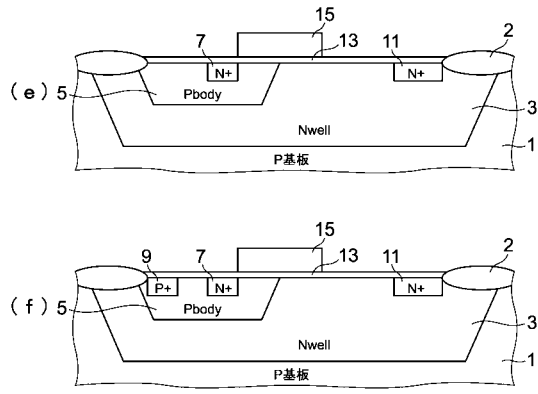
【図1】



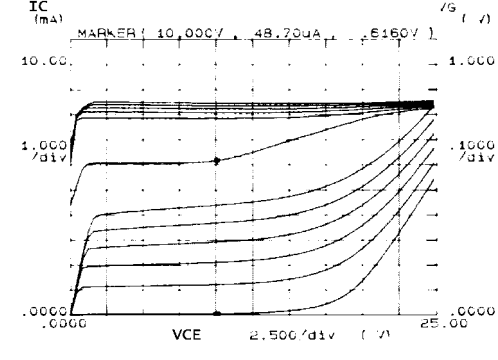
【図2】



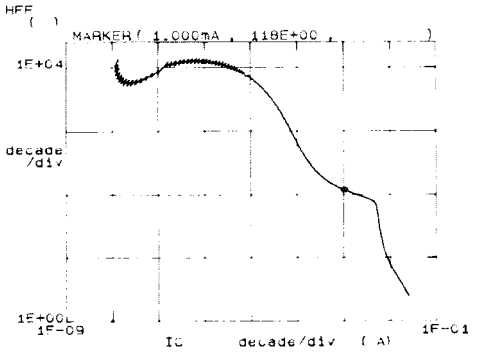
【図3】



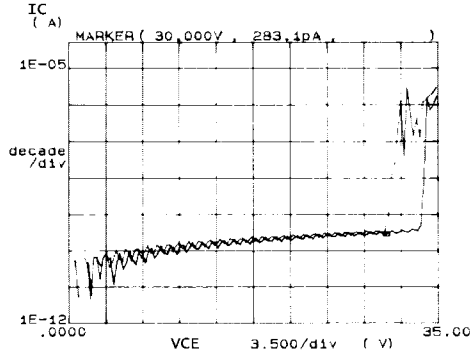
【図5】



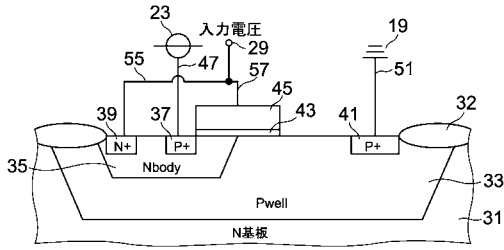
【図6】



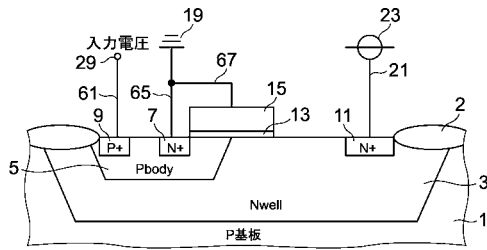
【図4】



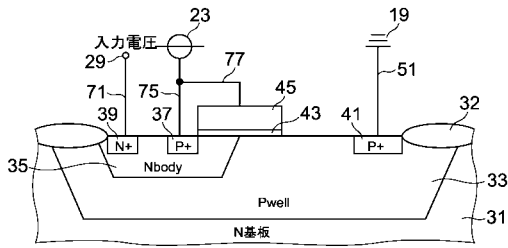
【図7】



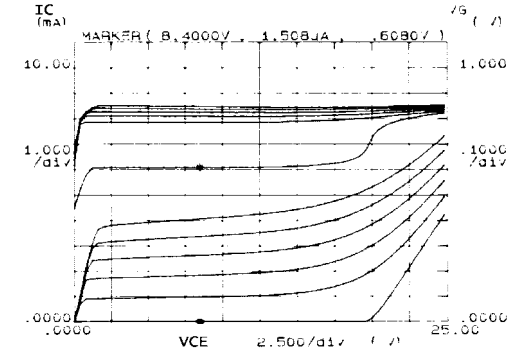
【図8】



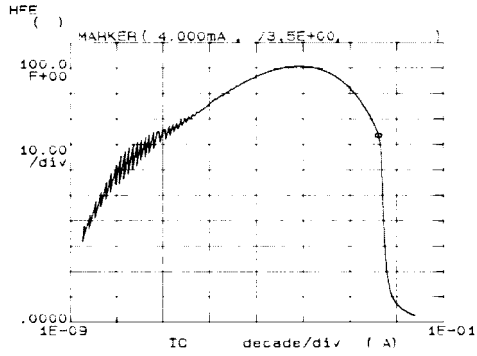
【図11】



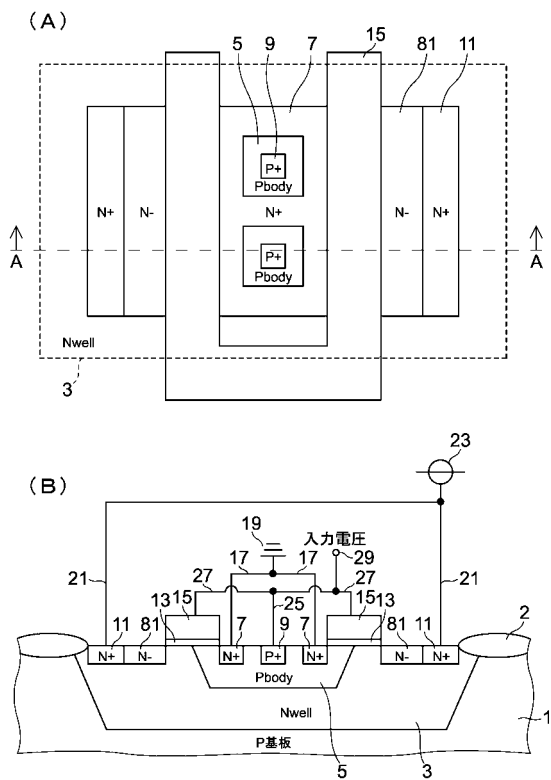
【図9】



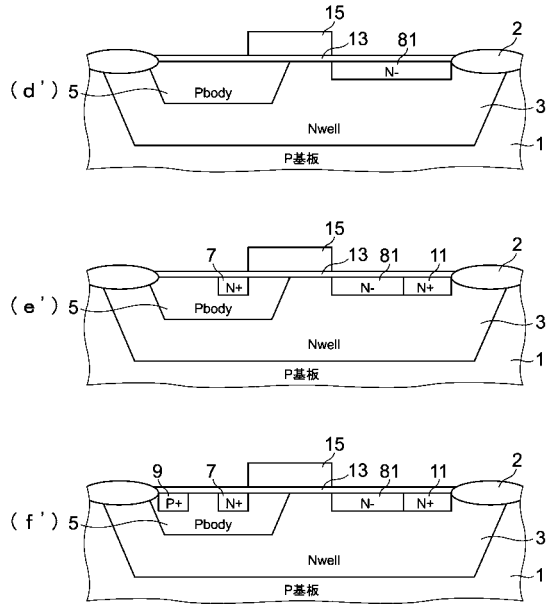
【図10】



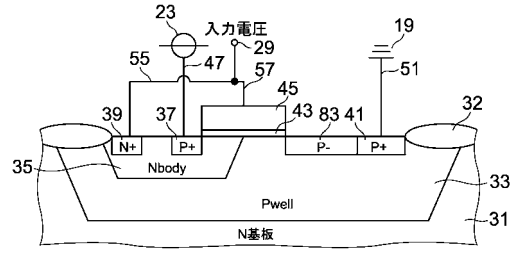
【図12】



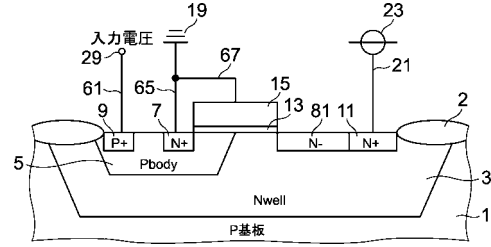
【図13】



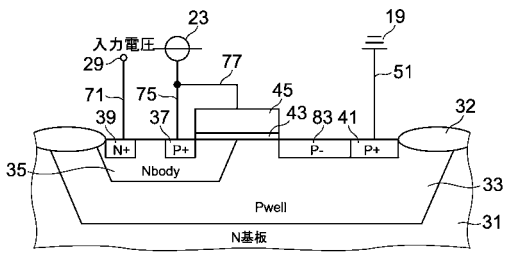
【図14】



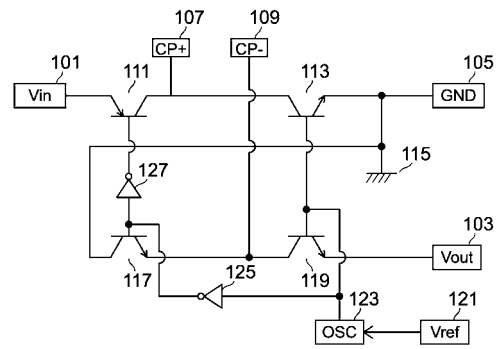
【図15】



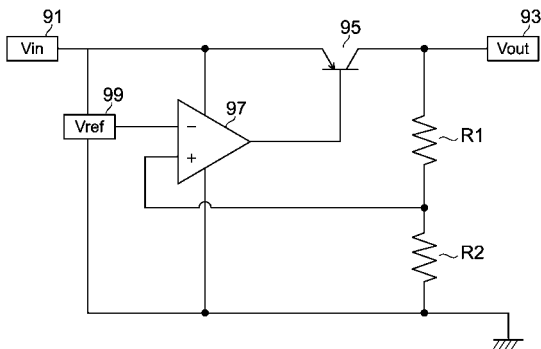
【図16】



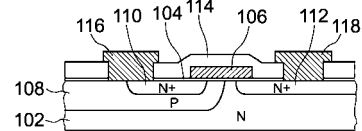
【図18】



【図17】



【図19】



フロントページの続き

- (56)参考文献 特開平 1 0 - 0 2 7 8 5 9 (J P , A)
特開平 0 3 - 0 1 9 2 3 6 (J P , A)
特開平 0 3 - 2 0 3 2 6 3 (J P , A)
特開平 1 1 - 1 3 5 7 3 2 (J P , A)
特開 2 0 0 0 - 0 4 9 2 8 9 (J P , A)
特開 2 0 0 1 - 0 6 0 6 8 6 (J P , A)
特開平 1 0 - 3 3 5 6 6 3 (J P , A)
特開平 0 5 - 2 3 5 3 7 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8249
H01L 21/331
H01L 27/06
H01L 29/73