



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2017-0134399  
(43) 공개일자 2017년12월06일

- (51) 국제특허분류(Int. Cl.)  
G06N 99/00 (2010.01) B82Y 10/00 (2017.01)
- (52) CPC특허분류  
G06N 99/002 (2013.01)  
B82Y 10/00 (2013.01)
- (21) 출원번호 10-2017-7027133
- (22) 출원일자(국제) 2016년02월26일  
심사청구일자 없음
- (85) 번역문제출일자 2017년09월25일
- (86) 국제출원번호 PCT/US2016/019801
- (87) 국제공개번호 WO 2016/138395  
국제공개일자 2016년09월01일
- (30) 우선권주장  
62/126,183 2015년02월27일 미국(US)

- (71) 출원인  
예일 유니버시티  
미국 코네티컷주 06510 뉴 헤이븐 휘트니 애비뉴 투
- (72) 발명자  
미네브 즈라코  
미국 코네티컷주 06511 뉴 헤이븐  
아파트먼트넘버2 맨즈필드 187
- 세니아크 카일  
미국 코네티컷주 06511 뉴 헤이븐 니콜 스트리트 181  
(뒷면에 계속)
- (74) 대리인  
특허법인아주

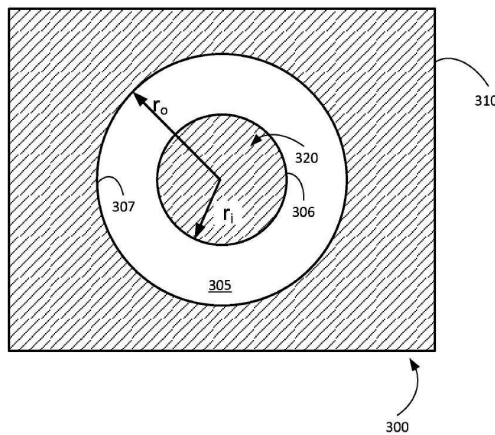
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **평면 큐비트를 비-평면 공진기에 결합하기 위한 기술 및 관련 시스템 및 방법**

**(57) 요약**

일부 양태에 따르면, 복수의 초전도 표면을 갖고 3차원 구역 내에 적어도 하나의 전자기 발진 모드를 지원하도록 구성된 공진기로서, 상기 복수의 초전도 표면은 제1 평면을 형성하는 제1 초전도 표면을 포함하는, 상기 공진기; 및 상기 제1 평면 내에서 평면이고 상기 3차원 구역을 한정하는 적어도 하나의 평면 구성 요소를 포함하는 물리적 큐비트를 포함하는 양자 역학 시스템이 제공된다.

**대표도** - 도3a



(상면도)

(72) 발명자

**팜 아이언**

미국 코네티컷주 06511 뉴 헤이븐 휘트니 애비뉴  
334

**츄 이웬**

미국 코네티컷주 06511 뉴 헤이븐 퍼스트 플로어  
클라크 스트리트 72

**브렉트 테레사**

미국 코네티컷주 06511 뉴 헤이븐 넘버 3 메캐닉  
스트리트 90

**프룬지오 루이지**

미국 코네티컷주 06473 노스 헤이븐 모리 스트리트  
24

**데보렛 미셸**

미국 코네티컷주 06511 뉴 헤이븐 유닛 7더블유 오  
렌지 스트리트 869

**솔코프 3세 로버트 제이.**

미국 코네티컷주 06443 매디슨 노스우드 로드 44

## 명세서

### 청구범위

#### 청구항 1

양자 역학 시스템으로서,

복수의 초전도 표면을 갖고 3차원 구역 내에 적어도 하나의 전자기 발진 모드를 지원하도록 구성된 공진기로서, 상기 복수의 초전도 표면은 제1 평면을 형성하는 제1 초전도 표면을 포함하는, 상기 공진기; 및

상기 제1 평면 내에서 평면형이고 상기 3차원 구역을 한정하는 적어도 하나의 평면 구성 요소(planar component)를 포함하는 물리적 큐비트(qubit)를 포함하는, 양자 역학 시스템.

#### 청구항 2

제1항에 있어서, 상기 적어도 하나의 평면 구성 요소는 적어도 하나의 조셉슨 소자(Josephson element)를 포함하는, 양자 역학 시스템.

#### 청구항 3

제1항에 있어서, 상기 적어도 하나의 평면 구성 요소는 초전도 패치 안테나를 포함하는, 양자 역학 시스템.

#### 청구항 4

제3항에 있어서, 상기 초전도 패치 안테나는 원형 형상을 갖는 패치를 포함하는, 양자 역학 시스템.

#### 청구항 5

제3항에 있어서, 상기 초전도 패치 안테나는 직사각 형상을 갖는 패치를 포함하는, 양자 역학 시스템.

#### 청구항 6

제3항에 있어서, 상기 초전도 패치 안테나의 초전도 패치는 적어도 하나의 조셉슨 소자를 통해 상기 제1 초전도 표면에 연결된, 양자 역학 시스템.

#### 청구항 7

제1항에 있어서, 상기 공진기는 3차원 공동 공진기인, 양자 역학 시스템.

#### 청구항 8

제1항에 있어서, 상기 공진기는 위스퍼링 갤러리 모드(whispering gallery mode) 공진기인, 양자 역학 시스템.

#### 청구항 9

제8항에 있어서, 상기 위스퍼링 갤러리 모드 공진기는 상기 제1 초전도 표면 및 상기 제1 초전도 표면과 평행한 제2 초전도 표면을 포함하고, 상기 제1 초전도 표면은 상기 제2 초전도 표면으로부터 제1 거리만큼 분리된, 양자 역학 시스템.

#### 청구항 10

제9항에 있어서, 상기 위스퍼링 갤러리 모드 공진기는 적어도 2개의 전자기 발진 모드를 지원하는, 양자 역학 시스템.

#### 청구항 11

제10항에 있어서, 상기 적어도 2개의 전자기 발진 모드는 차동 모드인, 양자 역학 시스템.

#### 청구항 12

제10항에 있어서, 상기 적어도 2개의 전자기 발진 모드 중 제1 전자기 발진 모드는 병렬 모드인, 양자 역학 시스템.

**청구항 13**

제12항에 있어서, 상기 적어도 2개의 전자기 발진 모드 중 제2 전자기 발진 모드는 수직 모드인, 양자 역학 시스템.

**청구항 14**

제9항에 있어서, 상기 제1 초전도 표면은 제1 링형 구조물이고, 상기 제2 초전도 표면은 제2 링형 구조물인, 양자 역학 시스템.

**청구항 15**

제14항에 있어서, 상기 제1 링형 구조물은, 제1 위치에서 상기 제1 평면 내 상기 제1 링형 구조물의 제1 폭이 상기 제1 위치와는 상이한 제2 위치에서 상기 제1 평면 내 상기 제1 링형 구조물의 제2 폭보다 더 작도록 원형 비대칭인, 시스템.

**청구항 16**

제1항에 있어서, 상기 양자 역학 시스템은 복수의 공진기를 포함하는, 양자 역학 시스템.

**청구항 17**

제16항에 있어서, 상기 복수의 공진기 중 제1 공진기는 판독 공동(readout cavity)인, 양자 역학 시스템.

**청구항 18**

제17항에 있어서, 상기 복수의 공진기 중 제2 공진기는 저장 공동(storage cavity)인, 양자 역학 시스템.

**발명의 설명**

**기술 분야**

[0001] **관련 출원에 대한 상호 참조**

[0002] 본 출원은, 전체 내용이 본 명세서에 병합된, 2015년 2월 27일자로 출원된, 발명의 명칭이 "Coupling Planar Qubits to Non-Planar Resonators"인 미국 가특허 출원 번호 62/126,183의 35 U.S.C. § 119(e) 하의 이익을 주장한다.

[0003] **연방 정부에서 후원한 연구 및 개발에 관한 진술**

[0004] 본 발명은 미 육군 연구국(U.S. Army Research Office)에서 수여한 허가 번호 W911NF-14-1-0011 하에 미국 정부의 지원에 따라 이루어진 것이다. 미국 정부는 본 발명에 대해 특정 권리를 가질 수 있다.

[0005] **기술 분야**

[0006] 본 출원은 일반적으로 양자 정보 처리에 관한 것이다. 보다 상세하게는, 본 출원은 평면 양자 시스템(planar quantum system)을 비-평면 공진기(non-planar resonator) 또는 공진 구조물에 결합시키는 것에 관한 것이다.

**배경 기술**

[0007] 양자 정보 처리는 에너지 양자화, 중첩, 및 얽힘(entanglement)과 같은 양자 역학 현상을 사용하여 종래의 정보 처리에 의해 사용되지 않는 방식으로 정보를 인코딩하고 처리한다. 예를 들어, 특정 연산 문제는 종래의 고전 연산보다 양자 연산을 사용하여 보다 효율적으로 해결될 수 있다. 그러나 실행 가능한 연산 옵션이 되기 위해서는 "큐비트(qubit)"라고 알려진 많은 개수의 양자 비트를 정밀하게 제어하고 이러한 큐비트들 사이의 상호 작용을 제어할 수 있어야 한다. 특히, 큐비트는 이상적으로는 긴 결맞음 시간(coherence time)을 가질 수 있고, 개별적으로 조작될 수 있고, 다중 큐비트 게이트를 구현하기 위해 하나 이상의 다른 큐비트와 상호 작용할 수 있고, 효율적으로 초기화되고 측정될 수 있고, 양자 컴퓨터가 많은 개수의 큐비트를 포함할 수 있도록 스케일링될

수 있다.

[0008] 큐비트는 적어도 2개의 직교 상태를 갖는 임의의 물리적 양자 역학 시스템으로부터 형성될 수 있다. 정보를 인코딩하는 데 사용되는 시스템의 2개의 상태는 "연산의 기초"이라고 지칭된다. 예를 들어, 광자 분극, 전자 스핀 및 핵 스핀은 모두 정보를 인코딩할 수 있는 2-레벨 시스템이어서 각각은 양자 정보를 처리하기 위한 큐비트로서 사용될 수 있다. 큐비트를 물리적으로 상이하게 구현하면 상이한 장점과 단점이 있다. 예를 들어, 광자 분극은 긴 결맞음 시간 및 간단한 단일 큐비트 조작으로부터 이익을 얻지만 단순한 다중 큐비트 게이트를 만드는 능력은 없다.

[0009] 조셉슨 접합(Josephson junction)을 사용하는 여러 유형의 초전도 큐비트(superconducting qubit), 예를 들어, 연산 기초가 조셉슨 접합에서 쿠퍼 쌍(Cooper pairs)의 양자화된 에너지 상태에 있는 "위상 큐비트(phase qubit)"; 연산 기초가 초전도 루프에서 순환하는 전류 흐름의 방향에 있는 "전속 큐비트(flux qubit)"; 및 연산 기초가 초전도 아일랜드(island) 상에 쿠퍼 쌍이 존재 또는 부존재에 있는 "전하 큐비트(charge qubit)"를 포함하는 초전도 큐비트들이 제안되었다. 초전도 큐비트는, 2개의 큐비트 사이의 결합이 강하고, 2-큐비트 게이트를 구현하기가 상대적으로 간단하고, 초전도 큐비트는 종래의 전자 회로 기술을 사용하여 형성될 수 있는 중간 크기의 구성 요소(mesoscopic component)이므로 초전도 큐비트는 스케일링이 가능하기 때문에 큐비트의 유리한 선택이다.

**발명의 내용**

[0010] 일부 양태는, 양자 역학 시스템으로서, 복수의 초전도 표면을 갖고 3차원 구역 내에 적어도 하나의 전자기 발진 모드를 지원하도록 구성된 공진기로서, 상기 복수의 초전도 표면은 제1 평면을 형성하는 제1 초전도 표면을 포함하는, 상기 공진기; 및 상기 제1 평면 내에서 평면형이고 상기 3차원 구역을 한정하는 적어도 하나의 평면 구성 요소(planar component)를 포함하는 물리적 큐비트(qubit)를 포함하는 양자 역학 시스템에 관한 것이다.

[0011] 일부 실시예에 따르면, 상기 적어도 하나의 평면 구성 요소는 적어도 하나의 조셉슨 소자(Josephson element)를 포함한다.

[0012] 일부 실시예에 따르면, 상기 적어도 하나의 평면 구성 요소는 초전도 패치 안테나를 포함한다.

[0013] 일부 실시예에 따르면, 상기 초전도 패치 안테나는 원형 형상을 갖는 패치를 포함한다.

[0014] 일부 실시예에 따르면, 상기 초전도 패치 안테나는 직사각 형상을 갖는 패치를 포함한다.

[0015] 일부 실시예에 따르면, 상기 초전도 패치 안테나의 초전도 패치는 적어도 하나의 조셉슨 소자를 통해 상기 제1 초전도 표면에 연결된다.

[0016] 일부 실시예에 따르면, 상기 공진기는 3차원 공동 공진기이다.

[0017] 일부 실시예에 따르면, 상기 공진기는 위스퍼링 갤러리 모드(whispering gallery mode) 공진기이다.

[0018] 일부 실시예에 따르면, 상기 위스퍼링 갤러리 모드 공진기는 상기 제1 초전도 표면 및 상기 제1 초전도 표면과 평행한 제2 초전도 표면을 포함하고, 상기 제1 초전도 표면은 상기 제2 초전도 표면으로부터 제1 거리만큼 분리된다.

[0019] 일부 실시예에 따르면, 상기 위스퍼링 갤러리 모드 공진기는 적어도 2개의 전자기 발진 모드를 지원한다.

[0020] 일부 실시예에 따르면, 상기 적어도 2개의 전자기 발진 모드는 차동 모드(differential mode)이다.

[0021] 일부 실시예에 따르면, 상기 적어도 2개의 전자기 발진 모드 중 제1 전자기 발진 모드는 병렬 모드이다.

[0022] 일부 실시예에 따르면, 상기 적어도 2개의 전자기 발진 모드 중 제2 전자기 발진 모드는 수직 모드이다.

[0023] 일부 실시예에 따르면, 상기 제1 초전도 표면은 제1 링형 구조물이고, 상기 제2 초전도 표면은 제2 링형 구조물이다.

[0024] 일부 실시예에 따르면, 상기 제1 링형 구조물은, 제1 위치에서 상기 제1 평면 내 상기 제1 링형 구조물의 제1 폭이 상기 제1 위치와는 상이한 제2 위치에서 상기 제1 평면 내 상기 제1 링형 구조물의 제2 폭보다 더 작도록 원형 비대칭이다.

[0025] 일부 실시예에 따르면, 상기 양자 역학 시스템은 복수의 공진기를 포함한다.

- [0026] 일부 실시예에 따르면, 상기 복수의 공진기 중 제1 공진기는 판독 공동(readout cavity)이다.
- [0027] 일부 실시예에 따르면, 상기 복수의 공진기 중 제2 공진기는 저장 공동(storage cavity)이다.

**도면의 간단한 설명**

- [0028] 다양한 양태 및 실시예가 다음의 도면들을 참조하여 설명될 것이다. 도면들은 반드시 축척에 맞게 도시된 것은 아님을 이해해야 한다. 도면들에서, 다양한 도면에 도시된 각 동일하거나 거의 동일한 구성 요소는 동일한 번호로 표시된다. 명확하게 하기 위해 모든 구성 요소가 모든 도면에 표시된 것은 아닐 수 있다.
- 도 1은 종래의 양자 장치를 도시한 도면;
- 도 2는 일부 실시예에 따라 평면 큐비트가 비-평면 공진기에 결합된 양자 장치를 도시한 도면;
- 도 3a는 일부 실시예에 따라 패치 안테나의 상면도;
- 도 3b는 일부 실시예에 따라 패치 안테나의 단면도;
- 도 4a는 일부 실시예에 따라 3차원 공동 공진기를 포함하는 양자 장치의 단면도;
- 도 4b는 일부 실시예에 따라 3차원 공동 공진기의 큐비트 및 하나의 초전도 부분의 사시도;
- 도 5는 일부 실시예에 따라 2개의 3차원 공동 공진기를 포함하는 양자 장치의 단면도;
- 도 6a는 평행한 판형 전송 라인의 사시도;
- 도 6b는 일부 실시예에 따라 위스퍼링 갤러리 모드(whispering gallery mode) 공진기의 사시도;
- 도 6c는 일부 실시예에 따라 위스퍼링 갤러리 모드 공진기의 단면도;
- 도 7a는 일부 실시예에 따라 위스퍼링 갤러리 모드 공진기 내의 제1 위치에서 큐비트의 상면도;
- 도 7b는 일부 실시예에 따라 위스퍼링 갤러리 모드 공진기 내의 제2 위치에서 큐비트의 상면도;
- 도 8은 일부 실시예에 따라 위스퍼링 갤러리 모드 공진기 내의 큐비트의 상세 상면도;
- 도 9A 내지 도 9J는 일부 실시예에 따라 초전도 장치를 형성하는 방법 동작의 단면도;
- 도 10은 일부 실시예에 따라 이방성 습식 에칭으로 인한 트로프(trough)를 도시한 도면;
- 도 11은 일부 실시예에 따라 초전도 장치를 형성하는 방법의 흐름도; 및
- 도 12는 일부 실시예에 따라 초전도 장치 내에 트로프를 형성하는 방법의 흐름도.

**발명을 실시하기 위한 구체적인 내용**

- [0029] 전술한 바와 같이, 초전도 큐비트는 양자 연산 장치를 구축할 때 큐비트의 유리한 선택이다. 구체적으로, 초전도 큐비트는 리소그래피(lithography)와 같은 표준 2차원 제조 기술을 사용하여 제조될 수 있어서, 이 큐비트를 스케일링할 수 있다. 한편, 초전도 큐비트는 양자 정보를 저장하기 위해 다른 장치보다 더 짧은 결맞음 시간을 갖는다. 그리하여, 초전도 큐비트는 공진 공동 또는 다른 발진기 내의 정상파(standing wave)와 같은 전자기 복사선과 상호 작용하여 3차원 회로를 형성하도록 종종 결합된다. 공진기는 일반적으로 초전도 큐비트보다 훨씬 더 큰 결맞음 시간을 제공하기 때문에, 2개의 장치를 "논리적" 큐비트로 조합하면 더 긴 결맞음 시간을 제공할 수 있다.
- [0030] 도 1은 초전도 큐비트(110)가 반사기(131 및 132)에 의해 형성된 공동 공진기 내에 배치된 종래의 양자 장치(100)의 일례를 도시한다. 큐비트(110)는 쌍극자 안테나로서 작용하는 2개의 초전도 블록(112 및 114)에 연결된 조셉슨 접합(116)(도면에서 "X"로 표시됨)을 포함한다. 큐비트(110)는 단일 평면에 존재하는 실질적으로 2차원 장치이다. 큐비트에 의해 생성된 쌍극자 모멘트( $p_q$ )는 큐비트(110)의 평면에 놓여 있다. 공진기( $E_r$ )에 의해 생성된 전기장은 반사기(131 및 132)에 수직으로 향한다(2개의 예시적인 전기력선이 도시된다). 큐비트와 공진기는 공진기의 전기장과 큐비트의 쌍극자 모멘트가 정렬되기 때문에 서로 결합될 수 있다.
- [0031] 도 1의 예시적인 장치에서, 큐비트의 쌍극자 모멘트 및 공진기의 전기장은 모두 평면 큐비트(110)에 의해 형성된 평면에 놓여 있다. 그러나, 공진기는 또한 큐비트의 평면 위에 그리고/또는 아래에도 전기장을 생성한다. 이 전기장은 장치의 다른 소자들 사이에 누화 및/또는 복사선 손실에 기여할 수 있기 때문에 장치의 성능에 해로울

수 있다. 따라서, 전기장이 큐비트의 평면 내에 존재하고 큐비트의 쌍극자 모멘트와 정렬되는 것이 필요하지만, 도 1의 설계는 큐비트 내에 원치 않는 영향을 야기한다.

- [0032] 따라서, 초전도 큐비트는 종래 기술을 사용하여 제조될 수 있지만, 이 초전도 큐비트는 또한 상대적으로 더 짧은 결맞음 시간을 나타낸다. 대안적으로, 도 1에 도시된 장치(100)와 같은 3차원 장치는 상대적으로 더 긴 결맞음 시간을 제공하지만, 제조하는 것이 그렇게 쉽지 않고, 또한 공진기의 전기장과 큐비트 사이에 원치 않는 상호 작용으로 인해 동작 동안 해로운 영향을 초래할 수 있다.
- [0033] 본 발명자들은 종래 기술을 사용하여 제조될 수 있으나 또한 공진기 공동의 벽의 평면 내에 위치한 큐비트가 공동으로 향하는 쌍극자 모멘트를 생성하도록 구성된 평면 다층 회로를 형성함으로써 상대적으로 더 긴 결맞음 시간을 나타내는 큐비트를 생성할 수 있는 것을 인식하고 이해하였다. 따라서, 큐비트는 공진기 공동과 함께 평면 방식으로 제조될 수 있어서, 종래의 제조 기술을 사용할 수 있으면서, 쌍극자 모멘트가 공진기의 전기장과 정렬되기 때문에 큐비트가 공진기에 결합될 수 있다.
- [0034] 도 2는 일부 실시예에 따라 평면 큐비트가 비-평면 공진기에 결합된 양자 장치를 도시한다. 도 2의 예에서, 큐비트(210)는 반사기(231 및 232)에 의해 형성된 공진기의 반사기(232) 내에 제조된다. 도시된 바와 같이, 큐비트(210)는, 공진기의 적어도 하나의 구역에서, 공진기에 의해 생성된 전기장( $E_r$ )과 평행하고 반사기(232)에 수직으로 향하는 쌍극자 모멘트를 생성하도록 구성된다. 그리하여, 큐비트(210)는 반사기(231 및 232)에 의해 형성된 공진기에 결합될 수 있으나, 도시된 장치는 리소그래피와 같은 종래의 제조 기술을 사용하여 층으로 형성될 수 있다. 또한, 도 2에 도시된 공진기의 전기장은, 도 1에 도시되고 위에서 논의된 장치(100)의 경우와 같이 큐비트와 바람직하지 않은 상호 작용을 제공하지 않는다.
- [0035] 일반적으로, 다수의 큐비트가 이들 사이에 일정 분리 거리를 두고 공진기의 하나의 반사기를 따라 제조될 수 있기 때문에 장치(200)는 큐비트(210)와 같은 임의의 개수의 큐비트를 포함할 수 있다. 추가적으로 또는 대안적으로, 장치(200)는, 반사기(231) 내부 및/또는 반사기(231) 위에 위치한 다른 반사기 또는 다른 표면(도시되지 않음) 내부와 같은, 도 2의 수직 방향을 따라 다수의 상이한 위치들에 큐비트를 포함할 수 있다.
- [0036] 도 2에 도시된 예시적인 공진기는, 2개의 표면, 즉 반사기(231 및 232)를 포함하지만, 일반적으로 장치(200)에는 일부 경우에 완전히 한정된 체적을 규정하는 표면을 포함하여 임의의 개수의 표면을 포함하는 공진기가 사용될 수 있다. 공진기의 표면들은 또한 하나 이상의 재료를 포함할 수 있으며, 이 재료 중 적어도 일부는 초전도성이 되도록 동작될 수 있는 재료(예를 들어, 초전도성으로 되는 적절한 온도로 낮아진 알루미늄)일 수 있다. 일부 경우에, 공진기의 표면은 다수의 상이한 재료를 포함할 수 있다.
- [0037] 일부 실시예에 따르면, 큐비트(210)는 비-선형, 비-발산성 소자(non-linear, non-dissipative element)인 하나 이상의 조셉슨 소자를 포함할 수 있다. 조셉슨 소자에 관하여 본 명세서에서 사용된 "비선형"이라는 용어는 비선형인 소자의 선속-전하 관계(예를 들어, 인덕턴스)를 지칭하고; "비-발산성"이라는 용어는 소자가 발산하는 전력량이 실질적으로 무시가능하다는 것을 지칭한다. 조셉슨 접합, 초전도 막 및 나노와이어를 포함하지만 이들로 국한되지 않는 임의의 적절한 조셉슨 소자가 사용될 수 있다. 이하에 설명된 실시예에서는 조셉슨 접합들이 사용된다. 그러나 본 명세서에 설명된 기술 및 실시예는 조셉슨 접합을 사용하는 것으로 제한되지 않는다는 것을 이해해야 한다.
- [0038] 다음은 평면 양자 시스템을 비-평면 공진기에 결합하는 기술과 관련된 다양한 개념 및 실시예에 대한 보다 상세한 설명이다. 본 명세서에 설명된 다양한 양태가 다수의 방식들 중 임의의 방식으로 구현될 수 있다는 것을 이해해야 한다. 특정 구현의 예는 설명의 목적으로만 본 명세서에 제공된다. 또한, 이하의 실시예에서 설명된 다양한 양태는 단독으로 또는 임의의 조합으로 사용될 수 있으며, 본 명세서에 명시적으로 설명된 조합들로 제한되지 않는다.
- [0039] 전술한 바와 같이, 큐비트(210)는 큐비트의 평면에 수직인 쌍극자 모멘트를 제공한다. 이러한 효과를 생성하는 임의의 적절한 큐비트 구현이 사용될 수 있으나, 이러한 큐비트의 2개의 광범위한 클래스가 아래에서 논의된다. 첫째, 패치 안테나에 기초한 큐비트들은 도 3a 내지 도 3b, 도 4a 내지 도 4b 및 도 5와 관련하여 논의된다; 둘째, 위스퍼링 갤러리 모드 공진기에 기초한 큐비트들은 도 6a 내지 도 6c, 도 7a 내지 도 7b 및 도 8과 관련하여 논의된다.
- [0040] 도 3a는 일부 실시예에서 큐비트의 평면에 수직인 전술한 쌍극자를 생성하는데 사용되는 "패치 안테나"(300)의 상면도를 도시한다. 패치 안테나(300)는, 전도성 시트(310)로부터 외부 반경( $r_o$ )을 갖는 환형 애퍼처(annular

aperture)(305)를 제거하고, 남아 있는 전도성 시트(310)에 의해 둘러싸인 반경( $r_i$ )(환형 애퍼처(305)의 내부 반경을 나타냄)을 갖는 원형 패치(320)를 생성함으로써 형성된다. 도 3b는 패치 안테나(300)의 단면도를 도시하고, 여기서 단면도는 원형 패치(320)의 중심을 통해 취해진다.

[0041] 전압이 원형 패치(320)와 전도성 시트(310) 사이의 환형 애퍼처 (305)에 걸쳐 인가될 때, 도 3b에서 화살표(330 및 331)로 나타낸 바와 같이 2개의 반대 방향을 향하는 쌍극자 모멘트( $p_q$ )가 생성된다. 쌍극자 모멘트( $p_q$ )는 패치 안테나의 평면 내로 향하지 않고, 대신 패치 안테나의 평면에 수직으로 향한다. 쌍극자 모멘트들은 도 3a에는 도시되어 있지 않고, 도면 안과 밖을 향해 있다.

[0042] 원형 패치(320)가 도 3a 내지 도 3b에 도시되어 있지만, 패치 안테나의 실시예는 패치 안테나를 형성하는데 임의의 적절한 형상이 사용될 수 있기 때문에 반드시 이런 것으로 제한되지는 않는다. 예를 들어, 패치(320)는 삼각형, 직사각형, 다각형, 별 형상 또는 임의의 다른 적절한 형상일 수 있다. 또한, 환형 애퍼처(305)의 두 표면은 임의의 적절한 윤곽을 갖도록 형성될 수 있다. 예를 들어, 패치(320)의 형상에 의해 결정되는 환형 애퍼처(305)의 내부 표면(306)은 임의의 윤곽일 수 있다. 이 도면에서, 내부 표면(306)은 원으로 도시되어 있지만, 이 표면은 타원형, 직사각형, 정사각형일 수 있거나 및/또는 주기적 패턴(예를 들어, 정현파, 삼각파, 구형파 등)과 같은 불규칙하거나 규칙적인 특징부를 포함할 수 있다. 유사하게, 환형 애퍼처(305)의 외부 표면(307)은 임의의 적절한 윤곽일 수 있다. 추가적으로, 실시예는 내부 표면(306)의 형상이 외부 표면(307)과 동일한 형상으로 제한되지 않는다. 예를 들어, 내부 표면(306)은 (원형 패치(320)를 형성하는) 원형일 수 있는 반면에, 외부 표면(307)은 (전도성 시트(310)에서 직사각형 애퍼처를 형성하는) 직사각형일 수 있다. 일반적으로, 임의의 개수의 패치가 (예를 들어, 하나 이상의 조셉슨 접합을 통해) 전도성 시트에 연결된 것으로 및/또는 서로 연결된 것으로 패치 안테나 내에 포함될 수 있다.

[0043] 더욱이, 패치(320)는 실시예들이 원형 대칭인 패치/애퍼처 구조로 국한되지 않을 뿐만 아니라, 실제로 실시예들은, 예를 들어, 4중 또는 8중 대칭(그러나 일부 실시예가 이러한 대칭을 나타낼 수 있다)과 같은 임의의 특정 대칭을 나타내는 것으로 제한되지 않기 때문에 애퍼처(305) 내의 임의의 위치에 위치될 수 있다. 도 3a 내지 도 3b는 원형 패치(320)가 원형 애퍼처(305)의 중심에 있다는 점에서 원형 대칭인 패치(320)를 도시한다. 일부 대안적인 실시예에서, 원형 패치(320)는 애퍼처(305)의 제2 에지(edge)보다 원형 애퍼처(305)의 제1 에지에 더 가까이 있을 수 있고, 그리하여 원형 대칭이 아닌 패치 안테나를 생성할 수 있다.

[0044] 본 발명자들은 패치(320) 및 애퍼처(305)의 형상뿐만 아니라 애퍼처(305) 내의 패치(320)의 위치를 선택함으로써 큐비트와 공진기 사이의 자기 결합 대 전기 결합의 비율을 튜닝(tuning)할 수 있다는 것을 인식하고 이해하였다. 이 비율을 튜닝함으로써, 큐비트의 공진이 (예를 들어, 큐비트와 공진기 사이에 원하는 분산 결합을 생성하기 위해) 공진기의 공진으로부터 분리되도록 큐비트의 공진은 공진기의 공진으로부터 독립적으로 튜닝될 수 있다.

[0045] 또한, 원형 패치는 얇은 전도성 시트(310)로부터 환형 애퍼처(305)를 제거함으로써 형성되는 것으로서 앞서 설명되었지만, 패치 안테나(300)는 또한 기판 상에 전도성 재료를 증착하여 원형 패치(320)와 전도성 시트(310)를 형성하여 환형 애퍼처(305)의 포맷을 생성함으로써 형성될 수 있다.

[0046] 일부 실시예에서, 하나 이상의 조셉슨 접합이 전술한 패치 안테나 구조물에 추가되어 초전도 큐비트를 형성할 수 있다. 조셉슨 접합은, 예를 들어, 원형 패치(320)와 전도성 시트(310) 사이에 배치되어, 패치 안테나의 두 부분이 조셉슨 접합을 통해 함께 결합될 수 있도록 한다. 조셉슨 접합은 예를 들어 원형 패치(320)와 전도성 시트(310) 사이에 "브리지"를 형성하는 초전도 와이어 상에 형성될 수 있다.

[0047] 조셉슨 접합은, 예를 들어, 2개의 초전도 층 사이에 얇은 비-초전도 터널 층을 배치함으로써 형성될 수 있다. 일부 실시예에서, 이러한 비-초전도 층은 비-전도성 재료일 수 있다. 예를 들어, 알루미늄 산화물과 같은 임의의 적절한 산화물이 사용될 수 있다. 일부 실시예에서, 패치 안테나는 초전도 재료로 형성된다. 본 발명을 제한하는 것이 아닌 예시하기 위하여, 패치 안테나는 알루미늄, 니오븀, 인듐, 레늄, 탄탈륨, 질화티타늄, 질화니오븀, 또는 이들의 조합으로 형성될 수 있다.

[0048] 본 명세서에 설명된 실시예는 단지 단일 조셉슨 접합만을 도시하지만, 일부 실시예는 서로 병렬 또는 직렬로 배열될 수 있는 복수의 조셉슨 접합을 포함할 수 있다. 예를 들어, 직렬로 2개의 조셉슨 접합이 원형 패치(320)를 전도성 시트(310)에 연결하는 초전도 와이어 상에 형성될 수 있다. 병렬로 2개의 조셉슨 접합은 원형 패치(320)를 전도성 시트(310)에 연결하기 위해 다수의 "브리지"를 사용하여 형성될 수 있고, 각 브리지는 하나 이상의 조셉슨 접합을 포함한다.



- [0049] 전술한 바와 같이, 도 2에 도시된 큐비트(210)와 같은 큐비트는 비-평면 초전도 공진기의 일부를 형성하는 금속 층에 매립될 수 있다. 본 발명을 제한하는 것이 아닌 예시하기 위하여, 3차원 공동 공진기 또는 전송 라인 공진기, 예를 들어, 링 공진기가 사용될 수 있다. 도 4a 내지 도 4b는 3차원 공동 공진기 내에 전술한 바와 같은 조셉슨 접합을 포함하는 도 3a 내지 도 3b와 관련하여 설명된 것과 같은 패치 안테나를 사용하는 일례를 도시한다.
- [0050] 도 4a는 3차원 공동을 포함하는 양자 장치(400)의 단면을 도시한다. 공동은 임의의 재료로 채워지지 않은 장치 부분(이 도면에서 장치의 내부에 흰색으로 보이는 부분)이다. 일부 실시예에서, 장치는 동작 동안 진공에 놓여 공동 내에 실질적으로 공기가 존재하지 않을 수 있다. 공동은, 초전도 부분(412, 451, 452 및 453)을 포함하는, 공동의 벽들로 작용하는 복수의 초전도 부분에 의해 형성된다. 일부 실시예에서, 초전도 부분(451 및 452)의 내부 표면은 서로 실질적으로 평행할 수 있는 반면, 초전도 부분(452)의 내부 표면은 초전도 부분(412)의 내부 표면과 실질적으로 평행할 수 있다.
- [0051] 일부 실시예에서, 도 3a 내지 도 3b와 관련하여 논의된 바와 같이, 원형 패치(414)를 형성하기 위해 초전도 부분(412)에 환형 형상이 형성될 수 있다. 도 4a 내지 도 4b의 예에서, 원형 패치는 조셉슨 접합(415)을 통해 초전도 부분(412)에 연결된다. 도 4b는 초전도 부분(412)과 패치(414)의 사시도를 도시한다. 소자(412, 414, 415) 이외에 도 4a에 도시된 양자 장치의 소자들은 명확화를 위해 도 4b에 도시되어 있지 않다.
- [0052] 도 4a 내지 도 4b의 예에서, 초전도 부분(412 및 414)과 조셉슨 접합(415)의 조합은 논리 큐비트를 형성한다. 그리하여, 소자들의 이러한 조합은 도 2에 도시된 큐비트(210)의 적절한 예이다.
- [0053] 일부 실시예에서, 장치(400)를 형성하는 예시적인 방법으로, 기관(450) 상에 초전도 부분(451, 452 및 453)이 형성될 수 있다. 기관은, 본 발명을 제한하는 것이 아닌 예시하기 위하여, 실리콘, 사파이어 및/또는 일부 다른 유전체로 형성될 수 있다. 일부 실시예에서, 초전도 부분(412, 414) 및 조셉슨 접합(415)은 실리콘, 사파이어 및/또는 일부 다른 유전체로 형성될 수 있는 기관(410) 상에 형성될 수 있다. 2개의 기관(410, 450) 각각이 각 초전도 부분 및 그 위에 형성된 임의의 다른 장치를 구비한 후에, 2개의 기관은 함께 부착되어 도 4a에 도시된 공동을 형성할 수 있다. 2개의 기관은 임의의 적절한 방식으로 함께 부착될 수 있다. 예를 들어, 적어도 부분적으로 금속 재료로 덮인 2개의 기관은 냉간 용접, 열 압축 본딩, 열 음향 본딩, 공융 본딩 및/또는 솔더 리플로우를 사용하여 함께 접합될 수 있다.
- [0054] 일부 실시예에서, 초전도 부분(412)은 단일 유형의 초전도 재료로 형성될 수 있다. 그러나, 도 4a에 도시된 바와 같이, 일부 실시예에서, 초전도 부분(412) 중 제1 부분은 알루미늄과 같은 제1 초전도 재료(도 4a 내지 도 4b에서 빗금 선으로 도시됨)로 형성되고, 초전도 부분(412) 중 제2 부분은 인듐과 같은 제2 초전도 재료(도 4a 내지 도 4b에서 중실 흑색으로 도시됨)로 형성된다. 초전도 부분(451-453)은 또한 제2 초전도 재료 또는 다른 재료로 형성될 수 있다. 일부 실시예에 따르면, 초전도 부분(412 및 414)은 알루미늄, 인듐, 주석, 실리콘 카바이드 또는 이들의 조합으로 형성될 수 있다. 본 명세서에서 사용된 "초전도 재료"는 적어도 일부 조건 하에서 일종의 초전도성을 나타내는 재료이다. 예를 들어, 알루미늄은 1.2K의 전이 온도 미만으로 냉각될 때 초전도성을 나타내기 때문에 "초전도 재료"로 고려될 수 있다.
- [0055] 전술한 바와 같이, 조셉슨 접합(415)은 쌍극자 모멘트( $p_q$ )가 공동의 전기장( $E_r$ )에 결합되는 것으로 인해 장치(400)의 공동에 결합되는 큐비트로서 동작할 수 있다. 도 3b는 반대 방향을 향하는 2개의 쌍극자 모멘트를 도시하지만, 이들 2개의 쌍극자 모멘트 중 다른 하나는 기관(410)을 향하기 때문에 이 2개의 쌍극자 모멘트 중 단 하나만이 공동에 의해 지지되는 전기장에 결합될 것이다. 일부 실시예에서, 조셉슨 접합(415)이 매립된 재료는 (예를 들어, 재료의 2개의 상이한 표면을 통해) 2개의 상이한 공동의 경계 역할을 하는 재료이다. 이러한 방식으로, 조셉슨 접합(415)은, 조셉슨 접합 위의 쌍극자 모멘트가 제1 공동의 전기장에 결합되고 조셉슨 접합 아래의 쌍극자 모멘트가 제2 공동의 전기장에 결합되는 것으로 인해, 2개의 공동에 동시에 결합될 수 있다.
- [0056] 도 5는 조셉슨 접합이 2개의 공동에 결합된 일 실시예를 도시한다. 도 4a 내지 도 4b에 사용된 것과 동일한 참조 번호를 도 5에 사용하여 동일한 특징부를 나타낸다. 도 5의 예에서는, 소자(412, 414 및 415)로 형성된 논리 큐비트는 제1 공동의 전기장( $E_{r1}$ )(아래쪽에 도시됨)과 또한 제2 공동의 전기장( $E_{r2}$ )(위쪽에 도시됨)에 결합되는 쌍극자 모멘트를 생성한다.
- [0057] 도 5의 예에서는, 제2 공동은 기관(410)을 둘러싸는 박스(510)를 형성하는 재료에 의해 한정된다. 일부 실시예에 따르면, 박스(510)는 구리와 같은 금속을 포함할 수 있다. 일부 실시예에 따르면, 제2 공동의 벽들은 내부 표면 박스(510) 상에 코팅된 초전도 재료(520)로 형성될 수 있다. 일부 실시예에서, 입력 커플러(512)와 출력

커플러(514)가 금속 박스(510)와 초전도 재료(520) 내에 형성되어 마이크로파 복사선이 제2 공동 내로 및 제2 공동으로부터 결합될 수 있다.

[0058] 일부 실시예에서, 2개의 공동은 상이한 Q 인자를 가질 수 있다. 제1 공동은 예를 들어 제2 공동보다 더 높은 Q 인자를 가질 수 있다. 그리하여, 제1 (하부) 공동과 논리적 큐비트 사이의 결합 강도는 논리적 큐비트와 제2 (상부) 공동 사이의 결합 강도보다 더 작을 수 있다. 또한, 제2 공동과 측정 장치(이 도면에 도시되지 않음) 사이의 결합은 제1 공동과 논리적 큐비트 사이의 결합 강도 및 논리적 큐비트와 제2 공동 사이의 결합 강도보다 모두 더 클 수 있다. 일부 실시예에서, 제1 공동은 판독 공동으로서 사용될 수 있고, 제2 공동은 저장 공동으로서 사용될 수 있다; 상기에서 언급된 결합 강도 및/또는 Q 인자의 상대적인 크기는 이러한 배열을 용이하게 할 수 있다.

[0059] 임의의 적절한 크기의 구성 요소를 갖는 양자 장치가 사용될 수 있다. 일 실시예에서, 원형 패치(414)는 반경  $r_i = 0.1-0.2\text{mm}$ 를 가지고, 초전도 부분으로부터 절단된 환형 형상은 반경  $r_o = 0.7-0.8\text{mm}$ 를 갖는다. 조셉슨 접합이 형성된 기관은  $0.2\text{mm}$  내지  $0.4\text{mm}$ 의 두께를 가질 수 있다. 저장 공동은 서로 상이한 치수를 가질 수 있다. 예를 들어, 각 공동은  $200\text{cm}^3$  미만의 체적 또는  $50\text{cm}^3$  내지  $150\text{cm}^3$ 의 체적을 가질 수 있다(예를 들어, 제1 공동은 약  $22 \times 24 \times 0.3\text{mm}$ 에 이를 수 있는 반면, 제2 공동은  $28 \times 30 \times 3\text{mm}$ 에 이를 수 있다). 실시예들은 임의의 특정 크기 또는 형상으로 제한되지 않기 때문에 상기 측정값은 예로서 제공된 것이다.

[0060] 전술한 바와 같이, 도 2에 도시된 큐비트(210)는 큐비트의 평면에 수직인 쌍극자 모멘트를 제공하며, 예를 들어 위스퍼링 갤러리 모드 공진기(whispering gallery mode resonator: WGMR) 또는 다른 평면 다층 장치(때로는 "2.5차원 장치"라고도 지칭됨)로 구성될 수 있다.

[0061] WGMR은, 개념적으로, 도 6a에 도시된 바와 같이, 주기적인 경계 조건을 갖는 평행한 판형 전송 라인(600)을 고려하는 것에 의해 형성된다. 평행한 판형 전송 라인(600)은 알루미늄 또는 인듐과 같은 초전도 재료로 형성된 상부 판(601) 및 하부 판(602)을 포함한다. 상부 판(601)은 하부 판(602)과 평행하다. 도 6a는 상부 판(601) 및 하부 판(602)에 의해 형성된 평면에 각각 수직하고 평행한 화살표로서 WGMR의 전기장 모드 모드 및 자기장 모드를 도시한다.

[0062] 물리적으로, 주기적인 경계 조건을 갖는 WGMR(610)은 도 6b에 도시된 바와 같이 평행한 판형 전송 라인을 링형 구조로 형성함으로써 형성될 수 있다. WGMR(610)은, 평행한 판형 전송 라인(600)에서와 같이, 서로 평행한 상부 판(611) 및 하부 판(612)을 포함하지만, 도 6b의 예에서 전송 라인은 루프를 형성한다.

[0063] 공진기는 원형 대칭인 금속 링들의 쌍을 사용할 수 있지만, 도 6b의 WGMR 공진기 예에서, 링형 구조의 이러한 원형 대칭은 2개의 오프셋 원을 사용하여 링을 형성함으로써 파괴되는데, 즉, 각 금속 링의 구멍(hole)은 금속 링의 외부 경계에 대해 중심에 있지 않다. 따라서, 2개의 금속 링 각각의 평면과 평행하게 놓이고 2개의 원 각각의 중심을 통과하는 대시 라인(613)으로 표시된 대칭 평면이 생성된다.

[0064] 링형 구조의 원형 대칭을 파괴함으로써, 2개의 비-축퇴 정상 모드(non-degenerate standing mode)가 생성된다. 제1 비-축퇴 정상 모드는 대칭 축과 평행하고, 제2 비-축퇴 정상 모드는 대칭 축과 수직이다. 이 모드들은 공통 모드(common mode)와 차동 모드(differential mode)로 더 분리될 수 있고, 여기서 공통 모드(C)는 상부 판(611)과 하부 판(612)에 미리 전하(mirror charge)를 갖고, 차동 모드(D)는 상부 판(611)과 하부 판(612)에 반대 전하를 갖는다. 일부 실시예에서, WGMR의 2개의 차동 모드는 (이하에서 설명된 WGMR 공진기에 포함될 수 있는) 큐비트에 결합하기 위한 2개의 별개의 공동으로 고려될 수 있다. 본 발명을 제한하는 것이 아닌 예시하기 위하여, 평행한 D 모드는 판독 공동으로서 사용될 수 있고, 수직한 D 모드는 저장 공동으로서 사용될 수 있다.

[0065] 도 6c는 WGMR(610)의 단면도로 평행한 차동 모드(D)를 도시한다. 도 6c의 예에서, 판(611 및 612)으로 형성된 공진기를 역학적으로 지지하기 위해 스페이서(650 및 651)와 기관(621 및 622)이 포함된다. 또한, 결합 핀(coupling pin)(630-631)이 링형 구조물 위에 배치되고, 예를 들어, 마이크로파 복사선을 WGMR에 결합시키는데 사용될 수 있다. 도 6c의 예에서, 결합 핀들은, 링형 구조물의 가장 얇은 부분과 가장 두꺼운 부분 위에 대칭 라인(613)을 따라 위치되지만, 일반적으로 결합 핀은 임의의 적절한 위치에 위치될 수 있다.

[0066] 제조 공정의 예시적인 예로서, 도 6c에 도시된 장치는, 제1 기관(621) 상에 상부 판(611)을 형성하고 제2 기관(620) 상에 하부 판(612)을 형성함으로써 제조될 수 있다. 제1 기관(621)과 제2 기관(622)은 본 발명을 제한하는 것이 아닌 예시하기 위하여, 실리콘 및/또는 사파이어를 포함할 수 있다. 제1 기관(621)과 제2 기관(622)은 이후 서로 평행하게 배치되고, 실리콘 및/또는 사파이어로 또한 제조될 수 있는 스페이서(650-651)에 의해 설정

된 거리만큼 분리되어 유지된다. 비-제한적인 예로서, 2개의 기관 사이의 거리는 0.1mm 내지 0.3mm일 수 있다.

- [0067] 제1 기관(621)과 제2 기관(622)은 이후 임의의 적절한 기술을 사용하여, 예를 들어, 폴리(메틸 메타크릴레이트)(PMMA)를 사용하여 함께 접합될 수 있다. 그 결과 형성된 공진기는 이후 알루미늄과 같은 금속으로 형성될 수 있는 샘플 홀더(640)에 배치될 수 있다. 결합 핀(630 내지 631)은 마이크로파 복사선을 WGMR에 결합시키기 위해 링형 구조물 위에 배치될 수 있다. 일부 실시예에서, 결합 핀들은 링형 구조물의 가장 얇은 부분과 가장 두꺼운 부분 위에 대칭 라인(613)을 따라 위치된다.
- [0068] 전술한 3차원 공동 공진기와 같이, 큐비트는 공동을 한정하는 초전도 벽들 중 하나의 벽의 평면 내에 매립될 수 있는데, - WGMR의 경우에, 상부 판(611) 또는 하부 판(612) 내에 매립될 수 있다. 도 7a 및 도 7b는 이러한 큐비트에 대한 2개의 예시적인 위치들을 도시하고, 도 8은 도 7a 및 도 7b에 도시된 큐비트의 구조에 대한 추가적인 상세를 제공한다.
- [0069] 도 7a는 큐비트(710)가 링형 구조물의 가장 얇은 부분에 위치된 일 실시예를 도시한다. 도 7b는 큐비트(720)가 링형 구조물의 가장 얇은 부분으로부터 떨어진 각도( $\theta$ )에 위치된 일 실시예를 도시하며, 여기서  $\theta=0$ 은 링형 구조물의 가장 얇은 부분으로 정의된다. WGMR이 공진하는 주파수는 큐비트가 위치된 위치와 관련이 없다. 그러나, 공진기에 큐비트의 결합 크기는 링(612) 주위에 큐비트의 위치에 따라 변한다. 또한, 주어진 위치( $\theta$ )에 대해, 공진기에 큐비트의 결합 크기는 WGMR에서 애퍼처의 치수를 변경함으로써 조정될 수 있다.
- [0070] 큐비트가 링의 가장 얇은 부분( $\theta=0$ )에 있는 경우, 저장 모드는 이 위치에서 전기장이 0인 것에도 불구하고 최대 결합을 갖는다. 이 결합은 대부분 유도성 결합이다. 큐비트의 위치가 변하면 이 결합은 유도성 결합으로부터 용량성 결합으로 변한다. 일부 실시예에 따르면, 공진기의 Q 인자 및/또는 각 모드에서 공진기 복사선의 결합은 핀(630 및 631)의 각도 위치 및/또는 핀(630 및 631)이 공동 내로 돌출하는 깊이의 함수일 수 있다.
- [0071] 일부 실시예에 따르면, 도 7a 또는 도 7b에 도시된 바와 같은 링(612)을 사용하는 WGMR의 공진기 모드와 큐비트 사이에 분산 결합을 위해, 교차-커 결합(cross-Kerr coupling)의 강도( $\chi_{qr}$ )는 공진기 전이 주파수와 큐비트 전이 주파수 사이의 디튜닝(주파수의 차이)에 주로 의존한다. WGMR이 저장 (메모리) 모드 및 판독 모드에서 동작되는 실시예에서, 큐비트와 판독 공동 사이의 교차-커 결합 상수( $\chi_{qm}$ ) 및 큐비트와 메모리 공동 사이의 교차-커 결합 상수( $\chi_{qm}$ )는 조셉슨 접합의 위치에 의존한다.
- [0072] 도 8은 도 7a에 도시된 큐비트(710) 및/또는 도 7b에 도시된 큐비트(720)와 같은 WGMR 내에서 사용될 수 있는 예시적인 큐비트의 상면도를 도시한다. 도 8의 예에서, 큐비트(830)는 하부 판(여기서, 도 6b에 도시된 판(612)은 일례로서 도시됨)의 평면에 매립된 직사각형 패치(810)로부터 형성된다.
- [0073] 직사각형 패치(810)는 판(612)과 동일한 초전도 재료를 포함할 수 있고 및/또는 상이한 초전도 재료를 포함할 수 있다. 판(612)은 조셉슨 접합(820)을 통해 직사각형 패치(810)에 연결될 수 있다. 큐비트(830)는 WGMR 내의 임의의 적절한 위치에 위치될 수 있고, 하부 WGMR 판 및/또는 상부 WGMR 판에 위치된 임의의 개수의 이러한 큐비트가 있을 수 있다.
- [0074] 전술한 초전도 장치는 임의의 적절한 방식으로 제조될 수 있다. 일부 실시예에서, 마이크로 전자 제조 기술은 전술한 바와 같이 공진기로서 사용되는 3차원 공동을 형성하는데 사용될 수 있다. 대안적으로, 공동은 트로프 및 채널이 3차원 인쇄 기술을 사용하여 원하는 대로 형성된 기관을 사용하여 형성될 수 있고, 초전도 층은 예를 들어 전기 도금 기술을 사용하여 형성될 수 있다. 일부 실시예에 따르면, 도 4a에 도시된 바와 같이 단일 기관 내에 트로프를 형성함으로써 인클로저가 생성된다. 대안적으로 또는 추가적으로, 제1 기관에 제1 트로프 및 제2 기관에 제2 트로프를 형성하고, 2개의 트로프가 서로 인접하도록 2개의 기관을 함께 배치함으로써 인클로저가 생성될 수 있다. 전술한 바와 같은 큐비트는 공동을 형성하는데 사용되는 초전도 표면들 중 임의의 하나의 표면에 형성될 수 있다. 일부 실시예에 따라 초전도 장치를 형성하는 방법이 이하에서 설명된다.
- [0075] 도 9A 내지 도 9J는 일부 실시예에 따라 초전도 장치를 제조하는 예시적인 방법의 복수의 동작의 단면도를 도시한다. 대응하는 동작의 흐름도는 도 11의 방법(1100)으로 도시된다. 도 11에서 제1 기관에 트로프를 형성하는 초기 동작(1102)은 도 9A 내지 도 9G에 도시된다. 이들 단계는 또한 도 12에 도시된 방법(1200)의 동작에 의해 보다 상세히 제시된다.
- [0076] 도 9A는 제공된 제1 기관(900)을 도시한다. 일부 실시예에서, 기관은 실리콘 또는 게르마늄을 포함하나 이들로 국한되지 않는 결정 구조를 갖는 재료를 포함할 수 있다. 기관(900)은 임의의 적절한 두께를 가질 수 있다. 도 9A에 도시된 실시예에서, 기관은 약 500 $\mu$ m 두께이다.

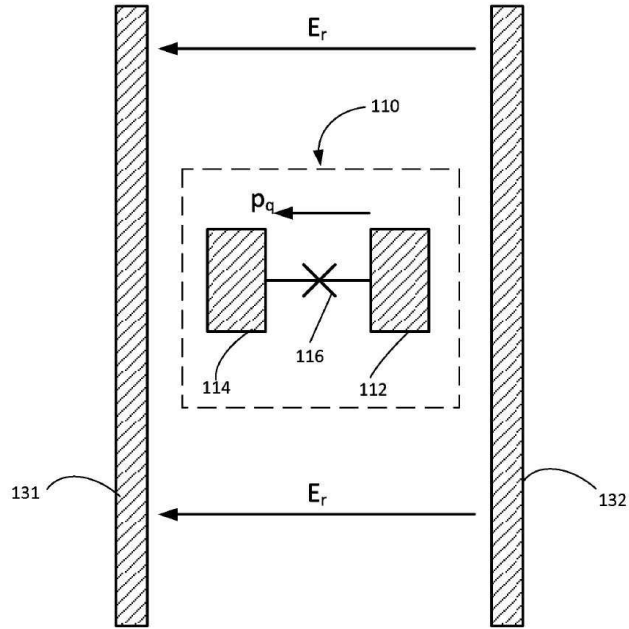
- [0077] 방법(1100)의 초기 동작(1120)은 도 12에 보다 상세히 제시된다. 따라서, 방법(1200)의 단계들은 도 9A 내지 도 9G에 도시된 단계들에 대해 수행될 것이다.
- [0078] 동작(1202)에서, 마스크 재료 층(902)이 기판(900)의 제1 표면 상에 증착된다(도 9B 참조). 일부 실시예에 따르면, 마스크 재료 층은 실리콘 질화물을 포함할 수 있다. 동작(1204)에서, 포토레지스트 층(904)이 마스크 재료 층(902)의 상부에 증착된다(도 9C 참조). 포토레지스트 층(904)은 기판(900)에 형성된 트로프의 치수에 기초하여 패턴으로 형성된다. 따라서, 포토레지스트 층(904)은 후속 동작에서 기판(900)에 트로프가 형성되는 구역에는 존재하지 않는다. 본 발명을 제한하는 것이 아닌 예시하기 위하여, 포토레지스트 층(904)은 18mm × 38mm 치수를 갖는 실리콘 마스크 재료 층(902)의 영역이 노출되어 남아 있도록 형성될 수 있다.
- [0079] 동작(1206)에서, 마스크 재료 층(902)의 노출된 부분이 제거된다(도 9D 참조). 이것은 임의의 적절한 방법으로 달성될 수 있다. 일부 실시예에서, 마스크 재료 층(902)은 마스크 재료 층을 제거하지만 포토레지스트 층(904)을 제거하지 않는 에칭액을 사용하여 에칭된다. 예를 들어, 반응성 이온 에칭(reactive ion etching: RIE)이 실리콘 질화물 층(902)을 에칭하는데 사용될 수 있다. RIE의 동작은 에칭체로서 예를 들어  $\text{CHF}_3/\text{O}_2$ 를 사용할 수 있다. 포토레지스트 층(904)은 이후 동작(1208)에서 제거된다. 그 결과 형성된 구조는 기판(900)이 트로프의 치수를 한정하는 마스크로서 작용할 수 있는 실리콘 질화물 층(902)으로 부분적으로 덮인 상태가 된다(도 9E 참조).
- [0080] 동작(1210)에서, 기판(900)의 노출된 부분은 트로프(906)를 형성하도록 에칭된다. 일부 실시예에서, 기판(900)은 그 결과 형성된 트로프(906)의 대향하는 표면들이 서로 평행하도록 에칭될 수 있다. 도 9F에 도시된 실시예에서, 트로프는 85°C에서 30% KOH를 사용하여 이방성 습식 에칭을 사용하여 에칭된다. 이방성 에칭의 상세는 도 10에 보다 상세히 도시된다.
- [0081] 도 10은 이방성 습식 에칭으로 인해 형성된 트로프(906)를 도시한다. 실리콘 기판(900)의 결정 구조로 인해, (100) 평면(1012)과 (111) 평면(1014)은 에칭 동작의 결과 54.7° 각도를 이룬다. 일부 실시예에서, 이방성 습식 에칭은 원자적으로 매끄러운 표면(1012 및 1014)을 초래한다. 따라서, 초전도 층으로 덮일 때, 그 결과 형성된 인클로저의 표면에는 실질적으로 결함이 없을 것이다. 인클로저가 3차원 공동 공간기로 사용되도록 구성된 경우 매끄러운 표면은 높은 Q 인자 공동을 형성한다.
- [0082] 동작(1212)에서, 마스크 재료 층(902)이 제거되어 트로프(906)를 포함하는 기판(900)이 형성된다(도 9G 참조). 도 12는 기판에 트로프를 생성하는 방법의 일 실시예를 도시하지만, 임의의 적절한 방법이 사용될 수 있다. 예를 들어, 트로프를 갖는 기판을 형성하기 위해 레이저 가공 또는 3차원 인쇄가 사용될 수 있다.
- [0083] 도 11을 참조하면, 트로프(906)가 동작(1102)에서 기판에 형성된 후에, 방법(1100)은 동작(1104)에서 계속되며, 여기서 제1 기판(900)의 적어도 일부는 초전도 재료로 덮인다. 일부 실시예에서, 기판 내의 트로프의 모든 표면이 덮일 수 있다. 다른 실시예에서, 표면의 일부만이 덮일 수 있다. 예를 들어, 전술한 패치 및 에퍼처 구조는 초전도 재료로 형성된 표면들 중 적어도 하나에 형성될 수 있다. 또한, 예를 들어, 전자기 복사선을 공동에 결합하기 위해 다른 에퍼처가 형성될 수 있다. 일부 실시예에서, 트로프와 관련된 구역 외측의 기판 부분이 또한 초전도 층으로 덮일 수 있다.
- [0084] 초전도 층은 임의의 적절한 방식으로 형성될 수 있다. 예를 들어, 도 9H 내지 도 9I는 기판의 적어도 일부분을 덮는 초전도 층(910)을 형성하는 하나의 특정 방법을 도시한다. 도 9H는 기판(900)의 표면 위에 증착된 얇은 시드(seed) 층(908)을 도시한다. 이것은 임의의 적절한 방식으로 수행될 수 있다. 일부 실시예에서, 시드 층(908)을 형성하기 위해 증발 기술을 통해 구리가 증착된다. 임의의 적절한 두께의 시드 층이 사용될 수 있다. 예를 들어, 시드 층(908)은 약 200 nm 두께일 수 있다. 구리가 시드 층(908)을 위한 예시적인 재료로서 사용되었지만, 임의의 적절한 재료가 사용될 수 있다.
- [0085] 도 9I는 시드 층(908) 상에 형성된 초전도 층(910)을 도시한다. 이것은 임의의 적절한 방식으로 수행될 수 있다. 예를 들어, 초전도 재료(910)는 시드 층(908) 상에 전기 도금될 수 있다. 초전도 층(910)은 임의의 적절한 두께로 형성될 수 있다. 예를 들어, 초전도 층(910)은 약 9 $\mu\text{m}$  두께일 수 있다. 임의의 적절한 초전도 재료가 사용될 수 있다. 예를 들어, 초전도 층은 알루미늄, 니오븀, 인듐, 레늄, 탄탈륨, 질화티타늄, 질화니오븀 또는 이들의 조합을 포함할 수 있다.
- [0086] 동작(1106)에서, 제2 트로프가 제2 기판(950)에 형성된다. 제2 트로프를 형성하는 동작은 동작(1102)과 관련하여 설명된 동일한 기술을 사용하여 달성될 수 있다(도 9 및 도 12). 그러나, 제2 트로프를 형성하는 것은 선택적이다. 인클로저가 제2 기판에 제2 트로프를 형성하지 않고 제1 기판의 단일 트로프로부터 형성될 수 있다.

- [0087] 동작(1108)에서, 제2 기관(950)의 적어도 일부는 초전도 재료(960)로 덮인다. 이 동작은 동작(1104)과 관련하여 설명된 기술을 사용하여 달성될 수 있다. 제2 트로프가 제2 기관(950)에 형성된 실시예에서 트로프의 모든 표면의 적어도 일부는 초전도 층(960)으로 덮일 수 있다. 일부 실시예에서, 트로프 구역 외측의 제2 기관의 일부가 초전도 층으로 적어도 부분적으로 덮일 수 있다.
- [0088] 동작(1110)에서, 적어도 하나의 초전도 큐비트가 제1 기관과 제2 기관 중 적어도 하나의 기관의 초전도 층의 평면에 형성된다. 이 동작은 초전도 층들이 기관 상에 형성될 때 수행될 수 있다. 그러나, 다른 실시예에서, 초전도 큐비트는 초전도 재료로 트로프를 덮기 전에 또는 덮은 후에 형성될 수 있다. 일부 실시예에서, 초전도 장치 가 초전도 큐비트 없이 인클로저를 갖게 형성될 수 있으므로, 동작(1110)은 생략될 수 있다.
- [0089] 동작(1112)에서, 제1 기관과 제2 기관은 인클로저를 형성하기 위해 함께 접합된다(도 9J 참조). 제1 트로프가 제1 기관에 형성되고 제2 트로프가 제2 기관에 형성되는 실시예에서, 2개의 트로프는 서로 인접하게 위치되어 2개의 트로프로부터 함께 엔클로저가 형성된다. 적어도 하나의 초전도 큐비트가 엔클로저에 의해 둘러싸여지는 일부 실시예에서, 지지 층은 2개의 기관을 함께 접합하기 전에 제1 트로프에 걸쳐 매달려 있다. 따라서, 지지 층 내에 그리고/또는 지지 층 상에 적어도 하나의 큐비트가 인클로저 내에 배치된다.
- [0090] 본 발명의 적어도 하나의 실시예에 대한 일부 양태를 설명하였으므로, 다양한 변경, 수정 및 개선이 이 기술 분야에 통상의 지식을 가진 자에게 용이하게 일어날 수 있는 것으로 이해된다.
- [0091] 이러한 변경, 수정 및 개선은 본 명세서의 일부인 것으로 의도되고, 본 발명의 사상과 범위 내에 있는 것으로 의도된다. 또한, 본 발명의 장점이 지시되었지만, 본 명세서에 설명된 기술의 모든 실시예가 설명된 모든 장점을 포함하는 것은 아닐 수 있는 것으로 이해된다. 일부 실시예는 본 명세서에서 유리한 것으로 설명된 임의의 특징을 구현하지 않을 수도 있고, 일부 경우에 설명된 특징들 중 하나 이상을 구현하여 추가적인 실시예를 달성할 수도 있다. 따라서, 전술한 설명 및 도면은 단지 예시일 뿐이다.
- [0092] 본 발명의 다양한 양태는 단독으로, 조합하여, 또는 전술한 실시예들에서 구체적으로 논의되지 않은 다양한 배열로 사용될 수 있으며, 따라서 그 적용이 상기 설명에 제시되거나 도면에 도시된 구성 요소들의 상세 및 배열로 제한되지 않는다. 예를 들어, 일 실시예에서 설명된 양태들은 다른 실시예에서 설명된 양태들과 임의의 방식으로 결합될 수 있다.
- [0093] 또한, 본 발명은 일례가 예시로서 제공된 방법으로서 구현될 수 있다. 방법의 일부로 수행된 동작은 임의의 적절한 방법으로 순서화될 수 있다. 따라서, 도시된 실시예에서는 순차적인 동작인 것으로 도시되어 있으나, 일부 동작을 동시에 수행하는 것을 포함할 수 있는, 예시된 것과는 상이한 순서로 동작들이 수행되는 실시예를 구성할 수 있다.
- [0094] 청구범위에서 "제1", "제2", "제3" 등과 같은 서수 용어를 사용하여 청구범위의 구성 요소를 수식하는 것은 그 자체로 방법 동작이 수행되는 시간적 순서 또는 하나의 구성 요소에 대해 다른 구성 요소의 우선 순위, 우선권 또는 순서를 나타내는 것이 아니고, 단지 특정 명칭을 갖는 하나의 청구항 구성 요소를 동일한 명칭을 갖는 (그러나 서수 용어를 사용하는) 다른 청구항 구성 요소와 구별하여 청구항 구성 요소를 구별하기 위한 라벨로서 사용된 것이다.
- [0095] 또한, 본 명세서에서 사용된 어구 및 용어는 설명의 목적을 위한 것이며 본 발명을 제한하는 것으로 고려되어서는 안 된다. 본 명세서에서 "포함하는", "구비하는" 또는 "갖는", "함유하는", "수반하는"이라는 용어와 그 파생어는 그 이후 열거된 항목 및 그 등가물뿐만 아니라 추가적인 항목을 포함하는 것을 의미한다.

도면

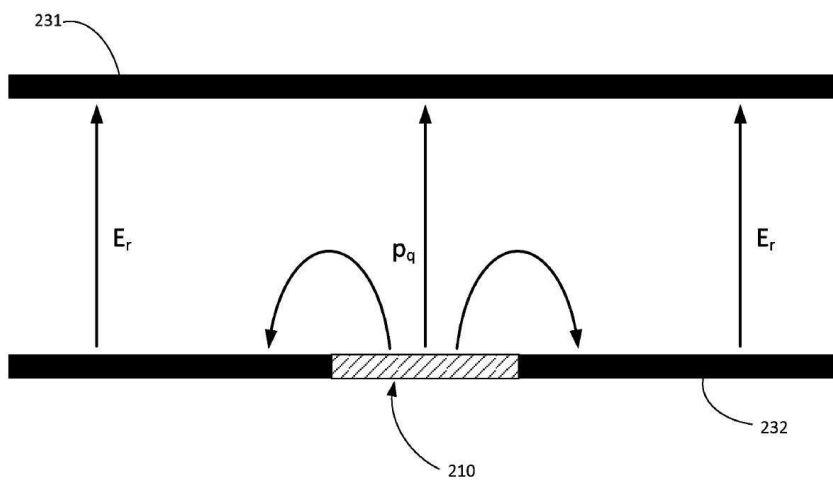
도면1

100 ↗

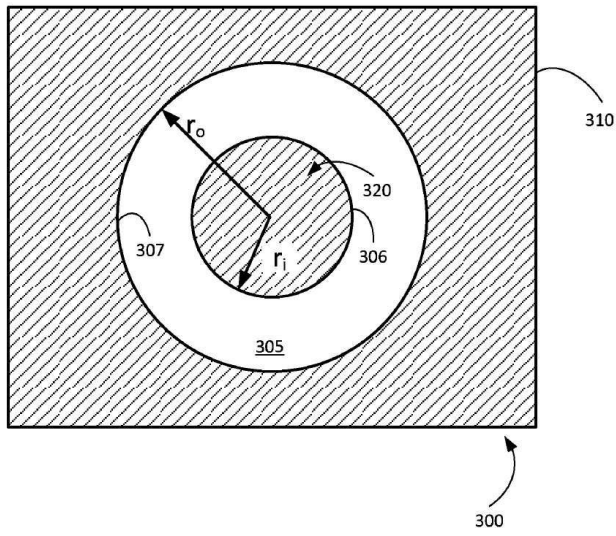


도면2

200 ↗

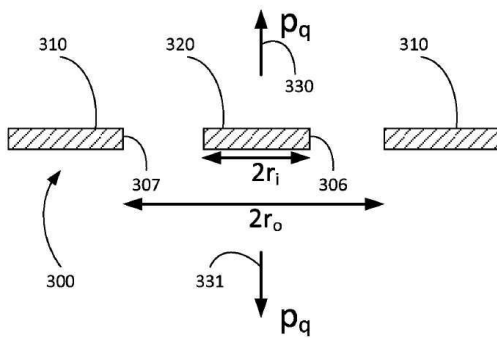


도면3a



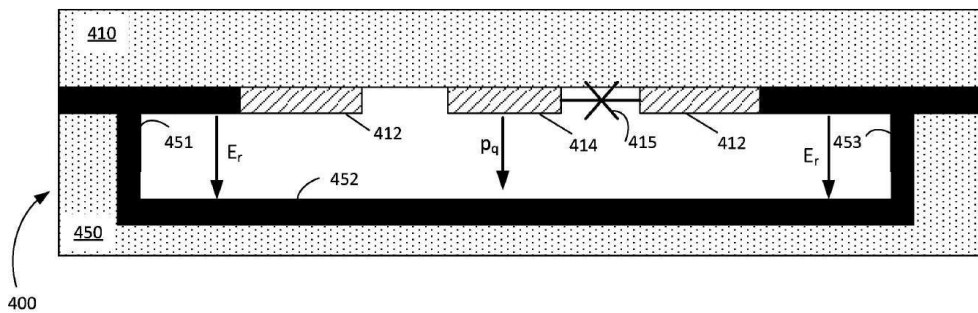
(상면도)

도면3b



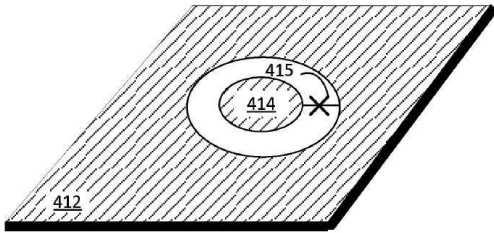
(단면도)

도면4a



(단면도)

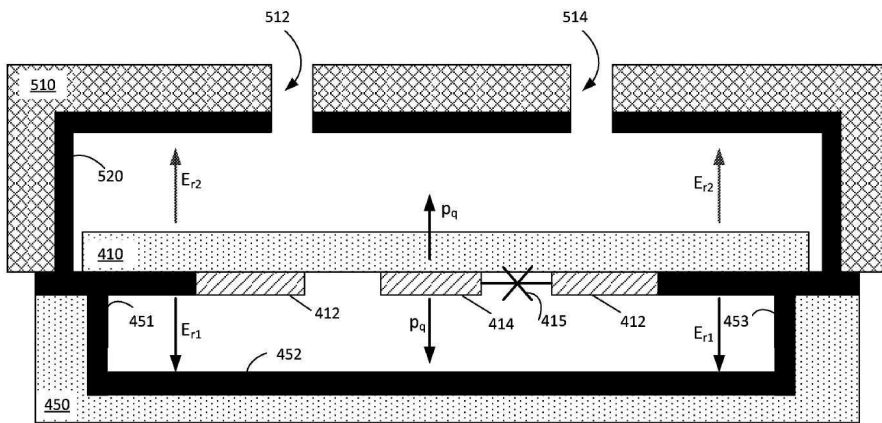
도면4b



(사시도)

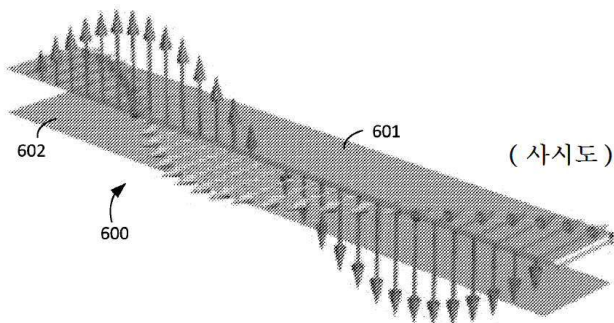
도면5

500 ↗



(단면도)

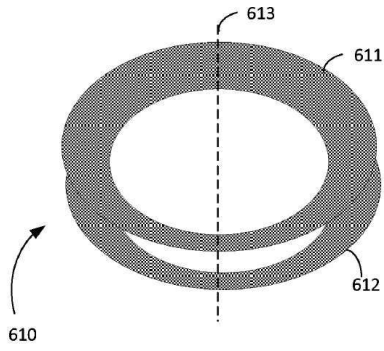
도면6a



(사시도)

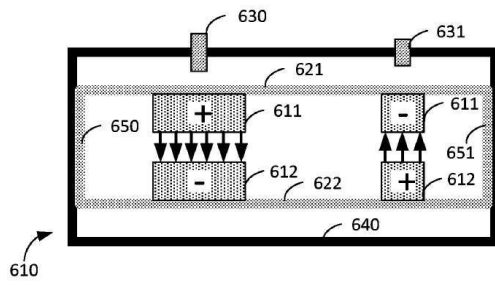


도면6b



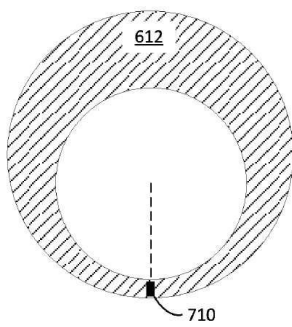
(사시도)

도면6c



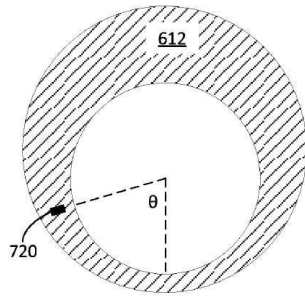
(단면도)

도면7a



(상면도)

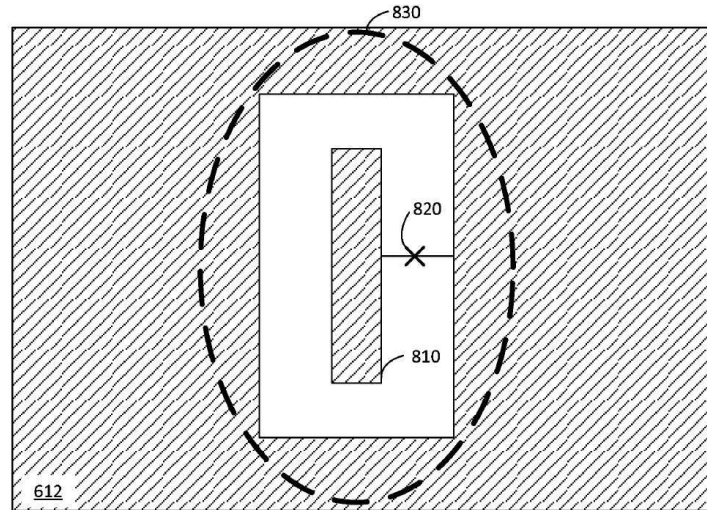
도면7b



(상면도)

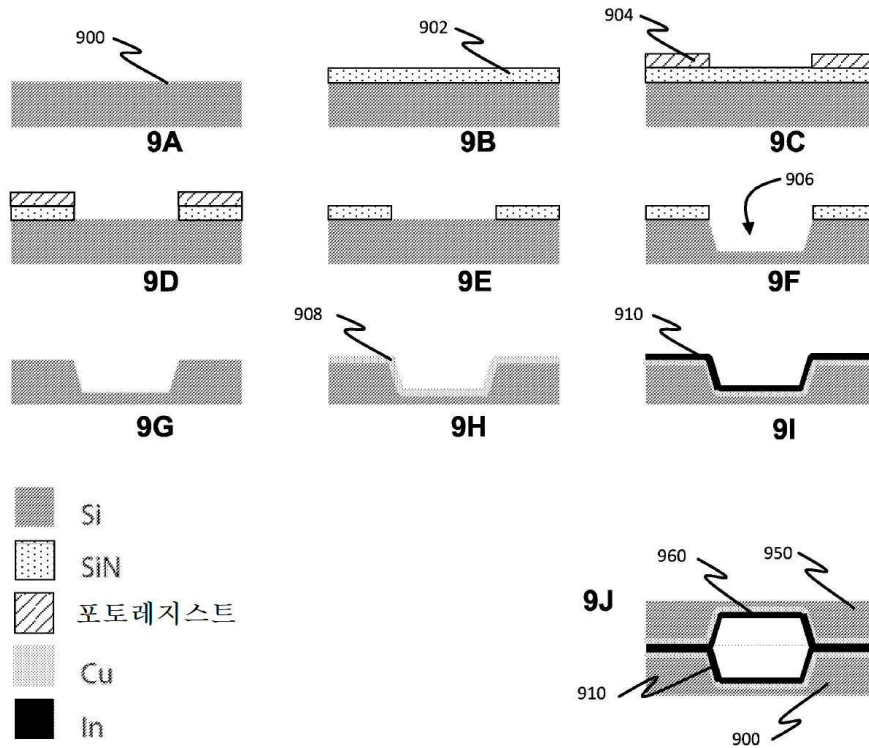
도면8

800 ↗

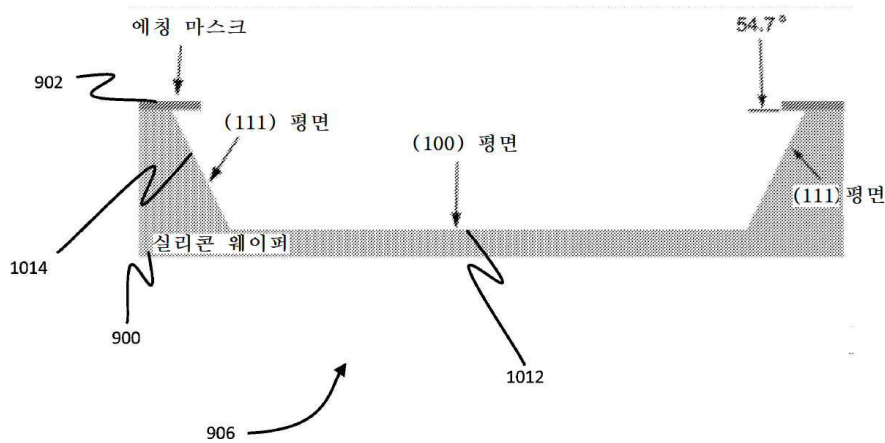


(상면도)

도면9

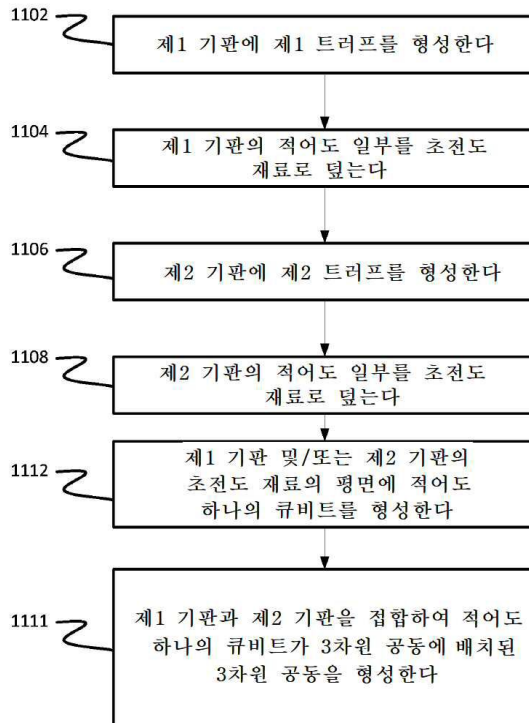


도면10



도면11

1100 →



도면12

1200 →

