

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G03F 1/14 (2006.01)

G03F 1/00 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810173349.X

[43] 公开日 2009年7月1日

[11] 公开号 CN 101470344A

[22] 申请日 2008.11.13

[21] 申请号 200810173349.X

[30] 优先权

[32] 2007.11.13 [33] US [31] 60/996,348

[71] 申请人 睿初科技公司

地址 美国加利福尼亚州

共同申请人 ASML 荷兰有限公司

[72] 发明人 陈洛祁 陈虹 李江伟

罗伯特·约翰·索卡

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 王波波

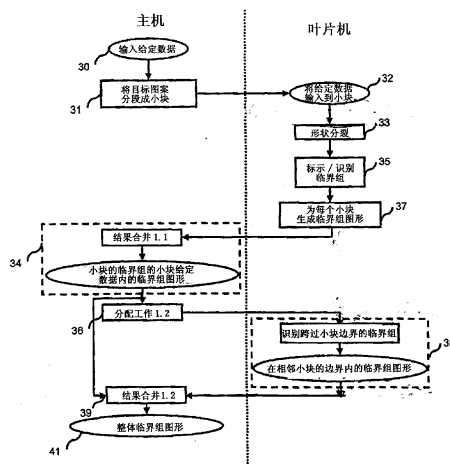
权利要求书4页 说明书18页 附图12页

[54] 发明名称

用于对全芯片图案实施图案分解的方法

[57] 摘要

本发明公开了一种用于将包括要印制到晶片上的特征的目标图案分解成多个图案的方法。所述方法包括步骤：将所述目标图案分割成多个小块；识别每个小块内违反最小间隔要求的临界特征；为具有临界特征的所述多个小块中的每一个生成临界组图形，其中给定小块的所述临界组图形限定所述给定小块内的所述临界特征的着色方案，并且所述临界组图形还识别延伸到与所述给定小块相邻的邻接小块的临界特征；对于所述目标图案生成整体临界组图形，所述整体临界组图形包括所述多个小块中的每一个的所述临界组图形和延伸到邻接小块的所述特征的识别；以及基于所述整体临界组图形限定的所述着色方案着色所述目标图案。



1. 一种将目标图案分解成多个图案的方法,其中所述目标图案包含将被印制到晶片上的特征,所述方法包括步骤:

将所述目标图案分割成多个小块;

对于所述多个小块中的每一个,识别每个小块内违反最小间隔要求的临界特征;

为具有临界特征的所述多个小块中的每一个生成临界组图形,给定小块的所述临界组图形限定所述给定小块内的所述临界特征的着色方案,所述临界组图形还识别延伸到与所述给定小块相邻的邻接小块的临界特征;

对于所述目标图案生成整体临界组图形,所述整体临界组图形包括所述多个小块中的每一个小块的所述临界组图形和延伸到邻接小块的所述特征的识别; 和

基于所述整体临界组图形限定的所述着色方案着色所述目标图案。

2. 如权利要求 1 所述的分解目标图案的方法,其中所述多个小块中的每一个小块具有相同的尺寸。

3. 如权利要求 1 所述的分解目标图案的方法,其中所述临界特征是不符合最小间距规则、最小空间规则和最小角对角规则中的至少一个规则的任何特征。

4. 如权利要求 1 所述的分解目标图案的方法,其中所述临界组图形限定对应所述多个小块中的每一个小块的一个或多个临界组,每一个所述临界组包括至少一个临界特征。

5. 如权利要求 1 所述的分解目标图案的方法,其中所述临界组图形识别分配到冲突临界组的加权,所述加权限定与所述临界组之间的所述给定冲突相关的优先级。

6. 一种计算机可读存储介质,所述计算机可读存储介质存储用于将目标图案分解成多个图案的计算机程序,其中所述目标图案包括将要印制到晶片上的特征,当执行所述计算机程序时,使计算机执行以下步骤:

将所述目标图案分割成多个小块；

对于所述多个小块中的每一个，识别每个小块内违反最小间隔要求的临界特征；

为具有临界特征的所述多个小块中的每一个小块生成临界组图形，给定小块的所述临界组图形限定所述给定小块内的所述临界特征的着色方案，所述临界组图形还识别延伸到与所述给定小块相邻的邻接小块的临界特征；

对于所述目标图案生成整体临界组图形，所述整体临界组图形包括所述多个小块中的每一个小块的所述临界组图形和延伸到邻接小块的所述特征的识别；和

基于所述整体临界组图形限定的所述着色方案着色所述目标图案。

7. 如权利要求 6 所述的计算机可读存储介质，其中所述多个小块中的每一个小块具有相同的尺寸。

8. 如权利要求 6 所述的计算机可读存储介质，其中所述临界特征是不符合最小间距规则、最小空间规则和最小角对角规则中的至少一个规则的任何特征。

9. 如权利要求 6 所述的计算机可读存储介质，其中所述临界组图形限定对应所述多个小块中的每一个小块的一个或多个临界组，每一个所述临界组包括至少一个临界特征。

10. 如权利要求 6 所述的计算机可读存储介质，其中所述临界组图形识别分配到冲突临界组的加权，所述加权限定与所述临界组之间的所述给定冲突相关的优先级。

11. 一种器件制造方法，包括步骤：

(a)提供至少部分被辐射敏感材料层覆盖的衬底；

(b)使用成像系统提供辐射投影束；

(c)利用掩模上的图案，使得在投影束的横截面上赋予投影束图案；

(d)将所述图案化的辐射束投影到辐射敏感材料层构成的目标部分上；

其中，在步骤(c)中，提供图案到掩模上的步骤包括以下步骤：

把目标图案分割成多个小块；

对于所述多个小块中的每一个，识别每个小块内违反最小间隔要

求的临界特征；

为具有临界特征的所述多个小块中的每一个小块生成临界组图形，给定小块的所述临界组图形限定所述给定小块内的所述临界特征的着色方案，所述临界组图形还识别延伸到与所述给定小块相邻的邻接小块的临界特征；

对于所述目标图案生成整体临界组图形，所述整体临界组图形包括所述多个小块中的每一个小块的所述临界组图形和延伸到邻接小块的所述特征的识别；和

基于所述整体临界组图形限定的所述着色方案着色所述目标图案。

12. 一种用于形成掩模的方法，所述掩模用在光刻过程中用于对包括将被印制到晶片上的特征的目标图案成像，所述方法包括步骤：

将所述目标图案分割成多个小块；

对于所述多个小块中的每一个，识别每个小块内违反最小间隔要求的临界特征；

为具有临界特征的所述多个小块中的每一个小块生成临界组图形，给定小块的所述临界组图形限定所述给定小块内的所述临界特征的着色方案，所述临界组图形还识别延伸到与所述给定小块相邻的邻接小块的临界特征；

对于所述目标图案生成整体临界组图形，所述整体临界组图形包括所述多个小块中的每一个小块的所述临界组图形和延伸到邻接小块的所述特征的识别；和

基于所述整体临界组图形限定的所述着色方案着色所述目标图案。

13. 如权利要求 12 所述的形成掩模的方法，其中所述多个小块中的每一个小块具有相同的尺寸。

14. 如权利要求 12 所述的形成掩模的方法，其中所述临界特征是不符合最小间距规则、最小空间规则和最小角对角规则中的至少一个规则的任何特征。

15. 如权利要求 12 所述的形成掩模的方法，其中所述临界组图形限定对应所述多个小块中的每一个小块的一个或多个临界组，每一个所述临界

组包括至少一个临界特征。

16. 如权利要求 12 所述的形成掩模的方法,其中所述临界组图形识别分配到冲突临界组的加权,所述加权限定与所述临界组之间的所述给定冲突相关的优先级。

用于对全芯片图案实施图案分解的方法

技术领域

本发明的技术领域总体涉及一种方法、程序产品和设备，所述方法、程序产品和设备用于把目标图案分解成多个图案以允许例如利用多个掩模在多照射工艺中将所述目标图案成像，更具体地，是涉及一种方法，其用于对于全芯片（full chip design）图案实施图案分解。

背景技术

光刻设备可以用于例如制造集成电路（ICs）。在这种情况下，掩模包括与所述 IC 的单层相对应的电路图案，并且所述图案能够成像到衬底（硅晶片）上的目标部分（例如，包括一个或多个管芯）上，所述衬底覆盖有辐射敏感材料（抗蚀剂）层。通常，单个衬底将包含通过投影系统一次一个地被连续曝光的相邻目标部分的整个网络。在一种类型的光刻投影设备中，通过将全部掩模图案一次曝光到所述目标部分上来辐射每一个目标部分；这样的设备通常称为晶片步进机。在可选择的设备中，通常称为步进-扫描设备，是通过投影辐射束沿给定参考方向（“扫描”方向）渐进地扫描所述掩模图案、同时沿与该方向平行或反向平行的方向扫描所述衬底台来辐射每一个目标部分。由于通常所述投影系统将具有放大率 M （通常小于 1），所以衬底台的扫描速度 V 将是放大率 M 乘以掩模台的扫描速度。关于在此所描述的光刻装置的更多信息可以例如从 US6,046,792 中收集，该专利的内容以引用的方式并入本文中。

在采用光刻投影设备的制造过程中，掩模图案被成像到至少部分被辐射敏感材料（抗蚀剂）层所覆盖的衬底。在该成像步骤之前，所述衬底可能经历了多个工序，例如涂底漆、涂覆抗蚀剂和软烘烤。在曝光后，所述衬底可能经历其它工序，例如曝光后烘烤（PEB）、显影、硬烘烤和被成像

的特征的测量/检验。该组工序被用作对器件（例如IC）的单层进行图案化的基础。这种图案化的层之后可能经历多种工艺，例如蚀刻、离子注入（掺杂）、金属化、氧化、化学机械抛光等，所有这些工艺都试图制成单层。如果需要多个层，则这个工艺或其变体将不得不针对每个新层进行重复。最后，器件阵列将存在于衬底（晶片）上。然后，这些器件通过例如划片或锯割等技术被相互分离，从此，可以把独立的器件安装到载体上，所述载体连接到管脚上等。

为了简化起见，投影系统此后可以被称为“透镜”；然而，该术语应当被广义地解释为包括各种类型的投影系统，例如，包括折射式光学系统、反射式光学系统和反射折射式光学系统。辐射系统还可能包括根据这些设计类型中的任何一种而操作的部件，以引导、成形或控制投影辐射束，且在下文中这些部件也被统称或单独称为“透镜”。进而，光刻设备可能是具有两个或更多个衬底台（和/或两个或更多个掩模台）的类型。在这种“多台”器件中，附加的台可以被并行地使用，或者可以在一个或更多个台用于曝光的同时，在一个或更多个其它台上执行预备步骤。双台光刻设备例如在 US5,969,441 中被描述，该专利的内容在此以引用的方式合并入本文中。

如上所述的光刻掩模包括与将被集成到硅晶片上的电路部件相对应的几何图案。用于形成这种掩模的图案采用 CAD（计算机辅助设计）程序生成，该过程经常被称为 EDA（电子设计自动化）。大多数 CAD 程序遵循一组预定的设计规则，以便形成功能化掩模。这些规则通过处理和设计的限制条件而被设定。例如，设计规则限定了在电路器件（例如栅极、电容等）或互连线之间的间隔的公差，以便确保所述电路器件或线不会以不希望的方式相互作用。设计规则的限制通常被称为“临界尺寸”（CD）。电路的临界尺寸可以被定义为线或孔的最小宽度或者在两条线或两个孔之间的最小间隔。于是，CD 确定所设计的电路的总体尺寸和密度。

当然，在集成电路制造中的目标之一是忠实地将原始电路图案复制到晶片上（通过掩模）。随着目标图案的临界尺寸日益变小，将目标图案复制到晶片变得越来越难。不过，现在已经有技术能将成像或复制到晶片上的最小临界尺寸 CD 减小。一种这样的技术是双重曝光技术，其以两次分

立曝光的方式将目标图案的特征成像。

例如，一种熟知的双重曝光技术被称为双重图案化或 DPT。这种技术允许将给定的目标图案的特征分离到两个不同掩模中，然后分别地成像形成所需的图案。当目标特征互相间隔太接近以致于不可能对单个特征成像时，这种技术被典型地应用。在这种情况下，将目标特征分离到两个掩模，使得在一个给定掩模上的所有特征互相之间充分间隔开，从而可以对每个特征单独地成像。然后，通过将两个掩模以连续的方式成像（以适当的屏蔽），可以获得用单一掩模不能够正确成像的具有密集间隔的特征的目标图案。

因而，是可以通过将目标特征分离到两个分立的掩模、使得在给定的掩模上的每个特征之间的间距大于成像系统的分辨能力来改善成像性能的。事实上，上面提到的双重曝光技术允许 $k_1 < 0.25$ 。然而，目前已知的双重曝光技术仍然存在问题 and 限制。

例如，已有的基于规则的方法和基于模型的方法不允许迅速或有效率地处理大的全芯片图案。也就是说，许多现有的方法缺乏可量测性（scalability）。而且，目前典型的图案分裂算法应用矩形或单个多边形作为基本分裂/分离单元。应用这种单个多边形作为分离所述图案的基础通常需要太多的用以整体解决全芯片图案的资源，因而不具有实用性。

因而，需要一种用于图案分解的方法，所述方法能够容易地适用于全芯片图案，并且解决前述的现有技术中图案分解方法中的问题。

发明内容

根据前面所述，本发明的目标在于通过提供一种分解方法克服已知现有技术中的不足，其中所述分解方法显示出良好的可量测性并且能够容易地适用于全芯片图案。正如下面进一步详细的介绍，所述方法需要将原始图案分割成一系列的小块（patch），然后以并行的方式处理这些小块（也就是，在给定的小块内分解所述特征）。此外，在所述小块的边界上，要考虑邻接小块的分裂/分解结果，并且做出调整使得所述单个小块的边界与其他小块一致（也就是，避免在邻接小块的边界上的着色冲突（coloring conflict））。

总的来说，本发明提供一种用于将包括多个要印制到晶片上的特征的目标图案分解成多个图案的方法。所述方法包括：将目标图案分割成多个小块；在每一个小块内识别违反最小间隔要求的临界特征；给具有临界特征的多个小块中的每一个生成临界组图形（critical group graph），其中给定小块的所述临界组图形在所述给定的小块内限定临界特征的着色方案，并且所述临界组图形识别延伸到与所述给定小块邻接的邻接小块的临界特征；生成用于目标图案的整体临界组图形，其中所述整体临界组图形包括所述多个小块中的每一个的所述临界组图形，和识别延伸到邻接小块的所述特征；和，基于所述整体临界组图形限定的所述着色方案对所述目标图案着色。

正如下面更详细的介绍，本发明的所述方法提供许多超越已知分解方法的优点。最为重要的是，所述方法提供一种快速并且有效率的分解全芯片图案或设计的方法。尤其是，本发明的所述方法允许并行地处理（也就是分解）所述图案的小块，因而减少了完成分解过程所需的时间。所述方法还提供，通过应用“临界组图形”，一种灵活的能容易地结合在前的小块级分解或着色的方案。此外，所述方法还提供通过应用“临界组”减少用以在全芯片级别进行处理所需的数据量的内容，因而显著地减少了数据处理能力需求和完成分解过程所需的时间。最后，本发明的“整体图形着色解决方案（Global Graph Solver）”的分级结构提供用于处理大的全芯片图案的良好的可量测性。

通从下文的本发明的示例性实施例的详细描述中，本发明的附加优势对于本领域的技术人员是显而易见的。

尽管在本文中已经对于将本发明用于IC的制造中进行了具体的参考，但是应当清楚地理解，本发明具有许多其他可能的应用。例如，其可以被用于集成光学系统、磁畴存储器的引导和检测图案、液晶显示面板、薄膜磁头等的制造中。本领域的技术人员应当理解，在这种可替代的应用的情况下，本文中的任何使用的术语“掩模版”、“晶片”或“管芯”应当被理解为能够分别由更上位的术语“掩模”、“衬底”和“目标部分”所替代。

本发明本身，与另外的目标和优势可以参照下列详细的描述和所附的示意图更好地理解。

附图说明

- 图 1 是本发明的基于小块的并行处理分解过程的示例性图示说明；
图 2a 示出常规图案分裂/着色算法的高级流程图；
图 2b 是本发明所述方法的高级流程图；
图 3 是说明实施与本发明的阶段 I 相关的示例性方法的流程图；
图 4a-4c 和图 5 示出与给定特征相关的示例性最小间隔需求的应用；
图 6 示出与给定小块相关的示例性临界组；
图 7 示出与图 6 中示出的临界组相关的示例性临界组图形；
图 8a 和 8b 示出示例性整体临界组图形；
图 9 是说明实施与本发明阶段 II 相关的所述过程的示例性方法的流程图；
图 10 是与所述整体图形着色解决方案相关的等级结构的示例性说明；
图 11(a)-11(c)示出本发明“底部向上”步骤算法的应用实例；
图 12(a)和 12(b) 示出本发明“底部向下”步骤算法的应用实例；
图 13 是根据本发明实施例的说明能够实现照射优化的计算机系统的方框图；
图 14 示意地示出一种适于应用通过本公开技术的帮助而设计成的掩模的示例性光刻投影设备。

具体实施方式

正如下面进一步详细介绍，本发明的分解过程提供一种方法，所述方法用于以单次和计算有效的方式实施全芯片分解。一般说来，所述方法将全芯片图案分成多个单个小块，然后单个地分解/着色/分裂每个小块。优选地，所述小块的处理以并行的方式实施。其后，所述方法确定各个单个小块的边界彼此一致（也就是说，避免临近小块边界上的着色冲突），并且在需要的位置上进行调整。通过以前述的方式进行所述的图案分解，本发明改善了可量测性并且能够迅速地应用到全芯片图案中。

图 1 示例性图示地说明本发明的基于小块的并行处理分解方法。参见图 1，依照所述方法，全芯片图案分割成多个小块 12。在优选的实施例中，

所述小块 12 具有相等的尺寸和形状，并且包括对应于所述给定小块 12 位置的所述全芯片图案的所述部分。然而，也可以把全芯片图案分成不同尺寸和形状的小块。图 1 也图示了本发明的所述并行处理的情形。主机/计算机 14，用于监视分解过程，将与每个单个小块 12 相关的图案数据分配到分立的处理器 16 上（所谓的叶片机（leaf machine）），使得每个叶片机 16 能够在分配到所述给定叶片机的所述给定小块 12 内以与其他叶片机 16 并行的方式处理/分解所述多个特征。

图 2a 示出了常规的现有技术图案分裂/着色算法的高级流程图。如图所示，第一步骤 21 是将所述图案分段成多个片段，然后下一步骤 22 是将包括在每一个片段的多个特征分裂或着色到多个图案。正如所熟知的以及上面背景技术中介绍的，如果所述多个特征之间的位置太接近（也就是说，在所用的给定工艺的分辨率限制以下），那么多个特征（也就是这里所谓的多边形）就不能印制在同一个掩模中。这种硬性限制被称为特征之间的“临界关系”。在所述工艺中最后步骤 23 是在将光学邻近校正（OPC）技术典型地应用到所述图案中后，把多个片段结合起来（也就是缝合）。

因而，为了能正确地将特征成像，如果特征具有临界关系则两个特征不能设置在单个掩模上，所述临界关系典型地限定所用的给定光刻工艺的两个特征之间的最小间隔。值得注意的是，支持和满足所述临界关系是关系到全芯片分解的主要问题，因为所述临界关系能够跨过多个小块（例如，在多个小块里可能存在一系列的特征，并且所述特征通过一系列的临界关系连接起来）。而且，尝试在局部层次上解决临界关系的矛盾和干扰证明是很困难的。

如图 2b 是本发明所述方法的高级流程图。如图所示，所述方法实质上分成四个阶段：阶段 I、阶段 II、阶段 III 和阶段 IV。阶段 I 包括初始分裂步骤 24 和构建“临界组图形”步骤 25。在阶段 I，把目标图案分裂成一系列的基本小块 12，每个所述小块包括将要成像的多边形或多个特征。如下面所说的，为了标示通过临界关系连接的特征或多边形（也就是说，识别那些互相太接近而违反所述临界关系的特征），定义了临界组。换句话说，相互具有临界关系的多边形被分组到一个临界组。值得注意的是，对于给定小块的特征/多边形，包括在所述临界组的特征具有缺省的分裂/分

解过程。存在两种可能的状态：保持所述缺省的分裂/着色过程或与所述缺省分裂/着色过程相反。之后，构建临界组图形，所述临界组图形用来编码不同的临界组之间的相关性。

值得注意的是，存在两种用来构建所述临界组图形的基本类型关系（也就是，约束）。第一种是，如果两个临界多边形是通过非临界多边形连接的，优选地保持所述两个多边形在同一个层上。第二种是，在小块的边界处，在不同小块中相同的多边形应该分配有相同的颜色，这以整体层次反映出来着色（也就是说，所述整体临界组图形）。

阶段 II 包括实施整体临界组图形解决方案（Global Critical Group Graph Solver）的所述方法的步骤 26。正如下面详细介绍的那样，整体临界组图形解决方案用于给每个临界组分配状态，同时尝试保持所述重要相关性。例如，如上面指出的，如果两个临界多边形通过非临界多边形连接，优选地将它们保持在同一个层上。或者换句话说，存在与把所述多边形分离到两个掩模（层）上相关的“损失（cost）”。这个损失可以通过适当的适印性分析计算。在这里公开的实施例中，使用临界多边形之间的距离估计所述损失。其次，在小块的边界处，不同小块中相同的多边形必须分配同一颜色。这些类型的约束是硬性约束。

在阶段 II 过程中，在每一个临界组内所述特征/多边形通过所述状态和它们的缺省分裂结构来确定（也就是分裂或着色）。值得注意的是，在优选的实施例中，对于全芯片整体临界组图形，阶段 II 整个在主机中完成。还值得注意的是，在阶段 III 和阶段 IV 中实施的工艺可以并行地用多个叶片机 16 来完成。

阶段 III 包括着色/分裂非临界多边形/特征的步骤 27。更为具体的是，在每个小块中，考虑到临界多边形的分裂结果，应用“局部着色解决方案”分裂剩余的非临界多边形。阶段 III 完成后，所有多边形都分裂到两个层和/或图案上。

最后，阶段 IV 包括在两个（或更多）通过分解过程产生的层上结合和实施 OPC 的步骤 28，以确保通过双重图案化工艺获得的所述结合和最终的图像是正确的。下面介绍上述各阶段更多的细节。说明的是，OPC 工艺是所述方法的光学步骤。

图3是说明实施与阶段I相关工艺的示例性方法的流程图。如图3所示，垂直虚线将由所述主机14实施的工艺（也就是，虚线左边的过程）和由叶片机16实施的工艺（也就是，虚线右边的过程）分开。应该注意的是，所述主机和所述叶片机之间的工艺分割并不限于图3中示出的那样。还应该注意的，在叶片机上实施的所述工艺可以独立进行，因而允许所述工艺能够相互并行地实施，因此提高了整个工艺的实施速度。

图3示出的工艺具有基本上两个循环，这里所述循环被称为“小块内部循环(inside patch round)”和“小块边界合并循环(patch boundary merge round)”。通常，在“小块内部循环”内，构建每个小块内的临界组图形。然后，对应每个小块结合所述临界组图形，以获得除不同小块中的临界组之间的连接之外的对于全芯片的所述临界组图形。之后，在“小块边界合并”循环中，加入跨过小块边界的所述临界组之间的连接。最后，结合小块边界合并循环的结果得到全芯片整体临界组图形。

更具体地，在“小块内部循环”过程中，主机将每个小块12的特征数据分配到其中一个叶片机16中，然后所述叶片机为每一个单个小块12构建“临界组图形”。通过实施下列步骤为每一个小块12构建“临界组图形”，所述步骤包括：(a)“形状分裂”，其将给定小块12中目标图案的所述多边形/特征分裂或分割到更小的矩形或多边形；(b)“标示/识别临界组”，其检测是否给定小块的任一多边形违反所述临界关系，以及如果违反所述临界关系，则将这些多边形放置在临界组中并且对于在临界组中的所述特征获得缺省分裂/着色排列；和(c)通过评估邻近的临界组之间的不同分裂结构的相关性生成临界组图形，然后把加权的边缘(edge)加入到所述临界组图形中。值得注意的是，在这个循环过程中，为所述给定小块内的多边形构建所述临界组图形。例如，如图7所示，如果存在属于两个临界组并且通过非临界多边形连接的临界多边形，则在这两个临界组之间加入边缘或线。在给出的公开中，还应注意的，在临界组图形中，顶点标示临界组，并且边缘(或线)表示临界组之间的相关性。此外，所述加权表示所述给定相关性的重要性。例如，在小块的边界处，不同小块中相同的多边形必须分配到相同的颜色(层)。也就是，如前面指出的，优选地将连接的多边形保持相同的颜色(也就是层)。

与每个小块的每个临界组图形相关的结果从叶片机返回到主机，然后如下面进一步详细介绍的，主机将这些结果合并到内部小块临界组图形中为全芯片图案形成整体临界组图形。

图 3 示出了与阶段 I 相关的整个分解/着色过程的示例性方法。参见图 3，并且结合上面指出的，起初主机 14 接受适当数据格式的目标图案（步骤 30），然后把目标数据分割成多个小块（步骤 31）并且将这些小块分配到叶片机（步骤 32），这样每个叶片机能够实施为所述给定小块 12 生成临界组图形的过程。

一旦与给定小块相关的所述目标数据输入到所述给定叶片机 16，所述叶片机 16 就实施形状分裂处理（步骤 33）。在形状分裂过程中，应用一系列的预定规则分裂/分解所述给定小块的多边形或特征，所述规则是一系列的基于例如但不限于将要应用的所述具体光刻条件针对给定层的几何限定。例如，如图 4 (a) - (c) 所示，给定的多边形的冲突区域可以通过利用三条规则来确定，它们是：(a) 最小间距规则（见图 4a）；(b) 最小空间规则（见图 4b）；(c) 最小角对角规则（C2C）（见图 4c）。参见图 4a-4c，上述的规则用于限定多边形 5 的周围区域，并且如果任何其他多边形在这个区域内，则违反了所述临界关系，这就需要把多边形 5 和冲突的多边形（或其一部分）在不同的掩模上成像。值得指出的是，不同的规则也可以用来确定所述多边形的冲突区域（也就是，违反了为所述给定方法限定的临界关系规则的多边形或其一部分）。

参见图 5，正如指出的那样，结合由三个规则得到的冲突区域以识别所述多边形 5 周围的整个冲突区域。如果另一个多边形与所述区域冲突（或进入所述区域），则这个其他多边形 6 就与多边形 5 冲突。在图 5 示出的例子中，第二个多边形 6 是在与多边形 5 相关的冲突区域内。在这个冲突的例子中，所述方法插入分割线到冲突多边形 6 中，以将多边形 6 引起冲突关系的部分分离出来。换一句话说，利用分割线只将冲突多边形的部分分隔开。在图 5 所示的例子中，垂直和水平的分割线 9 被插入到多边形 6 中，使得把与多边形 5 冲突的多边形 6 的左下部分分隔出去。此外，如果多边形与其他多边形完全冲突，就不需要再进行分割。对于每个小块 12 中的每个冲突多边形实施这个过程。值得注意的是，分隔冲突多边形的该

过程是自动地利用目标图案数据、结合与每个特征相关的预定冲突区域实施的。

再参见图 3，如指出的那样，一旦完成给定小块 12 的所述多边形的分割，所述方法的下一步骤就是识别和标示每个小块的临界组（步骤 35）。同样，对于与给定小块 12 相关的每组分割后的多边形实施该步骤。更具体的说，在给定小块中的与其他多边形冲突的所述多边形被命名/识别为临界多边形。每个这样的临界多边形定义为图形中的顶点，并且把加权的冲突边缘加入到所述图形以限定这种冲突关系。所述加权由两个多边形之间的冲突类型来确定。如果两个临界多边形互相连接，以加权等于零把连接边缘加入到所述图形中。应该说明的是，在给出的实施例中所述加权越小，优先级越高。

图 4 中识别出对给定实施例限定的冲突类型。所述冲突是最小间距、最小空间和最小角对角 C2C 冲突。在给出的实施例中，“1”的加权分配给违反最小间距要求的多边形；“2”的加权分配给违反最小空间要求的多边形；“3”的加权分配给违反最小 C2C 要求的多边形。这样做是因为相比最小空间要求或最小间距要求，更容易解决最小 C2C 要求，如果不可能分裂所述多边形且因此需要改变原始图案，则利用 DFM。应该说明的是，所述加权应用在临界组标示步骤。

所述冲突/连接图形的每个连接的部件或临界多边形形成给定小块的临界组。对于每个临界组，构建最小跨度树。相对于所述临界组图形和最小跨度树之间的差别，首先要说明的是，所述临界组图形比最小跨度树更加普遍。更为具体的是，所述图形的定义是一系列的顶点（节点）和一系列所述顶点之间的边缘（线）。树是在图形中没有环路的特别图形。换句话说，在一个树里面，从一个顶点到任何其它顶点最多有一条路径。在原始的临界组图形中所有的顶点都在最小跨度树里，并且在最小跨度树里的所述边缘必须在原始临界组图形里（也就是，如果在原始图形中两个顶点之间存在一条路径，则在跨度树里两个顶点之间必须存在一条路径）。还要注意的，所述临界组图形的最小跨度树是在原始图形中所有可能的跨度树中具有最小的总的边缘加权的一个跨度树。

一旦产生了所述最小跨度树，所述树通过应用下面的算法/方法用两个

颜色进行着色：选择一个顶点作为根并且用一个层对它着色（也就是，第一颜色）；通过宽度优先或深度优先搜索访问所有顶点；如果所述顶点和它的父顶点之间的所述边缘是冲突边缘，则把与其父顶点颜色相反的颜色分配给所述顶点；否则，给顶点分配和其父顶点相同的颜色。在给出的实施例中，每个顶点的颜色是在所述临界组内部的多边形的缺省颜色。

所述冲突/连接图形的所有的边缘用着色过的顶点检查。在以下两种情况中：（1）所述边缘是冲突边缘，但两个顶点具有相同的颜色，或（2）所述边缘是连接边缘，但两个顶点具有不同的颜色，在该临界组内这些顶点之间存在本来的冲突(native conflict)。把这种本来的冲突报告给操作者，操作者就能例如通过变更所述目标图案解决这种本来的冲突。

在冲突/连接图形中的加权可能有利于或能够提高制造最终图案的DFM（针对制造者的图案）特性的制造设计。例如，冲突边缘的加权可以被设计用来表示通过DFM来避免冲突的难易。如上面说明的，所述最小跨度树保持具有更小加权的所述边缘。因而，对于所记载的本来冲突的所述边缘具有更大加权并且更容易纠正所用的DFM。

图6中示出了临界组实例的说明。参见图6，基于临界多边形之间的冲突关系，62个多边形分组成两个临界组和一些非临界多边形。所述第一临界组，称为C1，位于虚线60的上面和左边，称为C2的所述第二临界组位于虚线60的右边和下面。如上面所述，位于所述多边形之间的所述边缘表示所述临界关系。所有其间具有边缘的临界多边形分组到一个临界组。在图6所示的例子中，所述临界多边形只形成两个组C1和C2。

如上面指出的，一旦限定所述给定小块的所述临界组，就为所述给定小块产生所述临界组图形（步骤37）。每个临界组变成图形内的顶点。所述顶点有两个可能的着色状态，它们是保持其缺省着色结构(KEEP保持)或改变它（也就是改变到其他颜色）(FLIP改变)。顶点之间的所述边缘表示所述临界组的缺省颜色结构之间的相关性。所述边缘具有两个类型：正的和负的。每个边缘具有一个加权以表示所述相关性的强度，加权越小意味着更强的相关性。

图7示出了图6中示例性小块的示例性的临界组图形。在给定的实施

例中，基于规则的方法用来评估临界组之间的所述加权。如图 7 所示，对于每一对属于不同临界组和通过非临界多边形连接的所述多边形，将所述多边形之间的间距作为所述两个多边形之间的相关性加权来计算。这些多边形用图 7 中所示的箭头连接。每个箭头的长度指定形成所给出的一对特征的特征之间的距离。在这些间距中，选择最小的一个，如图箭头 72 所示，作为这两个临界组 C1 和 C2 之间的相关性加权，因为它表示最短的距离。还要说明的是，当所述两个多边形具有相同缺省颜色时，所述相关性是正的。否则，所述相关性就是负的。在这个实例中，所述两个特征之间的相关性用箭头 72 连接。每个小块 12 内的所述临界组图形以这种方式构建。

如上面指出的，在临界组图形中，所述顶点是临界组，并且所述边缘（线）表示所述临界组的所述着色之间的关系（约束）。目的是分配两个颜色给每个顶点并且尽力满足所述顶点之间的重要关系（约束）。从所述临界组图形产生最小跨度树以保持更为重要的具有更小加权的边缘。然后，基于所述最小跨度树对所有顶点进行着色，同时在这个过程中满足通过在最小跨度树中的所述边缘表示的关系（约束）。

接下来，每一个所述小块的所述临界组图形被返回到所述主机以开始进行合并所述每一个小块的临界组图形（步骤 34）的过程。在步骤 34 中，来自所述叶片机的结果被送回到主机，并且所述主机将这些结果结合在一起。在步骤 34 的过程中实质上实施了两个操作。第一是将在小块内的临界组图形与“边界合并循环”的结果结合起来以获得对于整个芯片的所述临界组图形。第二是小块的临界图形组的给定数据（Gds）用作步骤 38 中实施的“边界合并循环”的输入。

在实施步骤 34 后，把在相邻小块 12 的边界内的 gds 和所述临界组的标示分派到所述叶片机 16（步骤 36）。然后，实施所述小块边界合并过程（步骤 38）。在这个步骤中，把在不同小块中的所述临界组之间的相关性加入到所述临界组图形。更具体地，值得注意的是，在小块边界的交叠区域，所述相同多边形/特征可以属于不同小块的不同临界组。这些多边形在最后的分裂结果中必须具有相同的层分配。为了获得这个目标，把具有最小加权的边缘加入到跨过小块边界的所述临界组之间。如果相同的多边形

在不同的小块的两个临界组具有相同的层分配，所述相关性是正确的。否则所述相关性是负的。

接下来，所述小块边界合并过程所产生的数据返回到所述主机 14（步骤 39），并且通过合并来自“小块内部循环”的所述小块内部的边缘和跨过来自“小块边界合并循环”的小块边界的边缘产生整个芯片的所述临界组图形。图 8a 是整个芯片的示例性整体视图，而图 8b 提供每个给定小块的示例性详细视图。值得注意的，图 8b 中的所述跨过小块边界的边缘连接到相邻小块的临界组。

一旦产生整体临界组图形，所述工艺进行到如图 9 所示的整个过程的阶段 II。在阶段 II，整体图形着色解决方案在主机 14 实施。更具体的，利用分级着色算法解决典型地具有大量的顶点和边缘的整个芯片的所述整体临界组图形。

参见图 10，在整体图形着色解决方案的执行过程中，在每一个阶段，整个芯片的所述小块被分成几个组。在更低阶段的组还要结合到更高阶段。最后，整个芯片的所有小块合并到在顶部阶段的一个组。根据系统的资源限制和每个阶段处理所述组的所述算法的资源要求可以静态或动态地构建分级阶段。

在分级结构的基础上，所述算法首先通过从底部阶段到顶部阶段实施的“底部向上”的步骤，然后通过从顶部阶段到底部阶段实施的“顶部向下”的步骤进行整个图形着色。每个临界组，其在图形中是一个顶点，分配给两种可能状态（颜色）：保持或改变。

在顶部向上步骤中，如图 11(a)-11(c)所示，对在这个阶段的每个组实施下面的方法。首先，结合在更低阶段的多个子组的输出图形以产生输入图形（见图 11 (a)）。在图形中标示所有具有连接到这个组外部节点的边缘的边界顶点。然后在图形中构建最小跨度林（见图 11 (b)）。所述最小跨度林基本上类似所述最小跨度树，但是所述边界顶点必须在不同的树上并且所述边界顶点必须是所述树的根。然后，对于在所述最小跨度林的每个树，从它的根顶点开始，通过宽度优先或深度优先搜索计算每个节点与所述根节点的相关性。如果当前顶点通过正边缘连接到父顶点，则它具有和父顶点相同的与根顶点的相关性。否则，所述顶点与其父顶点相比具有

与根顶点的负的相关性。所有所述边界顶点都用于构建这个组的输出图形。选择树之间的具有最小加权的所述边缘 (edge) 作为所述边界顶点之间的边缘。

在顶部向下步骤,对这个阶段的每个组实施下面的算法,如图 12(a) 和 12(b)所示。首先,初始化在最小跨度林内根的状态(颜色)(见图 12(a))。如果所述树的根是边界顶点,从更高阶段的着色结果中获得所述临界组的状态(颜色)。否则,随机初始化所述临界组的状态(颜色)为:保持或改变(KEEP 或 FLIP)。通过宽度优先或深度优先搜索对在最小跨度林中的所有顶点分配状态(颜色)(见图 12(b))。如果当前顶点具有与根顶点的正相关性,则分配与根顶点一样的状态(颜色)。否则,分配与根顶点的状态(颜色)相反的状态(颜色)。

在顶部阶段,在图形中没有边界顶点,最小跨度林的所有根初始化为 KEEP 或者 FLIP。在底部阶段,整个芯片的所有临界组已经着色为 KEEP 状态或 FLIP 状态。如果一个临界组已经分配给 KEEP 状态,属于这个临界组的每个临界多边形将会被在临界组内的缺省颜色着色。否则,分配给所述临界组 FLIP 状态,属于这个临界组的每个临界多边形将会被分配与其缺省颜色相反的颜色。

如上面详述,本发明的方法提供了许多超越已知分解方法的优点。最为重要的是,所述方法提供了快速而有效率的分解全芯片图案或图样的方法。尤其是,本发明所述方法允许并行地处理(也就是分解)所述图案的小块,因而减少了完成分解过程所需的时间。所述方法还通过应用“临界组图形”提供灵活的能容易地结合在前的小块级分解或着色的方案。此外,所述方法还通过应用“临界组”减少用以在整个芯片层次进行处理所需的数据量,因而显著地减少了数据处理能力需求和完成分解过程所需的时间。最后,本发明的“整体图形着色解决方案”的分级结构提供用于处理大的整个芯片图案的良好的可量测性。

图 13 示出能实现以上详述的所述图案分解方法的计算机系统 100 的方框图。计算机系统 100 包括总线 102 或其他用于传递信息的通信机构,和连接到总线 102 上用于处理信息的处理器 104。计算机系统 100 还包括主存储器 106,例如随机存取存储器(RAM)或其他动态存储设备,连接

到总线 102 用于存储处理器 104 将要实施的信息和指令。在执行处理器 104 将要执行的指令过程中，主存储器 106 还用于存储临时变量或其他中间信息。计算机系统 100 还包括连接到总线 102 用于存储处理器 104 的静态信息和指令的只读存储器 (ROM) 或其他静态存储设备。提供存储装置 110，例如磁盘或光盘，并连接到总线 102，用于存储信息和指令。

计算机系统 100 可以通过总线 102 连接到显示器 112，例如用于显示信息给计算机使用者的阴极射线管 (CRT) 显示器或平板显示器或触摸平板显示器。输入装置 114，包括文字数字的或其他的键连接到总线 102，用于将信息和命令选择传递到处理器 104。其他类型的使用者输入装置是光标控制器 116，例如鼠标，轨迹球，或者光标方向键，用于把方向信息和命令选择传递到处理器 104 以及用于控制光标在显示器 112 上的移动。这种输入装置典型地在两个坐标轴上具有两个自由度，第一坐标轴 (例如，X) 和第二坐标轴 (例如，Y)，这允许所述装置在平面内指定位置。接触平板 (显示屏) 显示器也可以用作输入装置。

根据本发明的一个实施例，着色过程可以由计算机系统 100 实施，所述计算机系统 100 响应于执行包括在主存储器 106 内的一个或更多指令的一个或更多序列的处理器 104。这些指令可以从另一计算机可读介质读入到主存储器 106，例如存储装置 110。包括在主存储器 106 内的指令序列的执行过程使处理器 104 实施这里所述的处理步骤。在多过程设置中可以应用一个或更多处理器执行包括在主存储器 106 内的指令序列。在可选择的实施例中，可以用硬件电路代替软件指令或与软件指令结合以实现本发明。因此，本发明实施例不限于任何特定的硬件电路和软件的结合。

这里用到的术语“计算机可读介质”指的是参与提供指令给处理器 104 以执行的任何介质。这样的介质可以是多种形式，包括但不限于非挥发性介质、挥发性介质以及传输介质。非挥发性介质例如包括光盘或磁盘，例如存储装置 110。挥发性介质包括动态存储器，例如主存储器 106。传输介质包括同轴电缆、铜线和光纤，其中包括组成总线 102 的电缆。传输介质还可以是声波或光波的形式，例如射频 (RF) 和红外 (IR) 数据通信过程中产生的那些。计算机可读介质的一般形式包括，例如，软磁盘、软盘、硬盘、磁带或其他磁性介质、光盘只读存储器、DVD、任何其他光学介质、

穿孔卡（片）、纸带、任何其他带有孔图案的物理介质、随机存储器、可编程序只读存储器和电可擦编程只读存储器（EPROM）、快（可）擦编程只读存储器（FLASH-EPROM）、任何其他存储器芯片或磁带盒、这里后面所述的载波、或其他计算机可读介质。

在将一个或多个指令的一个或多个序列输入到处理器 104 以执行的过程中会用到多种形式的计算机可读介质。例如，所述指令可以在远程计算机的磁盘上首先生成。远程计算机能够将所述指令加载到其动态存储器并且用调制解调器通过电话线发送指令。计算机系统 100 本地的调制解调器能够接收到电话线上的数据并且应用红外发射装置将数据转换成红外信号。连接到总线 102 的红外探测器能够接收加载在红外信号中的数据并将所述数据加载到总线 102。总线 102 将所述数据输送到主存储器 106，处理器 104 从主存储器 106 上重新得到并执行所述指令。可以任意地在处理器 104 执行操作之前或之后把通过主存储器 106 接收的所述指令存储在存储装置 110 中。

优选地，计算机系统 100 还包括连接到总线 102 的通信界面 118。通信界面 118 提供连接到网络链路 120 的双路数据通信，其中网络链路 120 连接至局域网络 122。例如，通信界面 118 可以是综合业务数字网(ISDN)卡或调制解调器用以提供数据通信连接到相应类型的电话线。正如其他例子，通信界面 118 可以用以提供数据通信连接到兼容 LAN 的局域网络（LAN）卡。无线通信线路也可以实现。在所有这些实施过程中，通信界面 118 发送和接收承载表示多种类型信息的数字数据流的电信号、电磁信号或光学信号。

典型地，网络链路 120 通过一个或多个网络来提供数据通信到其他数据装置。例如，网络链路 120 可以通过本地网络 122 提供连接到主计算机 124 或者由互联网服务商(ISP)126 运行的数据设备。ISP126 通过全世界的分组数据通信网络提供数据通信服务，现在一般称为“国际互联网”128。局域网络 122 和国际互联网 128 都应用载有数字数据流的电信号、电磁信号或光学信号。通过多种网络的信号以及在网络链路 120 上并通过通信界面 118 的信号是传输所述信息的载波的示例性形式，其中这些信号承载传送到和发源于计算机 100 的数字数据。

计算机系统 100 能够通过网络、网络链路 120 和通信界面 118 发送信息和接收数据，包括程序代码。在国际互联网例子中，服务器 130 可能通过国际互联网 128、ISP 126、局域网 122 和通信界面 118 发送应用程序的请求代码。根据本发明，提供一个这样的下载应用用于说明实施例的最优化。当接收的代码被接收到，可以由处理器 104 执行所接收到的代码，和/或存储在存储装置 110 或其它非挥发性存储器中用于下一次执行。在这种方式中，计算机系统 100 可以获得载波形式的应用代码。

图 14 示意地示出了适于应用根据本发明设计的掩模的光刻投影设备。所述设备包括：

- 辐射系统 Ex, IL, 用于提供辐射投影束 PB。在具体情况下，辐射系统还包括辐射源 LA；
- 第一物体台（掩模台）MT, 设置有用以保持掩模 MA（例如，掩模版）的掩模保持器，并且连接到用于准确地相对于投影系统 PL 定位的第一定位装置；
- 第二物体台（衬底台）WT, 设置有用以保持衬底 W（例如，涂覆有抗蚀剂的硅晶片）的衬底保持器，并且连接到用于准确地相对于投影系统 PL 定位的第二定位装置；
- 投影系统（“透镜”）PL（例如，折射型、反射型或反射折射型光学系统），用于将掩模 MA 的照射部分成像到所述衬底 W 的目标部分 C（例如，包括一个或更多管芯）上。

正如这里所述，所述设备是透射型的（也就是具有透射型的掩模）。然而，一般情况下，所述设备也可以是反射型的（例如具有反射型的掩模）。可选择的是，所述设备可以应用其他类型的图案化装置作为掩模的可选方案；实例包括：可程序化的反射镜阵列或 LCD 矩阵。

源 LA（例如，汞灯或准分子激光器）产生辐射束。所述束直接地或通过调节装置（例如束扩展器 Ex）引入到照射系统（照射器）IL。照射器 IL 包括用于设置所述束内的强度分布的所述外部和/或内部径向范围（一般分别称为 σ -外部和 σ -内部）的调整装置 AM。此外，一般还包括多种其他部件，例如积分器 IN 和聚光器 CO。这样，照射到所述掩模 MA 的所述束 PB 在其横截面中具有所需的均匀性和强度分布。

值得注意的是，相对于图 14，所述源 LA 可以在光刻投影设备的壳体内（例如，当所述源 LA 是汞灯时经常是这种情形），但是所述源也可以远离所述光刻投影设备，所述源产生的辐射束被引导到所述设备中（例如通过合适的导向反射镜）；当所述源 LA 是准分子激光器时通常是后一种情况（例如，基于 KrF、ArF 或 F₂ 激光器）。本发明包括这两种情况。

所述束 PB 随后入射到保持在掩模台 MT 上的所述掩模 MA 上。在已经穿过所述掩模 MA 后，所述束 PB 通过所述透镜 PL，所述 PL 将所述束 PB 聚焦到所述衬底 W 的目标部分 C 上。通过第二定位装置 PW（和干涉测量装置 IF）的帮助，可以精确地移动所述衬底台 WT，例如以便将不同的目标部分 C 定位于所述束 PB 的路径中。类似地，例如在从掩模库的机械获取之后，或在扫描期间，可以将所述第一定位装置用于将所述掩模 MA 相对于所述束 PB 的路径精确地定位。通常，可以通过长行程模块（粗定位）和短行程模块（精定位）（图 14 中未明确示出）的帮助来实现所述物体台 MT、WT 的移动。但是，在晶片步进机的情况下（与步进-扫描工具相反），所述掩模台 MT 可以仅与短行程致动器相连，或可以是固定的。

可以将所述设备用于以下模式的至少一种：

- 在步进模式中，将所述掩模台 MT，将整个掩模图案一次投影到目标部分 C 上（即，单一的“曝光”）。然后将所述衬底台 WT 沿 X 和/或 Y 方向移动，使得可以通过所述束 PB 对不同目标部分 C 曝光。
- 在扫描模式中，用本质上相同的方式，除了给定的目标部分 C 不是以单一“曝光”方式曝光。代替的是，所述掩模台 MT 是可以以速度 v 在给定方向上移动的（所谓的“扫描方向”，例如 Y 方向），以使所述投影束 PB 在掩模图案上扫描；同时，所述衬底台 WT 同时地以速度 $V=Mv$ 在相同或相反方向上移动，其中 M 是所述透镜 PL 的放大率（典型地， $M=1/4$ 或 $1/5$ ）。在这种方式中，能够对相对大的目标部分 C 进行曝光，而不需要牺牲分辨率。

虽然已经详细的描述并说明了本发明，本领域的技术人员应当明白地理解，但仅通过说明和实例的方法和不限于此的方式是一样的，本发明的范围仅通过所附的权利要求限定。

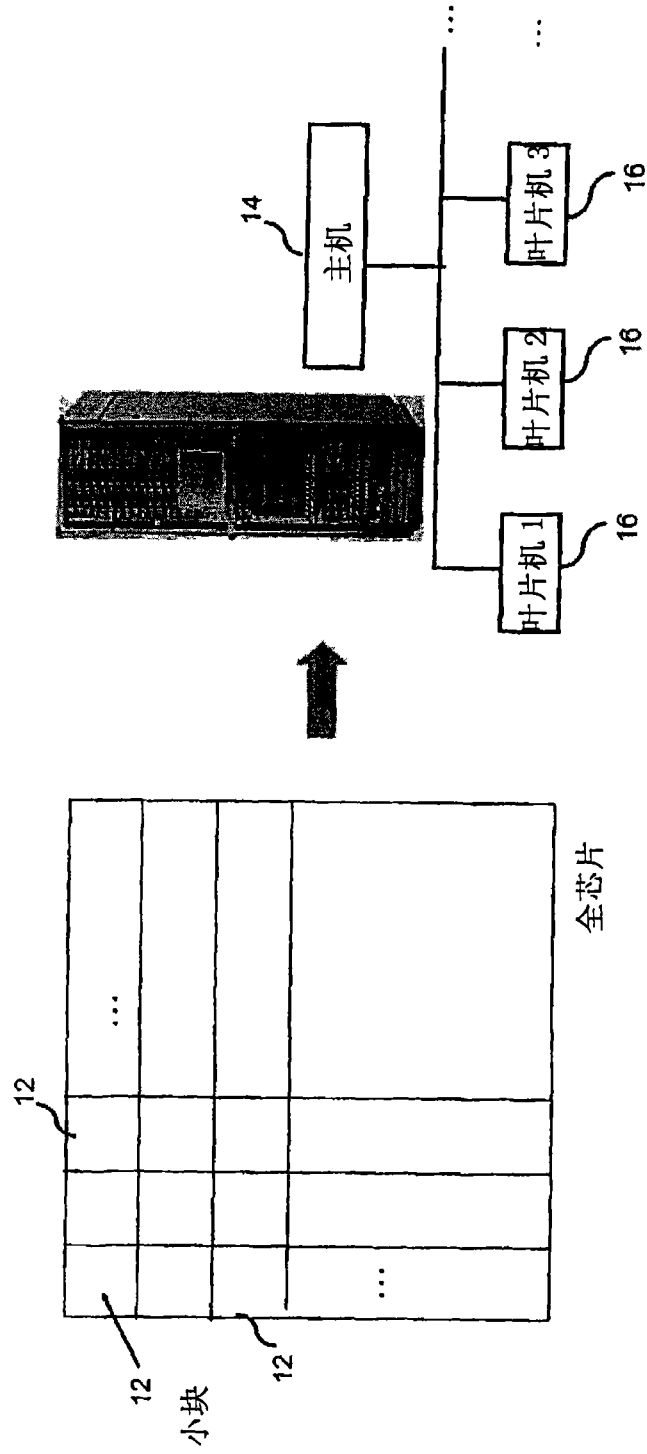


图 1

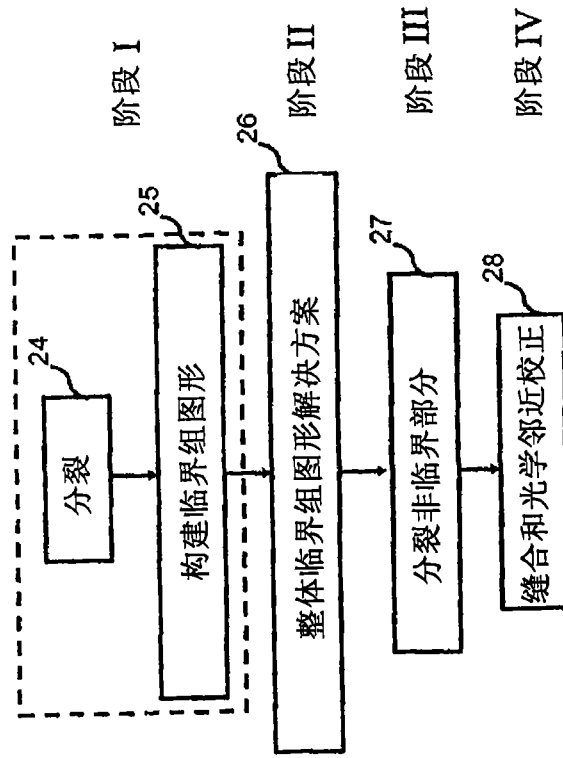


图 2b

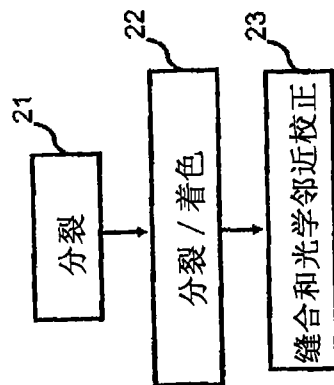


图 2a

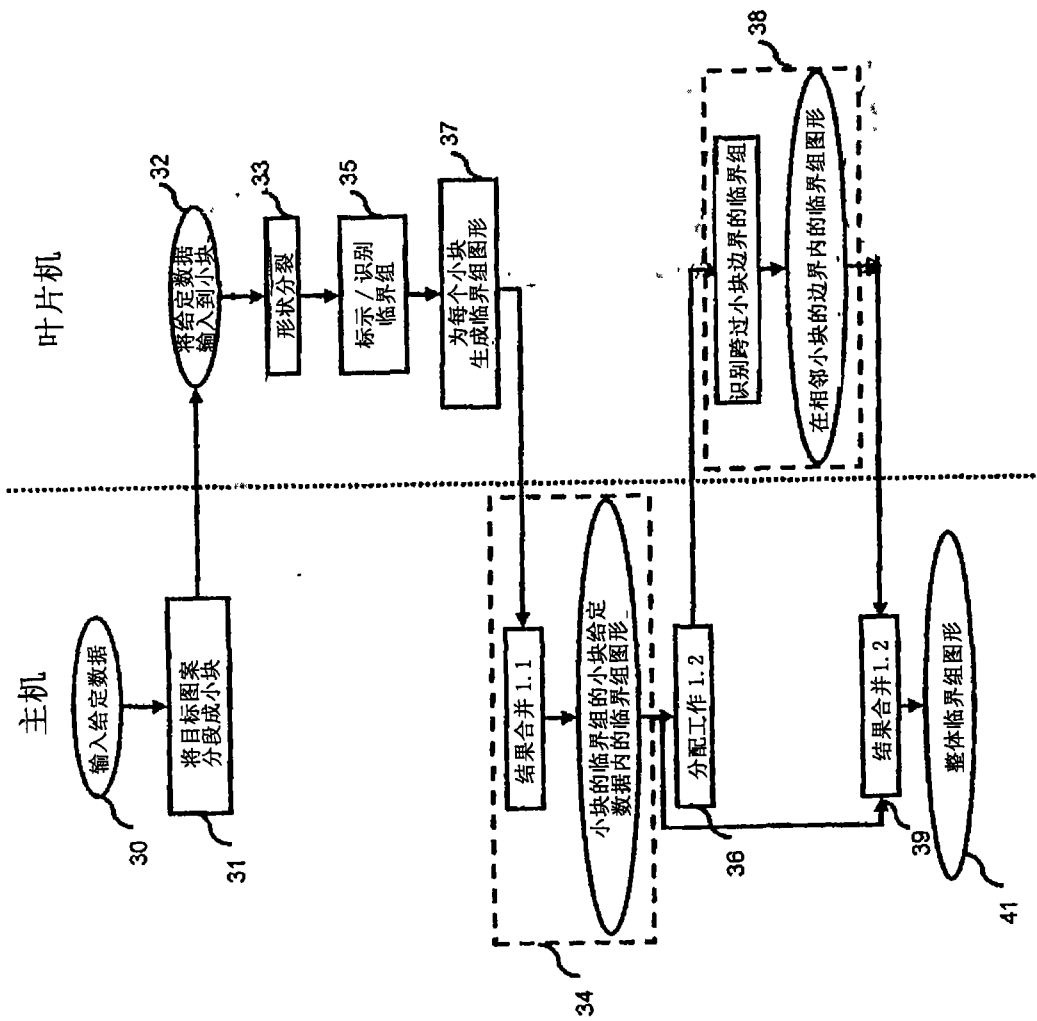
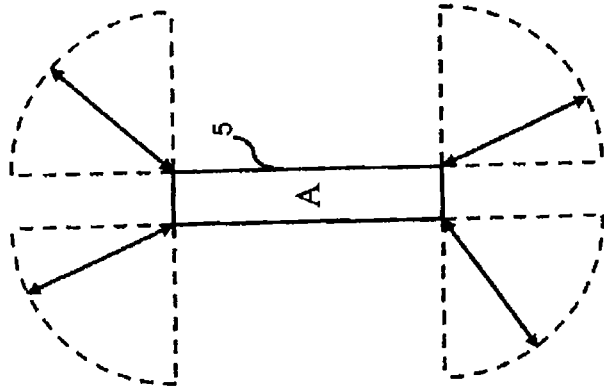
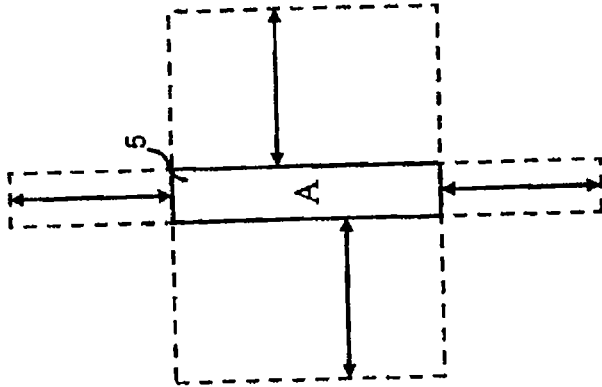


图 3



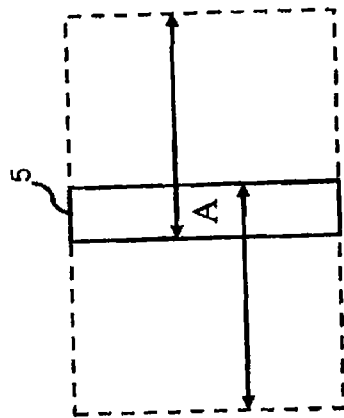
最小角对角 (仅外角部)
规则的冲突区域

图 4c



最小空间规则的冲突区域

图 4b



最小间隔规则的冲突区域

图 4a

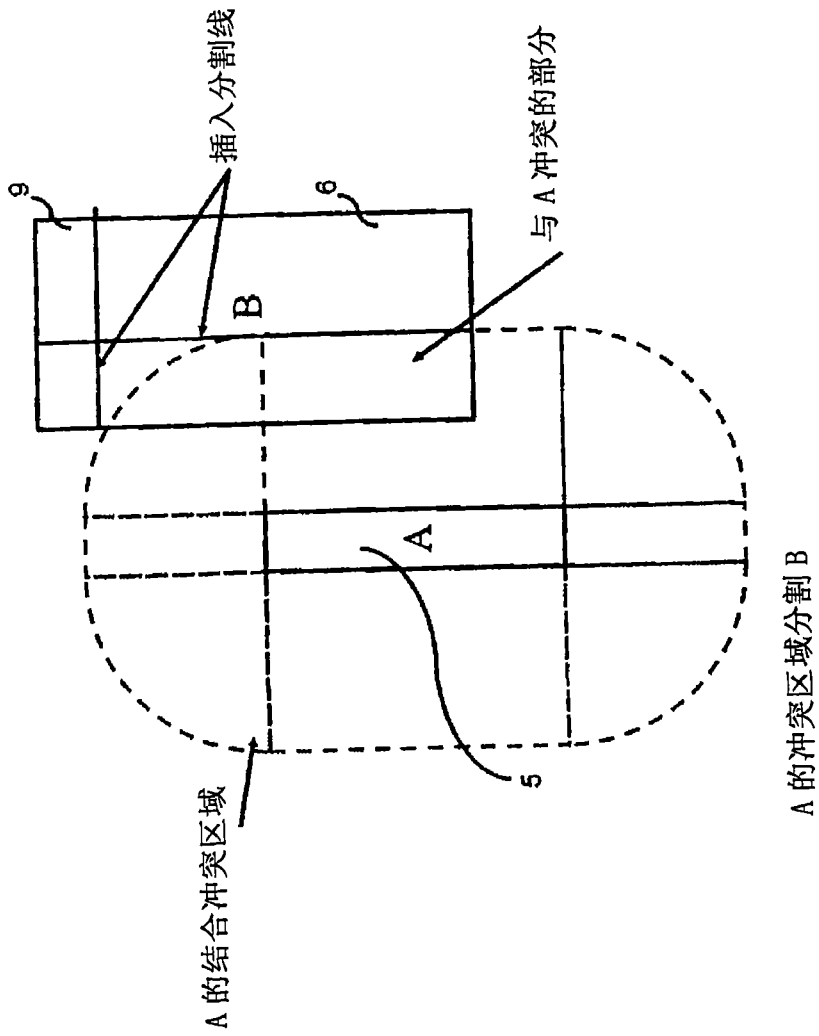


图 5

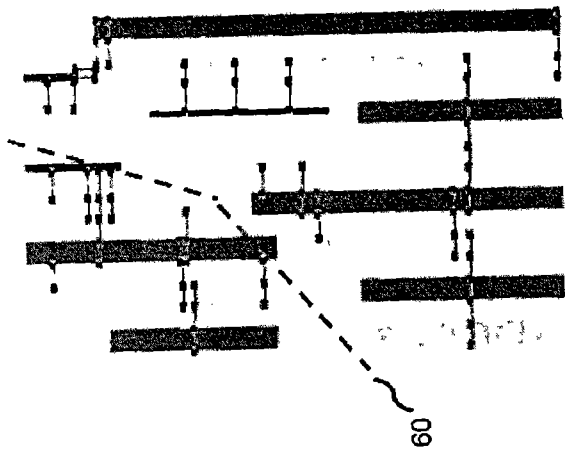
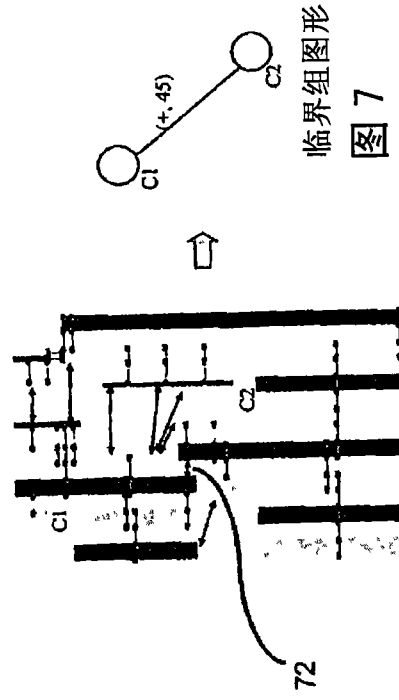


图 6



临界组图形
图 7

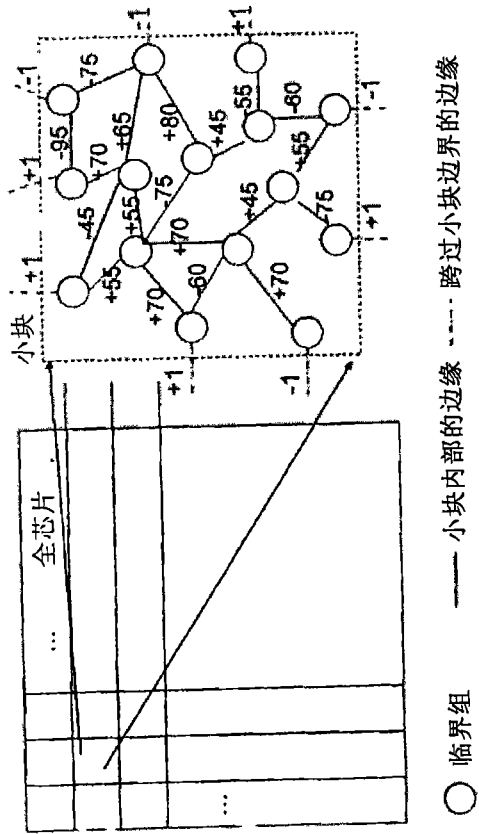


图 8

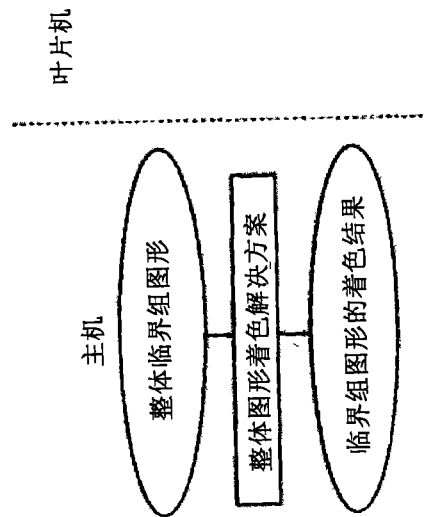


图 9

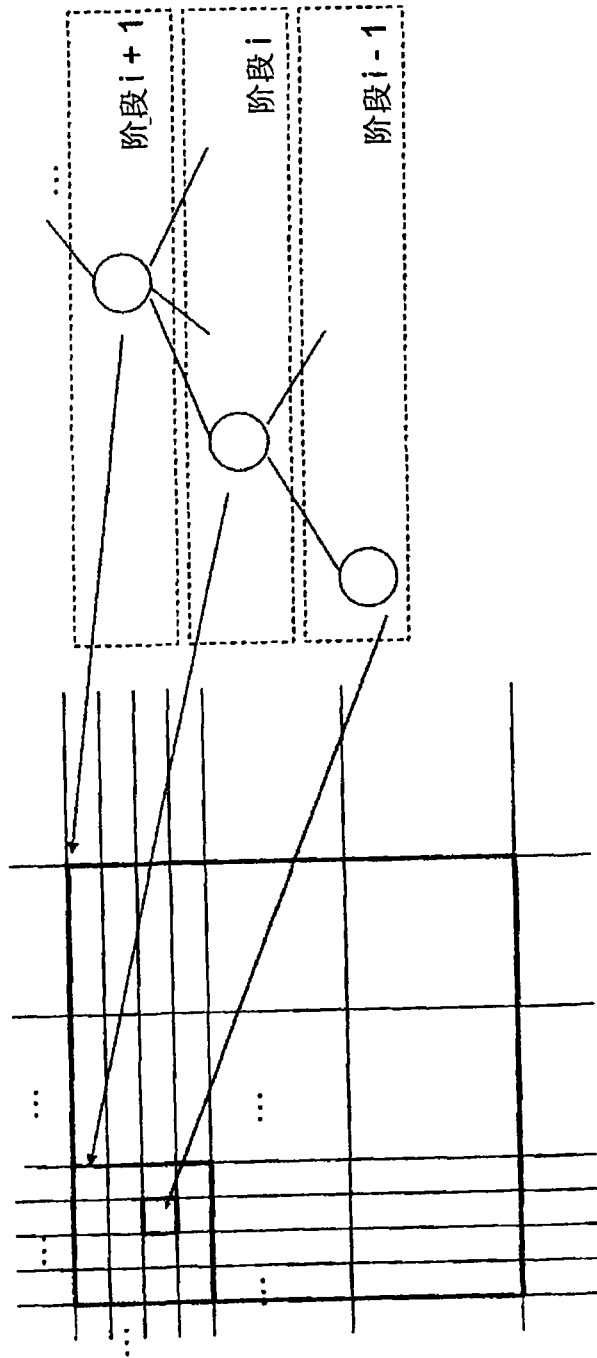


图 10

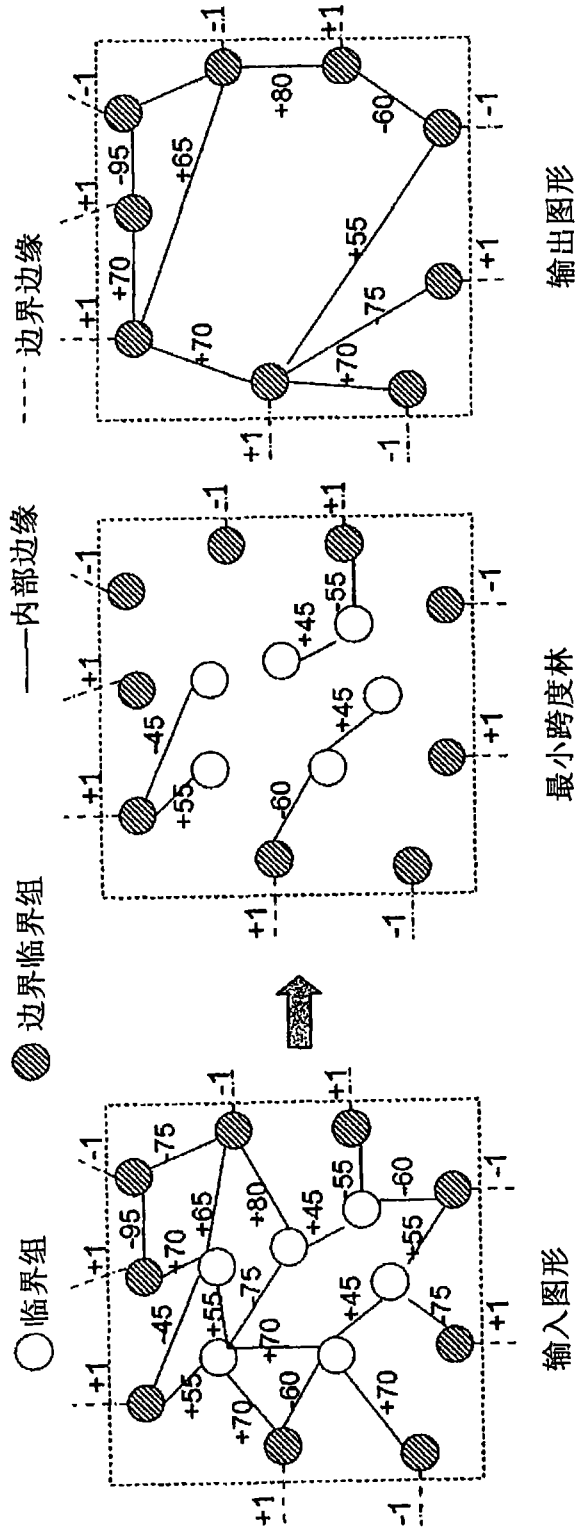


图 11a

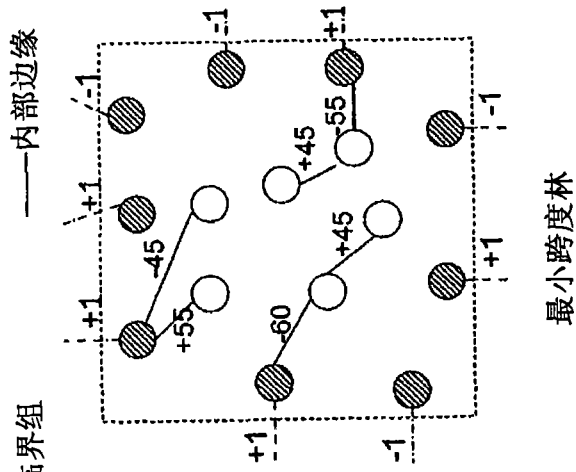


图 11b

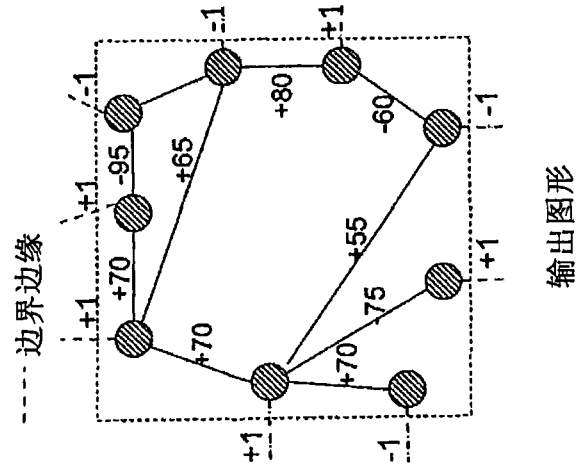
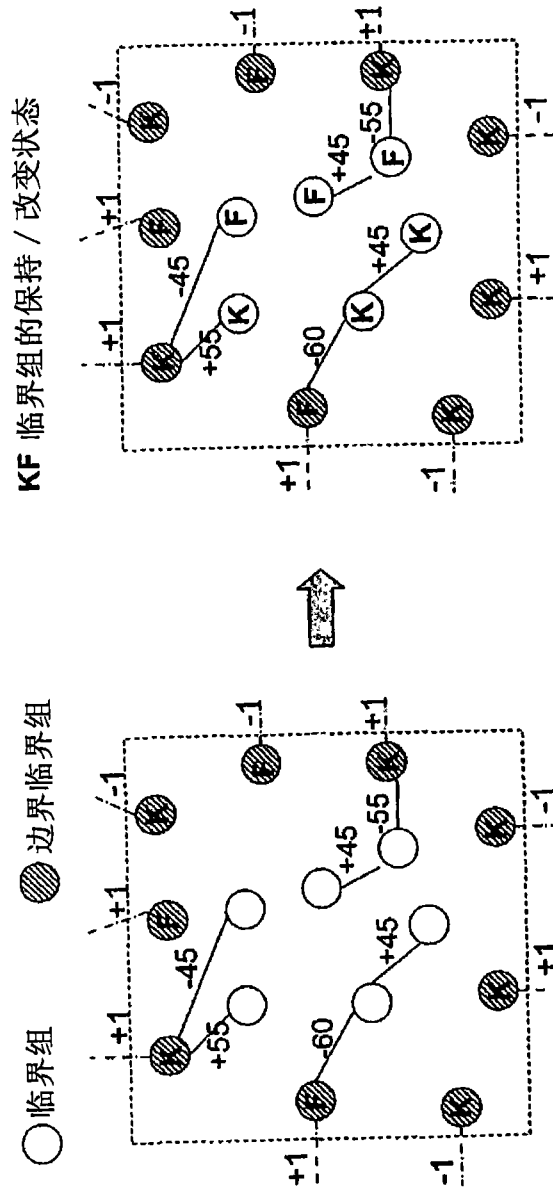


图 11c



初始化在最小跨度林区中边界顶点的颜色

初始化在最小跨度林区中边界顶点的颜色

图 12b

图 12a

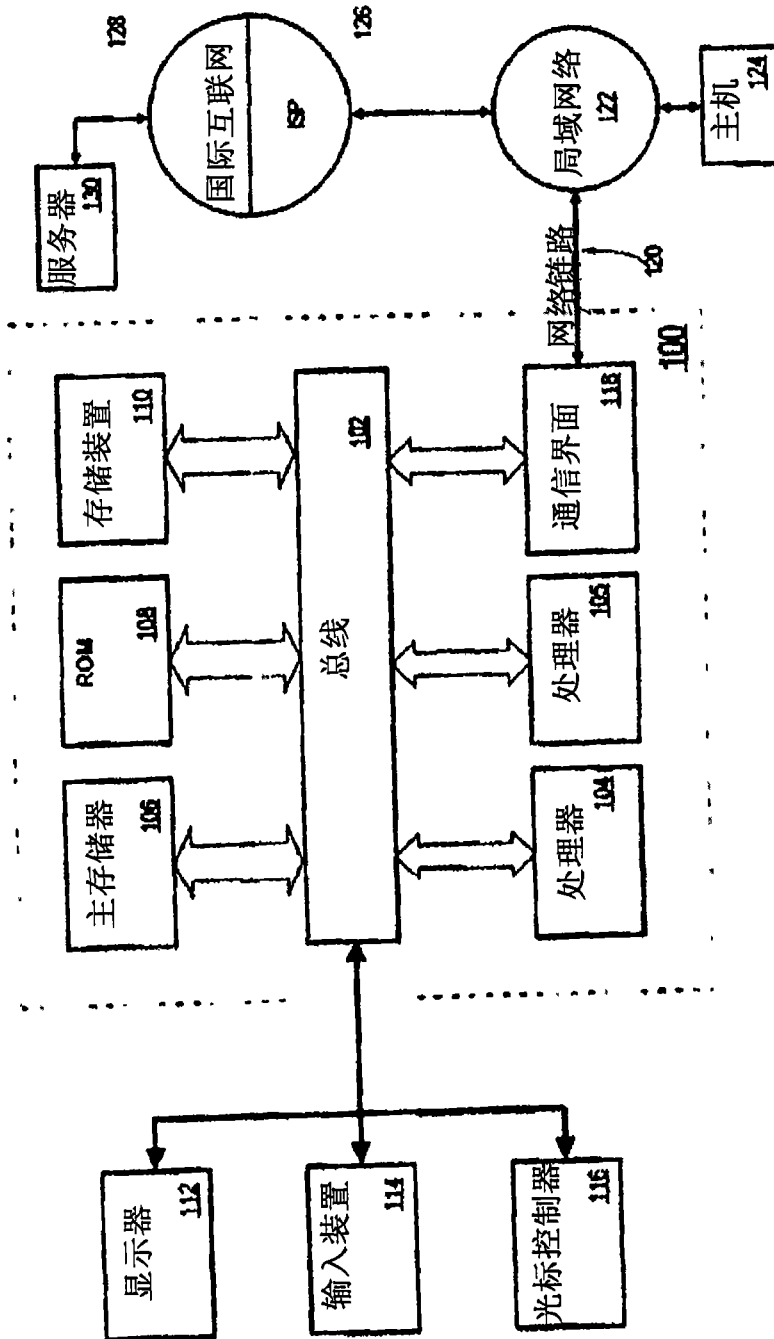


图 13

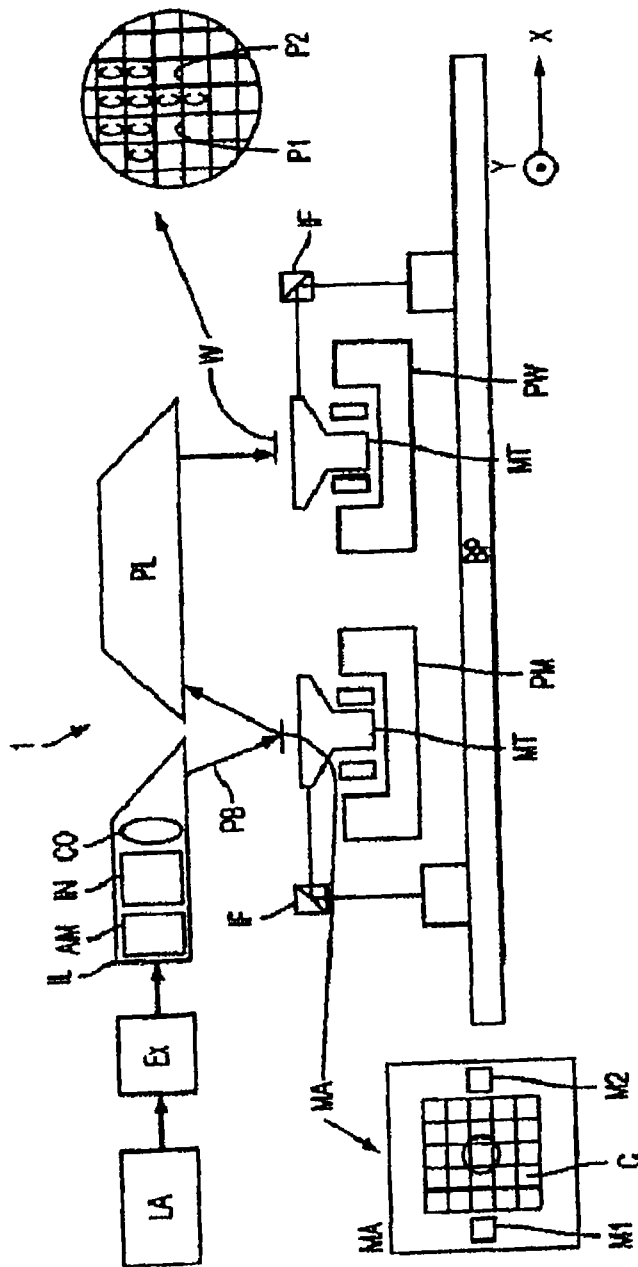


图 14