

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年9月7日(07.09.2012)



(10) 国際公開番号
WO 2012/118111 A1

- (51) 国際特許分類:
H03H 9/72 (2006.01) H03H 9/25 (2006.01)
H01P 1/213 (2006.01) H03H 9/64 (2006.01)
H03H 7/46 (2006.01) H04B 1/40 (2006.01)
- (21) 国際出願番号: PCT/JP2012/055040
- (22) 国際出願日: 2012年2月29日(29.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-045978 2011年3月3日(03.03.2011) JP
特願 2011-183495 2011年8月25日(25.08.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 竹村 忠治(TAKEMURA Tadaji) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 大和 秀司(YAMATO Syuji) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

上嶋 孝紀(UEJIMA Takanori) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 竹内 壮央(TAKEUCHI Morio) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

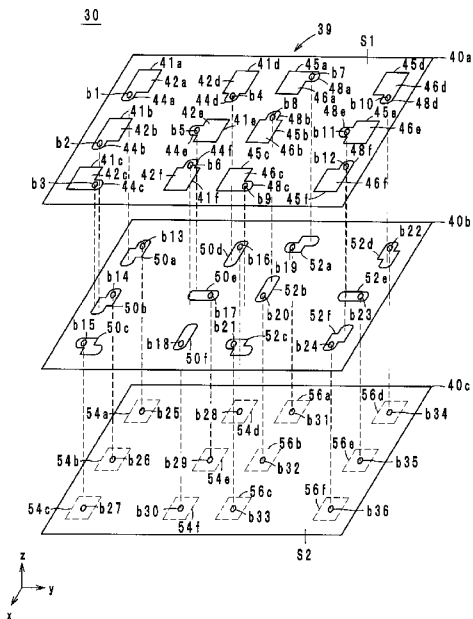
- (74) 代理人: 特許業務法人プロフィック特許事務所(PROFIC PC); 〒5410054 大阪府大阪市中央区南本町4丁目2番10号 本町永和ビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: SUBSTRATE, DUPLEXER, AND SUBSTRATE MODULE

(54) 発明の名称: 基板、デュプレクサ及び基板モジュール

[図7]



(57) Abstract: Provided are: a substrate with which it is possible to improve the isolation properties between the signal path of a high-frequency side and the signal path of a low-frequency side; a duplexer; and a substrate module. A package substrate (30) has two SAW filters mounted thereon, and configures part of a duplexer. A substrate body (39) has two principal surfaces (S1, S2) that face one another. Land electrodes (41, 45) are provided on the principal surface (S1), and are used in the connection with one of the two SAW filters. Land electrodes (54, 56) are provided on the principal surface (S2), are used in the connection with a mounting substrate on which the duplexer is mounted, and when seen in planar view from the z-axis direction, overlap respectively with the land electrodes (41, 45). The land electrodes (41, 45) and the land electrodes (54, 56) that overlap when seen in planar view from the z-axis direction are electrically connected.

(57) 要約: 高周波側の信号経路と低周波側の信号経路との間のアイソレーション特性を向上させることができる基板、デュプレクサ及び基板モジュールを提供することである。2つのSAWフィルタが実装され、デュプレクサの一部を構成するパッケージ基板(30)。基板本体(39)は、互いに対向する主面(S1, S2)を有する。ランド電極(41, 45)は、主面(S1)上に設けられ、かつ、2つのSAWフィルタのいずれか一方との接続に用いられる。ランド電極(54, 56)は、主面(S2)上に設けられ、かつ、デュプレクサが実装される実装基板との接続に用いられ、z軸方向から平面視したときに、それぞれがランド電極(41, 45)と重なっている。z軸方向から平面視したときに重なり合っているランド電極(41, 45)とランド電極

(54, 56)とは電氣的に接続されている。



WO 2012/118111 A1

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, — 國際調查報告 (條約第 21 條(3))
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称：基板、デュプレクサ及び基板モジュール

技術分野

[0001] 本発明は、基板、デュプレクサ及び基板モジュール及びその製造方法に関し、より特定的には、高周波側フィルタ部品及び低周波側フィルタ部品が実装される基板、デュプレクサ及び基板モジュールに関する。

背景技術

[0002] 従来のデュプレクサとしては、例えば、特許文献1に記載の分波器が知られている。特許文献1に記載のデュプレクサは、送信用弾性表面波フィルタ及び受信用弾性表面波フィルタが一主面に併設された圧電基板が回路基板に実装されることにより構成されている。このような回路基板は、例えば、無線通信機器のマザーボードに実装される。

[0003] ところで、特許文献1に記載の分波器では、回路基板は、送信用弾性表面波フィルタと受信用弾性表面波フィルタとを整合させるためのインダクタパターンを内蔵している。このように、回路基板内において、インダクタパターンのような配線が設けられていると、送信用の信号経路と受信用の信号経路とが近接して電磁氣的に結合しやすくなる。その結果、送信用の高周波信号が受信用の信号経路に侵入し、送受信間のアイソレーション特性が低下するおそれがある。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-290606号公報

発明の概要

発明が解決しようとする課題

[0005] そこで、本発明の目的は、高周波側の信号経路と低周波側の信号経路との間のアイソレーション特性を向上させることができる基板、デュプレクサ及び基板モジュールを提供することである。

課題を解決するための手段

[0006] 本発明の一形態に係る基板は、高周波側フィルタ部品及び低周波側フィルタ部品が実装され、デュプレクサの一部を構成する基板であって、互いに対向する第1の主面及び第2の主面を有する基板本体と、前記第1の主面上に設けられ、かつ、前記高周波側フィルタ部品又は前記低周波側フィルタ部品との接続に用いられる複数の第1の実装電極と、前記第2の主面上に設けられ、かつ、前記デュプレクサが実装される実装基板との接続に用いられる複数の第2の実装電極であって、前記第1の主面の法線方向から平面視したときに、それぞれが前記複数の第1の実装電極と重なっている第2の実装電極と、を備えており、前記第1の主面の法線方向から平面視したときに重なり合っている前記第1の実装電極と前記第2の実装電極とは電氣的に接続されていること、を特徴とする。

[0007] 本発明の一形態に係るデュプレクサは、前記基板と、前記基板の前記第1の主面上に実装されている高周波側フィルタ部品と、前記基板の前記第1の主面上に実装されている低周波側フィルタ部品と、を備えていること、を特徴とする。

[0008] 本発明の一形態に係る基板モジュールは、実装基板と、前記実装基板上に実装される前記デュプレクサと、を備えていること、を特徴とする。

発明の効果

[0009] 本発明によれば、高周波側の信号経路と低周波側の信号経路との間のアイソレーション特性を向上させることができる。

図面の簡単な説明

[0010] [図1]本発明の一実施形態に係る基板モジュールの外観斜視図である。

[図2]図1の基板モジュールの回路構成を示した図である。

[図3]基板モジュールに内蔵されているデュプレクサの外観斜視図である。

[図4]SAWフィルタの外観斜視図である。

[図5]SAWフィルタの内部構成を示した図である。

[図6]SAWフィルタの配線図である。

[図7]パッケージ基板の分解斜視図である。

[図8]第2のモデルに相当する基板モジュールの回路構成を示した図である。

[図9]コンピュータシミュレーションの結果を示したグラフである。

[図10]第1の変形例に係るパッケージ基板の透視図である。

[図11]第2の変形例に係るパッケージ基板の透視図である。

[図12]SAWフィルタの内部構成を示した図である。

[図13]SAWフィルタの配線図である。

[図14]第3の変形例に係るパッケージ基板の平面図である。

[図15]第4の変形例に係るパッケージ基板の平面図である。

[図16]第5の変形例に係るパッケージ基板の平面図である。

[図17]第6の変形例に係るパッケージ基板の平面図である。

[図18]第7の変形例に係るパッケージ基板の平面図である。

[図19]第8の変形例に係るパッケージ基板の平面図である。

[図20]第1の変形例に係る基板モジュールの断面構造図である。

[図21]第2の変形例に係る基板モジュールの断面構造図である。

[図22]第3の変形例に係る基板モジュールの断面構造図である。

[図23]第4の変形例に係る基板モジュールの断面構造図である。

[図24]第5の変形例に係る基板モジュールの断面構造図である。

[図25]第5の変形例に係る基板モジュールのデュプレクサを平面視した図である。

発明を実施するための形態

[0011] 以下に、本発明の実施形態に係るパッケージ基板、デュプレクサ及び基板モジュールについて図面を参照しながら説明する。

[0012] (基板モジュールの構成)

以下に、本発明の一実施形態に係る基板モジュールの構成について図面を参照しながら説明する。図1は、本発明の一実施形態に係る基板モジュール10の外観斜視図である。図2は、図1の基板モジュール10の回路構成を示した図である。図3は、基板モジュール10に内蔵されているデュプレク

サ 1 4 の外観斜視図である。以下では、略直方体状をなす基板モジュール 1 0 において、高さ方向を z 軸方向と定義する。また、z 軸方向から平面視したときの長辺方向を x 軸方向と定義し、短辺方向を y 軸方向と定義する。x 軸、y 軸、z 軸は、互いに直交している。

[0013] 基板モジュール 1 0 は、図 1 及び図 2 に示すように、実装基板 1 2、デュプレクサ 1 4、整合素子 1 6 a ~ 1 6 d 及び封止樹脂 2 0 を備えている。実装基板 1 2 は、図 1 に示すように、複数の絶縁体層が積層されてなる長方形状の多層回路基板であり、携帯電話のマザーボードに実装される。実装基板 1 2 は、z 軸方向の正方向側の主面に設けられているランド電極であって、デュプレクサ 1 4 及び整合素子 1 6 a ~ 1 6 d の実装のために用いられるランド電極（図示せず）を有している。

[0014] デュプレクサ 1 4 は、図示しないアンテナが受信した相対的に高い周波数を有する受信信号を、基板モジュール 1 0 に設けられている受信回路（図示せず）に出力し、基板モジュール 1 0 に設けられている送信回路（図示せず）から出力されてきた相対的に低い周波数を有する送信信号を、アンテナへと出力する分波回路である。デュプレクサ 1 4 は、図 1 に示すように、実装基板 1 2 の z 軸方向の正方向側の主面上に実装され、図 3 に示すように、パッケージ基板 3 0、SAW フィルタ（高周波側フィルタ部品及び低周波側フィルタ部品）3 2 a, 3 2 b 及び封止樹脂 3 4 を備えている。なお、送信信号の周波数の方が、受信信号の周波数よりも高くてもよい。

[0015] SAW フィルタ 3 2 a は、図 2 に示すように、送信回路とアンテナとの間に設けられており、相対的に低い周波数を有する送信信号を送信回路からアンテナへと通過させ、相対的に高い周波数を有する受信信号をアンテナから送信回路へと通過させない特性を有している。SAW フィルタ 3 2 b は、図 2 に示すように、アンテナと受信回路との間に設けられており、相対的に高い周波数を有する受信信号をアンテナから受信回路へと通過させ、相対的に低い周波数を有する送信信号を送信回路から受信回路へと通過させない特性を有している。

[0016] 以下に、SAWフィルタ32a、32bの構成について図面を参照しながら説明する。なお、SAWフィルタ32a、32bの基本構造は略同じであるので、SAWフィルタ32bを例にとって説明する。図4は、SAWフィルタ32a、32bの外観斜視図である。図5は、SAWフィルタ32bの内部構成を示した図である。図6は、SAWフィルタ32bの配線図である。図6では、信号線を太線で示し、グランド線を細線で示してある。信号線とは、受信信号が伝送される配線を意味し、グランド線とは、接地電位に保たれる配線を意味する。

[0017] SAWフィルタ32bは、図4ないし図6に示すように、圧電基板64、ランド電極66(66a~66f)、縦結合部70、74、並列トラップ76、78及び直列トラップ80、82を備えている。圧電基板64は、LiTaO₃やLiNbO₃、水晶等から構成されている長形状の基板である。

[0018] ランド電極66は、図4に示すように、圧電基板64のz軸方向の負方向側の主面上に設けられている。より詳細には、ランド電極66a~66cは、y軸方向の負方向側の辺に沿って、x軸方向の負方向側から正方向側へとの順に並ぶように設けられている。ランド電極66d~66fは、y軸方向の正方向側の辺に沿って、x軸方向の負方向側から正方向側へとの順に並ぶように設けられている。そして、ランド電極66a、66c、66eは、図2に示すように、実装基板12及びパッケージ基板30を介して接地されている。ランド電極66bは、パッケージ基板30を介してアンテナに接続されている。ランド電極66d、66fはそれぞれ、パッケージ基板30を介して受信回路に接続されている。

[0019] ランド電極66d、66b間には、図5及び図6に示すように、縦結合部70及び直列トラップ80が直列に接続されている。縦結合部70は、対向部70a~70fにより構成されている。対向部70a、70c、70d、70fはそれぞれ、ランド電極66eに接続されているグランド線と直列トラップ80を介してランド電極66bに接続されている信号線とがz軸方向に対向することにより構成されている。対向部70b、70eはそれぞれ、

ランド電極 66d に接続されている信号線とランド電極 66e に接続されているグラウンド線とが z 軸方向に対向することにより構成されている。そして、対向部 70a~70f は、y 軸方向の負方向側から正方向側へとの順に並んでいる。

[0020] 直列トラップ 80 は、縦結合部 70 とランド電極 66b との間に直列に接続されている共振子である。並列トラップ 76 は、ランド電極 66d とランド電極 66a との間に直列に接続されている共振子である。

[0021] ランド電極 66f, 66b 間には、縦結合部 74 及び直列トラップ 82 が直列に接続されている。縦結合部 74 は、対向部 74a~74f により構成されている。対向部 74a, 74c, 74d, 74f は、ランド電極 66e に接続されているグラウンド線と直列トラップ 82 を介してランド電極 66b に接続されている信号線とが z 軸方向に対向することにより構成されている。対向部 74b, 74e は、ランド電極 66f に接続されている信号線とランド電極 66e に接続されているグラウンド線とが z 軸方向に対向することにより構成されている。そして、対向部 74a~74f は、y 軸方向の負方向側から正方向側へとの順に並んでいる。

[0022] 直列トラップ 82 は、縦結合部 74 とランド電極 66b との間に直列に接続されている共振子である。並列トラップ 78 は、ランド電極 66f とランド電極 66c との間に直列に接続されている共振子である。

[0023] また、図 5 及び図 6 に示すように、接地されるランド電極 66a, 66c, 66e は、互いにグラウンド線によって接続されていない。すなわち、ランド電極 66a, 66c, 66e は、SAW フィルタ 32b において電氣的に接続されていない。

[0024] 以上のように構成された SAW フィルタ 32b の動作は以下に説明するとおりである。ランド電極 66b から直列トラップ 80 を介して受信信号が入力してくると、対向部 70a, 70c, 70d, 70f において弾性表面波が発生する。弾性表面波は、圧電基板 64 の表面を進行する。対向部 70b, 70e は、対向部 70a, 70c, 70d, 70f において発生した弾性

表面波を受信信号に変換する。この後、受信信号は、ランド電極66dを介してSAWフィルタ32b外へと出力する。

[0025] また、ランド電極66bから入力された受信信号は、直列トラップ82を介して対向部74a, 74c, 74d, 74fに入力され、該対向部74a, 74c, 74d, 74fにおいて弾性表面波が発生する。弾性表面波は、圧電基板64の表面を進行する。対向部74b, 74eは、対向部74a, 74c, 74d, 74fにおいて発生した弾性表面波を受信信号に変換する。この後、受信信号は、ランド電極66fを介してSAWフィルタ32b外へと出力する。なお、対向部74を通過する信号は、対向部70を通過する信号に対して位相が180度異なっている。これにより、これらの信号は、差動伝送信号となっている。

[0026] パッケージ基板30は、SAWフィルタ32a, 32bが実装され、デュプレクサ14の一部を構成している。図7は、パッケージ基板30の分解斜視図である。

[0027] パッケージ基板30は、図7に示すように、基板本体39、ランド電極41(41a~41f), 45(45a~45f), 54(54a~54f), 56(56a~56f)、接続導体50(50a~50f), 52(52a~52f)及びビアホール導体b(b1~b36)を備えている。

[0028] 基板本体39は、アルミナからなる絶縁体層40a~40cが積層されることにより構成されている長形状の多層配線基板である。基板本体39は、図7に示すように、互いに対向する主面S1, S2を有している。主面S1は、z軸方向の正方向側に位置する面であり、主面S2は、z軸方向の負方向側に位置する面である。また、絶縁体層40のz軸方向の正方向側の主面を表面と呼び、絶縁体層40のz軸方向の負方向側の主面を裏面と呼ぶ。

[0029] ランド電極41(41a~41f)は、図7に示すように、主面S1上(すなわち、絶縁体層40aの表面上)に設けられ、かつ、SAWフィルタ32aとの接続に用いられる。より詳細には、ランド電極41a~41cは、主面S1のy軸方向の負方向側の辺に沿って、x軸方向の負方向側から正方

向側へとこの順に並ぶように設けられている。ランド電極41d~41fは、主面S1のy軸方向の両側の辺の中間に位置する直線に沿って、x軸方向の負方向側から正方向側へとこの順に並ぶように設けられている。

[0030] また、ランド電極41(41a~41f)は、図7に示すように、実装部42(42a~42f)及び接続部44(44a~44f)を含んでいる。実装部42は、長形状をなしており、SAWフィルタ32aとの接続に用いられる。実装部42a~42fはそれぞれ、ランド電極62a~62f(図2及び図4参照)に半田などによって接続される。接続部44は、実装部42の4辺のいずれかから突出する突起である。接続部44には、後述するビアホール導体bが接続される。

[0031] ランド電極54(54a~54f)は、図7に示すように、主面S2上(すなわち、絶縁体層40cの裏面上)に設けられ、かつ、実装基板12との接続に用いられる長形状の電極である。すなわち、ランド電極54は、実装基板12のz軸方向の正方向側の主面上に設けられているランド電極(図示せず)に半田等によって接続されている。具体的には、ランド電極54a, 54b, 54e, 54fは、図2に示すように、実装基板12のランド電極を介して接地されている。ランド電極54cは、図2に示すように、実装基板12のランド電極を介して送信回路に接続されている。ランド電極54dは、図2に示すように、実装基板12のランド電極を介してアンテナに接続されている。

[0032] ランド電極54a~54cは、主面S2のy軸方向の負方向側の辺に沿って、x軸方向の負方向側から正方向側へとこの順に並ぶように設けられている。ランド電極54d~54fは、主面S2のy軸方向の両側の辺の中間に位置する直線に沿って、x軸方向の負方向側から正方向側へとこの順に並ぶように設けられている。

[0033] また、ランド電極54a~54fはそれぞれ、z軸方向(すなわち、主面S1の法線方向)から平面視したときに、ランド電極41a~41fと重なっている。本実施形態では、ランド電極41a~41fはそれぞれ、主面S

1の法線方向から平面視したときに、実装部42a~42fと重なっている。

[0034] 更に、主面S1の法線方向から平面視したときに重なり合っているランド電極41a~41fとランド電極54a~54fとは電氣的に接続されている。以下に、ランド電極41, 54の接続について説明する。

[0035] ビアホール導体b1~b6はそれぞれ、絶縁体層40aを貫通するようにz軸方向に延在している。そして、ビアホール導体b1~b6はそれぞれ、接続部44a~44f(ランド電極41a~41f)に接続されている。

[0036] ビアホール導体b13~b18はそれぞれ、絶縁体層40bを貫通するようにz軸方向に延在している。ビアホール導体b25~b30はそれぞれ、絶縁体層40cを貫通するようにz軸方向に延在している。ビアホール導体b13, b25は、直列に接続されることにより1本のビアホール導体を構成している。ビアホール導体b14, b26は、直列に接続されることにより1本のビアホール導体を構成している。ビアホール導体b15, b27は、直列に接続されることにより1本のビアホール導体を構成している。ビアホール導体b16, b28は、直列に接続されることにより1本のビアホール導体を構成している。ビアホール導体b17, b29は、直列に接続されることにより1本のビアホール導体を構成している。ビアホール導体b18, b30は、直列に接続されることにより1本のビアホール導体を構成している。そして、ビアホール導体b25~b30はそれぞれ、ランド電極54a~54fに接続されている。

[0037] 接続導体50(50a~50f)は、絶縁体層40bの表面上に設けられている。すなわち、接続導体50は、基板本体39に内蔵されている。そして、接続導体50の一端は、z軸方向から平面視したときに、接続部44と重なっている。接続導体50の他端は、z軸方向から平面視したときに、ランド電極54と重なっている。これにより、接続導体50a~50fはそれぞれ、ビアホール導体b1~b6とビアホール導体b13~b18との接続を中継している。よって、主面S1の法線方向から平面視したときに重なり

合っているランド電極41a～41fとランド電極54a～54fとは電氣的に接続されている。

[0038] ランド電極45(45a～45f)は、図7に示すように、主面S1上(すなわち、絶縁体層40aの表面上)に設けられ、かつ、SAWフィルタ32bとの接続に用いられる。より詳細には、ランド電極45a～45cは、主面S1のy軸方向の両側の辺の中間に位置する直線に沿って、x軸方向の負方向側から正方向側へこの順に並ぶように設けられている。ランド電極45d～45fは、主面S1のy軸方向の正方向側の辺に沿って、x軸方向の負方向側から正方向側へこの順に並ぶように設けられている。

[0039] また、ランド電極45(45a～45f)は、図7に示すように、実装部46(46a～46f)及び接続部48(48a～48f)を含んでいる。実装部46は、長形状をなしており、SAWフィルタ32bとの接続に用いられる。実装部46a～46fはそれぞれ、ランド電極66a～66f(図2及び図4参照)に半田などによって接続される。接続部48は、実装部46の4辺のいずれかから突出する突起である。接続部48には、後述するビアホール導体bが接続される。

[0040] ランド電極56(56a～56f)は、図7に示すように、主面S2上(すなわち、絶縁体層40cの裏面上)に設けられ、かつ、実装基板12との接続に用いられる長形状の電極である。すなわち、ランド56は、実装基板12のz軸方向の正方向側の主面上に設けられているランド電極(図示せず)に半田等によって接続されている。具体的には、ランド電極56a, 56c, 56eは、図2に示すように、実装基板12のランド電極を介して接地されている。ランド電極56bは、図2に示すように、実装基板12のランド電極を介してアンテナに接続されている。ランド電極56dは、図2に示すように、実装基板12のランド電極を介して第1の受信回路に接続されている。ランド電極56fは、図2に示すように、実装基板12のランド電極を介して第2の受信回路に接続されている。

[0041] ランド電極56a～56cは、主面S2のy軸方向の両側の辺の中間に位

置する直線に沿って、x軸方向の負方向側から正方向側へとの順に並ぶように設けられている。ランド電極56d~56fは、主面S2のy軸方向の正方向側の辺に沿って、x軸方向の負方向側から正方向側へとの順に並ぶように設けられている。

[0042] また、ランド電極56a~56fはそれぞれ、z軸方向（すなわち、主面S1の法線方向）から平面視したときに、ランド電極45a~45fと重なっている。本実施形態では、ランド電極56a~56fはそれぞれ、主面S1の法線方向から平面視したときに、実装部46a~46fと重なっている。

[0043] 更に、主面S1の法線方向から平面視したときに重なり合っているランド電極45a~45fとランド電極56a~56fとは電氣的に接続されている。以下に、ランド電極45、56の接続について説明する。

[0044] ビアホール導体b7~b12はそれぞれ、絶縁体層40aを貫通するようにz軸方向に延在している。そして、ビアホール導体b7~b12はそれぞれ、接続部48a~48f（ランド電極45a~45f）に接続されている。

[0045] ビアホール導体b19~b24はそれぞれ、絶縁体層40bを貫通するようにz軸方向に延在している。ビアホール導体b31~b36はそれぞれ、絶縁体層40cを貫通するようにz軸方向に延在している。ビアホール導体b19、b31は、直列に接続されることにより1本のビアホール導体を構成している。ビアホール導体b20、b32は、直列に接続されることにより1本のビアホール導体を構成している。ビアホール導体b21、b33は、直列に接続されることにより1本のビアホール導体を構成している。ビアホール導体b22、b34は、直列に接続されることにより1本のビアホール導体を構成している。ビアホール導体b23、b35は、直列に接続されることにより1本のビアホール導体を構成している。ビアホール導体b24、b36は、直列に接続されることにより1本のビアホール導体を構成している。そして、ビアホール導体b31~b36はそれぞれ、ランド電極56

a～56fに接続されている。

[0046] 接続導体52(52a～52f)は、絶縁体層40bの表面上に設けられている。すなわち、接続導体52は、基板本体39に内蔵されている。そして、接続導体52の一端は、z軸方向から平面視したときに、接続部48と重なっている。接続導体52の他端は、z軸方向から平面視したときに、ランド電極56と重なっている。これにより、接続導体52a～52fはそれぞれ、ビアホール導体b7～b12とビアホール導体b19～b24との接続を中継している。よって、主面S1の法線方向から平面視したときに重なり合っているランド電極45a～45fとランド電極56a～56fとは電氣的に接続されている。

[0047] ここで、ランド電極41a～41f, 45a～45fは、基板本体39において、電氣的に接続されていない。また、ランド電極54a～54f, 56a～56fは、基板本体39において、電氣的に接続されていない。

[0048] 封止樹脂34は、例えば、エポキシ樹脂により構成され、図3に示すように、パッケージ基板30の主面S1及びSAWフィルタ32a, 32bを覆うように設けられている。これにより、SAWフィルタ32a, 32bは、封止樹脂34により保護されている。

[0049] 整合素子16a～16dは、図1に示すように、実装基板12のz軸方向の正方向側の主面上に実装され、実装基板12とデュプレクサ14との間のインピーダンス整合を取るためのチップ型電子部品である。整合素子16a, 16b, 16cは、図2に示すように、ランド電極54a, 54c, 56bとグランドとの間に直列接続されているコイルである。整合素子16dは、ランド電極56d及び第1の受信回路を接続する信号線と、ランド電極56f及び第2の受信回路を接続する信号線との間に接続されているコイルである。

[0050] 封止樹脂20は、実装基板12のz軸方向の正方向側の主面、デュプレクサ14及び整合素子16a～16dを覆うように設けられている。これにより、デュプレクサ14及び整合素子16a～16dが保護されている。

[0051] 以上のように構成された基板モジュール10は、以下に説明するように動作する。基板モジュール10が搭載された無線通信機器から送信信号が送信される場合には、送信回路は、送信信号を生成する。送信信号は、デュプレクサ14を通過してアンテナへと伝送される。ここで、デュプレクサ14のSAWフィルタ32aは、ランド電極62cとランド電極62dとの間において送信信号を通過させ、ランド電極62cとランド電極62dとの間において受信信号を通過させない特性を有している。よって、アンテナが受信した受信信号は、ランド電極62dからSAWフィルタ32aに入力しても、ランド電極62cから出力できない。よって、送信回路に受信信号が侵入することが抑制される。

[0052] また、基板モジュール10が搭載された無線通信機器が受信信号を受信する場合には、アンテナは、受信信号を受信する。受信信号は、デュプレクサ14を通過して受信回路へと伝送される。ここで、デュプレクサ14のSAWフィルタ32bは、ランド電極66bから入力した受信信号をランド電極66dとランド電極66fからそれぞれ逆位相に分離して出力する特性を有している。よって、送信回路が生成した送信信号は、ランド電極66bからSAWフィルタ32bに入力しても、ランド電極62dから出力できない。同様に、アンテナが受信した受信信号は、ランド電極66bからSAWフィルタ32bに入力しても、ランド電極62d, 66fから出力できない。よって、受信回路に送信信号が侵入することが抑制される。

[0053] (効果)

以上のようなパッケージ基板30、デュプレクサ14及び基板モジュール10によれば、デュプレクサ14内において送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性を向上させることができる。より詳細には、特許文献1に記載の分波器では、回路基板は、送信用弾性表面波フィルタと受信用弾性表面波フィルタとを整合させるためのインダクタパターンを内蔵している。このように、回路基板内において、インダクタパターンのような配線が設けられていると、送信用の信号経路と受信用の信号経路

とが近接して電磁氣的に結合しやすくなる。その結果、送信用の高周波信号が受信用の信号経路に侵入し、送受信間のアイソレーション特性が低下するおそれがある。

[0054] そこで、パッケージ基板30では、主面S1の法線方向から平面視したときに重なり合っているランド電極41a~41f, 45a~45fとランド電極54a~54f, 56a~56fとは電氣的に接続されている。これにより、ランド電極41a~41f, 45a~45fとランド電極54a~54f, 56a~56fとの接続のために、パッケージ基板30内に比較的長い配線を設ける必要がない。よって、パッケージ基板30内において、送信信号の信号経路と受信信号の信号経路とが近接したり交差したりすることがなくなる。その結果、送信信号の信号経路と受信信号の信号経路とが電磁氣的に結合することが抑制され、送受信間のアイソレーション特性の低下が抑制される。

[0055] また、パッケージ基板30、デュプレクサ14及び基板モジュール10によれば、以下の理由によっても、デュプレクサ14内において送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性を向上させることができる。より詳細には、パッケージ基板30では、ランド電極41a~41f, 45a~45fは、基板本体39において、電氣的に接続されていない。また、ランド電極54a~54f, 56a~56fは、基板本体39において、電氣的に接続されていない。すなわち、接地されるランド電極41a, 41b, 41e, 41f, 45a, 45c, 45eは、基板本体39において電氣的に接続されていない。接地されるランド電極54a, 54b, 54e, 54f, 56a, 56c, 56eは、基板本体39において電氣的に接続されていない。これにより、例えば、送信信号は、接地されるランド電極45aを介してパッケージ基板30内に侵入しても、接地されるランド電極41a, 41b, 41e, 41f, 45c, 45eへと伝送されない。そのため、送信信号は、ランド電極41a, 41b, 41e, 41f, 45c, 45eを介して、受信回路に接続されているランド電極45d, 45

fに侵入することが抑制される。その結果、デュプレクサ14及び基板モジュール10によれば、デュプレクサ14内において送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性を向上させることができる。

[0056] また、パッケージ基板30、デュプレクサ14及び基板モジュール10によれば、以下の理由によっても、デュプレクサ14内において送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性を向上させることができる。より詳細には、パッケージ基板30では、ランド電極41a～41f、45a～45fは、基板本体39において、電氣的に接続されていない。また、ランド電極54a～54f、56a～56fは、基板本体39において、電氣的に接続されていない。そのため、ランド電極54a～54f、56a～56f間の接続が必要な場合には、該接続は、実装基板12内において行われる。実装基板12はパッケージ基板30よりも大きいので、接続のための配線を離して配置されることが可能である。その結果、送信信号の信号経路と受信信号の信号経路とが近接することが抑制され、送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性が向上する。

[0057] また、パッケージ基板30、デュプレクサ14及び基板モジュール10によれば、以下の理由によっても、デュプレクサ14内において送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性を向上させることができる。より詳細には、接続導体50a～50fはそれぞれ、ビアホール導体b1～b6とビアホール導体b13～b18との接続を中継している。また、接続導体52a～52fはそれぞれ、ビアホール導体b7～b12とビアホール導体b19～b24との接続を中継している。よって、接続導体50、52により、送信信号の信号経路と受信信号の信号経路との間隔をパッケージ基板30内において大きくすることができる。よって、パッケージ基板30、デュプレクサ14及び基板モジュール10によれば、デュプレクサ14内において送信信号の信号経路と受信信号の信号経路との間のアイ

ソリューション特性を向上させることができる。

[0058] また、パッケージ基板30では、ビアホール導体b1～b12、ビアホール導体b13～b36及び接続導体50a～50f、52a～52fは、ランド電極41a～41f、45a～45f及びランド電極54a～54f、56a～56fに対応するように設けられている。そして、接続導体50a～50f、52a～52fは、基板本体39において互いに電氣的に接続されていない。よって、パッケージ基板30、デュプレクサ14及び基板モジュール10によれば、デュプレクサ14内において送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性を向上させることができる。

[0059] また、パッケージ基板30、デュプレクサ14及び基板モジュール10によれば、デュプレクサ14内において送信信号の信号経路及び受信信号の信号経路の設計自由度が高くなる。前記の通り、ランド電極54a～54f、56a～56f間の接続が必要な場合には、該接続は、実装基板12内において行われる。実装基板12はパッケージ基板30よりも大きいので、接続のための配線を高い自由度で設計することが可能である。

[0060] パッケージ基板30、デュプレクサ14及び基板モジュール10では、パッケージ基板30とSAWフィルタ32a、32bとの間の接続不良が発生することが抑制される。より詳細には、ビアホール導体bは、絶縁体層40aにビアホールを形成し、該ビアホール内に導体を充填することにより形成される。そのため、主面S1において、ビアホール導体bが設けられた部分には凹凸が発生しやすい。このような凹凸が発生した部分において、SAWフィルタ32a、32bとパッケージ基板30とが接続されると、これら間で接続不良が発生するおそれがある。そこで、パッケージ基板30では、ランド電極41、45は、図7に示すように、実装部42、46及び接続部44、48を含んでいる。そして、実装部42、46は、SAWフィルタ32a、32bとの接続に用いられる。また、接続部44、48は、ビアホール導体bが接続される。すなわち、ランド電極41、45では、SAWフィ

ルタ 3 2 a, 3 2 b が接続される部分とビアホール導体 b が接続される部分とが別々に設けられている。SAW フィルタ 3 2 a, 3 2 b との接続に用いられる実装部 4 2, 4 6 には、ビアホール導体 b が接続されていないので、凹凸が発生しにくい。よって、パッケージ基板 3 0、デュプレクサ 1 4 及び基板モジュール 1 0 では、パッケージ基板 3 0 と SAW フィルタ 3 2 a, 3 2 b との間の接続不良が発生することが抑制される。

[0061] (コンピュータシミュレーション)

本願発明者は、パッケージ基板 3 0、デュプレクサ 1 4 及び基板モジュール 1 0 が奏する効果をより明確にするために、以下に説明するコンピュータシミュレーションを行った。より詳細には、本願発明者は、図 2 に示す基板モジュール 1 0 を第 1 のモデルとして作成し、以下に説明する基板モジュールを第 2 のモデルとして作成した。そして、第 1 のモデル及び第 2 のモデルにおいて、送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性を算出した。

[0062] まず、第 2 のモデルについて図面を参照しながら説明する。図 8 は、第 2 のモデルに相当する基板モジュール 1 1 0 の回路構成を示した図である。なお、図 8 において、図 2 と同じ構成については同じ参照符号を付した。

[0063] 基板モジュール 1 1 0 では、ランド電極 4 1 d, 4 5 b とが接続されている。また、ランド電極 4 1 e, 4 1 f, 4 5 a, 4 5 c, 4 5 e が接続されている。また、図示しないが、実装基板 1 2 とデュプレクサ 1 4 とのインピーダンス整合のためのコイルとなる配線がパッケージ基板 1 3 0 内に設けられている。

[0064] 図 9 は、コンピュータシミュレーションの結果を示したグラフである。図 9 (a) は、ランド電極 5 4 c からランド電極 5 6 f の挿入損失と周波数との関係を示したグラフである。図 9 (b) は、ランド電極 5 4 c からランド電極 5 6 d の挿入損失と周波数との関係を示したグラフである。

[0065] 図 9 (a) 及び図 9 (b) に示すように、送信信号の周波数帯域において、第 1 のモデルの挿入損失の方が第 2 のモデルの挿入損失よりも大きくなっ

ていることが分かる。よって、第1のモデルでは第2のモデルよりも、送信信号が受信回路に侵入しにくいことが分かる。すなわち、第1のモデルの方が第2のモデルよりも送受信間のアイソレーション特性が優れていることが分かる。

[0066] (第1の変形例に係るパッケージ基板)

以下に、第1の変形例に係るパッケージ基板について図面を参照しながら説明する。図10は、第1の変形例に係るパッケージ基板30aの透視図である。

[0067] パッケージ基板30とパッケージ基板30aとの相違点は、接続導体50, 52の有無である。より詳細には、パッケージ基板30aでは、ランド電極41, 45とランド電極54, 56とはそれぞれ、z軸方向に延在しているビアホール導体b1~b12により接続されている。パッケージ基板30aによれば、接続導体50, 52が設けられていないので、基板本体39を単層構造にでき、基板の製造コストを低減できると共に、基板モジュールを低背化することができる。また、基板本体39が単層であるので、パッケージ基板30aのうねりや反りを抑制できる。その結果、パッケージ基板30aの製造コストを低減することが可能となる。

[0068] なお、パッケージ基板30aでは、ランド電極41, 45とランド電極54, 56とはそれぞれ、1本のビアホール導体により接続されている。しかしながら、ランド電極41, 45とランド電極54, 56とはそれぞれ、複数本のビアホール導体bにより接続されていてもよい。また、全てのランド電極41, 45とランド電極54, 56との間が複数本のビアホール導体bにより接続されている必要はなく、一部のランド電極41, 45とランド電極54, 56との間が複数本のビアホール導体bにより接続されていればよい。

[0069] また、パッケージ基板30aにおけるランド電極41, 45は、長方形状をなしているが、図7に示すように、実装部42, 46及び接続部44, 48を含んでいてもよい。

[0070] (第2の変形例に係るパッケージ基板)

以下に、第2の変形例に係るパッケージ基板について図面を参照しながら説明する。図11は、第2の変形例に係るパッケージ基板30bの透視図である。

[0071] パッケージ基板30bとパッケージ基板30aとの相違点は、ランド電極41, 45, 54, 56の有無である。より詳細には、パッケージ基板30bでは、ランド電極41, 45, 54, 56が設けられていない。よって、ビアホール導体b1~b12のz軸方向の正方向側の端面が、SAWフィルタ32a, 32bとの接続のための実装電極として機能し、ビアホール導体b1~b12のz軸方向の負方向側の端面が、実装基板12との接続のための実装電極として機能する。すなわち、SAWフィルタ32a, 32bのランド電極62, 66は、ビアホール導体b1~b12のz軸方向の正方向側の端面に直接に接続される。また、実装基板12のランド電極は、ビアホール導体b1~b12のz軸方向の負方向側の端面に直接に接続される。

[0072] パッケージ基板30bによれば、ランド電極41, 45, 54, 56が設けられていないので、製造工程数を減らすことが可能となる。

[0073] また、ビアホール導体b1~b12の端面は、ランド電極41, 45, 54, 56よりも小さい。そのため、ビアホール導体b1~b12同士を近づけても、ビアホール導体b1~b12間でショートが発生しにくい。よって、パッケージ基板30bによれば、SAWフィルタ32a, 32bのランド電極62, 66のピッチや実装基板12のランド電極のピッチが狭くなった場合であっても、パッケージ基板30bとSAWフィルタ32a, 32b及び実装基板12とを接続することが可能である。

[0074] (変形例に係るSAWフィルタ)

以下に、変形例に係るSAWフィルタ32'a, 32'bについて図面を参照しながら説明する。以下では、SAWフィルタ32'bを例にとって説明する。図12は、SAWフィルタ32'bの内部構成を示した図である。図13は、SAWフィルタ32'bの配線図である。

[0075] SAWフィルタ32bとSAWフィルタ32'bとの相違点は、SAWフィルタ32'bにおいてグランド線の一部が取り除かれている点である。より詳細には、図12及び図13に示すように、対向部70a, 70b間を接続するグランド線、対向部70e, 70f間を接続するグランド線、対向部74a, 74b間を接続するグランド線及び対向部74e, 74f間を接続するグランド線が取り除かれている。これにより、浮遊容量や寄生インダクタンスの発生を低減することができ、アイソレーション特性を向上させることができる。

[0076] (第3の変形例に係るパッケージ基板)

以下に、第3の変形例に係るパッケージ基板について図面を参照しながら説明する。図14は、第3の変形例に係るパッケージ基板30cの平面図である。

[0077] パッケージ基板30cとパッケージ基板30aとの相違点は、ランド電極41, 45のサイズである。より詳細には、パッケージ基板30cでは、ランド電極41, 45のサイズが均一ではない。ランド電極66a, 66c, 66eと接続されるランド電極45a, 45c, 45eの面積は、SAWフィルタ部品32bが実装される際に用いられるランド電極66a~66fの内のランド電極66a, 66c, 66eと接続されないランド電極45b, 45d, 45fの面積よりも大きい。

[0078] また、ランド電極66a, 66c, 66eと接続されるランド電極45a, 45c, 45eに接続されているランド電極56a, 56c, 56eの面積は、SAWフィルタ部品32bが実装される際に用いられるランド電極66a~66fの内のランド電極66a, 66c, 66eと接続されないランド電極45b, 45d, 45fに接続されているランド電極56b, 56d, 56fの面積よりも大きい。

[0079] 以上のように、グランド電位に保たれるランド電極45a, 45c, 45eの面積を、他のランド電極45b, 45d, 45fの面積よりも大きくすることによって、ランド電極41a, 41c, 41f側から送信信号がラン

ド電極 4 5 b, 4 5 d, 4 5 f に侵入することが抑制される。その結果、送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性が向上する。

[0080] また、グランド電位に保たれるランド電極 5 6 a, 5 6 c, 5 6 e の面積を、他のランド電極 5 6 b, 5 6 d, 5 6 f の面積よりも大きくすることによって、ランド電極 5 4 a, 5 4 c, 5 4 e 側から送信信号がランド電極 5 6 b, 5 6 d, 5 6 f に侵入することが抑制される。その結果、送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性が向上する。

[0081] 更に、パッケージ基板 3 0 c では、ランド電極 4 5 a, 4 5 c, 4 5 e, 5 6 a, 5 6 c, 5 6 e のそれぞれには、複数のビアホール導体 b 7 - 1 ~ b 7 - 3, b 9 - 1 ~ b 9 - 3, b 1 1 - 1 ~ b 1 1 - 4 が接続されている。そのため、ランド電極 4 5 a, 4 5 c, 4 5 e, 5 6 a, 5 6 c, 5 6 e がより確実にグランド電位に保たれるようになる。その結果、送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性が向上する。

[0082] 更に、ランド電極 4 5 a, 4 5 c, 4 5 e, 5 6 a, 5 6 c, 5 6 e がより確実にグランド電位に保たれることにより、送信信号の信号経路と受信信号の信号経路との間の電磁界結合の発生が抑制される。

[0083] (第 4 の変形例に係るパッケージ基板)

以下に、第 4 の変形例に係るパッケージ基板について図面を参照しながら説明する。図 1 5 は、第 4 の変形例に係るパッケージ基板 3 0 d の平面図である。

[0084] パッケージ基板 3 0 d とパッケージ基板 3 0 a との相違点は、ランド電極 4 1, 4 5 のサイズである。より詳細には、パッケージ基板 3 0 d では、ランド電極 4 1, 4 5 のサイズが均一ではない。ランド電極 6 2 b, 6 2 d, 6 2 f と接続されるランド電極 4 1 b, 4 1 d, 4 1 f の面積は、SAW フィルタ部品 3 2 a が実装される際に用いられるランド電極 6 2 a ~ 6 2 f の内のランド電極 6 2 b, 6 2 d, 6 2 f と接続されないランド電極 4 1 a, 4 1 c, 4 1 e の面積よりも大きい。

- [0085] また、ランド電極 6 2 b, 6 2 d, 6 2 f と接続されるランド電極 4 1 b, 4 1 d, 4 1 f に接続されているランド電極 5 4 b, 5 4 d, 5 4 f の面積は、SAW フィルタ部品 3 2 a が実装される際に用いられるランド電極 6 2 a ~ 6 2 f の内のランド電極 6 2 b, 6 2 d, 6 2 f と接続されないランド電極 4 1 a, 4 1 c, 4 1 e に接続されているランド電極 5 4 a, 5 4 c, 5 4 e の面積よりも大きい。
- [0086] 以上のように、グラウンド電位に保たれるランド電極 4 1 b, 4 1 d, 4 1 f の面積を、他のランド電極 4 1 a, 4 1 c, 4 1 e の面積よりも大きくすることによって、ランド電極 4 5 b, 4 5 d, 4 5 e 側から受信信号がランド電極 4 1 a, 4 1 c, 4 1 e に侵入することが抑制される。その結果、送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性が向上する。
- [0087] また、グラウンド電位に保たれるランド電極 5 4 b, 5 4 d, 5 4 f の面積を、他のランド電極 5 4 a, 5 4 c, 5 4 e の面積よりも大きくすることによって、ランド電極 5 6 b, 5 6 d, 5 6 f 側から受信信号がランド電極 5 4 a, 5 4 c, 5 4 e に侵入することが抑制される。その結果、送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性が向上する。
- [0088] 更に、パッケージ基板 3 0 d では、ランド電極 4 1 b, 4 1 d, 4 1 f, 5 4 b, 5 4 d, 5 4 f のそれぞれには、複数のビアホール導体 b 2 - 1 ~ b 2 - 4, b 4 - 1 ~ b 4 - 3, b 6 - 1 ~ b 6 - 2 が接続されている。そのため、ランド電極 4 1 b, 4 1 d, 4 1 f, 5 4 b, 5 4 d, 5 4 f がより確実にグラウンド電位に保たれるようになる。その結果、送信信号の信号経路と受信信号の信号経路との間のアイソレーション特性が向上する。
- [0089] 更に、ランド電極 4 1 b, 4 1 d, 4 1 f, 5 4 b, 5 4 d, 5 4 f がより確実にグラウンド電位に保たれることにより、送信信号の信号経路と受信信号の信号経路との間の電磁界結合の発生が抑制される。
- [0090] (第 5 の変形例に係るパッケージ基板)
以下に、第 5 の変形例に係るパッケージ基板について図面を参照しながら

説明する。図16は、第5の変形例に係るパッケージ基板30eの平面図である。

[0091] 図16(a)に示すように、ランド電極41b, 41d, 41f, 45a, 45c, 45eの面積は、ランド電極41a, 41c, 41e, 45b, 45d, 45fの面積よりも大きくてもよい。

[0092] 同様に、図16(b)に示すように、ランド電極54b, 54d, 54f, 56a, 56c, 56eの面積は、ランド電極54a, 54c, 54e, 56b, 56d, 56fの面積よりも大きくてもよい。

[0093] (第6の変形例に係るパッケージ基板)

以下に、第6の変形例に係るパッケージ基板について図面を参照しながら説明する。図17は、第6の変形例に係るパッケージ基板30fの平面図である。

[0094] パッケージ基板30fとパッケージ基板30aとの相違点は、ランド電極45の角に面取りが施されている点である。より詳細には、ランド電極66a, 66c, 66eと接続されるランド電極45a, 45c, 45eは、互いに対向している角において面取りが施されている。ここでの面取りとは、ランド電極45a, 45c, 45eの角が、直線的にカットされていることを意味する。

[0095] また、ランド電極66a, 66c, 66eと接続されるランド電極45a, 45c, 45eに接続されているランド電極56a, 56c, 56eは、互いに対向している角において面取りが施されている。

[0096] 以上のようなパッケージ基板30fによれば、ランド電極45a, 45c, 45e間の距離が大きくなる。これにより、ランド電極45同士が実装時に短絡することが抑制される。

[0097] (第7の変形例に係るパッケージ基板)

以下に、第7の変形例に係るパッケージ基板について図面を参照しながら説明する。図18は、第7の変形例に係るパッケージ基板30gの平面図である。

[0098] パッケージ基板30gとパッケージ基板30fとの相違点は、ランド電極45b、56bの角に面取りが施されている点である。より詳細には、ランド電極45bのy軸方向の負方向側の辺の両端に位置する角に面取りが施されている。これにより、ランド電極45bのx軸方向の負方向側の辺がランド電極45aのx軸方向の正方向側の辺に対向している部分の長さL1が短くなる。同様に、ランド電極45bのx軸方向の正方向側の辺がランド電極45cのx軸方向の負方向側の辺に対向している部分の長さL1が短くなる。これにより、ランド電極45bとランド電極45a、45cとの間に発生する浮遊容量が低減される。

[0099] ランド電極56bのy軸方向の負方向側の辺の両端に位置する角に面取りが施されている。これにより、ランド電極56bのx軸方向の負方向側の辺がランド電極56aのx軸方向の正方向側の辺に対向している部分の長さL2が短くなる。同様に、ランド電極56bのx軸方向の正方向側の辺がランド電極56cのx軸方向の負方向側の辺に対向している部分の長さL2が短くなる。これにより、ランド電極56bとランド電極56a、56cとの間に発生する浮遊容量が低減される。

[0100] (第8の変形例に係るパッケージ基板)

以下に、第8の変形例に係るパッケージ基板について図面を参照しながら説明する。図19は、第8の変形例に係るパッケージ基板30hの平面図である。

[0101] パッケージ基板30hとパッケージ基板30gとの相違点は、ランド電極45b、56bの角に丸く面取りが施されている点である。これにより、ランド電極45bのx軸方向の負方向側の辺がランド電極45aのx軸方向の正方向側の辺に対向している部分の長さL1がより短くなる。同様に、ランド電極45bのx軸方向の正方向側の辺がランド電極45cのx軸方向の負方向側の辺に対向している部分の長さL1がより短くなる。これにより、ランド電極45bとランド電極45a、45cとの間に発生する浮遊容量がより低減される。

[0102] 更に、ランド電極56bのx軸方向の負方向側の辺がランド電極56aのx軸方向の正方向側の辺に対向している部分の長さL2がより短くなる。同様に、ランド電極56bのx軸方向の正方向側の辺がランド電極56cのx軸方向の負方向側の辺に対向している部分の長さL2がより短くなる。これにより、ランド電極56bとランド電極56a, 56cとの間に発生する浮遊容量がより低減される。

[0103] (第1の変形例に係る基板モジュール)

次に、第1の変形例に係る基板モジュール10aについて図面を参照しながら説明する。図20は、第1の変形例に係る基板モジュール10aの断面構造図である。

[0104] 基板モジュール10は、図2に示すように、整合素子16a~16dを備えている。整合素子16a~16dは、図1に示すように、基板モジュール10では、実装基板12上に実装されている。一方、基板モジュール10aでは、実装基板12は、デュプレクサ14との間でインピーダンス整合を取るための複数の整合素子16a~16dの内の一部の整合素子16a, 16bを内蔵している。一方、複数の整合素子16a~16dの内の一部の整合素子16c, 16dは、実装基板12上に実装されている。そして、整合素子16bと整合素子16cとの間には、実装基板12内の設けられているグラウンド経路R3であって、グラウンド電位に保たれたグラウンド経路R4が設けられている。

[0105] より詳細には、実装基板12は、基板本体12a及びアンテナ経路R1、受信経路R2-1, R2-2、送信経路R3、グラウンド経路R4及び外部電極90a~90dを備えている。基板本体12aは、複数の絶縁体層が積層されてなる多層基板である。

[0106] 外部電極90a~90dは、基板本体12aのz軸方向の負方向側の主面に設けられており、携帯電話のマザーボードに基板モジュール10が実装される際に用いられる。外部電極90aには、マザーボードに設けられているアンテナが接続される。外部電極90bには、マザーボードに設けられてい

る送信回路が接続される。外部電極 90c には、マザーボードに設けられているグラウンド電極が接続される。外部電極 90d には、マザーボードに設けられている受信回路が接続される。

[0107] アンテナ経路 R1-1 は、ビアホール導体及び導体層により構成されており、SAWフィルタ 32a, 32b と整合素子 16c との間の電氣的な接続を中継している。アンテナ経路 R1-2 は、ビアホール導体及び導体層により構成されており、整合素子 16c と外部電極 90a との間の電氣的な接続を中継している。

[0108] 受信経路 R2-1 は、ビアホール導体及び導体層により構成されており、SAWフィルタ 32b と整合素子 16d との間の電氣的な接続を中継している。受信経路 R2-2 は、ビアホール導体により構成されており、整合素子 16d と外部電極 90d との間の電氣的な接続を中継している。

[0109] 送信経路 R3 は、ビアホール導体及び導体層により構成されており、外部電極 90b と SAWフィルタ 32a との間の電氣的な接続を中継している。送信経路 R3 は、蛇行することによって整合素子 16b を構成している。なお、送信経路 R3 の導体層が螺旋状やミアンダ状等をなしていてもよい。

[0110] グラウンド経路 R4 は、ビアホール導体及び導体層により構成されており、外部電極 90c に接続されている。グラウンド経路 R4 は、蛇行することによって整合素子 16a を構成している。なお、グラウンド経路 R4 の導体層が螺旋状やミアンダ状等をなしていてもよい。

[0111] ここで、グラウンド経路 R4 は、図 20 に示すように、送信経路 R3 により構成されている整合素子 16b と、基板本体 12a 上に実装されている整合素子 16c との間に延在している。これにより、アンテナ経路 R1-1, R1-2 と送信経路 R3 との間のアイソレーションの向上が図られている。

[0112] (第 2 の変形例に係る基板モジュール)

次に、第 2 の変形例に係る基板モジュール 10b について図面を参照しながら説明する。図 21 は、第 2 の変形例に係る基板モジュール 10b の断面構造図である。

[0113] 基板モジュール10bと基板モジュール10aとの相違点は、整合素子16cが実装基板12内に設けられているか否かである。基板モジュール10bでは、アンテナ経路R1は、ビアホール導体及び導体層により構成されており、SAWフィルタ32a, 32bと外部電極90aとの間の電氣的な接続を中継している。そして、アンテナ経路R1は、蛇行することによって整合素子16cを構成している。なお、アンテナ経路R1の導体層が螺旋状やミアンダ状等をなしていてもよい。

[0114] また、送信経路R3により構成されている整合素子16bとアンテナ経路R1により構成されている整合素子16cとは隣り合っている。そして、整合素子16bと整合素子16cとは異なる絶縁体層に設けられている。これにより、整合素子16bと整合素子16cとが電磁氣的に結合することが抑制されている。

[0115] また、整合素子16cが実装基板12内に内蔵されているので、基板モジュール10bの小型化が図られる。

[0116] (第3の変形例に係る基板モジュール)

次に、第3の変形例に係る基板モジュール10cについて図面を参照しながら説明する。図22は、第3の変形例に係る基板モジュール10cの断面構造図である。

[0117] 基板モジュール10cと基板モジュール10bとの相違点は、整合素子16cの位置である。より詳細には、基板モジュール10cの整合素子16cは、基板モジュール10cの整合素子16cよりも整合素子16bから離れた位置に設けられている。より詳細には、基板モジュール10cでは、z軸方向から平面視したときに、整合素子16cと整合素子16bとは重なっていない。これにより、整合素子16bと整合素子16cとが電磁氣的に結合することがより効果的に抑制される。

[0118] (第4の変形例に係る基板モジュール)

次に、第4の変形例に係る基板モジュール10dについて図面を参照しながら説明する。図23は、第4の変形例に係る基板モジュール10dの断面

構造図である。

[0119] 基板モジュール10dと基板モジュール10bとの相違点は、グラウンド経路R4の形状である。より詳細には、基板モジュール10dでは、グラウンド経路R4は、隣り合う整合素子16bと整合素子16dとの間に設けられている。これにより、整合素子16bと整合素子16cとが電磁氣的に結合することがより効果的に抑制される。

[0120] (第5の変形例に係る基板モジュール)

次に、第5の変形例に係る基板モジュール10eについて図面を参照しながら説明する。図24は、第5の変形例に係る基板モジュール10eの断面構造図である。図25は、第5の変形例に係る基板モジュール10eのデュプレクサ14を平面視した図である。

[0121] 基板モジュール10eの実装基板12は、図24に示すように、基板本体12a及びアンテナ経路R1-3、R1-4、受信経路R2-1、R2-2、送信経路R3、グラウンド経路R4及び外部電極90a~90dを備えている。基板本体12aは、複数の絶縁体層が積層されてなる多層基板である。

[0122] 外部電極90a~90dは、基板本体12aのz軸方向の負方向側の主面に設けられており、携帯電話のマザーボードに基板モジュール10eが実装される際に用いられる。外部電極90aには、マザーボードに設けられているアンテナが接続される。外部電極90bには、マザーボードに設けられている送信回路が接続される。外部電極90cには、マザーボードに設けられているグラウンド電極が接続される。外部電極90dには、マザーボードに設けられている受信回路が接続される。

[0123] アンテナ経路R1-3は、ビアホール導体及び導体層により構成されており、SAWフィルタ32aと外部電極90aとの間の電氣的な接続を中継している。アンテナ経路R1-4は、ビアホール導体及び導体層により構成されており、SAWフィルタ32bと外部電極90aとの間の電氣的な接続を中継している。アンテナ経路R1-3とアンテナ経路R1-4とは、合流していると共に、外部電極90aに接続されている。

- [0124] 受信経路 R 2 - 1 は、ビアホール導体及び導体層により構成されており、SAWフィルタ 3 2 b と整合素子 1 6 d との間の電気的な接続を中継している。受信経路 R 2 - 2 は、ビアホール導体により構成されており、整合素子 1 6 d と外部電極 9 0 d との間の電気的な接続を中継している。
- [0125] 送信経路 R 3 は、ビアホール導体及び導体層により構成されており、外部電極 9 0 b と SAWフィルタ 3 2 a との間の電気的な接続を中継している。送信経路 R 3 は、蛇行することによって整合素子 1 6 b を構成している。なお、送信経路 R 3 の導体層が螺旋状やミアンダ状等をなしていてもよい。
- [0126] グランド経路 R 4 は、ビアホール導体及び導体層により構成されており、外部電極 9 0 c に接続されている。グラウンド経路 R 4 は、蛇行することによって整合素子 1 6 a を構成している。なお、グラウンド経路 R 4 の導体層が螺旋状やミアンダ状等をなしていてもよい。
- [0127] ところで、送信経路 R 3、アンテナ経路 R 1 - 3、R 1 - 4 及び受信経路 R 2 - 1、R 2 - 2 はそれぞれ、図 2 5 に示すように、配線導体 L 1 ~ L 5 により構成されている。すなわち、実装基板 1 2 は、配線導体 L 1 ~ L 5 を更に備えている。
- [0128] 配線導体 L 1 ~ L 5 はそれぞれ、図 2 5 に示すように、デュプレクサ 1 4 のランド電極 5 4 c、5 4 d、5 6 b、5 6 d、5 6 f に電気的に接続されている。なお、図 2 5 では、ランド 5 4 a、5 4 b、5 4 e、5 4 f、5 6 a、5 6 c、5 6 e に接続されている配線導体については省略してある。
- [0129] 配線導体 L 1 は、配線部 a 1、a 2 を含んでいる。配線部 a 1、a 2 は、基板本体 1 2 a 内に設けられている線状の導体層である。配線部 a 1 の一端はランド電極 5 4 c に接続されている。配線部 a 2 は、図 2 4 及び図 2 5 に示すように、ビアホール導体を介して配線部 a 1 の他端に接続されている。これにより、配線 a 1 と配線 a 2 とは、基板本体 1 2 a 内において、異なる絶縁体層に設けられている。また、図 2 5 に示すように、配線 a 2 の線幅 w 2 は、配線 a 1 の線幅 w 1 よりも太い。
- [0130] 配線導体 L 2 は、配線部 a 3、a 4 を含んでいる。配線部 a 3、a 4 は、

基板本体 1 2 a 内に設けられている線状の導体層である。配線部 a 3 の一端はランド電極 5 4 d に接続されている。配線部 a 4 は、図 2 4 及び図 2 5 に示すように、ビアホール導体を介して配線部 a 3 の他端に接続されている。これにより、配線 a 3 と配線 a 4 とは、基板本体 1 2 a 内において、異なる絶縁体層に設けられている。また、図 2 5 に示すように、配線 a 4 の線幅 w_2 は、配線 a 3 の線幅 w_1 よりも太い。

[0131] 配線導体 L 3 は、配線部 a 5, a 6 を含んでいる。配線部 a 5, a 6 は、基板本体 1 2 a 内に設けられている線状の導体層である。配線部 a 5 の一端はランド電極 5 6 b に接続されている。配線部 a 6 は、図 2 4 及び図 2 5 に示すように、ビアホール導体を介して配線部 a 5 の他端に接続されている。これにより、配線 a 5 と配線 a 6 とは、基板本体 1 2 a 内において、異なる絶縁体層に設けられている。また、図 2 5 に示すように、配線 a 6 の線幅 w_2 は、配線 a 5 の線幅 w_1 よりも太い。

[0132] 配線導体 L 4 は、配線部 a 7, a 8 を含んでいる。配線部 a 7, a 8 は、基板本体 1 2 a 内に設けられている線状の導体層である。配線部 a 7 の一端はランド電極 5 6 d に接続されている。配線部 a 8 は、図 2 4 及び図 2 5 に示すように、ビアホール導体を介して配線部 a 7 の他端に接続されている。これにより、配線 a 7 と配線 a 8 とは、基板本体 1 2 a 内において、異なる絶縁体層に設けられている。また、図 2 5 に示すように、配線 a 8 の線幅 w_2 は、配線 a 7 の線幅 w_1 よりも太い。

[0133] 配線導体 L 5 は、配線部 a 9, a 10 を含んでいる。配線部 a 9, a 10 は、基板本体 1 2 a 内に設けられている線状の導体層である。配線部 a 9 の一端はランド電極 5 6 f に接続されている。配線部 a 10 は、図 2 4 及び図 2 5 に示すように、ビアホール導体を介して配線部 a 9 の他端に接続されている。これにより、配線 a 9 と配線 a 10 とは、基板本体 1 2 a 内において、異なる絶縁体層に設けられている。また、図 2 5 に示すように、配線 a 10 の線幅 w_2 は、配線 a 9 の線幅 w_1 よりも太い。

[0134] 以上のように構成された基板モジュール 1 0 e によれば、アイソレーショ

ン特性を向上させることができる。より詳細には、基板モジュール10eの小型化が図られると、ランド電極54, 56同士が近接し、配線導体L1～L5同士が近接する。この場合、電力の高い送信信号が、ランド電極56d, 56fから受信回路に進入するおそれがある。そのため、アイソレーション特性の劣化が発生しやすい。

[0135] そこで、基板モジュール10eでは、配線部a1, a3, a5, a7, a9がそれぞれ、一端においてランド電極54c, 54d, 56b, 56d, 56fに接続されている。更に、配線部a2, a4, a6, a8, a10がそれぞれ、配線部a1, a3, a5, a7, a9の他端に接続され、配線部a1, a3, a5, a7, a9の線幅w1よりも太い線幅w2を有している。これにより、ランド電極54c, 54d, 56b, 56d, 56f近傍において、配線導体L1～L5の間隔が広がる。その結果、配線導体L1～L5間のアイソレーション特性が向上する。

[0136] また、基板モジュール10eでは、デュプレクサ30の前段又は後段において、アンプやスイッチIC等が接続されることがある。そこで、配線部a1, a3, a5, a7, a9の線幅w1を配線部a2, a4, a6, a8, a10の線幅w2よりも細くすることによって、アンプやスイッチIC等と配線部a1, a3, a5, a7, a9との間でインピーダンス整合をとることができる。

[0137] また、基板モジュール10eでは、配線導体L1～L5のインピーダンス整合を容易に取ることができる。より詳細には、配線部a1, a3, a5, a7, a9と配線部a2, a4, a6, a8, a10とが異なる絶縁体層に設けられているので、配線部a1, a3, a5, a7, a9と配線部a2, a4, a6, a8, a10との間に絶縁体層が存在するようになる。よって、配線部a1, a3, a5, a7, a9と配線部a2, a4, a6, a8, a10とのインピーダンス整合に絶縁体層の誘電率を利用することが可能となる。これにより、配線導体L1～L5のインピーダンス整合を容易に取ることができる。

[0138] また、送信信号が伝送される配線部 a 1 と受信信号が伝送される配線部 a 7, a 9 とを異なる絶縁体層に設けることにより、配線導体 L 1 と配線導体 L 4, L 5 との間隔を大きくすることができる。その結果、送信信号がランド電極 5 6 d, 5 6 f から受信信号に進入することが抑制される。すなわち、アイソレーション特性の向上が図られる。

[0139] なお、受信回路に接続されている配線導体 L 4, L 5 において、配線部 a 7, a 9 の線幅 w 1 を配線部 a 8, a 1 0 の線幅 w 2 よりも細くし、送信回路に接続されている配線導体 L 1 において、配線部 a 1 の線幅 w 1 と配線部 a 2 の線幅 w 2 とを等しくしてもよい。このような構成によっても、送信信号がランド電極 5 6 d, 5 6 f から受信信号に進入することが抑制される。すなわち、アイソレーション特性の向上が図られる。また、送信回路に接続されている配線導体 L 1 において、配線部 a 1 の線幅 w 1 が配線部 a 2 の線幅 w 2 よりも細くなっていないので、送信信号の伝送時の損失が低減される。

[0140] (その他の実施形態)

本発明に係るパッケージ基板、デュプレクサ及び基板モジュールは、前記実施形態及び前記変形例に示したものに限らず、その要旨の範囲内において変形可能である。

[0141] なお、パッケージ基板 3 0 では、ランド電極 4 1, 4 5 は、実装部 4 2, 4 6 及び接続部 4 4, 4 8 を含んでおり、ランド電極 5 4, 5 6 は、長方形状をなしている。しかしながら、ランド電極 5 4, 5 6 も、パッケージ基板 3 0 のランド電極と同様に、実装部及び接続部を含んでいてもよい。この場合には、ランド電極 5 4, 5 6 の接続部に、ビアホール導体 b 2 5 ~ b 3 6 が接続される。

[0142] また、パッケージ基板 3 0 では、接続導体 5 0, 5 2 は全て絶縁体層 4 0 b の表面上に設けられている。しかしながら、基板本体 3 9 が 4 層以上の絶縁体層 4 0 により構成される場合には、隣り合う接続導体 5 0, 5 2 同士は、異なる絶縁体層 4 0 上に設けられていることが好ましい。これにより、接

続導体 50, 52間の距離を大きくすることができ、デュプレクサ14内において送信信号の信号経路と第1の受信信号の信号経路と第2の受信信号の信号経路との間のアイソレーション特性を向上させることができる。

[0143] なお、SAWフィルタ32aにおいて、SAWフィルタ32bと同様に、接地されるランド電極62a, 62c, 62d, 62fは、互いにグランド線によって接続されていなくてもよい。すなわち、ランド電極62a, 62c, 62d, 62fは、SAWフィルタ32aにおいて電氣的に接続されていなくてもよい。

産業上の利用可能性

[0144] 以上のように、本発明は、基板、デュプレクサ及び基板モジュールに有用であり、高周波側の信号経路と低周波側の信号経路との間のアイソレーション特性を向上させることができる点において優れている。

符号の説明

[0145] b1～b36 ピアホール導体
L1～L5 配線導体
a1～a10 配線部
10, 10a～10e 基板モジュール
12 実装基板
14 デュプレクサ
16a～16d 整合素子
30, 30a～30h パッケージ基板
32a, 32b, 32'a, 32'b SAWフィルタ
39 基板本体
40a～40c 絶縁体層
41a～41f, 45a～45f, 54a～54f, 56a～56f, 62a～62f, 66a～66f ランド電極
42a～42f, 46a～46f 実装部
44a～44f, 48a～48f 接続部

50 a ~ 50 f, 52 a ~ 52 f 接続導体

64 圧電基板

70, 74 縦結合部

70 a ~ 70 f, 74 a ~ 74 f 対向部

請求の範囲

- [請求項1] 高周波側フィルタ部品及び低周波側フィルタ部品が実装され、デュプレクサの一部を構成する基板であって、
- 互いに対向する第1の主面及び第2の主面を有する基板本体と、
- 前記第1の主面上に設けられ、かつ、前記高周波側フィルタ部品又は前記低周波側フィルタ部品との接続に用いられる複数の第1の実装電極と、
- 前記第2の主面上に設けられ、かつ、前記デュプレクサが実装される実装基板との接続に用いられる複数の第2の実装電極であって、前記第1の主面の法線方向から平面視したときに、それぞれが前記複数の第1の実装電極と重なっている第2の実装電極と、
- を備えており、
- 前記第1の主面の法線方向から平面視したときに重なり合っている前記第1の実装電極と前記第2の実装電極とは電氣的に接続されていること、
- を特徴とする基板。
- [請求項2] 前記複数の第1の実装電極同士は、前記基板本体において、電氣的に接続されておらず、
- 前記複数の第2の実装電極同士は、前記基板本体において、電氣的に接続されていないこと、
- を特徴とする請求項1に記載の基板。
- [請求項3] 前記基板は、
- 前記第1の実装電極に接続されている第1のビアホール導体であって、前記基板本体内において前記第1の主面の法線方向に延在している第1のビアホール導体を、
- 更に備えており、
- 前記第1の実装電極は、
- 前記高周波側フィルタ部品又は前記低周波側フィルタ部品との接

続に用いられる第1の実装部と、

前記第1のビアホール導体が接続されている第1の接続部と、
を含んでいること、
を特徴とする請求項1又は請求項2のいずれかに記載の基板。

[請求項4]

前記基板は、

前記第2の実装電極に接続されている第2のビアホール導体であって、前記基板本体内において前記第1の主面の法線方向に延在している第2のビアホール導体を、

更に備えており、

前記第2の実装電極は、

前記実装基板との接続に用いられる第2の実装部と、

前記第2のビアホール導体が接続されている第2の接続部と、
を含んでいること、
を特徴とする請求項1ないし請求項3のいずれかに記載の基板。

[請求項5]

前記基板は、

前記第1の実装電極に接続されている第1のビアホール導体であって、前記基板本体内において前記第1の主面の法線方向に延在している第1のビアホール導体と、

前記第2の実装電極に接続されている第2のビアホール導体であって、前記基板本体内において前記第1の主面の法線方向に延在している第2のビアホール導体と、

前記基板本体に内蔵され、かつ、前記第1のビアホール導体と前記第2のビアホール導体と接続を中継している接続導体を、

更に備えていること、

を特徴とする請求項1ないし請求項4のいずれかに記載の基板。

[請求項6]

前記第1のビアホール導体、前記第2のビアホール導体及び前記接続導体は、前記複数の第1の実装電極及び前記複数の第2の実装電極に対応するように設けられており、

前記複数の接続導体同士は、前記基板本体において、互いに電氣的に接続されていないこと、

を特徴とする請求項5に記載の基板。

[請求項7]

前記第1のビアホール導体、前記第2のビアホール導体及び前記接続導体は、前記複数の第1の実装電極及び前記複数の第2の実装電極に対応するように設けられており、

前記基板は、複数の絶縁体層が積層されて構成されており、

隣り合う前記接続導体同士は、異なる前記絶縁体層上に設けられていること、

を特徴とする請求項5又は請求項6のいずれかに記載の基板。

[請求項8]

前記基板は、

前記第1の実装電極及び前記第2の実装基板に接続されているビアホール導体であって、前記基板本体内において前記第1の主面の法線方向に延在しているビアホール導体を、

更に備えていること、

を特徴とする請求項1又は請求項2のいずれかに記載の基板。

[請求項9]

請求項1ないし請求項8のいずれかに記載の基板と、

前記基板の前記第1の主面上に実装されている高周波側フィルタ部品と、

前記基板の前記第1の主面上に実装されている低周波側フィルタ部品と、

を備えていること、

を特徴とするデュプレクサ。

[請求項10]

前記高周波側フィルタ部品は、

前記第1の実装電極に接続される複数の第1のグランド電極を、含んでおり、

前記複数の第1のグランド電極同士は、前記高周波側フィルタ部品において電氣的に接続されていないこと、

を特徴とする請求項 9 に記載のデュプレクサ。

[請求項11]

前記低周波側フィルタ部品は、

前記第 1 の実装電極に接続される複数の第 2 のグランド電極を、
含んでおり、

前記複数の第 2 のグランド電極同士は、前記低周波側フィルタ部品
において電氣的に接続されていないこと、

を特徴とする請求項 9 又は請求項 10 のいずれかに記載のデュプレ
クサ。

[請求項12]

前記第 2 のグランド電極と接続される前記第 1 の実装電極の面積は
、前記低周波側フィルタ部品が実装される際に用いられる前記第 1 の
実装電極の内の該第 2 のグランド電極と接続されない前記第 1 の実装
電極の面積よりも大きいこと、

を特徴とする請求項 11 に記載のデュプレクサ。

[請求項13]

前記第 2 のグランド電極と接続される前記第 1 の実装電極に接続さ
れている前記第 2 の実装電極の面積は、前記低周波側フィルタ部品が
実装される際に用いられる前記第 1 の実装電極の内の該第 2 のグラン
ド電極と接続されない前記第 1 の実装電極に接続されている前記第 2
の実装電極の面積よりも大きいこと、

を特徴とする請求項 11 又は請求項 12 のいずれかに記載のデュプレ
クサ。

[請求項14]

前記第 2 のグランド電極と接続される前記第 1 の実装電極は、互い
に対向している角において面取りが施されていること、

を特徴とする請求項 12 又は請求項 13 のいずれかに記載のデュプレ
クサ。

[請求項15]

前記第 2 のグランド電極と接続される前記第 1 の実装電極に接続さ
れている前記第 2 の実装電極は、互いに対向している角において面取
りが施されていること、

を特徴とする請求項 12 ないし請求項 14 のいずれかに記載のデュ

プレクサ。

[請求項16] 前記第1のグラウンド電極と接続される前記第1の実装電極の面積は、前記高周波側フィルタ部品が実装される際に用いられる前記第1の実装電極の内の該第1のグラウンド電極と接続されない前記第1の実装電極の面積よりも大きいこと、

を特徴とする請求項10ないし請求項15のいずれかに記載のデュプレクサ。

[請求項17] 前記第1のグラウンド電極と接続される前記第1の実装電極に接続されている前記第2の実装電極の面積は、前記高周波側フィルタ部品が実装される際に用いられる前記第1の実装電極の内の該第1のグラウンド電極と接続されない前記第1の実装電極に接続されている前記第2の実装電極の面積よりも大きいこと、

を特徴とする請求項10ないし請求項16のいずれかに記載のデュプレクサ。

[請求項18] 実装基板と、

前記実装基板上に実装される請求項9ないし請求項17のいずれかに記載のデュプレクサと、

を備えていること、

を特徴とする基板モジュール。

[請求項19] 前記実装基板は、前記デュプレクサとの間でインピーダンス整合をとるための整合素子を内蔵していること、

を特徴とする請求項18に記載の基板モジュール。

[請求項20] 前記実装基板は、多層基板であり、

前記整合素子は、前記多層基板内に設けられている導体層又はビアホール導体により構成されており、

隣り合う前記整合素子は、前記実装基板内において異なる層に設けられていること、

を特徴とする請求項19に記載の基板モジュール。

- [請求項21] 隣り合う前記整合素子の間には、グランド電位に保たれたグランド導体層が設けられていること、
を特徴とする請求項19又は請求項20のいずれかに記載の基板モジュール。
- [請求項22] 前記実装基板は、多層基板であり、
前記実装基板は、前記デュプレクサとの間でインピーダンス整合を取るための複数の整合素子の内の一部の第1の整合素子を内蔵しており、
前記複数の整合素子の内の一部の第2の整合素子は、前記実装基板上に実装されており、
前記第1の整合素子と前記第2の整合素子との間には、前記実装基板内の設けられるグランド導体層であって、グランド電位に保たれたグランド導体層が設けられていること、
を特徴とする請求項19ないし請求項21のいずれかに記載の基板モジュール。
- [請求項23] 前記実装基板は、
前記第2の実装電極に電氣的に接続される配線導体を、
備えており、
前記配線導体は、
一端において前記第2の実装電極に接続されている第1の配線部と、
前記第1の配線部の他端に接続されている第2の配線部であって、前記第1の配線部の線幅よりも太い線幅を有している第2の配線部と、
を含んでいること、
を特徴とする請求項18ないし請求項22のいずれかに記載の基板モジュール。
- [請求項24] 前記実装基板は、複数の絶縁体層が積層されて構成されている多層

基板であり、

前記第 1 の配線部と前記第 2 の配線部とは、前記多層基板内において、異なる前記絶縁体層に設けられていること、

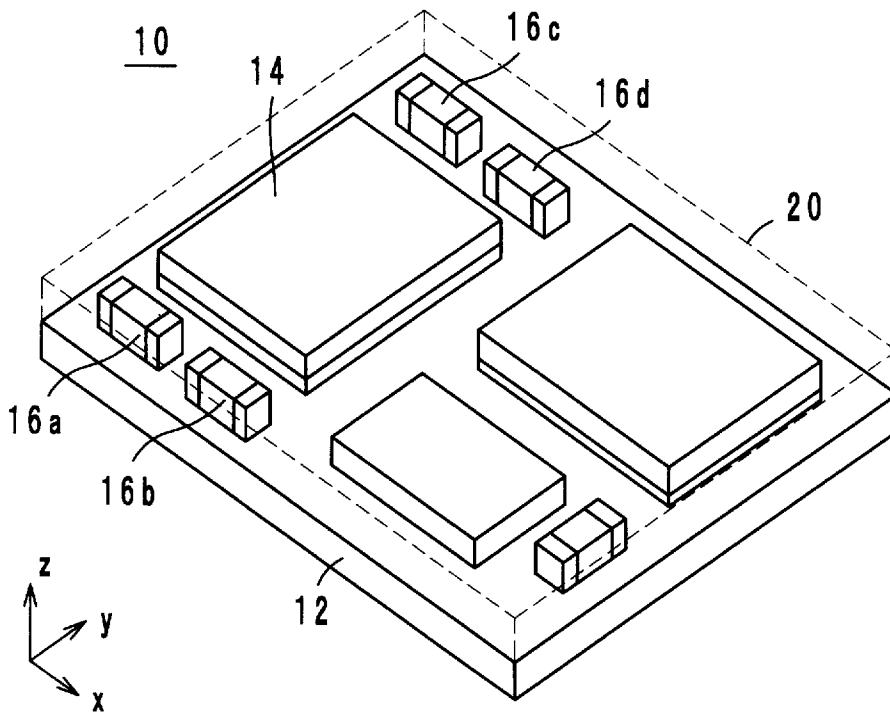
を特徴とする請求項 2 3 に記載の基板モジュール。

[請求項 25]

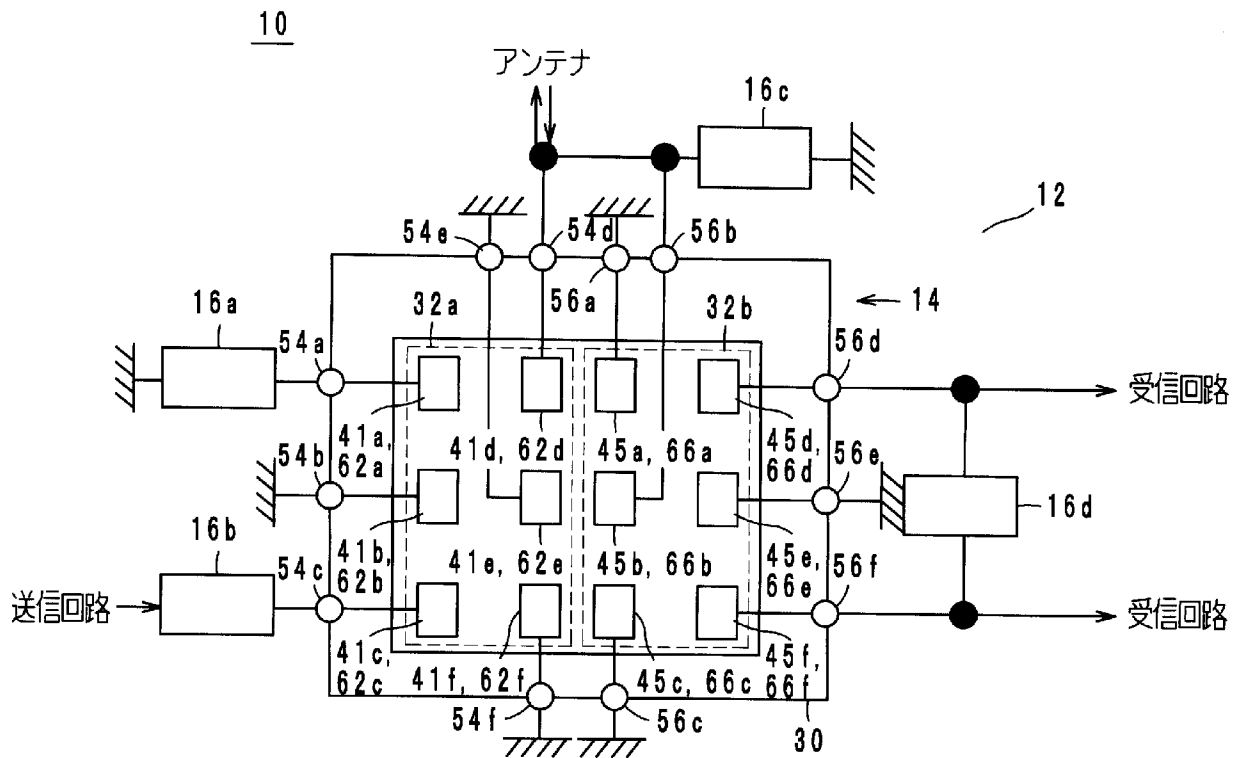
前記配線導体には、受信回路が接続されること、

を特徴とする請求項 2 3 又は請求項 2 4 のいずれかに記載の基板モジュール。

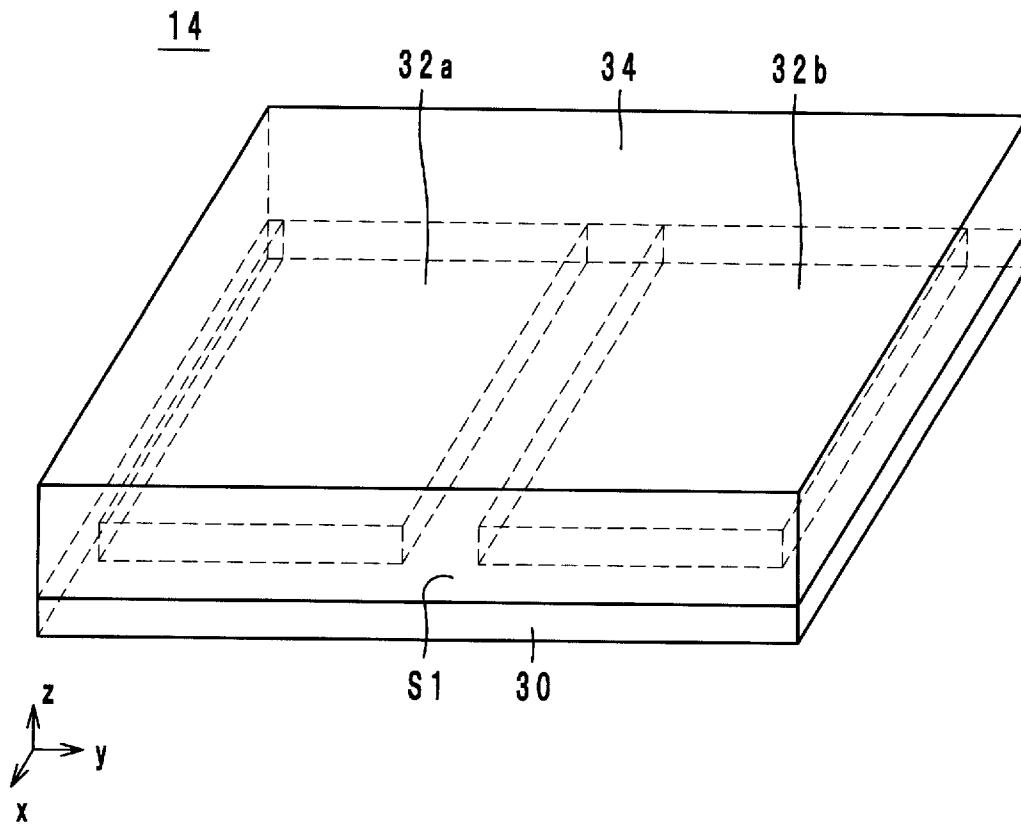
[図1]



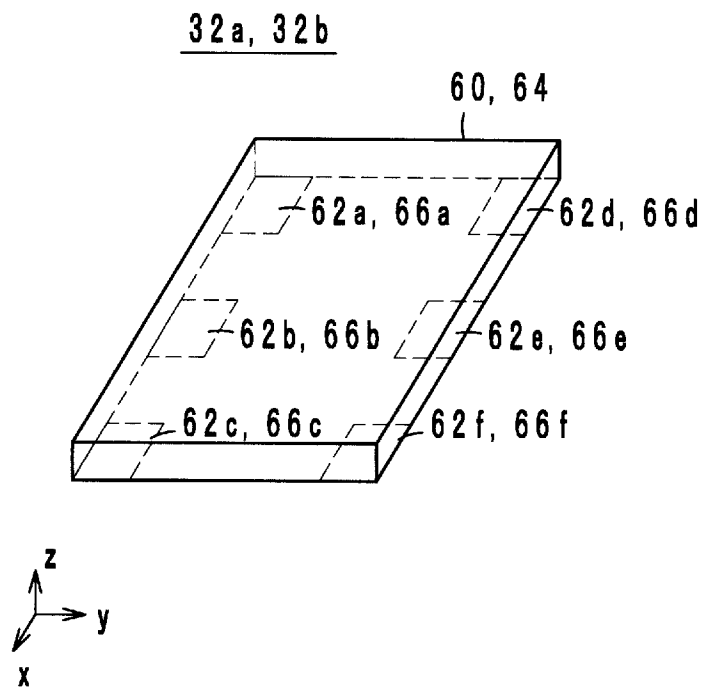
[図2]



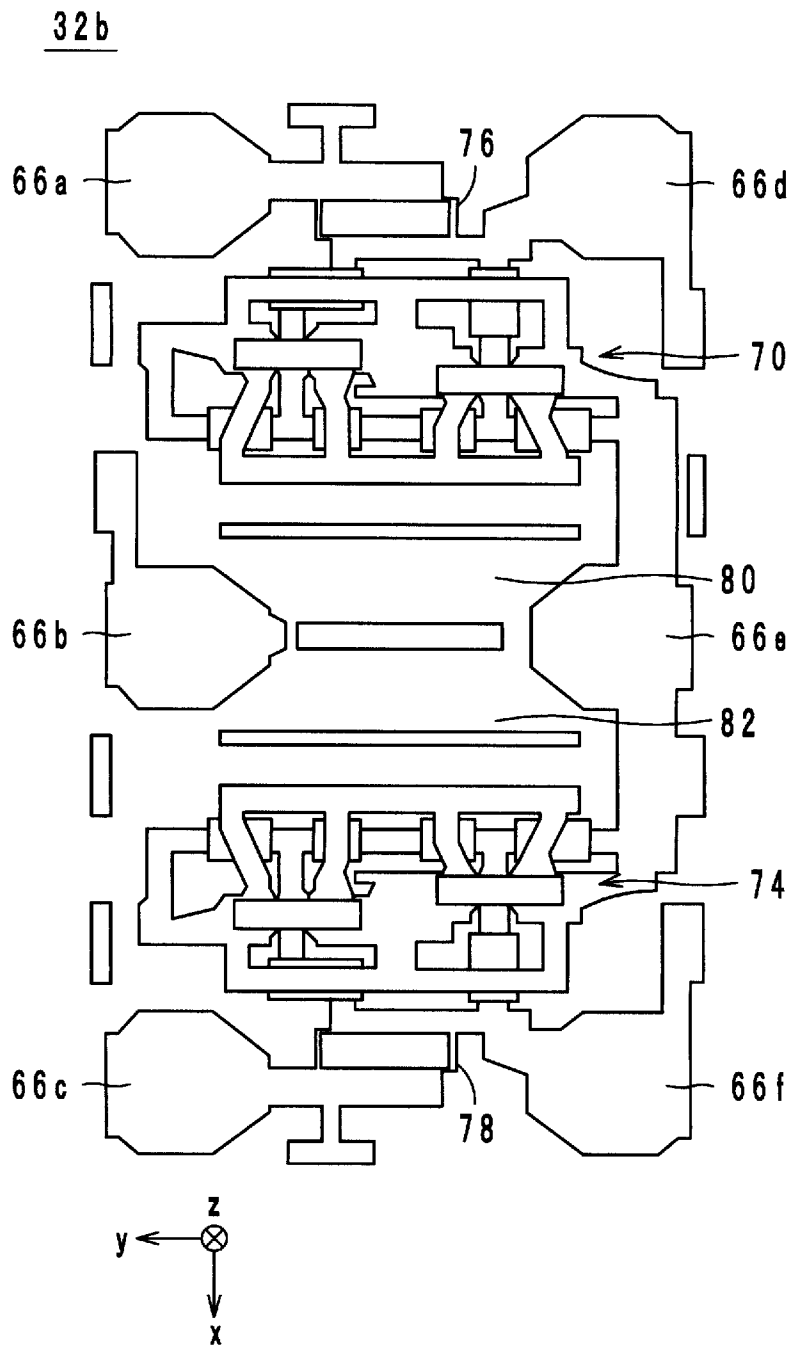
[図3]



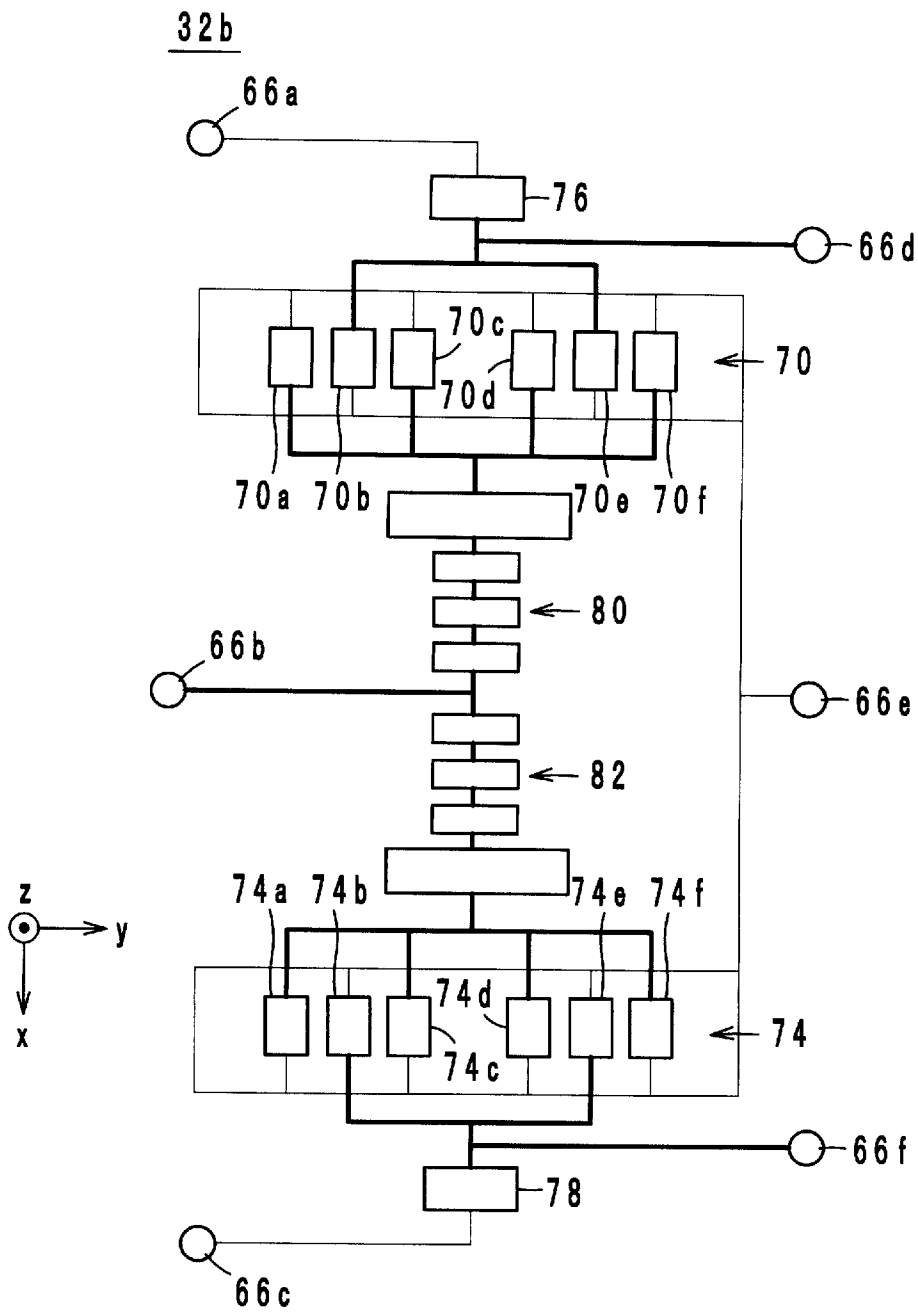
[図4]



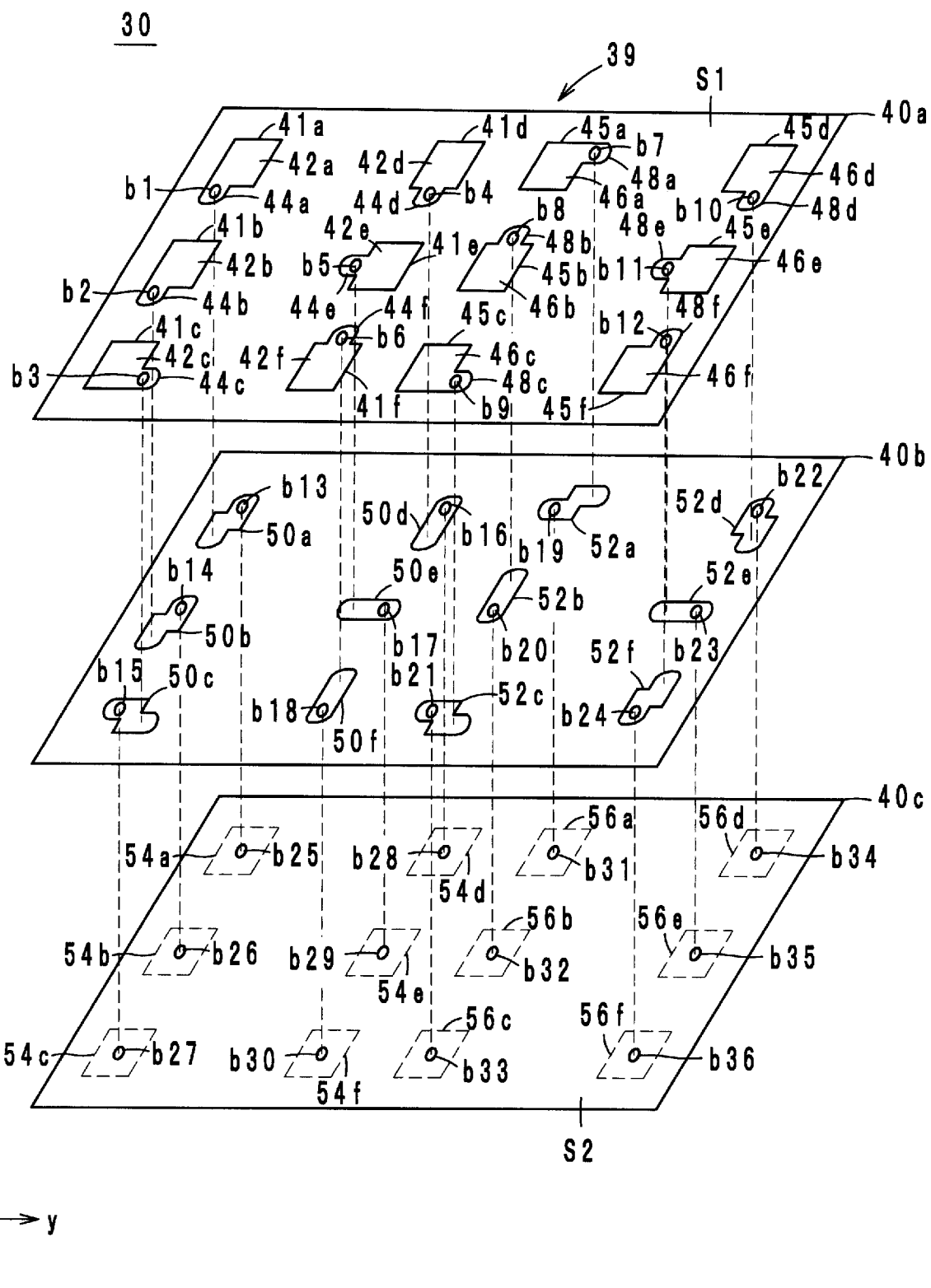
[図5]



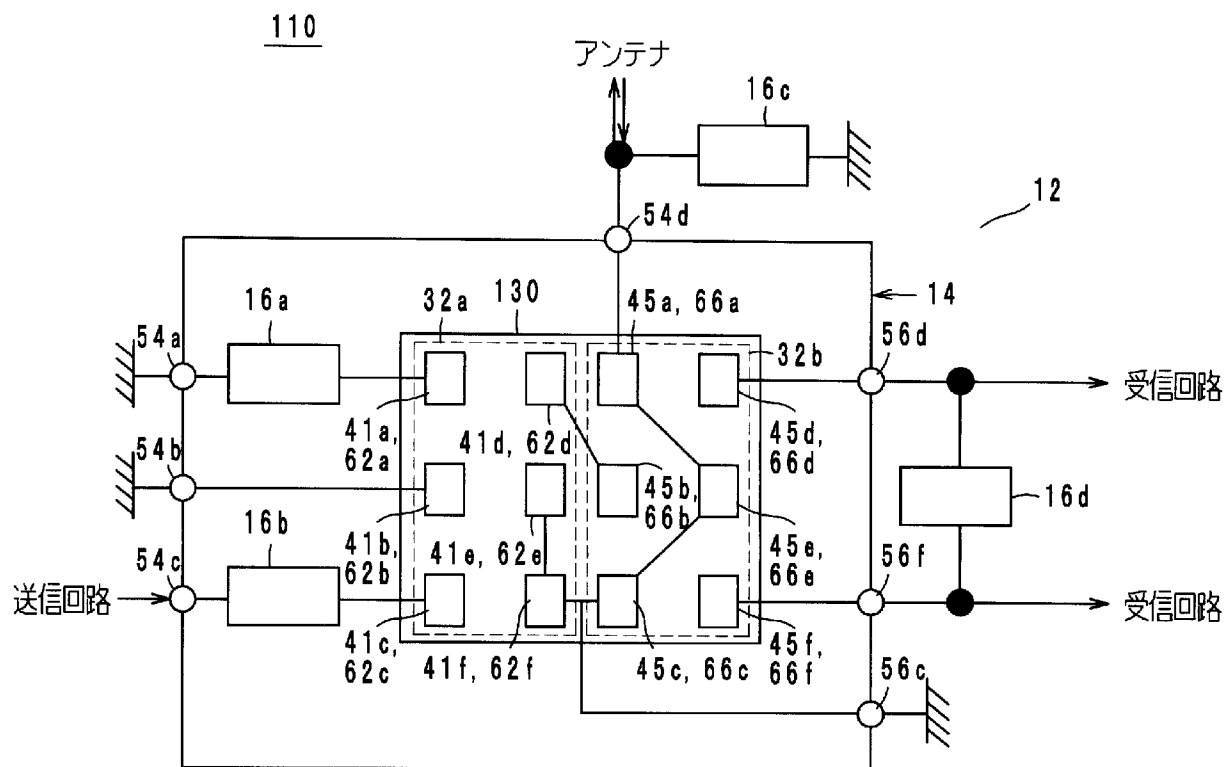
[図6]



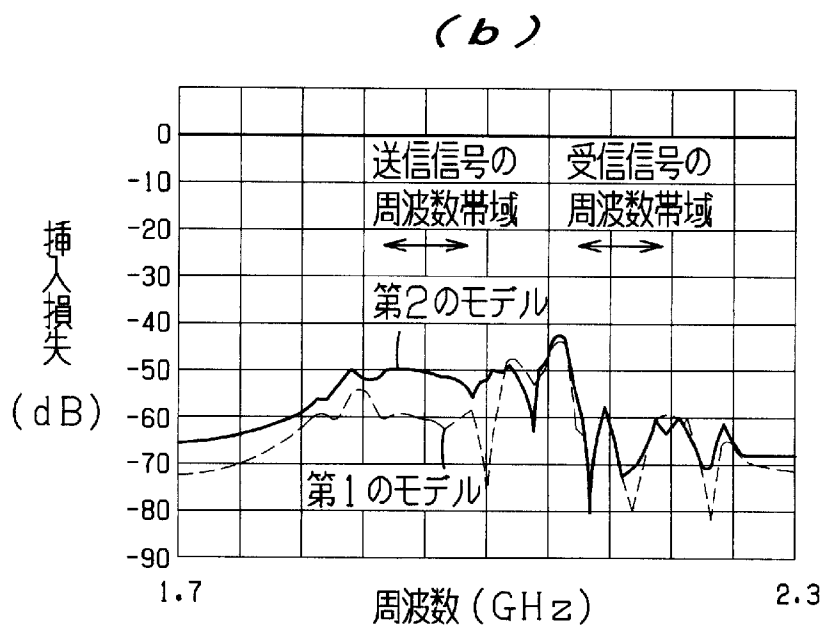
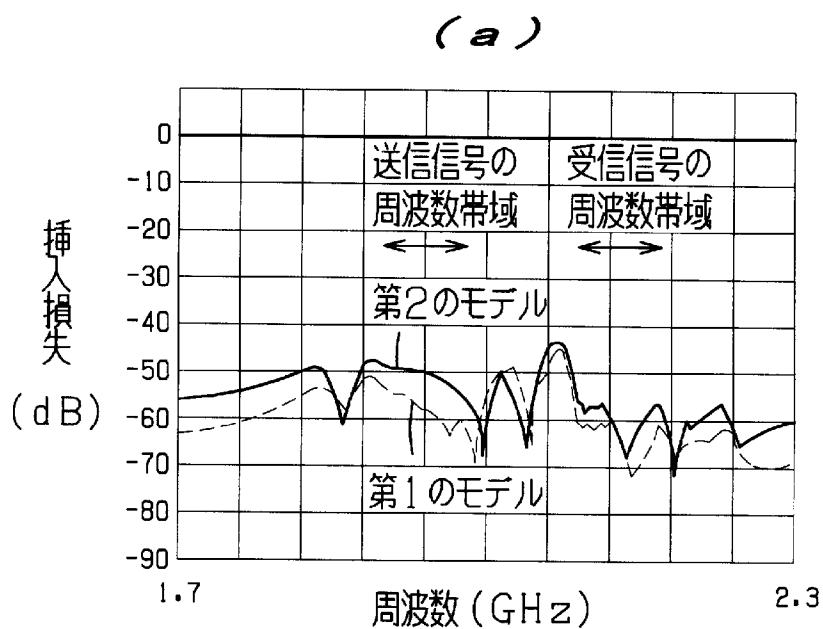
[図7]



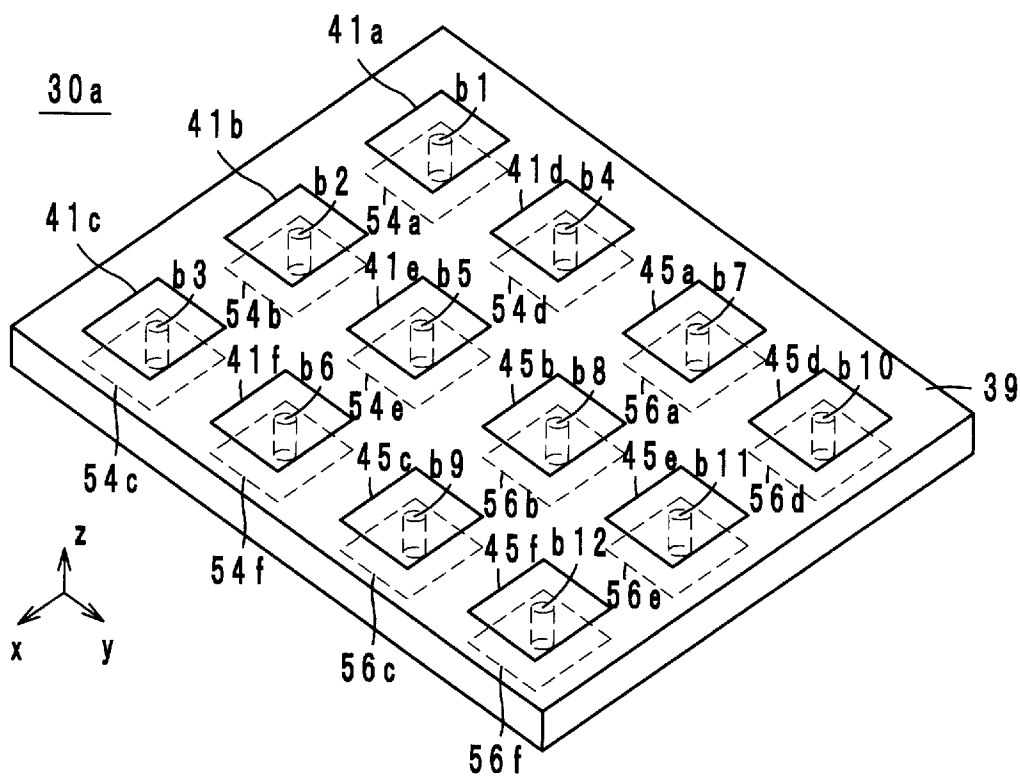
[図8]



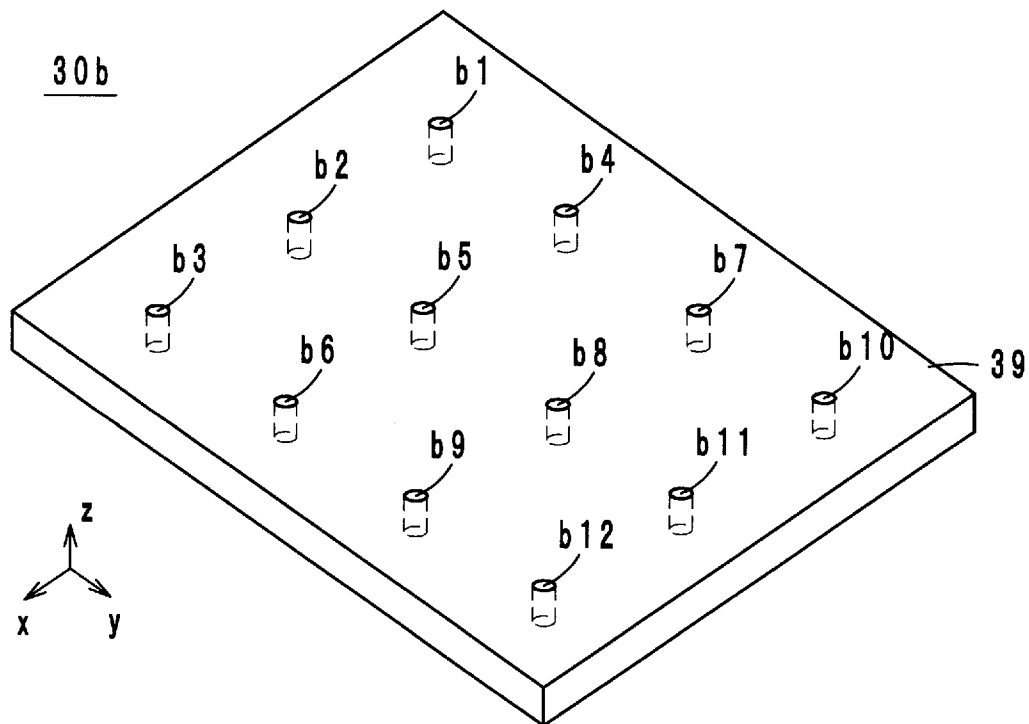
[図9]



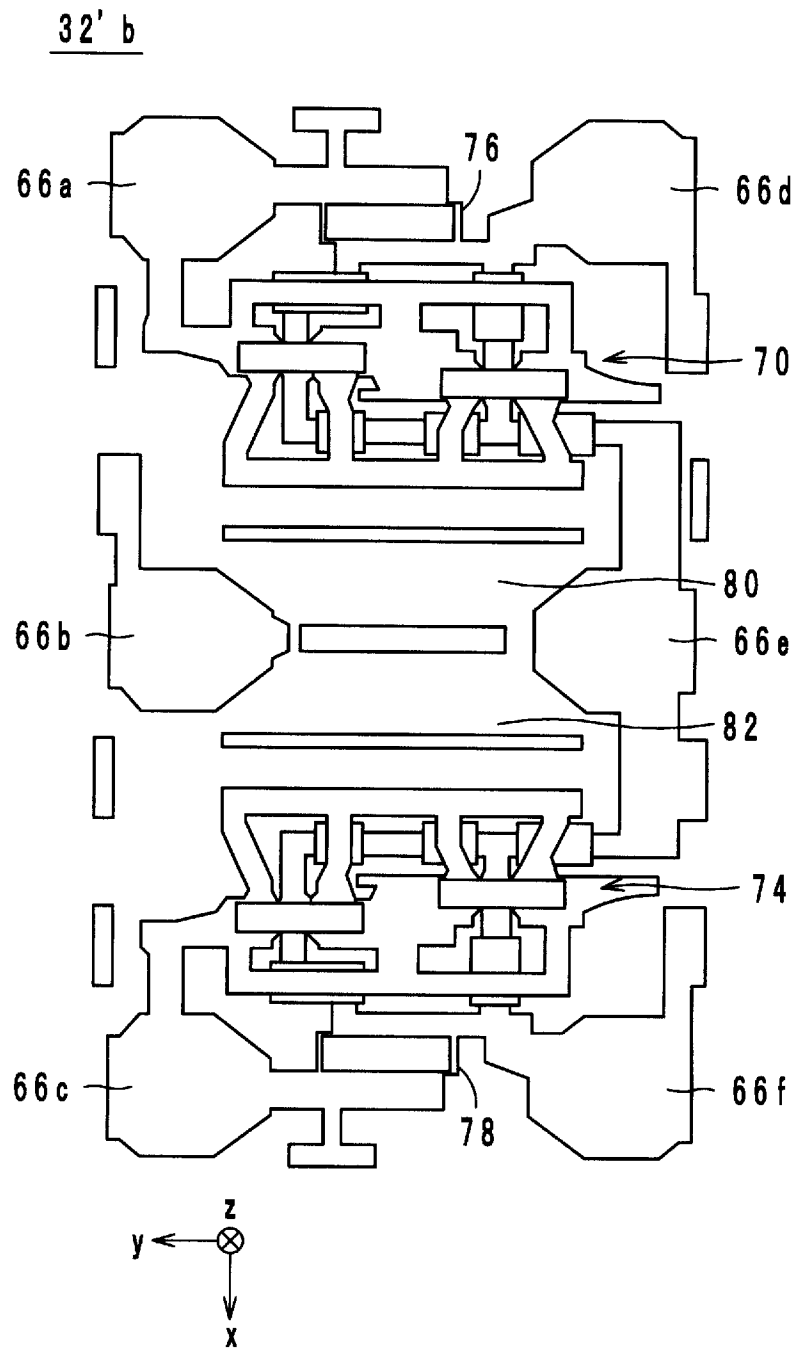
[図10]



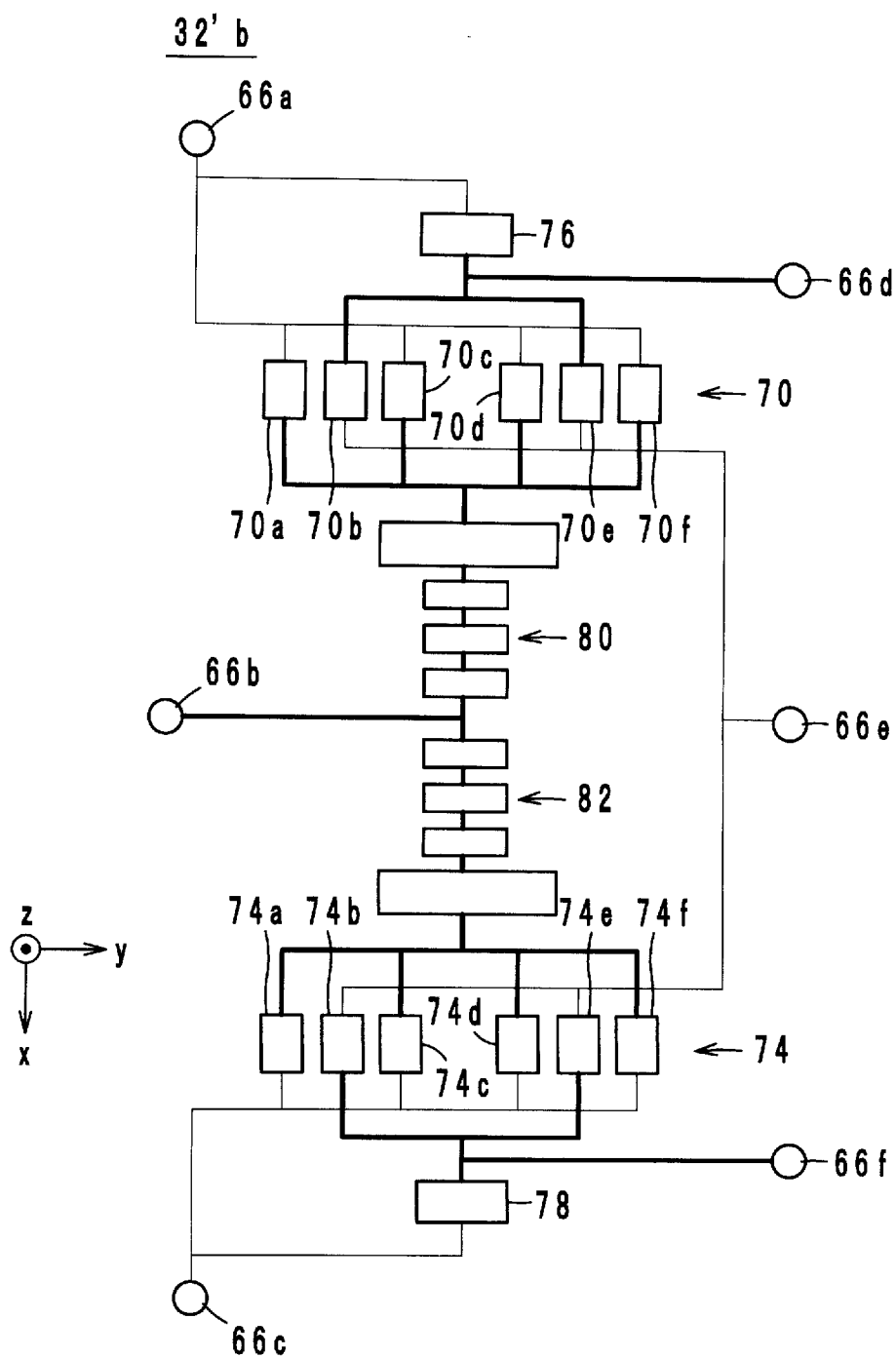
[図11]



[図12]

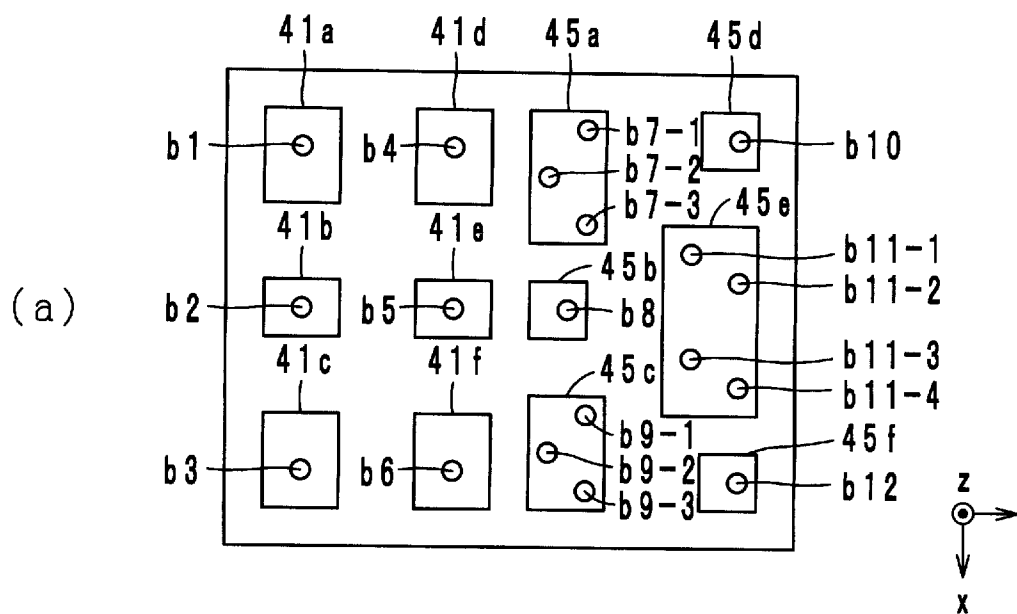


[図13]

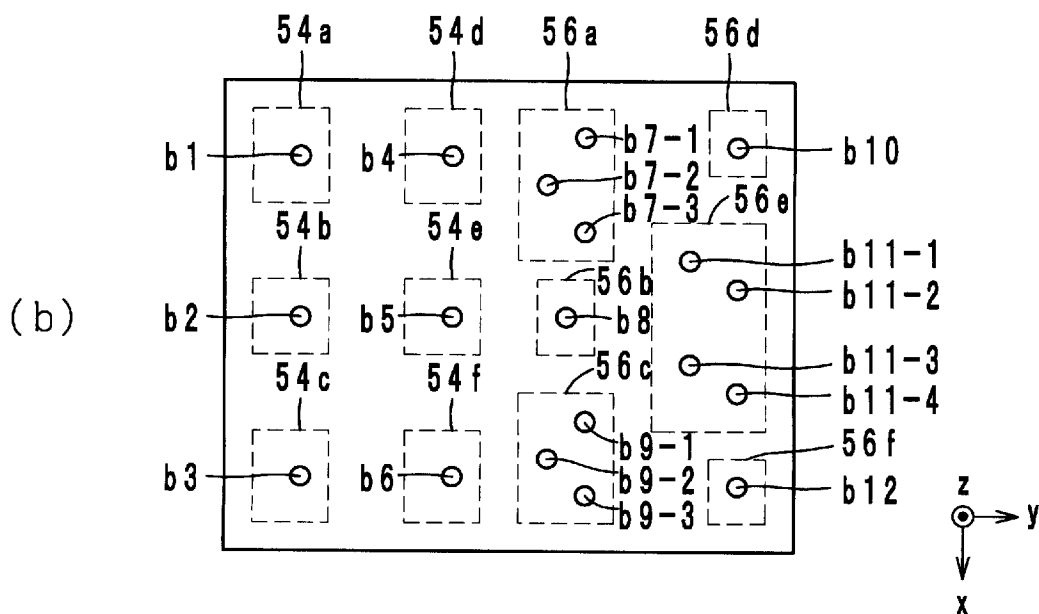


[図14]

30c

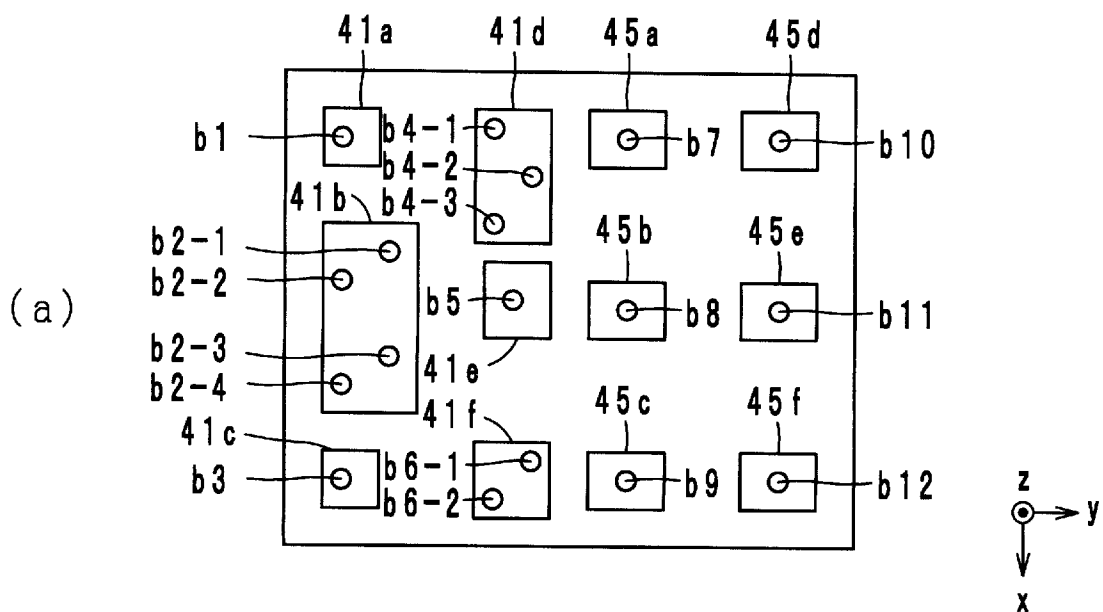


30c

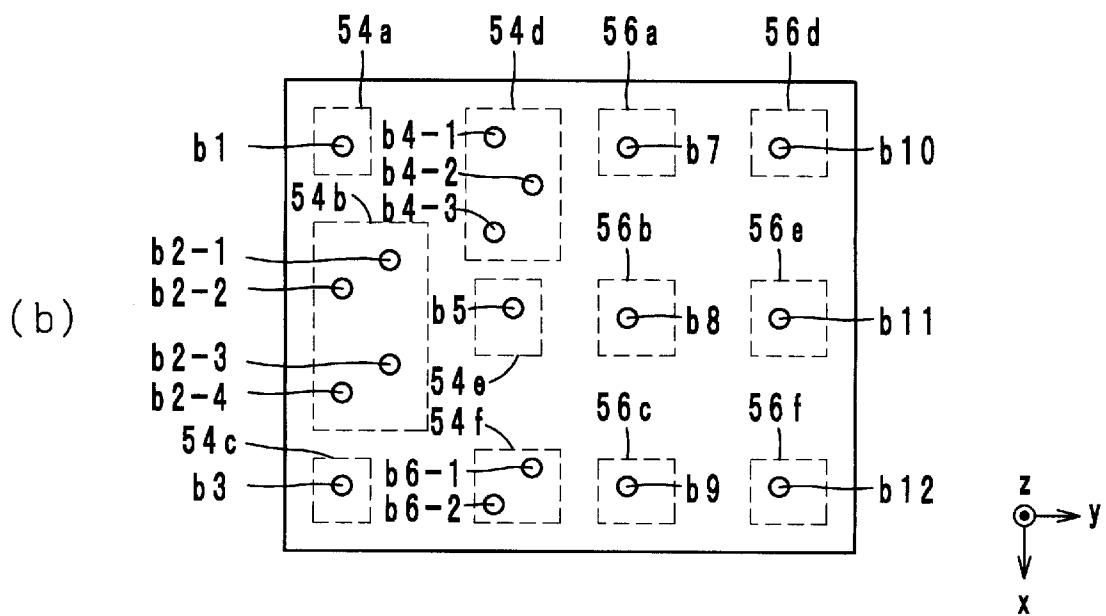


[図15]

30d

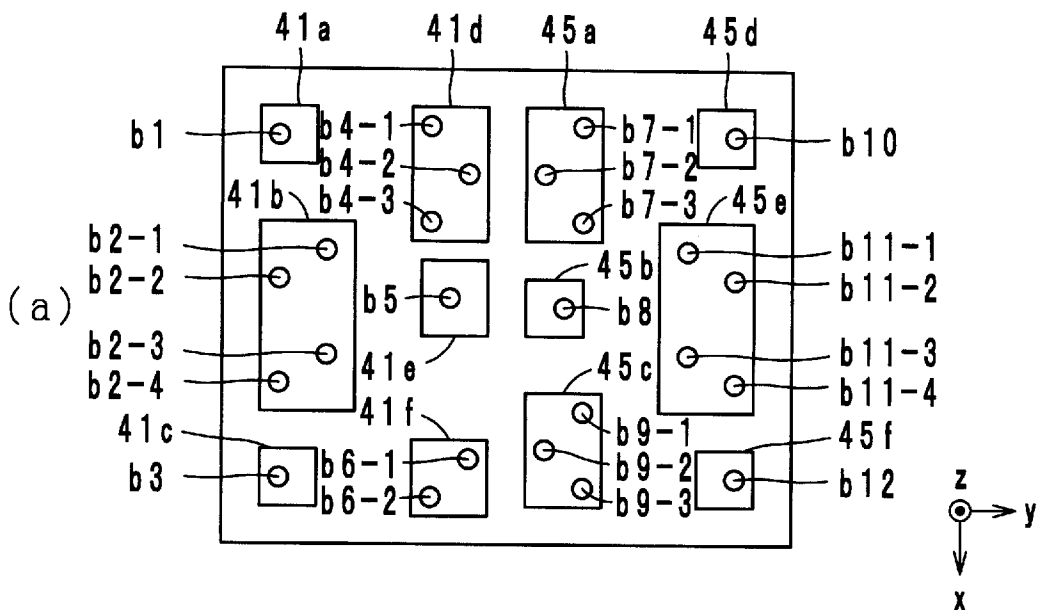


30d

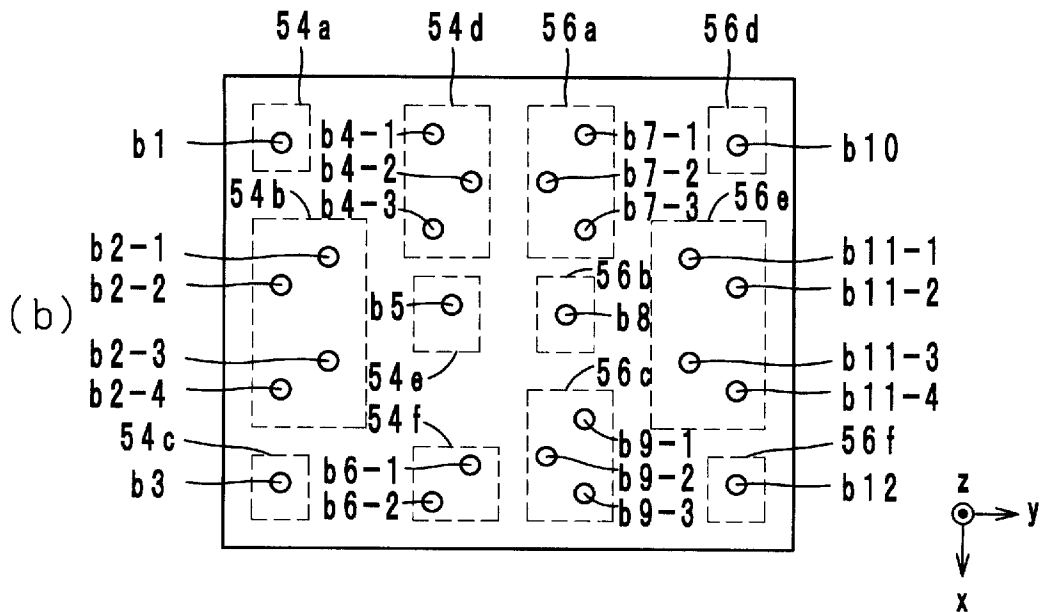


[図16]

30 e

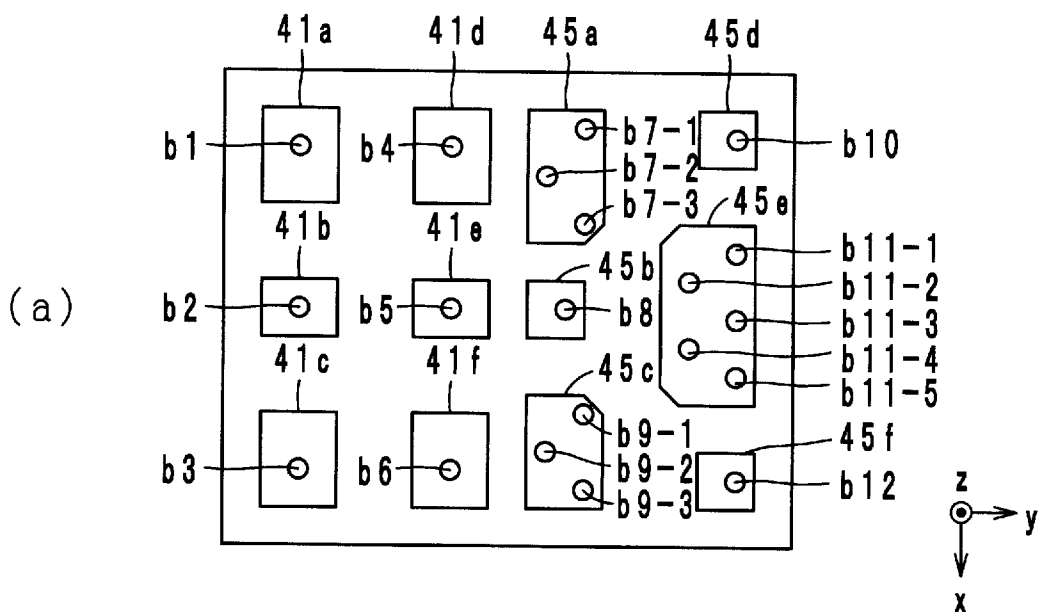


30 e

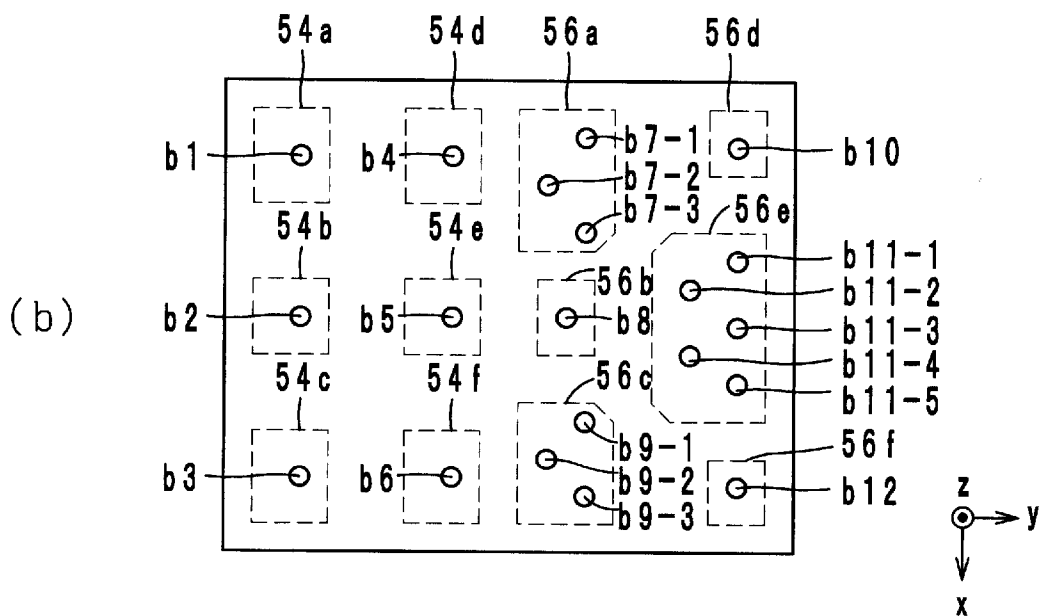


[図17]

30 f

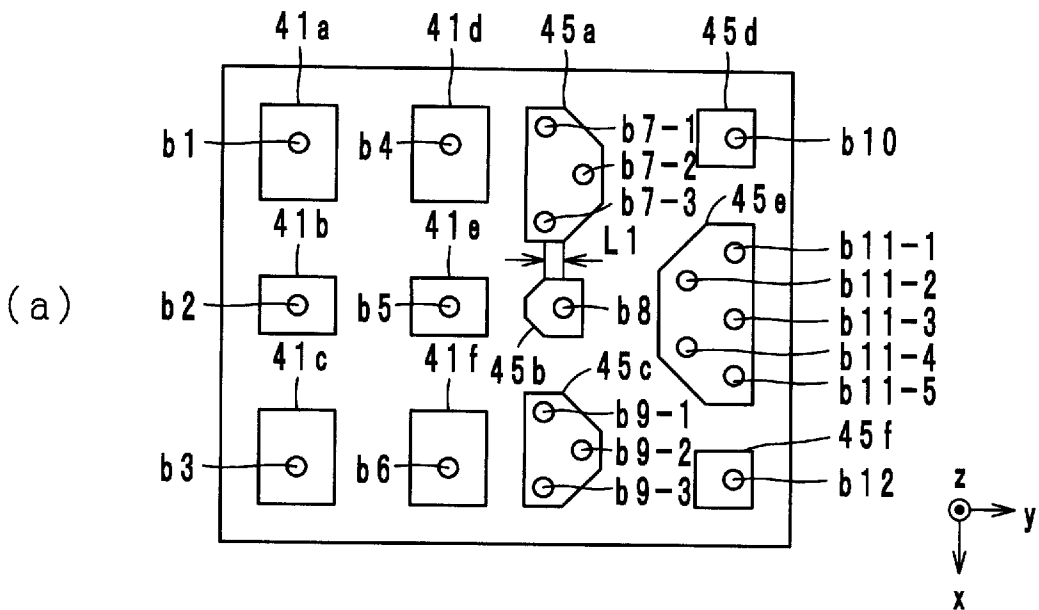


30 f

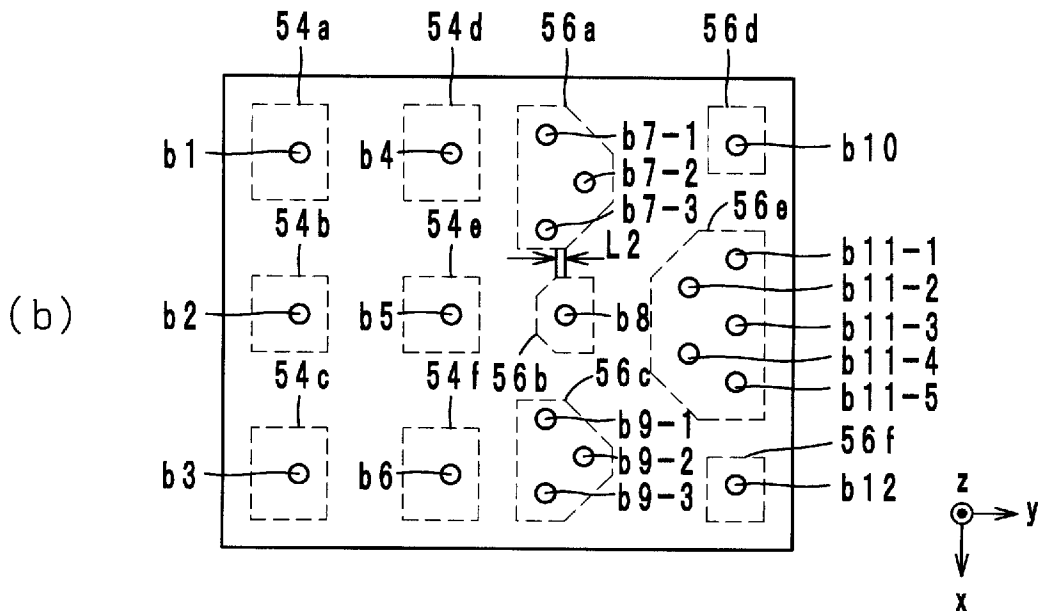


[図18]

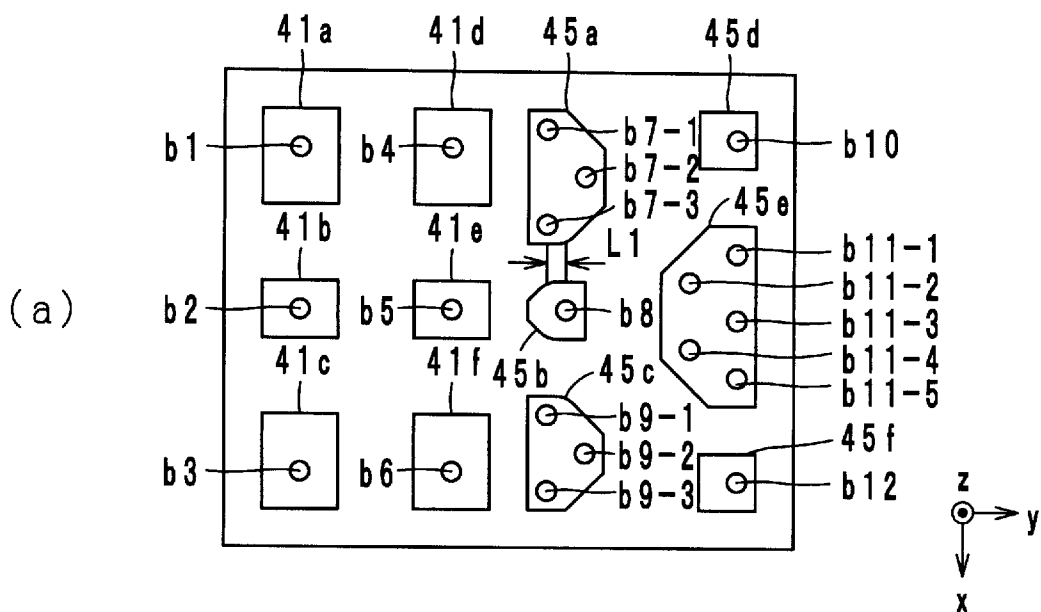
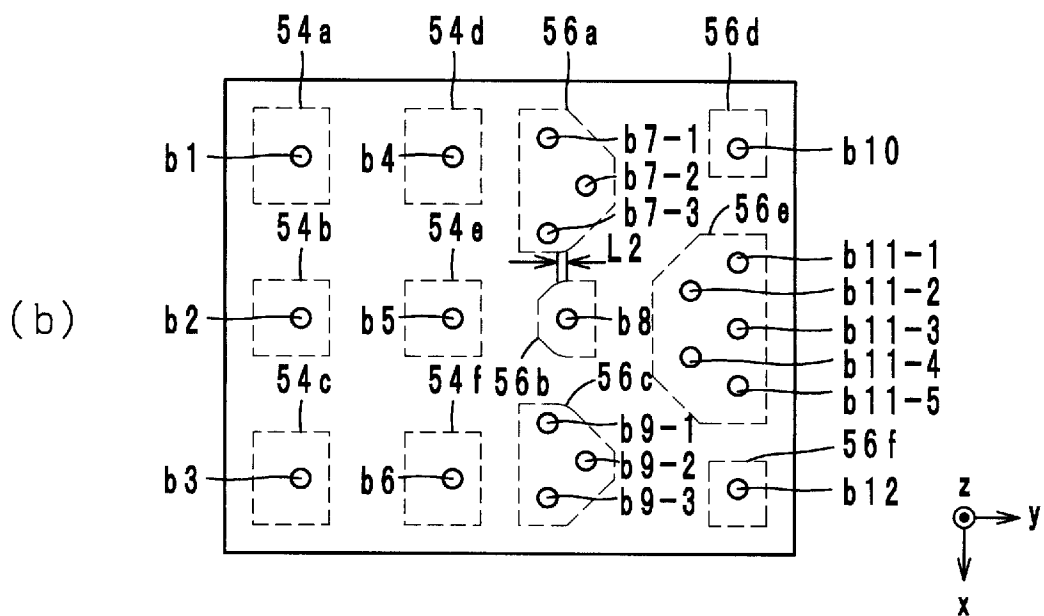
30g



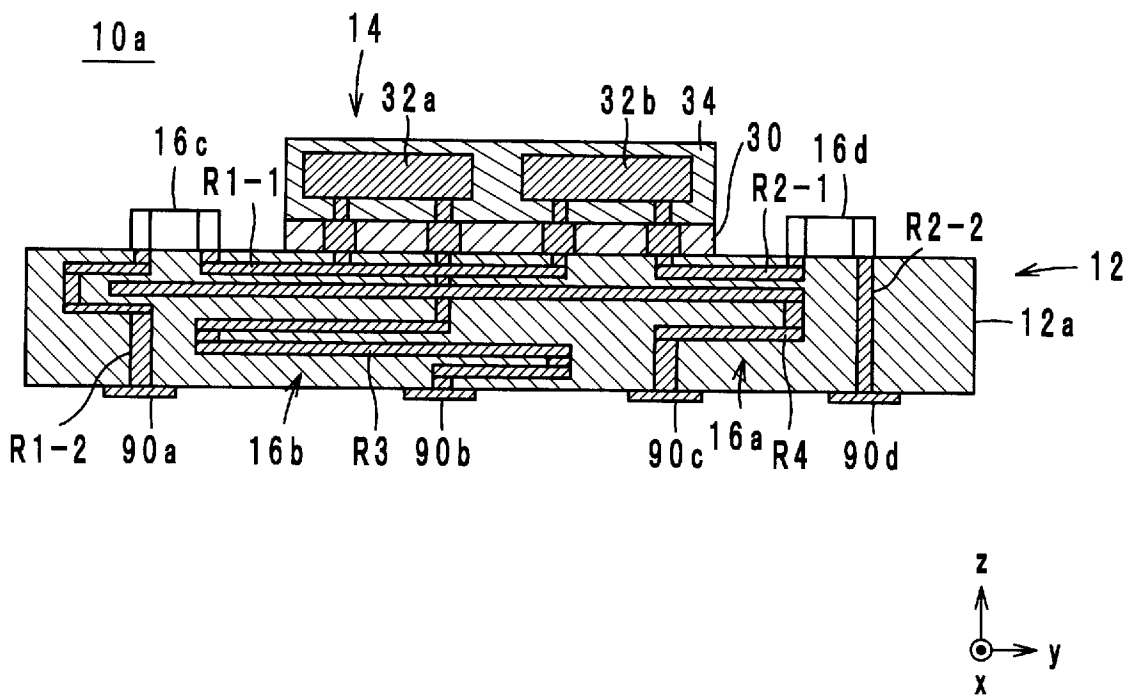
30g



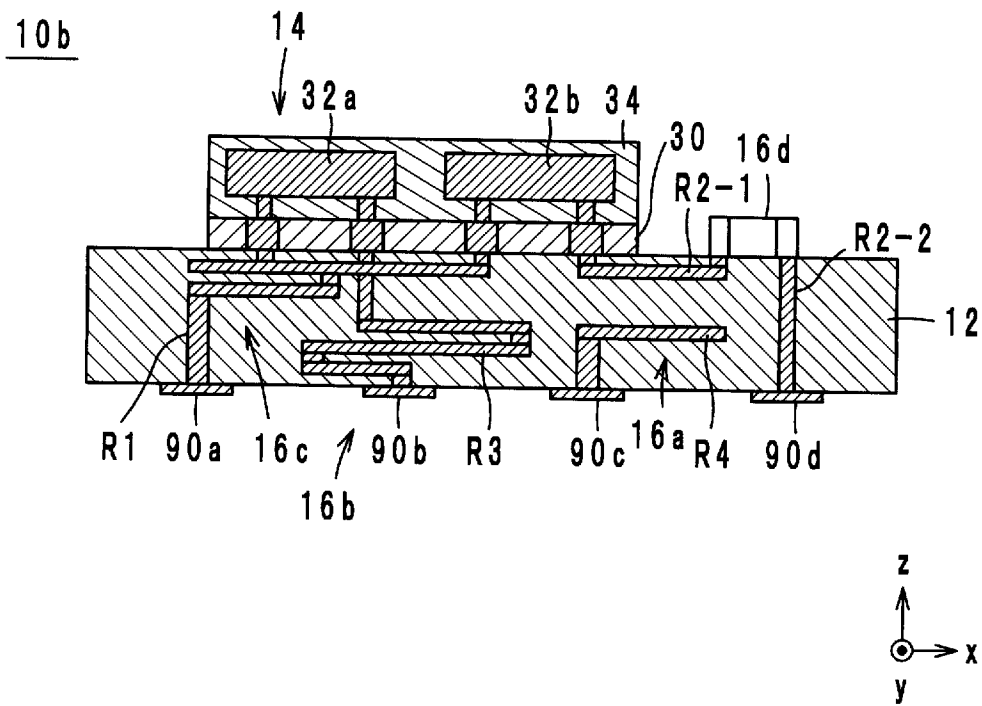
[図19]

30h30h

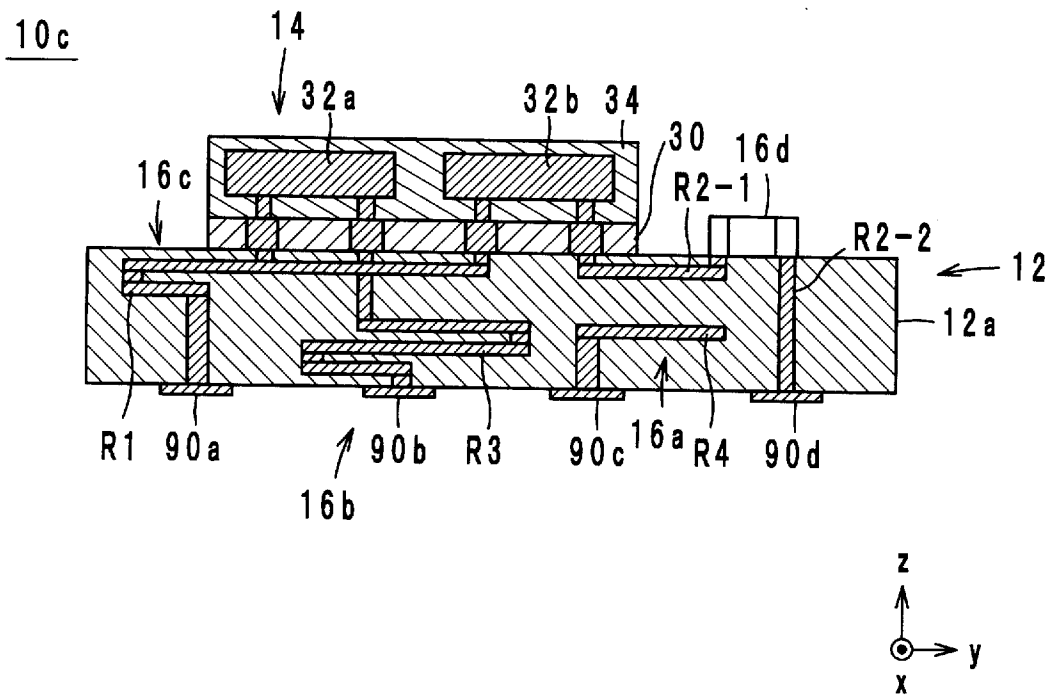
[図20]



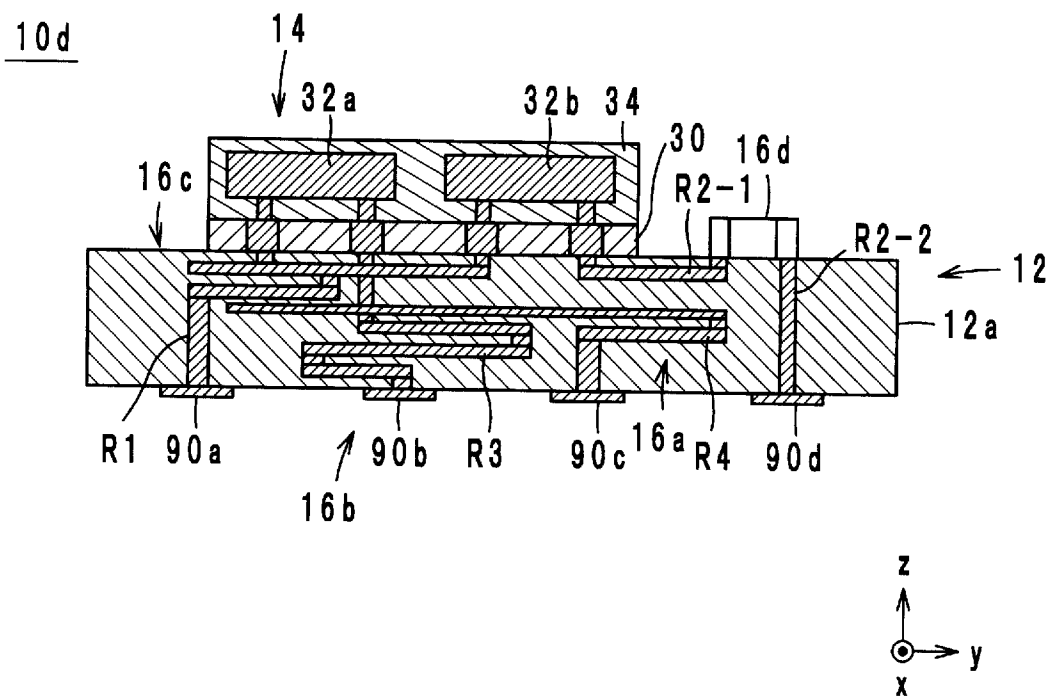
[図21]



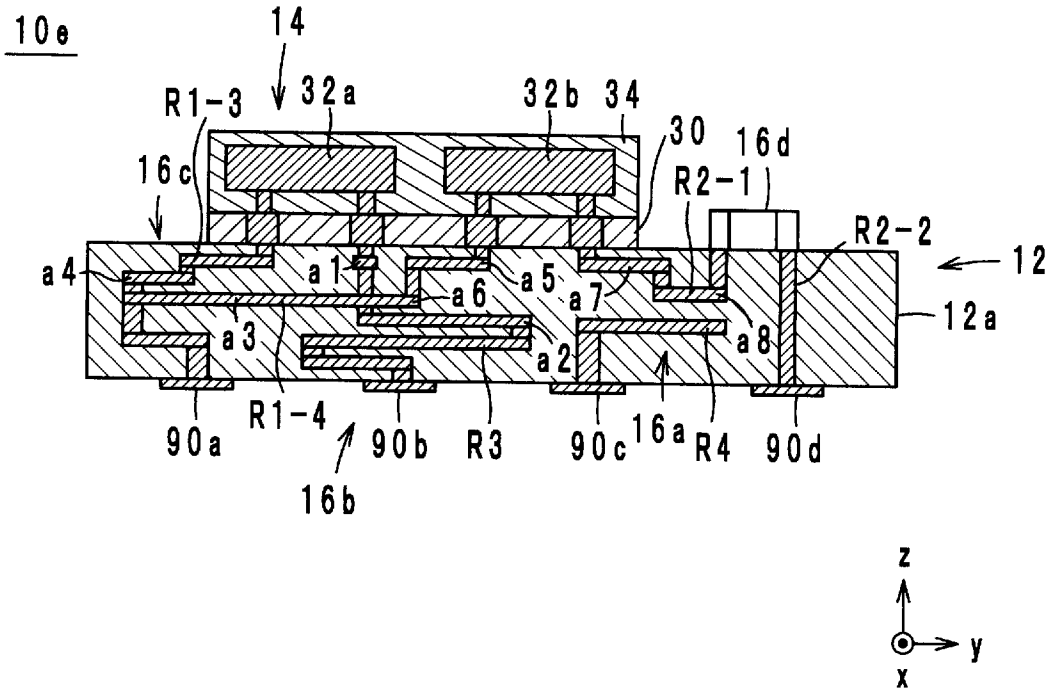
[図22]



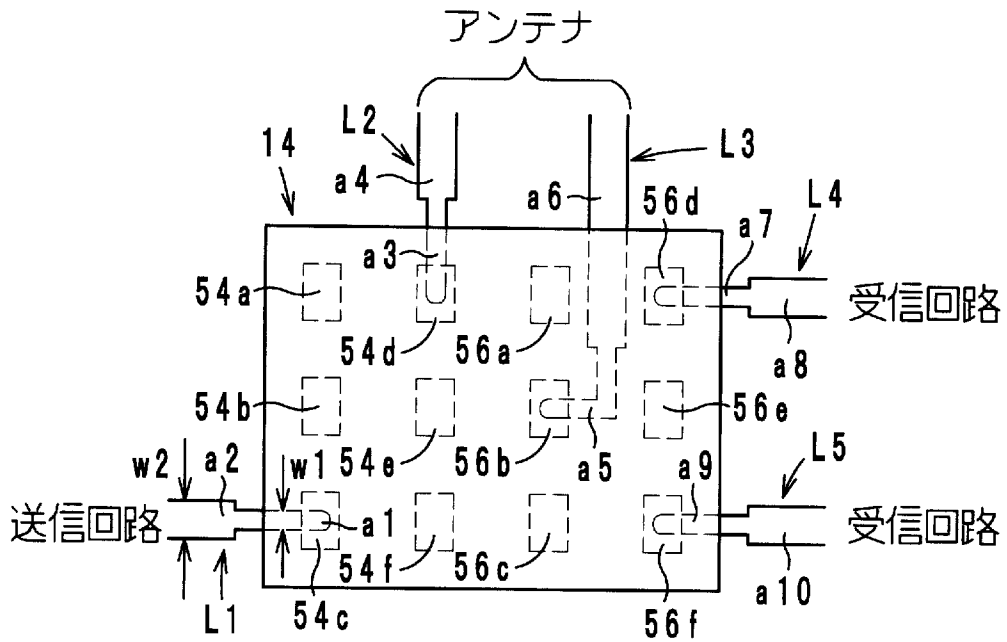
[图23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/055040

A. CLASSIFICATION OF SUBJECT MATTER <i>H03H9/72(2006.01) i, H01P1/213(2006.01) i, H03H7/46(2006.01) i, H03H9/25(2006.01) i, H03H9/64(2006.01) i, H04B1/40(2006.01) i</i>														
According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <i>H03H9/72, H01P1/213, H03H7/46, H03H9/25, H03H9/64, H04B1/40</i>														
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched														
<table border="0"> <tr> <td>Jitsuyo Shinan Koho</td> <td>1922-1996</td> <td>Jitsuyo Shinan Toroku Koho</td> <td>1996-2012</td> </tr> <tr> <td>Kokai Jitsuyo Shinan Koho</td> <td>1971-2012</td> <td>Toroku Jitsuyo Shinan Koho</td> <td>1994-2012</td> </tr> </table>			Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012	Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012				
Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012											
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012											
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)														
C. DOCUMENTS CONSIDERED TO BE RELEVANT														
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X Y A	JP 2010-068079 A (Panasonic Corp.), 25 March 2010 (25.03.2010), paragraphs [0019], [0027]; fig. 1 to 6 (Family: none)	1, 5, 8, 9 10, 11, 18-25 7, 12-17												
X Y A	WO 2010/052821 A1 (Murata Mfg. Co., Ltd.), 14 May 2010 (14.05.2010), paragraphs [0051], [0052]; fig. 4 to 5 & CN 102150364 A	1-6, 8, 9 10, 11, 18-25 7, 12-17												
Y	JP 2006-101550 A (Fujitsu Media Devices Ltd.), 13 April 2006 (13.04.2006), fig. 2 to 8 (Family: none)	10, 11												
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.														
<table border="0"> <tr> <td>* Special categories of cited documents:</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"E" earlier application or patent but published on or after the international filing date</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"&" document member of the same patent family</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td></td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table>			* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	"O" document referring to an oral disclosure, use, exhibition or other means		"P" document published prior to the international filing date but later than the priority date claimed	
* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention													
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone													
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art													
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family													
"O" document referring to an oral disclosure, use, exhibition or other means														
"P" document published prior to the international filing date but later than the priority date claimed														
Date of the actual completion of the international search 28 March, 2012 (28.03.12)		Date of mailing of the international search report 17 April, 2012 (17.04.12)												
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer												
Facsimile No.		Telephone No.												

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/055040

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-332885 A (Murata Mfg. Co., Ltd.), 21 November 2003 (21.11.2003), fig. 7 & US 2003/0214368 A1	10,11
Y	JP 2007-142812 A (Matsushita Electric Industrial Co., Ltd.), 07 June 2007 (07.06.2007), fig. 1 (Family: none)	18-25
Y	JP 2006-304145 A (Kyocera Corp.), 02 November 2006 (02.11.2006), paragraphs [0025] to [0027]; fig. 4 (Family: none)	18-25
Y	JP 2004-328676 A (Fujitsu Media Devices Ltd.), 18 November 2004 (18.11.2004), fig. 2 & US 2004/0212451 A1 & KR 10-2004-0093438 A & CN 1543065 A	21,22
Y	JP 2002-100877 A (TDK Corp.), 05 April 2002 (05.04.2002), fig. 3, 7 & US 2002/0058151 A1 & EP 1191829 A2	23-25

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03H9/72(2006.01)i, H01P1/213(2006.01)i, H03H7/46(2006.01)i, H03H9/25(2006.01)i, H03H9/64(2006.01)i, H04B1/40(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03H9/72, H01P1/213, H03H7/46, H03H9/25, H03H9/64, H04B1/40		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2010-068079 A (パナソニック株式会社) 2010.03.25, [0019], [0027], 図 1-6 (ファミリーなし)	1, 5, 8, 9 10, 11, 18-25 7, 12-17
X Y A	WO 2010/052821 A1 (株式会社村田製作所) 2010.05.14, [0051], [0052], 図 4-5 & CN 102150364 A	1-6, 8, 9 10, 11, 18-25 7, 12-17
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 28.03.2012	国際調査報告の発送日 17.04.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 橋本 和志 電話番号 03-3581-1101 内線 3576	5W 4183

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-101550 A (富士通メディアデバイス株式会社) 2006.04.13, 図 2-8 (ファミリーなし)	10, 11
Y	JP 2003-332885 A (株式会社村田製作所) 2003.11.21, 図 7 & US 2003/0214368 A1	10, 11
Y	JP 2007-142812 A (松下電器産業株式会社) 2007.06.07, 図 1 (ファミリーなし)	18-25
Y	JP 2006-304145 A (京セラ株式会社) 2006.11.02, [0025]-[0027], 図 4 (ファミリーなし)	18-25
Y	JP 2004-328676 A (富士通メディアデバイス株式会社) 2004.11.18, 図 2 & US 2004/0212451 A1 & KR 10-2004-0093438 A & CN 1543065 A	21, 22
Y	JP 2002-100877 A (ティーディーケイ株式会社) 2002.04.05, 図 3, 図 7 & US 2002/0058151 A1 & EP 1191829 A2	23-25