



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년08월27일  
(11) 등록번호 10-2698613  
(24) 등록일자 2024년08월21일

(51) 국제특허분류(Int. Cl.)  
H10K 50/80 (2023.01) H10K 59/00 (2023.01)  
(52) CPC특허분류  
H10K 50/85 (2023.02)  
H10K 50/805 (2023.02)  
(21) 출원번호 10-2019-0115803  
(22) 출원일자 2019년09월20일  
심사청구일자 2022년05월26일  
(65) 공개번호 10-2021-0034194  
(43) 공개일자 2021년03월30일  
(56) 선행기술조사문헌  
KR1020180078128 A\*  
KR1020190068102 A\*  
KR1020180073793 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
손석우  
경기도 파주시 월롱면 엘지로 245  
백정선  
경기도 파주시 월롱면 엘지로 245  
김조연  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인(유한)유일하이스트

전체 청구항 수 : 총 21 항

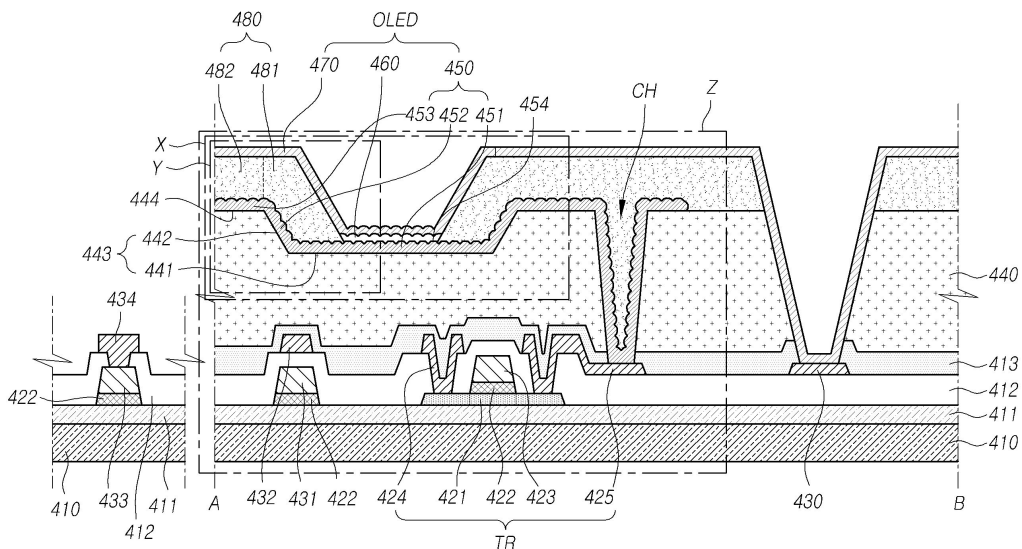
심사관 : 전태중

(54) 발명의 명칭 유기발광 표시패널 및 이를 포함하는 유기발광 표시장치

(57) 요약

본 발명의 실시예들은, 유기발광 표시패널 및 유기발광 표시장치에 관한 것으로서, 더욱 상세하게는, 액티브 영역의 적어도 하나의 서브픽셀 내에서, 평탄부 및 평탄부를 둘러싸는 경사부로 이루어진 적어도 하나의 오목부를 갖는 절연막 적어도 하나의 서브픽셀 영역 내에서, 오목부 및 오목부 외곽에 배치된 주변부의 일부 상에 배치된 표면 적어도 하나의 돌기부가 구비된 유기발광소자의 제1 전극을 포함함으로써, 광 추출 효율을 향상시킬 수 있는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.

대표도



(52) CPC특허분류

*H10K 59/122* (2023.02)

*H10K 2102/302* (2023.02)

---

## 명세서

### 청구범위

#### 청구항 1

다수의 서브픽셀을 구비하는 액티브 영역을 포함하는 유기발광 표시패널에 있어서,

기관;

상기 기관 상에 배치되고, 상기 액티브 영역의 적어도 하나의 서브픽셀 내에서, 평탄부 및 상기 평탄부를 둘러싸는 경사부로 이루어진 적어도 하나의 오목부를 갖는 절연막;

상기 적어도 하나의 서브픽셀 영역 내에서, 상기 오목부 및 상기 오목부 외곽에 배치된 주변부의 일부 상에 배치된 표면에 적어도 하나의 돌기부가 구비된 제1 전극;

상기 오목부의 일부와 대응되는 영역에서 상기 제1 전극 상에 배치된 제1 부분과 상기 주변부와 대응되는 영역에서 상기 제1 전극 및 상기 절연막 상에 배치된 제2 부분을 포함하는 बैं크;

상기 오목부와 중첩되고, 상기 제1 전극 상에 배치된 상기 제1 전극 상에서 상기 돌기부를 구비하는 상기 제1 전극의 상면 형상과 대응되는 표면 형상을 갖는 유기층; 및

상기 유기층 및 상기 बैं크 상에 배치되며, 상기 유기층과 중첩되는 영역에서 상기 유기층의 표면 형상과 대응되는 표면 형상을 갖는 제2 전극을 포함하고,

상기 오목부의 상기 평탄부가 배치된 영역과 대응되는 영역에 구비된 상기 돌기부의 밀도와, 상기 오목부의 상기 경사부가 배치된 영역과 대응되는 영역에 구비된 상기 돌기부의 밀도는 상이한 유기발광 표시패널.

#### 청구항 2

제1 항에 있어서,

상기 제1 전극은 반사성 금속을 포함하는 유기발광 표시패널.

#### 청구항 3

제1 항에 있어서,

상기 적어도 하나의 서브픽셀 영역 내에서,

상기 기관 상에 배치되며, 상기 절연막 하부에 배치된 적어도 하나의 박막 트랜지스터를 포함하고,

상기 절연막은 상기 박막 트랜지스터의 소스 전극 또는 드레인 전극의 상면을 노출하는 콘택홀을 포함하며,

상기 제1 전극은 상기 콘택홀을 통해 상기 소스 전극 또는 상기 드레인 전극과 전기적으로 연결된 유기발광 표시패널.

#### 청구항 4

제3 항에 있어서,

상기 콘택홀 내에 배치된 상기 제1 전극의 상면에 적어도 하나의 돌기부가 구비된 유기발광 표시패널.

#### 청구항 5

제1 항에 있어서,

상기 돌기부는 상기 오목부가 배치된 영역과 대응되는 영역에 배치된 제1 전극의 상면의 일부 또는 전체에 구비되고,

상기 돌기부는 상기 주변부가 배치된 영역과 대응되는 영역에 배치된 제1 전극의 상면 전체에 구비된 유기발광 표시패널.

**청구항 6**

제1 항에 있어서,

상기 돌기부는 상기 오목부의 상기 평탄부가 배치된 영역과 대응되는 영역에 미 구비되고, 상기 오목부의 상기 경사부가 배치된 영역과 대응되는 영역에 구비된 유기발광 표시패널.

**청구항 7**

삭제

**청구항 8**

제1 항에 있어서,

상기 유기발광 표시패널은 적어도 두 개의 서브픽셀을 포함하고,

각각의 상기 서브픽셀에는 상기 제1 전극이 배치되고,

서로 다른 색상의 광을 발광하는 적어도 2개의 서브픽셀 각각에 배치된 제1 전극의 상면에 구비된 상기 돌기부의 밀도 및 크기 중 적어도 하나는 서로 상이한 유기발광 표시패널.

**청구항 9**

제1 항에 있어서,

각각의 상기 서브픽셀은 발광영역을 포함하고,

다수의 서브픽셀 중 적어도 하나의 서브픽셀의 발광영역은 상기 오목부의 상기 평탄부에서, 상기 बैं크의 제1 부분과 상기 제1 전극이 미 중첩된 영역인 제1 발광부를 포함하는 유기발광 표시패널.

**청구항 10**

제9 항에 있어서,

각각의 상기 발광영역은,

상기 제1 발광부를 둘러싸는 제2 발광부를 포함하고,

상기 제2 발광부는 상기 제1 전극이 상기 오목부의 경사부와 중첩되는 영역과 대응되는 유기발광 표시패널.

**청구항 11**

제10 항에 있어서,

상기 제1 발광부의 색좌표와 상기 제2 발광부의 색좌표는 서로 상이한 유기발광 표시패널.

**청구항 12**

제10 항에 있어서,

상기 제1 발광부와 상기 제2 발광부 사이에 제1 비 발광부가 배치된 유기발광 표시패널.

**청구항 13**

제12 항에 있어서,

상기 제1 비 발광부의 면적은 상기 제1 및 제2 발광부의 면적보다 좁은 유기발광 표시패널.

**청구항 14**

제12 항에 있어서,

상기 제1 비 발광부는 상기 बैं크의 제1 부분이 상기 오목부의 평탄부와 중첩되는 영역과 대응되는 유기발광 표시패널.

**청구항 15**

제10 항에 있어서,  
상기 제2 발광부를 둘러싸는 제2 비 발광부를 더 포함하는 유기발광 표시패널.

**청구항 16**

제15 항에 있어서,  
상기 제2 비 발광부는 상기 बैं크의 제2 부분이 배치된 영역과 대응되는 영역인 유기발광 표시패널.

**청구항 17**

제9 항에 있어서,  
다수의 상기 발광영역 중 적어도 하나의 발광영역에 구비된 제2 발광부는,  
상기 제1 전극이 상기 오목부의 경사부와 중첩되는 영역에서부터 상기 절연막의 컨택홀의 적어도 일 측면에 배치된 영역까지 포함하는 유기발광 표시패널.

**청구항 18**

제17 항에 있어서,  
상기 제2 발광부의 휘도는 상기 제1 전극이 상기 오목부의 상기 경사부와 중첩되는 영역으로부터 멀어질수록 낮아지는 유기발광 표시패널.

**청구항 19**

제1 항에 있어서,  
적어도 하나의 상기 서브픽셀에 배치된 상기 제1 전극은 상기 돌기부를 미 구비하는 유기발광 표시패널.

**청구항 20**

다수의 서브픽셀을 구비하는 액티브 영역을 포함하는 유기발광 표시장치에 있어서,  
기관;  
상기 기관 상에 배치되고, 적어도 하나의 서브픽셀의 영역 내에서, 평탄부와 상기 평탄부를 둘러싸는 경사부로 이루어진 적어도 하나의 오목부를 갖는 절연막;  
상기 적어도 하나의 서브픽셀 영역 내에서, 상기 오목부 및 상기 오목부 외곽에 배치된 주변부의 일부 상에 배치된 표면에 적어도 하나의 돌기부가 구비된 제1 전극;  
상기 오목부의 일부 상에 위치하는 제1 부분과 상기 주변부 상에 위치하는 제2 부분을 포함하는 बैं크;  
상기 오목부와 중첩되고, 상기 제1 전극 상에 배치된 상기 제1 전극 상에서 상기 돌기부를 구비하는 상기 제1 전극의 상면 형상과 대응되는 표면 형상을 갖는 유기층; 및  
상기 유기층과 중첩되는 영역에서 상기 유기층의 표면 형상과 대응되는 표면 형상을 갖는 제2 전극을 포함하고,  
상기 평탄부가 구비된 영역에서, 상기 제1 전극과 상기 बैं크가 미 중첩된 영역은 제1 발광부이고,  
상기 평탄부가 구비된 영역에서, 상기 बैं크와 상기 제1 전극이 중첩된 영역은 제1 비 발광부이며,  
상기 경사부와 대응되는 영역은 제2 발광부이고,  
상기 오목부의 상기 평탄부가 배치된 영역과 대응되는 영역에 구비된 상기 돌기부의 밀도와, 상기 오목부의 상기 경사부가 배치된 영역과 대응되는 영역에 구비된 상기 돌기부의 밀도는 상이한 유기발광 표시장치.

**청구항 21**

제20 항에 있어서,

상기 적어도 하나의 서브픽셀의 상기 제2 발광부는,

상기 제1 전극이 상기 오목부의 경사부와 중첩되는 영역에서부터 상기 절연막의 컨택홀의 적어도 일 측면에 배치된 영역 영역까지 포함하는 유기발광 표시장치.

**청구항 22**

제20 항에 있어서,

상기 제2 발광부를 둘러싸는 제2 비 발광부를 더 포함하는 유기발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 유기발광 표시패널 및 이를 포함하는 유기발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 정보화 사회가 발전함에 따라, 표시장치, 조명장치 등의 다양한 표시패널에 대한 요구가 다양한 형태로 증가하고 있다. 표시패널 분야에서는, 별도의 광원이 필요하지 않아 경량화 및 박형화에서 유리한 유기발광 표시패널에 대한 수요가 증가하고 있다.

[0003] 그러나, 유기발광 표시패널은 광을 방출하는 유기층을 포함하고 있는데, 유기층에서 발광된 광 중에서 유기발광 표시패널 외부로 나오지 못하고 유기발광 표시장치 내부에 갇히는 광들이 존재하여 유기발광 표시패널의 광 추출 효율이 저하되어 발광 효율이 저하되는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 실시예들의 목적은, 광 추출 효율이 향상된 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공하는 데 있다.

[0005] 본 발명의 실시예들의 다른 목적은, 인접한 서브픽셀들 간의 혼색을 방지할 수 있는 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공하는 데 있다.

[0006] 본 발명의 실시예들의 다른 목적은, 액티브 영역 내에서 발광면적을 넓힐 수 있는 유기발광 표시패널 및 유기발광 표시장치를 제공하는 데 있다.

**과제의 해결 수단**

[0007] 일 측면에서, 본 발명의 실시예들은 다수의 서브픽셀을 구비하는 액티브 영역을 포함하는 유기발광 표시패널에 있어서, 기판 상에 배치되고, 액티브 영역의 적어도 하나의 서브픽셀 내에서, 평탄부 및 평탄부를 둘러싸는 경사부로 이루어진 적어도 하나의 오목부를 갖는 절연막 적어도 하나의 서브픽셀 영역 내에서, 오목부 및 오목부 외곽에 배치된 주변부의 일부 상에 배치되되 표면에 적어도 하나의 돌기부가 구비된 제1 전극, 오목부의 일부와 대응되는 영역에서 제1 전극 상에 배치된 제1 부분과 주변부와 대응되는 영역에서 제1 전극 및 절연막 상에 배치된 제2 부분을 포함하는 बैं크, 오목부와 중첩되고, 제1 전극 상에 배치되되 제1 전극 상에서 돌기부를 구비하는 제1 전극의 상면 형상과 대응되는 표면 형상을 갖는 유기층 및 유기층 및 बैं크 상에 배치되되, 유기층과 중첩되는 영역에서 유기층의 표면 형상과 대응되는 표면 형상을 갖는 제2 전극을 포함하는 유기발광 표시패널을 제공할 수 있다.

[0008] 다른 측면에서, 본 발명의 실시예들은 다수의 서브픽셀을 구비하는 액티브 영역을 포함하는 유기발광 표시장치에 있어서, 기판 상에 배치되고, 적어도 하나의 서브픽셀의 영역 내에서, 평탄부와 평탄부를 둘러싸는 경사부로 이루어진 적어도 하나의 오목부를 갖는 절연막, 적어도 하나의 서브픽셀 영역 내에서, 오목부 및 오목부 외곽에 배치된 주변부의 일부 상에 배치되되 표면에 적어도 하나의 돌기부가 구비된 제1 전극, 오목부의 일부 상에 위치하는 제1 부분과 주변부 상에 위치하는 제2 부분을 포함하는 बैं크, 오목부와 중첩되고, 제1 전극 상에 배치되되 제1 전극 상에서 돌기부를 구비하는 제1 전극의 상면 형상과 대응되는 표면 형상을 갖는 유기층 및 유기층과 중첩되는 영역에서 유기층의 표면 형상과 대응되는 표면 형상을 갖는 제2 전극을 포함하고, 평탄부가 구비된 영

역에서, 제1 전극과 상기 बैं크가 미 중첩된 영역은 제1 발광부이고, 평탄부가 구비된 영역에서, बैं크와 상기 제1 전극이 중첩된 영역은 제1 비 발광부이며, 경사부와 대응되는 영역은 제2 발광부인 유기발광 표시장치를 제공할 수 있다.

**발명의 효과**

- [0009] 본 발명의 실시예들에 의하면, 광 추출 효율이 향상된 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.
- [0010] 또한, 본 발명의 실시예들에 의하면, 인접한 서브픽셀들 간의 혼색을 방지할 수 있는 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.
- [0011] 또한, 본 발명의 실시예들에 의하면, 액티브 영역 내에서 발광면적을 넓힐 수 있는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0012] 도 1은 본 발명의 실시예들에 따른 유기발광 표시장치의 개략적인 시스템 구성도이다.
- 도 2는 하나의 서브픽셀이 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터를 더 포함하는 3T(Transistor)1C(Capacitor) 구조를 예시적으로 나타낸 도면이다.
- 도 3은 본 발명의 실시예들에 따른 유기발광 표시패널의 액티브 영역에 포함된 발광부와 비 발광부를 도시한 평면도이다.
- 도 4는 도 3의 A-B를 따라 절단한 영역과 패드 영역의 일부를 도시한 도면이다.
- 도 5는 제1 전극 상면에 구비된 다수의 돌기부의 배열 상태를 도시한 도면이다.
- 도 6은 도 4의 X 영역을 확대한 도면이다.
- 도 7은 도 4의 Y 영역을 확대한 도면이다.
- 도 8은 도 4의 Z 영역을 확대한 도면이다.
- 도 9는 비교예에 따른 유기발광 표시장치와 본 발명의 실시예에 따른 유기발광 표시장치의 광 추출 효율 및 시야각에 따른 대비비(외부로부터 조사되는 광에 따라 자동으로 조절되는 contrast ratio)를 나타낸 그래프이다.
- 도 10은 본 발명의 다른 실시예에 따른 유기발광 표시장치의 단면도이다.
- 도 11은 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 단면도이다.
- 도 12 내지 도 16은 하나의 픽셀 내에서 제1 전극의 상면에 구비된 돌기부를 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0013] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다. 본 명세서 상에서 언급된 "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 "~만"이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별한 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함할 수 있다.
- [0014] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다.
- [0015] 구성 요소들의 위치 관계에 대한 설명에 있어서, 둘 이상의 구성 요소가 "연결", "결합" 또는 "접속" 등이 된다고 기재된 경우, 둘 이상의 구성 요소가 직접적으로 "연결", "결합" 또는 "접속" 될 수 있지만, 둘 이상의 구성 요소와 다른 구성 요소가 더 "개재"되어 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 여기서, 다른 구성 요소는 서로 "연결", "결합" 또는 "접속" 되는 둘 이상의 구성 요소 중 하나 이상에 포함될 수

도 있다.

- [0016] 구성 요소들이나, 동작 방법이나 제작 방법 등과 관련한 시간적 흐름 관계에 대한 설명에 있어서, 예를 들어, "~후에", "~에 이어서", "~다음에", "~전에" 등으로 시간적 선후 관계 또는 흐름적 선후 관계가 설명되는 경우, "바로" 또는 "직접"이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0017] 한편, 구성 요소에 대한 수치 또는 그 대응 정보(예: 레벨 등)가 언급된 경우, 별도의 명시적 기재가 없더라도, 수치 또는 그 대응 정보는 각종 요인(예: 공정상의 요인, 내부 또는 외부 충격, 노이즈 등)에 의해 발생할 수 있는 오차 범위를 포함하는 것으로 해석될 수 있다.
- [0018] 이하에서는, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.
- [0019] 도 1은 본 발명의 실시예들에 따른 유기발광 표시장치의 개략적인 시스템 구성도이다.
- [0020] 본 발명의 실시예들에 따른 표시장치는, 영상을 표시하거나 빛을 출력하는 패널(PNL)과, 이러한 패널(PNL)을 구동하기 위한 구동회로를 포함할 수 있다.
- [0021] 패널(PNL)은, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되는 다수의 서브픽셀(SP)이 매트릭스 타입으로 배열될 수 있다.
- [0022] 패널(PNL)에서 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)은 서로 교차하여 배치될 수 있다. 예를 들어, 다수의 게이트 라인(GL)은 행(Row) 또는 열(Column)으로 배열될 수 있고, 다수의 데이터 라인(DL)은 열(Column) 또는 행(Row)으로 배열될 수 있다. 아래에서는, 설명의 편의를 위하여, 다수의 게이트 라인(GL)은 행(Row)으로 배치되고, 다수의 데이터 라인(DL)은 열(Column)로 배치되는 것으로 가정한다.
- [0023] 패널(PNL)에는, 서브픽셀 구조 등에 따라, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL) 이외에, 다른 종류의 신호배선들이 배치될 수 있다. 구동전압 배선, 기준전압 배선, 또는 공통전압 배선 등이 더 배치될 수 있다.
- [0024] 패널(PNL)에 배치되는 신호배선들의 종류는, 서브픽셀 구조, 패널 타입 등에 따라 달라질 수 있다. 그리고, 본 명세서에서는 신호배선은 신호가 인가되는 전극을 포함하는 개념일 수도 있다.
- [0025] 패널(PNL)은 화상(영상)이 표시되는 액티브 영역(A/A)과, 그 외곽 영역이고 화상이 표시되지 않는 난-액티브 영역(N/A)을 포함할 수 있다. 여기서, 난-액티브 영역(N/A)은 베젤 영역이라고도 한다.
- [0026] 액티브 영역(A/A)에는 화상 표시를 위한 다수의 서브픽셀(SP)이 배치된다.
- [0027] 난-액티브 영역(N/A)에는 데이터 드라이버(DDR)가 전기적으로 연결되기 위한 패드 영역이 배치되고, 이러한 패드 영역과 다수의 데이터 라인(DL) 간의 연결을 위한 다수의 데이터 링크 라인이 배치될 수도 있다. 여기서, 다수의 데이터 링크 라인은 다수의 데이터 라인(DL)이 난-액티브 영역(N/A)으로 연장된 부분들이거나, 다수의 데이터 라인(DL)과 전기적으로 연결된 별도의 패드들일 수 있다.
- [0028] 또한, 난-액티브 영역(N/A)에는 데이터 드라이버(DDR)가 전기적으로 연결되는 패드 부를 통해 게이트 드라이버(GDR)로 게이트 구동에 필요한 전압(신호)을 전달해 주기 위한 게이트 구동 관련 배선들이 배치될 수 있다. 예를 들어, 게이트 구동 관련 배선들은, 클럭 신호를 전달해 주기 위한 클럭 배선들, 게이트 전압(VGH, VGL)을 전달해주는 게이트 전압 배선들, 스캔신호 생성에 필요한 각종 제어신호를 전달해주는 게이트 구동 제어 신호배선들을 포함할 수 있다. 이러한 게이트 구동 관련 배선들은, 액티브 영역(A/A)에 배치되는 게이트 라인들(GL)과 다르게, 난-액티브 영역(N/A)에 배치된다.
- [0029] 구동회로는, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(DDR)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(GDR)와, 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)를 제어하는 컨트롤러(CTR) 등을 포함할 수 있다.
- [0030] 데이터 드라이버(DDR)는 다수의 데이터 라인(DL)으로 데이터 전압을 출력함으로써 다수의 데이터 라인(DL)을 구동할 수 있다.
- [0031] 게이트 드라이버(GDR)는 다수의 게이트 라인(GL)으로 스캔신호를 출력함으로써 다수의 게이트 라인(GL)을 구동할 수 있다.
- [0032] 컨트롤러(CTR)는, 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)의 구동 동작에 필요한 각종 제어신호(DCS, GCS)를 공급하여 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)의 구동 동작을 제어할 수 있다. 또한, 컨트롤러



러(CTR)는 데이터 드라이버(DDR)로 영상데이터(DATA)를 공급할 수 있다.

- [0033] 컨트롤러(CTR)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상데이터를 데이터 드라이버(DDR)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터(DATA)를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0034] 컨트롤러(CTR)는, 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등의 타이밍 신호를 외부 (예: 호스트 시스템)로부터 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)로 출력한다.
- [0035] 예를 들어, 컨트롤러(CTR)는, 게이트 드라이버(GDR)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0036] 또한, 컨트롤러(CTR)는, 데이터 드라이버(DDR)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0037] 컨트롤러(CTR)는, 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행할 수 있는 제어장치일 수 있다.
- [0038] 컨트롤러(CTR)는, 데이터 드라이버(DDR)와 별도의 부품으로 구현될 수도 있고, 데이터 드라이버(DDR)와 함께 통합되어 집적회로로 구현될 수 있다.
- [0039] 데이터 드라이버(DDR)는, 컨트롤러(CTR)로부터 영상데이터(DATA)를 입력 받아 다수의 데이터 라인(DL)로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(DDR)는 소스 드라이버라고도 한다.
- [0040] 데이터 드라이버(DDR)는 다양한 인터페이스를 통해 컨트롤러(CTR)와 각종 신호를 주고받을 수 있다.
- [0041] 게이트 드라이버(GDR)는, 다수의 게이트 라인(GL)로 스캔신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(GDR)는 스캔 드라이버라고도 한다.
- [0042] 게이트 드라이버(GDR)는, 컨트롤러(CTR)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔신호를 다수의 게이트 라인(GL)로 순차적으로 공급한다.
- [0043] 데이터 드라이버(DDR)는, 게이트 드라이버(GDR)에 의해 특정 게이트 라인이 열리면, 컨트롤러(CTR)로부터 수신한 영상데이터(DATA)를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)로 공급한다.
- [0044] 데이터 드라이버(DDR)는, 패널(PNL)의 일 측(예: 상측 또는 하측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 패널(PNL)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.
- [0045] 게이트 드라이버(GDR)는, 패널(PNL)의 일 측(예: 좌측 또는 우측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 패널(PNL)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0046] 데이터 드라이버(DDR)는 하나 이상의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 구현될 수 있다.
- [0047] 각 소스 드라이버 집적회로(SDIC)는 시프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다. 데이터 드라이버(DDR)는, 경우에 따라서, 하나 이상의 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0048] 각 소스 드라이버 집적회로(SDIC)는, TAB (Tape Automated Bonding) 타입 또는 COG (Chip On Glass) 타입으로 패널(PNL)의 본딩 패드(Bonding Pad)에 연결되거나 패널(PNL) 상에 직접 배치될 수도 있다. 경우에 따라서, 각 소스 드라이버 집적회로(SDIC)는 패널(PNL)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적회로(SDIC)는 COF (Chip On Film) 타입으로 구현될 수 있다. 이 경우, 각 소스 드라이버 집적회로(SDIC)는 회로필름 상에 실장 되어, 회로필름을 통해 패널(PNL)에서의 데이터 라인들(DL)과 전기적으로 연결될 수 있다.
- [0049] 게이트 드라이버(GDR)는 다수의 게이트 구동회로(GDC)를 포함할 수 있다. 여기서, 다수의 게이트 구동회로(GD

C)는 다수의 게이트 라인(GL)과 각각 대응될 수 있다.

- [0050] 각 게이트 구동회로(GDC)는 시프트 레지스터(Shift Register), 레벨 시프터(Level Shifter) 등을 포함할 수 있다.
- [0051] 각 게이트 구동회로(GDC)는 TAB (Tape Automated Bonding) 타입 또는 COG (Chip On Glass) 타입으로 패널(PNL)의 본딩 패드(Bonding Pad)에 연결될 수 있다. 또한, 각 게이트 구동회로(GDC)는 COF (Chip On Film) 방식으로 구현될 수 있다. 이 경우, 각 게이트 구동회로(GDC)는 회로필름 상에 실장 되어, 회로필름을 통해 패널(PNL)에서의 게이트 라인들(GL)과 전기적으로 연결될 수 있다. 또한, 각 게이트 구동회로(GDC)는 GIP (Gate In Panel) 타입으로 구현되어 패널(PNL)에 내장될 수 있다. 즉, 각 게이트 구동회로(GDC)는 패널(PNL)에 직접 형성될 수 있다.
- [0052] 도 2는 하나의 서브픽셀이 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터를 더 포함하는 3T(Transistor)1C(Capacitor) 구조를 예시적으로 나타낸 도면이다.
- [0053] 도 2를 참조하면, 제2 트랜지스터(T2)는 구동 트랜지스터(DRT)의 제2 노드(N2)와 기준 전압 라인(RVL) 사이에 전기적으로 연결되어, 게이트 노드로 제2 스캔 신호(SCAN2)를 인가 받아 온-오프가 제어될 수 있다.
- [0054] 제2 트랜지스터(T2)의 드레인 노드 또는 소스 노드는 기준 전압 라인(RVL)에 전기적으로 연결되고, 제2 트랜지스터(T2)의 소스 노드 또는 드레인 노드는 구동 트랜지스터(DRT)의 제2 노드(N2)에 전기적으로 연결될 수 있다.
- [0055] 제2 트랜지스터(T2)는, 일 예로, 디스플레이 구동 시 구간에서 턴-온 될 수 있고, 구동 트랜지스터(DRT)의 특성치 또는 유기발광다이오드(OLED)의 특성치를 센싱하기 위한 센싱 구동 시 구간에서 턴-온 될 수 있다.
- [0056] 제2 트랜지스터(T2)는 해당 구동 타이밍(예: 디스플레이 구동 타이밍 또는 센싱 구동 시 구간 내 초기화 타이밍)에 맞추어, 제2 스캔 신호(SCAN2)에 의해 턴-온 되어, 기준 전압 라인(RVL)에 공급된 기준 전압(Vref)을 구동 트랜지스터(DRT)의 제2 노드(N2)에 전달해줄 수 있다.
- [0057] 또한, 제2 트랜지스터(T2)는 해당 구동 타이밍(예: 센싱 구동 시 구간 내 샘플링 타이밍)에 맞추어, 제2 스캔 신호(SCAN2)에 의해 턴-온 되어, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 기준 전압 라인(RVL)으로 전달해줄 수 있다.
- [0058] 다시 말해, 제2 트랜지스터(T2)는, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 상태를 제어하거나, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 기준 전압 라인(RVL)에 전달해줄 수 있다.
- [0059] 여기서, 기준 전압 라인(RVL)은 기준 전압 라인(RVL)의 전압을 센싱하여 디지털 값으로 변환하여, 디지털 값을 포함하는 센싱 데이터를 출력하는 아날로그 디지털 컨버터와 전기적으로 연결될 수 있다.
- [0060] 아날로그 디지털 컨버터는 데이터 구동 회로(DDR)를 구현한 소스 드라이버 집적회로(SDIC)의 내부에 포함될 수도 있다.
- [0061] 아날로그 디지털 컨버터에서 출력된 센싱 데이터는 구동 트랜지스터(DRT)의 특성치(예: 문턱전압, 이동도 등) 또는 유기발광다이오드(OLED)의 특성치(예: 문턱전압 등)를 센싱하는데 이용될 수 있다.
- [0062] 한편, 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)일 수 있다.
- [0063] 구동 트랜지스터(DRT), 제1 트랜지스터(W2) 및 제2 트랜지스터(T2) 각각은 n 타입 트랜지스터이거나 p 타입 트랜지스터일 수 있다.
- [0064] 한편, 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)는 별개의 게이트 신호일 수 있다. 이 경우, 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)는 서로 다른 게이트 라인을 통해, 제1 트랜지스터(W2)의 게이트 노드 및 제2 트랜지스터(T2)의 게이트 노드로 각각 인가될 수도 있다.
- [0065] 경우에 따라서는, 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)는 동일한 게이트 신호일 수도 있다. 이 경우, 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)는 동일한 게이트 라인을 통해 제1 트랜지스터(W2)의 게이트 노드 및 제2 트랜지스터(T2)의 게이트 노드에 공통으로 인가될 수도 있다.
- [0066] 도 2에 예시된 각 서브픽셀 구조는 설명을 위한 예시일 뿐, 하나 이상의 트랜지스터가 삭제되거나, 하나 이상의

트랜지스터를 더 포함될 수 있으며, 경우에 따라서는, 하나 이상의 캐패시터가 더 포함될 수도 있다.

- [0067] 또는, 다수의 서브픽셀들 각각이 동일한 구조로 되어 있을 수도 있고, 다수의 서브픽셀들 중 일부는 다른 구조로 되어 있을 수도 있다.
- [0068] 한편, 패널(PNL)은 액티브 영역(A/A)에 배치된 유기발광소자로부터 발광된 광이 외부로 추출되는 양에 따라 휘도가 달라질 수 있다. 다시 말해, 유기발광소자로부터 발광된 광의 추출량이 많을수록 패널(PNL)의 휘도는 향상될 수 있다. 이에, 아래에서는, 광 추출량이 향상된 구조를 갖는 박막 트랜지스터 어레이 기관의 구조를 설명한다.
- [0069] 액티브 영역에서 배치된 다수의 서브픽셀 중 적어도 하나의 서브픽셀에는 절연막의 오목부가 적어도 하나 포함될 수 있다.
- [0070] 이와 같이, 간략하게 설명한 유기발광 표시패널에 대하여, 여러 도면들을 참조하여 더욱 상세하게 설명한다.
- [0071] 도 3은 본 발명의 실시예들에 따른 유기발광 표시패널의 액티브 영역에 포함된 발광부와 비 발광부를 도시한 평면도이다. 도 4는 도 3의 A-B를 따라 절단한 영역과 패드 영역의 일부를 도시한 도면이다. 도 4는 하나의 서브픽셀(SP)에 배치된 일부 구성 및 일부 영역만이 도시된 도면일 수 있으며, 패드 영역에 배치된 일부 구성 및 일부 영역만이 도시된 도면일 수 있다.
- [0072] 도 3을 참조하면, 액티브 영역(A/A)에는 다수의 발광부(EA)와 다수의 비 발광부(NEA)가 배치된다.
- [0073] 도 3에 도시된 바와 같이, 적어도 2개 이상의 서브픽셀(SP)의 발광부(EA)의 면적은 다를 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0074] 액티브 영역(A/A)에 배치된 각각의 서브픽셀(SP)은 다수의 발광부(EA1, EA2)를 포함할 수 있다.
- [0075] 구체적으로, 하나의 서브픽셀(SP)은 제1 발광부(EA1)와 제2 발광부(EA2)를 둘러싸는 제2 발광부(EA2)를 포함할 수 있다.
- [0076] 제1 발광부(EA1)와 제2 발광부(EA2) 사이에는 제1 비 발광부(NEA1)가 배치될 수 있다.
- [0077] 즉, 제1 발광부(EA1)와 제2 발광부(EA2)는 제1 비 발광부(NEA1)를 통해 구분될 수 있다.
- [0078] 제1 비 발광부(NEA1)의 면적은 제1 발광부(EA1) 및 제2 발광부(EA2)의 면적보다 작을 수 있다.
- [0079] 이러한 제1 비 발광부(NEA1)는 표시장치가 온(ON) 상태일 때, 블랙(black) 상태이거나, 제1 발광부(EA1)와 제2 발광부(EA2) 중 적어도 하나의 발광부로부터 입사된 광으로 인해 제1 및 제2 발광부(EA1, EA2)에 비해 휘도가 낮은 상태일 수 있다.
- [0080] 도 3에 도시된 바와 같이, 제1 발광부(EA1), 제2 발광부(EA2) 및 제1 비 발광부(NEA1)는 평면 상으로 팔각형 형상일 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 제1 발광부(EA1), 제2 발광부(EA2) 및 제1 비 발광부(NEA1)는 평면 상으로, 원형, 타원형 또는 다각형, 예를 들면, 삼각형, 사각형 또는 육각형 등이 형상으로 이루어질 수 있으며, 이들의 조합 역시 가능하다.
- [0081] 한 쌍의 제1 및 제2 발광부(EA1, EA2)는 다른 한 쌍의 제1 및 제2 발광부(EA1, EA2)와 이격될 수 있으며, 이들 사이에는 제2 비 발광부(NEA2)가 배치될 수 있다.
- [0082] 제2 비 발광부(NEA2)는 제1 및 제2 발광부(EA1, EA2)의 구동을 위한 회로가 배치된 회로부의 일부 또는 전부와 대응되는 영역일 수 있다.
- [0083] 제2 비 발광부(NEA2)는 표시장치가 온(ON) 상태일 때, 블랙(black) 상태이거나, 제2 발광부(EA2)로부터 입사된 광으로 인해 제1 및 제2 발광부(EA1, EA2)에 비해 휘도가 낮은 상태일 수 있다.
- [0084] 제1 비 발광부(NEA1)와 제2 비 발광부(NEA2)가 제1 및 제2 발광부(EA1, EA2)에 비해 휘도가 낮은 상태일 경우, 제1 비 발광부(NEA1)의 휘도가 제2 비 발광부(NEA2)의 휘도보다 높을 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0085] 도 4를 참조하면, 액티브 영역(A/A, A-B 절단 영역)에는 기관(410) 상에 배치된 트랜지스터(TR) 및 트랜지스터(TR)와 전기적으로 연결된 유기발광소자(OLED)가 배치된다. 그리고, 넌-액티브 영역(N/A)에는 적어도 하나의 패드 영역이 존재한다.

- [0086] 트랜지스터(TR)는 액티브층(421), 게이트 전극(423), 소스 전극(424) 및 드레인 전극(425)을 포함한다.
- [0087] 유기발광소자(OLED)는 제1 전극(450), 발광층을 포함하는 유기층(460) 및 제2 전극(470)을 포함한다. 여기서, 제1 전극(450)은 애노드 전극일 수 있고, 제2 전극(470)은 캐소드 전극일 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0088] 구체적으로, 기관(410) 상에 버퍼층(411)이 배치된다. 버퍼층(411) 상에는 트랜지스터(TR)의 액티브층(421)이 배치된다. 액티브층(421) 상에는 게이트 절연막(422)이 배치되고, 게이트 절연막(422) 상에는 게이트 전극(423)이 배치된다.
- [0089] 한편, 도 4에는 도시하지 않았으나, 본 발명의 실시예들에 따른 액티브층(421)은 채널영역을 포함하고, 액티브층(421)의 채널영역은 게이트 절연막(422) 및 게이트 전극(423)과 중첩될 수 있다. 다시 말해, 게이트 절연막(422)과 게이트 전극(423)은 액티브층(421)의 채널영역 상에 배치될 수 있다.
- [0090] 게이트 전극(423) 상에는 층간 절연막(412)이 배치된다. 층간 절연막(412) 상에는 소스 전극(424)과 드레인 전극(425)이 배치된다. 소스 전극(424)과 드레인 전극(425)은 층간 절연막(412) 상에서 서로 이격하여 배치될 수 있다. 그리고, 소스 전극(424)과 드레인 전극(425) 각각은 층간 절연막(412)에 형성된 홀을 통해 액티브층(421)과 접촉될 수 있다.
- [0091] 상술한 구조로 기관(410) 상에 트랜지스터(TR)가 배치될 수 있으나, 본 발명의 트랜지스터 구조가 이에 한정되는 것은 아니다.
- [0092] 예를 들면, 기관(410) 상에 게이트 전극(423)이 배치되고, 게이트 전극(423) 상에 액티브층(421)이 배치되며, 액티브층(421) 상에서 액티브층(421)의 일 단과 중첩하도록 소스 전극(424)이 배치되고, 액티브층(421)의 타 단과 중첩하도록 드레인 전극(425)이 배치될 수도 있다.
- [0093] 그리고, 트랜지스터(TR)를 덮으면서 보호막(413)이 배치될 수 있다.
- [0094] 보호막(413) 상에는 절연막(440)이 배치될 수 있다.
- [0095] 절연막(440)은 유기물질로 이루어질 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0096] 이러한 절연막(440)은 하나의 서브픽셀 영역에서 적어도 하나의 오목부(443)를 가질 수 있다. 그리고, 절연막(440)은 오목부(443)를 둘러싸고, 오목부(CON) 주변에 위치한 주변부(444)를 가질 수 있다. 오목부(443)는 평탄부(441)와 평탄부(441)를 둘러싸는 경사부(442)으로 이루어질 수 있다.
- [0097] 오목부(443)의 평탄부(441)는 표면이 기관(410) 표면과 평행한 부분일 수 있고, 경사부(442)는 평탄부(441)를 둘러싸면서, 경사부(442)의 표면이 기관(410)의 표면으로부터 소정의 각도를 갖는 부분일 수 있다. 즉, 경사부(442)의 표면은 기관(410)의 표면과 평행하지 않을 수 있다.
- [0098] 또한, 절연막(440)은 오목부(443)와 이격하는 컨택홀(CH)을 구비할 수 있다.
- [0099] 그리고, 적어도 하나의 서브픽셀 영역 내에서 절연막(INSS)의 주변부(444)와 오목부(443) 상에 제1 전극(450)이 배치될 수 있다.
- [0100] 한편, 제1 전극(450)은 오목부(443)와 중첩되는 영역에서, 제1 전극(450)의 상면이 기관(410)의 표면과 평행한 제1 영역(451)과, 제1 영역(451)에서 연장되어 제1 전극(450)의 상면이 기관(410)으로부터 소정의 각도를 갖는 부분인 제2 영역(452)을 포함한다. 즉, 제2 영역(452)의 표면은 기관(410)의 표면과 평행하지 않을 수 있다. 그리고, 제1 전극(450)은 제2 영역(453)에서 연장되어, 제1 전극(450)의 상면이 기관(410)의 표면과 평행한 제3 영역(453)을 포함한다. 제3 영역(453)은 오목부(443)의 주변부(444)와 중첩된 영역일 수 있다.
- [0101] 또한, 상술한 바와 같이, 적어도 하나의 서브픽셀 영역 내에서, 절연막(440)은 오목부(443)와 이격된 적어도 하나의 컨택홀(CH)을 포함할 수 있고, 절연막(440)의 컨택홀(CH)을 통해 트랜지스터(TR)와 유기발광소자(OLED)의 제1 전극(450)이 전기적으로 연결될 수 있다.
- [0102] 구체적으로, 제1 전극(450)은 트랜지스터(TR)의 소스 전극(424) 또는 드레인 전극(425)과 전기적으로 연결될 수 있다.
- [0103] 유기발광소자(OLED)의 제1 전극(450)의 상면에는 적어도 하나의 돌기부(454)가 구비될 수 있다.
- [0104] 예를 들면, 도 4에 도시된 바와 같이, 돌기부(454)는 제1 전극(450)의 제1 내지 제3 영역(451, 452, 453)과 대

응되는 영역에서, 제1 전극(450)의 상면에 구비될 수 있다.

- [0105] 다른 측면으로, 돌기부(454)는 절연막(440)의 오목부(441)가 배치된 영역과 대응되는 영역 전체에 구비되고, 절연막(440)의 주변부(443)가 배치된 영역과 대응되는 영역 전체에도 구비될 수 있다. 이 때, 돌기부(454)는 컨택홀(CH) 내에 배치된 제1 전극(450)의 상면에도 구비될 수 있다.
- [0106] 적어도 하나의 돌기부(454)는 제1 전극(450)과 일체로 형성될 수 있다. 그러나, 본 발명은 이에 한정되는 것은 아니며, 적어도 하나의 돌기부(454)와 제1 전극(450) 사이에는 경계가 존재할 수도 있다.
- [0107] 제1 전극(450)의 상면에 다수의 돌기부(454)가 구비되는 경우, 각각의 돌기부(454) 중 일부는 이격하여 배치될 수도 있고, 접하여 배치될 수도 있다. 또한, 다수의 돌기부(454)는 규칙적인 간격(간격이 0이 경우 포함), 규칙적인 크기 또는 규칙적인 모양을 갖도록 구비될 수도 있고, 서로 상이한 간격, 크기 또는 모양을 갖도록 구비될 수도 있다.
- [0108] 다수의 돌기부(454)의 배치 상태는 도 5를 참조하여 구체적으로 검토하면 다음과 같다.
- [0109] 도 5는 제1 전극 상면에 구비된 다수의 돌기부의 배열 상태를 도시한 도면이다.
- [0110] 도 5를 참조하면, 다수의 돌기부(454)는 다수의 행과 다수의 열을 따라 배치될 수 있다. 예를 들면, 다수의 돌기부(454)는 매트릭스(matrix) 형태로 배치될 수 있다. 이때, 동일 행에 배치되거나 동일 열에 배치되는 돌기부 중 적어도 2개는 서로 접하도록 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0111] 또한, 본 발명의 다수의 돌기부(454)는 제1 전극(450)의 상면에서 불규칙적으로 배열될 수 있다. 이때, 다수의 돌기부(454)의 크기와 모양 역시 불규칙할 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 다수의 돌기부(454)들의 크기와 모양 중 적어도 하나는 규칙적일 수도 있다.
- [0112] 다수의 돌기부(454)의 형상은 반구, 반 타원구 또는 다면체 등 다양하게 이루어질 수 있다. 다른 측면으로, 다수의 돌기부(454)의 단면이 원, 타원, 다각형 등 다양한 형상으로 이루어질 수 있다.
- [0113] 다수의 돌기부(454)는 도 4에 도시된 바와 같이 제1 전극(450)과 일체로 이루어질 수도 있고, 도 5에 도시된 바와 같이 다수의 돌기부(454)와 제1 전극(450)이 서로 분리된 구성일 수도 있다.
- [0114] 또한, 다수의 돌기부(454)와 제1 전극(450)은 서로 대응되는 물질을 포함할 수도 있고, 서로 상이한 물질을 포함할 수도 있다.
- [0115] 절연막(440)과 제1 전극(450)의 일부 상에는 도 4에 도시된 바와 같이, बैं크(480)가 배치될 수 있다.
- [0116] बैं크(480)는 절연막(440)에 구비된 오목부(443)의 일부와 대응되는 영역에서 제1 전극(450) 상에 배치된 제1 부분(481)과 절연막(440)에 구비된 주변부(444)와 대응되는 영역에서 제1 전극(450) 및 절연막(440) 상에 배치된 제2 부분(482)을 포함할 수 있다.
- [0117] 이러한 बैं크(480)는 오목부(443)와 중첩되는 영역에서 제1 전극(450)의 상면의 일부를 노출하도록 배치될 수 있다. 즉, 적어도 하나의 서브픽셀은 제1 전극(450)이 बैं크(480)와 미 중첩된 영역을 가질 수 있다.
- [0118] बैं크(480)와 미 중첩된 제1 전극(450) 상에는 발광층을 포함하는 유기층(460)이 배치될 수 있다. 이러한 유기층(460)은 बैं크(480)와 미 중첩하는 제1 전극(450)의 상면에 배치될 수 있다.
- [0119] 유기층(460)은 적어도 하나의 돌기부(454)를 구비하는 제1 전극(450)의 상면 형상과 대응되는 표면 형상을 가질 수 있다. 즉, 유기층(460)의 표면 형상은 제1 전극(450) 상면에 구비된 돌기부(454)의 형상을 따라 형성된 표면 형상을 가질 수 있다.
- [0120] 그리고, 유기층(460) 및 बैं크(480)를 덮으면서 제2 전극(470)이 배치될 수 있다.
- [0121] 제2 전극(470)은 유기층(460)과 중첩되는 영역에서, 유기층(460)의 표면 형상과 대응되는 표면 형상을 가질 수 있다. 즉, 제2 전극(470) 역시 돌기부(454)의 형상 따라 형성된 표면 형상을 가질 수 있다.
- [0122] 한편, 유기발광소자(OLED)의 유기층(460)은 직진성을 갖는 증착 또는 코팅 방법으로 형성될 수 있다. 예를 들면, 유기층(460)은 Evaporation 공정과 같은 물리적 증착 방법(Physical Vapor Deposition: PVD)으로 형성될 수 있다.
- [0123] 이와 같은 방법으로 형성된 유기층(460)은, 수평면에 대해 소정의 각도를 갖는 영역에서의 두께가 수평면과 평행한 영역에서의 두께보다 얇을 수 있다.

- [0124] 예를 들면, 오목부(443)의 경사부(442)와 대응된 영역에 배치된 유기층(460)의 두께는 बैं크(480)에 의해 노출된 제1 전극(450) 상면에 배치된 유기층(460)의 두께보다 얇을 수 있다. 또한, 오목부(443)의 경사부(442)와 대응된 영역에 배치된 유기층(460)의 두께는 오목부(443)의 주변부(444) 상에 배치된 유기층(460)의 두께보다 얇을 수 있다.
- [0125] 이에, 유기발광소자(OLED)가 구동되면, 유기층(460)의 두께가 상대적으로 얇게 형성된 영역, 즉, 오목부(443)의 경사부(442)와 대응된 영역에서 전류밀도가 가장 높게 걸리고, 오목부(443)의 경사부(442)와 대응된 영역에서 전기장이 강하게 걸릴 수 있다.
- [0126] 따라서, 오목부(443)의 경사부(442)과 대응된 영역에서의 유기발광소자(OLED)의 발광 특성과 오목부(443)의 평탄부(441)와 대응된 영역에서의 유기발광소자(OLED)의 발광 특성이 상이해질 수 있고, 소자의 열화가 발생할 수 있다.
- [0127] 본 발명의 실시예에서는, बैं크(480)가 오목부(443) 경사부(442)를 덮도록 배치됨으로써, 오목부(443)의 경사부(442)와 대응되는 영역에서 소자의 열화가 발생하는 것을 방지하고, 영역 별로 발광 특성이 상이한 현상을 방지할 수 있다.
- [0128] 다만, 본 발명의 유기층(460)의 두께 조건이 이에 한정되는 것은 아니며, 유기층(460)의 두께는 위치마다 대응되는 두께를 가질 수도 있다.
- [0129] 한편, 제1 전극(450)은 반사성 금속을 포함할 수 있다. 제1 전극(450)은 반사성 금속을 포함할 수 있다. 한편, 도 4에서는 제1 전극(450)이 단일층인 구성을 도시하였으나, 본 발명이 이에 한정되는 것은 아니며, 다중층으로 이루어질 수 있다. 제1 전극(450)이 다중층으로 이루어지는 경우, 적어도 하나의 층은 반사성 금속을 포함할 수 있다.
- [0130] 예를 들면, 제1 전극(450)은 알루미늄(Alumium), 네오뉘름(Neodium), 니켈(Nickel), 티타늄(Titanium), 탄탈륨(Tantalium), 구리(Cu), 은(Ag), 그리고, 알루미늄 합금 중 적어도 어느 하나를 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0131] 제2 전극(470)은 광이 투과되거나 반투과되는 도전성 물질을 포함할 수 있다. 예를 들면, 인듐 주석 산화물(Indium Tin Oxide, ITO), 인듐 아연 산화물(Indium Zinc Oxide, IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide, ITZO), 아연 산화물(Zinc Oxide) 주석 산화물(Tin Oxide) 등과 같은 투명 전도성 산화물을 적어도 한 종류 포함하거나, 마그네슘(Magnesium), 은(Ag) 또는 마그네슘과 은의 합금 등과 같은 반투과 금속을 포함할 수 있다. 여기서, 제2 전극(470)이 반투과 금속을 포함할 경우, 제2 전극(470)의 두께는 제1 전극(450)의 두께보다 얇을 수 있다.
- [0132] 또한, 제1 전극(450)의 상면에 구비된 적어도 하나의 돌기부(454)는 실리콘(Si), 반사성 금속 또는 투명 전도성 산화물 중 적어도 하나를 포함할 수 있다.
- [0133] 제1 전극(450)은 절연막(440)의 오목부(443)의 평탄부(441)와 경사부(442)를 덮으면서 배치될 수 있다.
- [0134] 이에, 발광층을 포함하는 유기층(460)에서 발광된 광 중 일부는 제2 전극(470)을 투과하여 패널(PNL) 외부로 추출될 수 있다.
- [0135] 또한, 유기층(460)에서 발광된 광 중 다른 일부는 평탄부(441)와 대응되는 위치에 배치된 제1 전극(450), 즉, 제1 전극(450)의 제1 부분(451) 방향으로 향할 수 있고, 제1 전극(450)에 의해 반사되거나, 제1 부분(451)의 상면에 구비된 적어도 하나의 돌기부(454)에 의해 제2 전극(470) 방향으로 광의 경로가 변환되고, 최종적으로 패널(PNL) 외부로 추출될 수 있다.
- [0136] 여기서, 적어도 하나의 돌기부(454)는 제1 전극(450)에 의해 반사되어 외부로 추출되지 못하는 광을 외부로 추출시키는 역할을 할 수 있다.
- [0137] 구체적으로, 제1 전극(450)의 상면에 구비된 돌기부(454)를 구성하는 표면은 제1 전극(450)의 상면이 연장되는 방향을 기준으로 소정의 기울기(slope)를 가질 수 있다. 이러한 돌기부(454)를 구성하는 경사면에 입사되는 광의 입사각이 주로 전반사 임계각 안쪽으로 모이게 됨으로써, 다중 반사(multiple reflection)를 가능하게 하여 광 추출 효율을 향상시킬 수 있다.
- [0138] 이와 같이, 적어도 하나의 돌기부(454)는 외부로 추출되는 광량을 줄여줌으로써, 유기발광소자(OLED) 안에 갇히

는 광을 저장할 수 있는 효과가 있다.

- [0139] 또한, 유기층(460)에서 발광된 광 중 또 다른 일부는 경사부(442)와 대응되는 영역에 배치된 제1 전극(450)의 상면 구비된 적어도 하나의 돌기부(454)에 의해 경로가 변경되어 패널(PNL) 외부로 추출될 수 있다.
- [0140] 그리고, 경사부(442)에 배치된 돌기부(454)에 의해 경로가 변경되지 않은 광은 제1 돌기부(454)를 통과하여 반사성 금속을 포함하는 제1 전극(450)에 의해 반사되어 패널(PNL) 외부로 추출될 수 있다.
- [0141] 상술한 바와 같이, 유기발광소자(OLED)의 제1 전극(450)이 절연막(440)의 오목부(443)의 경사부(442)에 배치되는 동시에, 제1 전극(450)의 상면에 적어도 하나의 돌기부(454)가 구비됨으로써, 유기발광 표시패널의 광 추출 효율이 향상될 수 있다.
- [0142] 또한, 도 4에 도시된 바와 같이, 액티브 영역(A/A)에서 제2 비 발광부(NEA2)와 대응되는 영역에는 제2 전극(470)과 접촉되는 보조 전극(AE, 또는 보조 배선이라 지칭할 수 있음)이 더 배치될 수 있다.
- [0143] 구체적으로, 보조 전극(430)은 층간 절연막(412) 상에 배치될 수 있다. 그리고, 보호막(413), 절연막(440) 및 बैं크(480)는 보조 전극(430)을 노출하는 홀을 구비할 수 있다. 제2 전극(470)은 보조 전극(430)을 노출하는 보호막(413), 절연막(440) 및 बैं크(480)의 홀을 통해 보조 전극(430)과 접촉될 수 있다.
- [0144] 예를 들어, 유기발광 표시패널이 대면적의 표시패널일 경우, 제2 전극(470)의 저항에 의한 전압 강하가 일어나, 패널 외곽부와 중심부의 휘도 차이가 발생할 수 있다. 그러나, 본 발명의 유기발광 표시패널에서는 제2 전극(470)과 접촉되는 보조 전극(430)을 통해 전압 강하가 발생하는 것을 방지할 수 있다. 이에, 본 발명의 실시예에 따른 유기발광 표시패널이 대면적의 패널일 경우, 패널의 휘도 차이 발생을 방지할 수 있는 효과가 있다.
- [0145] 한편, 도 4에서는 하나의 서브 픽셀(SP)에 하나의 보조 전극(430)이 배치된 구성을 도시하였으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 다수의 서브픽셀(SP) 당 하나의 보조 전극(430)이 배치될 수도 있다.
- [0146] 또한, 본 발명의 실시예에 따른 유기발광 표시패널이 대면적의 패널의 아닐 경우, 보조 전극(430)을 포함하지 않을 수도 있다.
- [0147] 그리고, 도 4에 도시된 바와 같이, 액티브 영역(A/A)에는 스토리지 캐패시터(Cst)가 배치될 수 있다. 스토리지 캐패시터(Cst)는 게이트 전극(GATE)과 동일층에 배치된 제1 스토리지 캐패시터 전극(431)과 소스 전극(S) 및 드레인 전극(D)과 동일층에 배치된 제2 스토리지 캐패시터 전극(432)을 포함할 수 있으나, 본 발명의 스토리지 캐패시터(Cst)의 구조가 이에 한정되는 것은 아니다.
- [0148] 또한, 본 발명의 실시예에 따른 유기발광 표시패널은 넌-액티브 영역에 배치되는 패드 영역을 포함한다. 패드 영역에는 다수의 패드 전극(433, 434)이 배치될 수 있다.
- [0149] 예를 들면, 패드 영역에 배치된 다수의 절연막(411, 412) 상에 제1 패드 전극(433)이 배치될 수 있다. 제1 패드 전극(433) 상에는 제1 패드 전극(433)의 상면의 일부를 노출하는 층간 절연막(412)이 배치될 수 있다. 그리고, 제1 패드 전극(433)과 층간 절연막(412) 상에는 제1 패드 전극(433)과 접촉하는 제2 패드 전극(434)이 배치될 수 있다.
- [0150] 도 4에는 도시하지 않았으나, 제2 패드 전극(434)은 각종 회로 필름 등과 전기적으로 연결될 수 있다.
- [0151] 이어서, 본 발명의 실시예에 따른 유기발광 표시패널에 대한 구조 및 광 경로에 대한 설명은 도 6 내지 도 8을 통해 더욱 자세히 검토한다.
- [0152] 도 6은 도 4의 X 영역을 확대한 도면이다. 도 7은 도 4의 Y 영역을 확대한 도면이다. 도 8은 도 4의 Z 영역을 확대한 도면이다.
- [0153] 먼저, 도 6을 참조하면, 적어도 하나의 서브픽셀(SP)은 적어도 하나의 발광영역(EA)을 포함하고, 하나의 발광영역(EA)은 적어도 2개의 발광부(EA1, EA2)를 구비할 수 있다. 2개의 발광부(EA1, EA2) 사이에는 하나의 비 발광부(NEA1)가 배치될 수 있다.
- [0154] 구체적으로, 제1 발광부(EA1)는 절연막(440)의 오목부(443)의 일부와 대응되는 영역일 수 있다.
- [0155] 다른 측면으로, 제1 발광부(EA1)는 오목부(443)의 평탄부(441)에서 बैं크(480)의 제1 부분(481)과 미 중첩되는 영역일 수 있다.
- [0156] 제1 발광부(EA1)는 유기층(460)으로부터 발광된 광의 일부(L1)가 유기층(460)과 제2 전극(470)을 거쳐 패널

(PNL) 외부로 추출되는 영역일 수 있다.

- [0157] 또한, 제1 발광부(EA1)는 유기층(460)으로부터 발광된 광의 일부(L1, 후술하는 설명에서는 제1 광으로 명명함)는 제1 전극(450)에 도달하고, 제1 전극(450)에 의해 반사되어 다시 유기층(460)과 제2 전극(470)을 차례로 거쳐 패널 외부로 추출되는 영역일 수 있다.
- [0158] 이러한 제1 발광부(EA1)는 제1 비 발광부(NEA1)로 둘러싸일 수 있다.
- [0159] 제1 비 발광부(NEA1)는 बैं크(480)가 오목부(443)의 평탄부(441)와 중첩된 영역과 대응될 수 있다. 구체적으로는, 제1 비 발광부(NEA1)는 बैं크(480)의 제1 부분(481)이 오목부(443)의 평탄부(441)와 중첩되는 영역과 대응될 수 있다.
- [0160] 제1 비 발광부(NEA1)는 유기층(460)으로부터 발광된 광 중 일부(L3)가 बैं크(480)의 제1 부분(481)과 대응되는 영역으로 향하지만, 이 광(L3)이 외부로 추출되지 못하는 영역일 수 있다. 다시 설명하면, 유기층(460)으로부터 발광된 광이, 평탄부(441)와 평행한 방향으로 출사되어 제1 전극(450)에 도달하나, 광이 외부로 출사되도록 반사되지 못하고 서브픽셀 내에 갇히는 영역일 수 있다.
- [0161] 제2 발광부(EA2)는 이러한 제1 비 발광부(NEA1)를 둘러싸도록 배치될 수 있다. 제2 발광부(EA2)는 제1 전극(450)이 오목부(443)의 경사부(442)와 중첩되는 영역과 대응되는 영역일 수 있다. 다른 측면으로, 제2 발광부(EA2)는 제1 전극(450)의 제2 영역(452)과 대응되는 영역일 수 있다.
- [0162] 유기층(460)으로부터 발광된 광 중 일부(L2, 후술하는 설명에서는 제2 광으로 명명함)는 제1 전극(450)의 제2 영역(452)과 대응되는 영역으로 향할 수 있다.
- [0163] 구체적으로, 제2 광(L2)은 बैं크(480)의 제1 부분(481)을 거쳐 제1 전극(450)의 제2 영역(452)의 일부 영역과 대응되는 영역에 도달한다. 제1 전극(450)에 도달한 제2 광(L2)은 제1 전극(450)에 의해 반사되어 다시 बैं크(480)의 제1 부분(481), 유기층(460) 및 제2 전극(470)을 거쳐 외부로 추출된다. 이와 같이 제2 광(L2)이 추출됨으로써, 제2 발광부(EA2)가 존재하게 된다.
- [0164] 한편, 제1 발광부(EA1)와 제2 발광부(EA2) 사이에 배치된 제1 비 발광부(NEA1)는 제1 발광부(EA1)의 가시광선과 제2 발광부(EA2)들의 가시광선이 혼재되어 있는 영역일 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0165] 제2 비 발광부(NEA2)는 이러한 제2 발광부(EA2)를 둘러싸도록 배치될 수 있다. 제2 비 발광부(NEA2)는 बैं크(480)의 제2 부분(482)이 배치된 영역과 대응될 수 있다.
- [0166] 본 발명의 실시예들에 따른 유기발광 표시패널에서는, 제2 발광부(EA2)로부터 추출되는 광량을 증가시키기 위해, 오목부(443)의 경사부(442)와 오목부(443)의 경사부(442)에 배치된 बैं크(480)는 특정 조건을 가질 수 있다.
- [0167] 도 7을 참조하면, 절연막(440)의 경사부(442)의 높이(H1, 또는 오목부의 깊이)는 0.7 $\mu$ m 이상일 수 있다. 여기서, 경사부(442)의 높이(H1)는 오목부(443)의 평탄부(CON)의 표면에서 기관(410)의 표면과 평행하게 연장된 선으로부터 주변부(444)까지의 최단 거리를 의미한다.
- [0168] 한편, 본 발명의 실시예에서는 오목부(443)의 경사부(442)가 위치하는 절연막(440) 높이(H1)가 상술한 수치에 한정되는 것은 아니다. 예를 들면, 높이 H1은 절연막(440)의 오목부(443)가 절연막(440) 하부에 배치된 구성들을 노출시키지 않는 정도의 높이로 이루어지는 구성이면 충분하다.
- [0169] 경사부(442)의 높이(H1)는 오목부(443)의 주변부(444) 상에 배치된 बैं크(480)의 높이 보다 높을 수 있다. 다른 측면으로, 경사부(442)의 높이(H1)는 बैं크(480)의 제2 부분(482)의 높이보다 높을 수 있다.
- [0170] 이와 같이, 경사부(442)의 높이(H1)가 높게 형성될수록 제1 전극(450)의 제2 영역(452)에서 반사되는 광량이 증가되므로, 광 추출 효율이 향상될 수 있다.
- [0171] 또한, 오목부(443)의 경사부(442)이 수평면과 이루는 각도(a)는 27 $^{\circ}$  이상 내지 80 $^{\circ}$  미만일 수 있다.
- [0172] 각도 a가 27 $^{\circ}$  미만일 경우, 유기층(460)으로부터 발광된 광은 경사부(442)에 배치된 제1 전극(450)에 도달하지 못하고, 인접한 다른 서브픽셀로 전달되어 혼색 현상이 나타나거나, 패널(PNL) 안에 갇혀서 외부로 추출되지 못할 수 있다.
- [0173] 각도 a가 80 $^{\circ}$ 를 초과할 경우, 절연막(440)의 경사부에 배치되는 제1 전극(450) 등의 구성에 단선이 발생할 수



있다.

- [0174] 또한, 오목부(443)의 경사부(442)와 대응되는 영역에서 제1 전극(450)의 표면과 बैं크(480) 사이의 거리(W)는  $3.2\mu\text{m}$  이하,  $2.6\mu\text{m}$  이하 또는  $2.0\mu\text{m}$  이하일 수 있다
- [0175] 다른 측면으로, 제1 전극(450)의 제2 영역(452)에서 제1 전극(450)의 표면과 बैं크(480) 사이의 거리(W)는  $3.2\mu\text{m}$  이하,  $2.6\mu\text{m}$  이하 또는  $2.0\mu\text{m}$  이하일 수 있다.
- [0176] W가 작을수록, 제1 발광부(EA1) 면적이 확장될 수 있고, 제1 전극(450)의 제2 영역(452)에서 반사되어 추출되는 광의 광로를 줄여 광 추출 효율이 향상될 수 있으므로, W 값의 하한은 특별히 제한되는 것은 아니나, 예를 들면, d의 하한은  $0.1\mu\text{m}$  이상,  $0.3\mu\text{m}$  이상 또는  $0.5\mu\text{m}$  이상일 수 있다.
- [0177] W의 범위를 상술한 바와 같이 조절함으로써, 제1 발광부(EA1)의 면적을 넓히면서 광 추출 효율을 향상시킬 수 있는 유기발광 표시패널을 제공할 수 있는 효과가 있다.
- [0178] 한편, 유기층(460)으로부터 발광된 광 중, 제1 전극(450)의 제2 영역(A)의 일부 영역과 대응되는 영역에 도달하는 제2 광(L2)은 패널 외부로 추출되기까지 बैं크(480)를 적어도 2번 통과하게 된다.
- [0179] बैं크(480)가 유색의 유기재료 또는 무기재료를 포함하는 경우, 가시광선 파장 대에서 단파장 영역의 광을 흡수할 수 있으므로, 제2 광(L2)이 추출되는 제2 발광부(EA2)와 बैं크(480)를 통과하지 않고 외부로 제1 광(L1)이 추출되는 제1 발광부(EA1)의 색좌표가 달라질 수 있다. 예를 들면, 제2 발광부(EA2)의 색좌표가 제1 발광부(EA1)의 색좌표보다 장파장으로 이동(shift)될 수 있다.
- [0180] बैं크(480)가 투명한 유기재료 또는 무기재료를 포함하는 경우, 제1 발광부(EA1)로부터 발광된 광의 색좌표와 제2 발광부(EA2)로부터 발광된 광의 색좌표는 서로 대응될 수 있다.
- [0181] 한편, 본 발명의 실시예에 따른 유기발광 표시장치는 컨택홀(CH)에 구비된 제1 전극(450)의 적어도 하나의 돌기부(454)를 통해서도 광 추출이 이루어질 수 있다.
- [0182] 이를 도 8을 참조하여 검토하면 다음과 같다.
- [0183] 도 8을 참조하면, 유기층(460)으로부터 발광된 광 중 일부(L4)는 제1 전극(450)이 박막 트랜지스터(TR)의 드레인 전극(425)과 연결되는 컨택홀(CH)에 구비된 적어도 하나의 돌기부(454)를 통해 패널(PNL) 외부로 추출될 수 있다.
- [0184] 구체적으로, 발광층을 포함하는 유기층(460)으로부터 발광된 광 중 일부(L4)는 बैं크(480)의 제1 부분(481)과 대응되는 영역으로 향할 수 있고, 이 중 बैं크(480)에 흡수되지 못한 광은 절연막(440)을 투과하여 컨택홀(CH) 내에 배치된 제1 전극(450)에 도달할 수 있다.
- [0185] 컨택홀(CH) 내에 배치된 제1 전극(450)의 두께에 따라서 제1 전극(450)에 도달한 광은 제1 전극(450)에 흡수되거나, 제1 전극(450) 상면에 구비된 적어도 하나의 돌기부(454)를 통해 패널(PNL) 외부로 추출될 수 있다.
- [0186] 예를 들면, 반사성 금속을 포함하는 제1 전극(450)의 두께가 충분히 얇을 경우, 컨택홀(CH) 내에 배치된 제1 전극(450)에 도달한 광은 제1 전극(450) 상면에 구비된 돌기부(454)에 도달할 수 있게 되고, 돌기부(454)는 광(L4)의 반사를 유도하여 광이 패널(PNL) 외부로 추출될 수 있게 한다.
- [0187] 이 경우, 제2 발광부(EA2)의 면적은 도 6에 도시된 제2 발광부(EA2)의 면적보다 커질 수 있다.
- [0188] 다시 말해, 하나의 서브픽셀 내에서, 제2 발광부(EA2)는 제1 전극(450)이 절연막(440)의 오목부(443)의 경사부(442)와 중첩되는 영역에서부터 절연막(440)의 컨택홀(CH, 제1 전극이 박막 트랜지스터와 컨택하는 컨택홀)의 적어도 일 측면에 배치된 영역까지를 포함할 수 있다.
- [0189] 다만, 이 경우, 제2 발광부(EA2)는 제1 전극(450)이 경사부(442)와 중첩되는 영역으로부터 멀어질수록 휘도가 낮아질 수 있다.
- [0190] 이와 같은 구조를 통해서, 본 발명의 실시예에 따른 유기발광 표시장치는 액티브 영역 내에서 발광면적을 넓힐 수 있는 효과가 있다.
- [0191] 본 발명의 실시예에 따른 표시장치의 효과를 도 9를 참조하여 검토하면 다음과 같다.
- [0192] 도 9는 비교예에 따른 유기발광 표시장치와 본 발명의 실시예에 따른 유기발광 표시장치의 광 추출 효율 및 시야각에 따른 대비비(외부로부터 조사되는 광에 따라 자동으로 조절되는 contrast ratio)를 나타낸 그래프이다.

- [0193] 여기서, 비교예에 따른 유기발광 표시장치는 절연막에 본 발명의 도 4에 도시된 절연막(440)의 오목부(443) 및 제1 전극(450) 상면에 구비된 돌기부(454)가 존재하지 않는 유기발광 표시장치이고, 실시예에 따른 유기발광 표시장치는 도 4에 도시된 구조를 갖는 유기발광 표시장치일 수 있다.
- [0194] 도 9를 참조하면, 비교예에 따른 표시장치의 광 추출 효율을 100%라고 할 때, 실시예에 따른 유기발광 표시장치의 광 추출 효율은 116%로, 비교예에 따른 유기발광 표시장치의 광 추출 효율이 실시예에 따른 유기발광 표시장치의 광 추출 효율보다 높을 수 있다.
- [0195] 또한, 본 발명의 실시예에 따른 유기발광 표시장치는 제1 발광부 및 제2 발광부와 대응되는 영역에 절연막(440)의 오목부(443)를 구비하고, 제1 전극(450)의 상면에 적어도 하나의 돌기부(454)를 구비하더라도, 비교예에 따른 유기발광 표시장치의 시야각에 따른 대비비와 차이가 없는 것을 알 수 있다.
- [0196] 즉, 본 발명의 실시예에 따른 유기발광 표시장치는 시야각 특성을 저하시키지 않는 동시에 광 추출 효율을 향상시킬 수 있는 효과가 있다.
- [0197] 한편, 도 4 내지 도 8에서는 제1 전극(450)의 상면 전체에 다수의 돌기부(454)가 구비된 특징을 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [0198] 제1 전극(450)의 상면에 배치된 돌기부(454)의 다른 배치 특성을 도 10을 참조하여 검토하면 다음과 같다.
- [0199] 도 10은 본 발명의 다른 실시예에 따른 유기발광 표시장치의 단면도이다.
- [0200] 후술하는 설명에서는 앞서 설명한 실시예들과 중복되는 내용(구성, 효과 등)은 생략할 수 있다.
- [0201] 도 10을 참조하면, 제1 전극(1050)의 상면의 일부에는 적어도 하나의 돌기부(1054)가 구비될 수 있다.
- [0202] 돌기부(1054)는 절연층(440)에 구비된 오목부(443)가 배치된 영역과 대응되는 영역에 배치된 제1 전극(1050) 상면의 일부에 구비될 수 있다. 구체적으로, 적어도 하나의 돌기부(1054)는 오목부(443)의 경사부(442)가 배치된 영역과 대응되는 영역에 배치된 제1 전극(1050)의 상면에 구비될 수 있으며, 오목부(443)의 평탄부(441)가 배치된 영역과 대응되는 영역에 배치된 제1 전극(1050)의 상면에는 미 구비될 수 있다.
- [0203] 그리고, 돌기부(1054)는 절연층(440)의 주변부(444)가 배치된 영역과 대응되는 영역에 배치된 제1 전극(1050)의 상면 전체에 구비될 수 있다.
- [0204] 유기층(460)에서 발광된 광 중 일부는 경사부(442)와 대응되는 영역에 배치된 제1 전극(450)의 상면 구비된 적어도 하나의 돌기부(454)에 의해 경로가 변경되어 패널(PNL) 외부로 추출될 수 있다.
- [0205] 이에, 하나의 서브픽셀에서 발광된 광이 다른 서브픽셀로 넘어가서 빛샘이 발생하는 것을 방지하는 동시에, 광 추출 효율을 향상시킬 수 있는 효과가 있다.
- [0206] 상술한 같이, 절연막(440)의 평탄부(441)가 배치된 영역과 대응되는 영역에 배치된 제1 전극(1050)의 상면에는 돌기부(1054)가 미 배치되므로, 절연막(440)의 평탄부(441)가 배치된 영역과 대응되는 영역에서, 제1 전극(1050)의 표면은 평탄할 수 있다.
- [0207] 이에, 도 10에 도시된 바와 같이, बैं크(480)에 의해 노출된 제1 전극(1050) 상면에 배치된 유기층(1060)의 표면은 평탄할 수 있다.
- [0208] 또한, 제2 전극(1070)의 표면은 유기층(1060)과 중첩되는 영역에서 평탄한 형상을 가질 수 있다.
- [0209] 한편, 도 10에서는 다수의 돌기부(1054)가 오목부(443)의 평탄부(441)가 배치된 영역과 대응되는 영역에 배치된 제1 전극(1050)의 상면 전체에 미 구비되는 구성을 도시하였으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 본 발명의 돌기부(1054)는 절연막(440)의 오목부(443)가 배치된 영역과 대응되는 영역에서 제1 전극(1050)의 상면에 일부에 배치되거나, 절연막(440)의 주변부(444)가 배치된 영역과 대응되는 영역에서 제1 전극(1050)의 상면의 일부에 배치되는 구성이면 충분하다.
- [0210] 이와 같이, 오목부(443)의 평탄부(441)가 배치된 영역과 대응되는 영역에 구비된 돌기부(454)의 밀도와, 오목부(443)의 경사부(442)가 배치된 영역과 대응되는 영역에 구비된 돌기부(454)의 밀도는 상이할 수 있다.
- [0211] 한편, 도 4 내지 도 8 및 도 10에서는 유기발광소자(OLED)의 유기층(460, 1060)이 बैं크(480)에 의해 노출된 제1 전극(450, 1050) 상에 배치된 구성을 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [0212] 이어서, 도 11을 참조하여 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 구조를 검토하면 다음과

같다.

- [0213] 도 11은 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 단면도이다.
- [0214] 후술하는 설명에서는 앞서 설명한 실시예들과 중복되는 내용(구성, 효과 등)은 생략할 수 있다.
- [0215] 도 11에서는, 도 4의 구조와는 다르게 유기발광소자(OLED)의 유기층(1160)이 제1 전극(460)과 중첩되되, बैं크(480)의 상면과 중첩되는 영역에 배치될 수 있다.
- [0216] 이 경우, 제2 전극(1170)과 보조 전극(430)의 컨택을 위해, बैं크(480)는 유기층(1160)을 형성하는 공정에서 유기층(1160) 물질이 보조 전극(430) 상에 증착되지 못하도록 하는 구조를 가질 수 있다.
- [0217] 구체적으로, 도 15에 도시된 바와 같이, बैं크(480)는 보조 전극(430)을 노출하도록 홀을 둘러싸는 영역에서, 기관(410)으로부터 멀어질수록 폭이 넓어지는 형상을 가질 수 있다. 즉, बैं크(480)가 기관(410)으로부터 멀어질수록 보조 전극(430)을 노출하는 बैं크(480)의 홀의 입구가 좁아질 수 있다.
- [0218] 한편, 유기층(1160)을 형성하는 공정은, 원료물질이 직전성을 갖는 증착 또는 코팅 방법이 이용될 수 있다. 예를 들면 Evaporation 방법이 이용될 수 있다. 그리고, 제2 전극(EL2)을 형성하는 공정은, 원료 물질의 방향성이 일정하지 않은 증착 또는 코팅 방법이 이용될 수 있다. 예를 들면, 스퍼터링(Sputtering) 방법이 이용될 수 있다.
- [0219] 보조 전극(430)을 노출하는 बैं크(480)의 홀의 입구가 좁기 때문에, 유기층(1160)의 공정 특성으로 인하여, 유기층(1160)이 보조 전극(430) 상에 배치되지 않을 수 있다. 그리고, 제2 전극(1170) 역시 공정 특성으로 인하여, बैं크(480)의 홀이 입구가 좁더라도 홀 안으로 제2 전극(1170)의 원료 물질이 들어가게 될 수 있으므로, 보조 전극(430) 상에도 제2 전극(1170)이 형성될 수 있다.
- [0220] 한편, 본 발명의 실시예들에 따른 유기발광 표시패널은 적어도 하나의 픽셀을 구비할 수 있으며, 하나의 픽셀은 적어도 두개의 서브픽셀을 구비할 수 있다.
- [0221] 각각의 서브픽셀은 하나의 제1 전극을 구비할 수 있다.
- [0222] 유기발광 표시패널에 포함된 다수의 서브픽셀 중 적어도 하나의 서브픽셀에 배치된 제1 전극의 상면에는 적어도 하나의 돌기부가 구비될 수 있다.
- [0223] 다수의 서브픽셀을 포함하는 하나의 픽셀 내에 제1 전극의 상면에 돌기부가 구비된 구성을 도 12 내지 도 16을 참조하여 검토하면 다음과 같다.
- [0224] 도 12 내지 도 16은 하나의 픽셀 내에서 제1 전극의 상면에 구비된 돌기부를 도시한 도면이다.
- [0225] 후술하는 설명에서는 앞서 설명한 실시예들과 중복되는 내용(구성, 효과 등)은 생략할 수 있다.
- [0226] 도 12를 참조하면, 하나의 픽셀(P)은 제1 서브픽셀(SP1), 제2 서브픽셀(SP2), 제3 서브픽셀(SP3) 및 제4 서브픽셀(SP4)을 포함할 수 있다. 도 12에서는 하나의 픽셀(P)이 4개의 서브픽셀을 포함하는 구성을 도시하였으나, 본 발명이 이에 한정되는 것은 아니며, 하나의 픽셀(P)은 두 개 이상의 서브픽셀을 구비하는 구성이면 충분하다.
- [0227] 본 발명의 실시예에서는 제1 내지 제4 서브픽셀(SP1, SP2, SP3, SP4)이 발광하는 광의 색상이 서로 상이 할 수 있다. 예를 들면, 제1 서브픽셀(SP1)은 적색 광을 발광하는 서브픽셀이고, 제2 서브픽셀(SP2)은 녹색 광을 발광하는 서브픽셀이며, 제3 서브픽셀(SP3)은 청색 광을 발광하는 서브픽셀이고, 제4 서브픽셀(SP4)은 백색 광을 발광하는 서브픽셀일 수 있다.
- [0228] 다만, 상술한 구성은 예시에 지나지 않으며, 본 실시예에서는 제1 내지 제4 서브픽셀(SP1, SP2, SP3, SP4) 중 적어도 두 개의 서브픽셀은 서로 상이한 색상의 광을 발광하는 구성이면 충분하다.
- [0229] 제1 내지 제4 서브픽셀(SP1, SP2, SP3, SP4) 각각에는 유기발광소자(OLED)의 제1 전극(450)이 배치될 수 있다. 그리고, 제1 전극(450)의 상면에는 다수의 돌기부(1254)가 구비될 수 있다.
- [0230] 여기서, 각 서브픽셀(SP1, SP2, SP3, SP4)에 배치된 돌기부(1254)들의 크기와 형상은 서로 대응될 수 있다.
- [0231] 또한, 각 서브픽셀(SP1, SP2, SP3, SP4)에 배치된 다수의 돌기부(1254)은 각 서브픽셀(SP1, SP2, SP3, SP4) 내에서 서로 이격하여 배치될 수 있으며, 서로 다른 돌기부(1254)들 사이의 간격은 일정할 수 있다.
- [0232] 한편, 도 4 내지 도 11에서는 단일층으로 이루어지는 제1 전극(440)의 상면에 돌기부(1254) 구비된 구성을 도시

하였으나, 본 발명이 이에 한정되는 것은 아니다.

- [0233] 예를 들면, 절연막(440) 상에 표면에 다수의 돌기(1258a)가 구비된 무기막(1256)이 배치되고, 무기막(1256) 상에 제1 전극(450)이 배치될 수 있다. 이 때, 제1 전극(450)의 표면의 형상은 무기막(1256)의 표면 형상을 따를 수 있다.
- [0234] 또한, 절연막(440) 상에 반사성 금속 또는 투명도전 물질을 포함하는 다수의 돌기(1268)가 배치될 수 있다. 다수의 돌기(1268) 상에는 제1 전극(450)이 배치될 수 있다. 제1 전극(450)의 표면 형상은 다수의 돌기(1268)의 표면 형상을 따를 수 있다.
- [0235] 도 12에서는 제1 전극(450)이 단일층인 구성을 도시하였으나, 본 발명이 이에 한정되는 것은 아니며, 다중층으로 이루어질 수 있다. 제1 전극(450)이 다중층으로 이루어질 경우, 적어도 하나의 층은 반사성 금속을 포함할 수 있다.
- [0236] 다만, 본 발명은 이에 한정되지 않으며, 도 13에 도시된 바와 같이, 제1 서브픽셀(SP1)에 구비된 돌기부(1354)의 크기, 제2 서브픽셀(SP2)에 구비된 돌기부(1355)의 크기 및 제3 서브픽셀(SP3)에 구비된 돌기부(1356)의 크기는 서로 상이할 수 있다. 그리고, 제3 서브픽셀(SP3)에 구비된 돌기부(1356)의 크기와 제4 서브픽셀(SP4)에 구비된 돌기부(1357)의 크기는 서로 대응될 수 있다.
- [0237] 예를 들면, 제1 서브픽셀(SP1)에 구비된 돌기부(1354)의 크기는 제2 서브픽셀(SP2)에 구비된 돌기부(1355)의 크기보다 크고, 제2 서브픽셀(SP2)에 구비된 돌기부(1355)의 크기는 제3 및 제4 서브픽셀(SP3, SP4)에 구비된 돌기부(1356, 1357)의 크기보다 클 수 있다. 다만, 상술한 돌기부들의 크기 관계는 일 예에 지나지 않는다.
- [0238] 다시 말해, 적어도 두 개의 서브픽셀 내에 배치된 돌기부의 크기는 서로 상이할 수 있다.
- [0239] 편의 상, 도 13에서는 하나의 서브픽셀 내에 배치된 다수의 돌기부들의 크기가 동일한 것으로 도시하였으나, 하나의 서브픽셀 내에서도 돌기부들의 크기는 상이할 수 있다.
- [0240] 한편, 도 13에서는 적어도 두 개의 서브픽셀 내에 배치된 돌기부의 크기가 서로 상이한 구성을 도시하였으나, 본 발명의 실시예에서는 적어도 두 개의 서브픽셀 내에 배치된 돌기부의 형상이 서로 상이한 구성을 포함할 수 있다.
- [0241] 또한, 도 13에 도시된 바와 같이, 적어도 하나의 서브픽셀(SP4) 내에 배치된 다수의 돌기부(1357)는 서로 이격하여 배치될 수 있고, 인접한 돌기부(1357)들끼리 서로 다른 이격 거리(d1, d2)를 가질 수 있다.
- [0242] 또한, 본 발명의 실시예에서는 적어도 두 개의 서브픽셀에 배치된 돌기부의 밀도가 상이할 수 있다. 예를 들면, 제3 서브픽셀(SP3)에 구비된 돌기부(1356)의 밀도가 제4 서브픽셀(SP4)에 구비된 돌기부(1357)의 밀도보다 클 수 있다.
- [0243] 또한, 도 14 내지 도 16에 도시된 바와 같이, 적어도 하나의 서브픽셀에는 제1 전극(450) 상면에 돌기부가 구비되지 않을 수 있다.
- [0244] 예를 들면, 도 14에 도시된 바와 같이, 제1 서브픽셀(SP1)에 배치된 제1 전극(450)의 상면에만 다수의 돌기부(1254)가 구비되거나, 도 15에 도시된 바와 같이, 제1 및 제2 서브픽셀(SP1, SP2)에 배치된 제1 전극(450)의 상면에만 다수의 돌기부(1254)가 구비되거나, 도 16에 도시된 바와 같이, 제1 내지 제3 서브픽셀(SP1, SP2, SP3)에 배치된 제1 전극(450)의 상면에만 다수의 돌기부(1254)가 구비될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0245] 상술한 바와 같이, 본 발명의 실시예에서는 서로 다른 색상의 광을 발광하는 적어도 2개의 서브픽셀 각각에 배치된 제1 전극의 상면에 구비된 상기 돌기부의 밀도(돌기부들 간의 이격 거리) 및 크기 중 적어도 하나는 서로 상이할 수 있다.
- [0246] 다시 말해, 본 발명의 실시예에서는 각 서브픽셀(SP1, SP2, SP3, SP4)에 배치된 유기발광소자(OLED)의 광 특성, 소자 특성을 고려하여 제1 전극(450)의 상면에 다양하게 변형된 돌기부가 배치될 수 있다.
- [0247] 본 발명의 실시예들에 의하면 유기발광소자(OLED)의 제1 전극이 절연막의 오목부(443)의 경사부에 배치되는 동시에, 제1 전극의 상면에 적어도 하나의 돌기부가 구비됨으로써, 광 추출 효율이 향상된 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.
- [0248] 또한, 본 발명의 실시예들에 의하면, 인접한 서브픽셀들 간의 혼색을 방지할 수 있는 구조를 갖는 유기발광 표

시패널 및 유기발광 표시장치를 제공할 수 있다.

[0249] 또한, 본 발명의 실시예들에 의하면, 액티브 영역 내에서 발광면적을 넓힐 수 있는 유기발광 표시패널 및 유기 발광 표시장치를 제공할 수 있다.

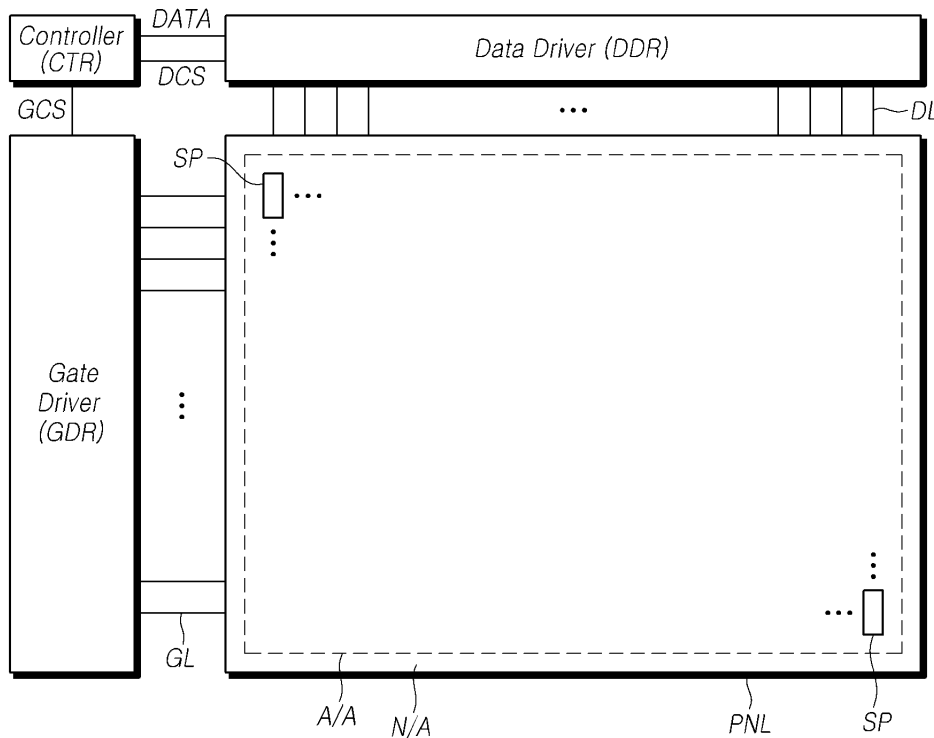
[0250] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 또한, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이므로 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

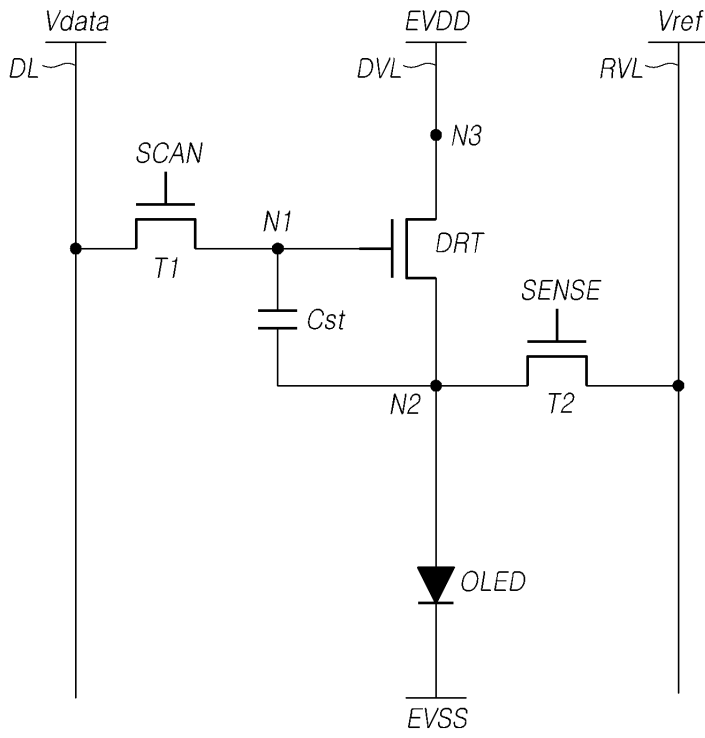
- [0251] 440: 절연막
- 441: 평탄부
- 442: 경사부
- 443: 오목부
- 444: 주변부
- 450: 제1 전극
- 454: 돌기부
- 460: 유기층
- 470: 제2 전극

**도면**

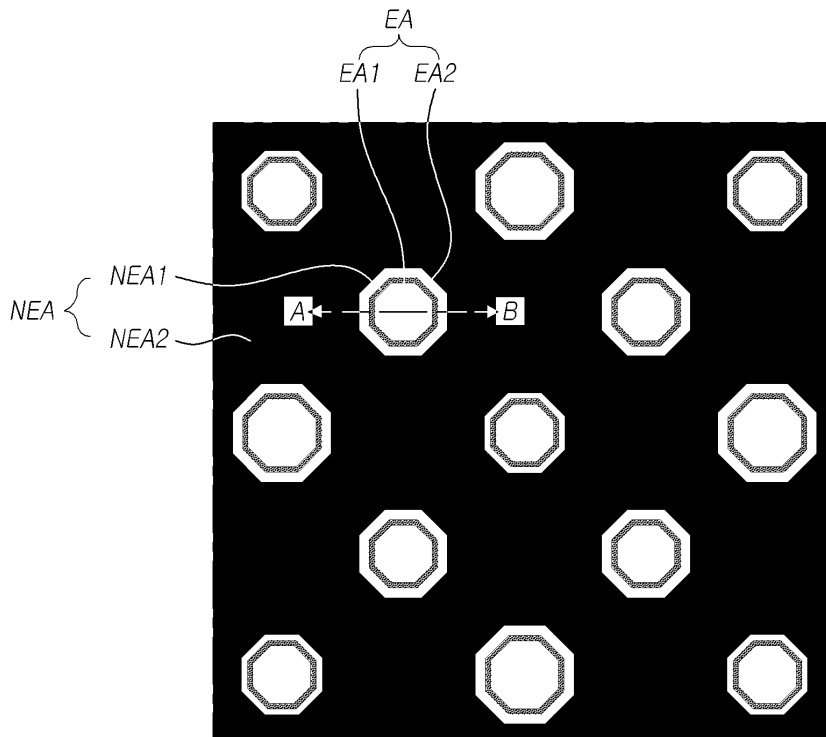
**도면1**



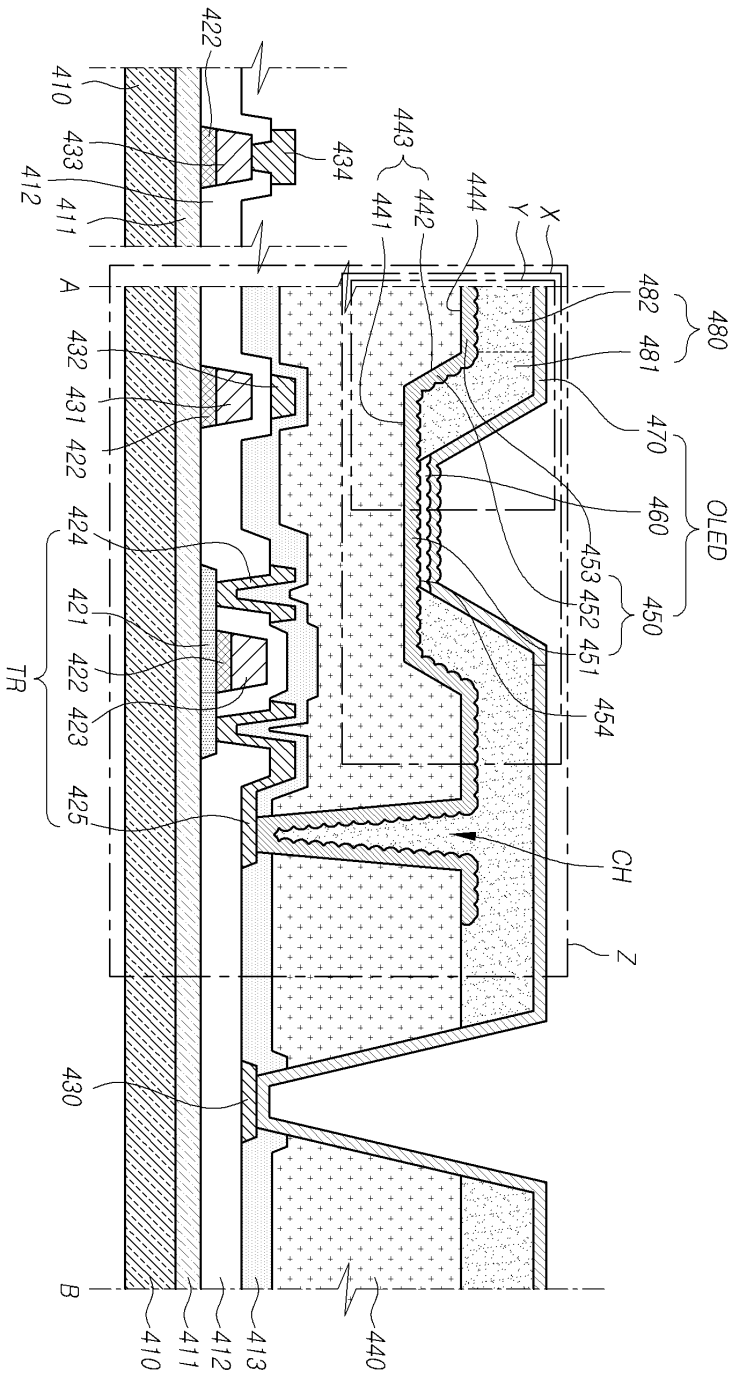
도면2



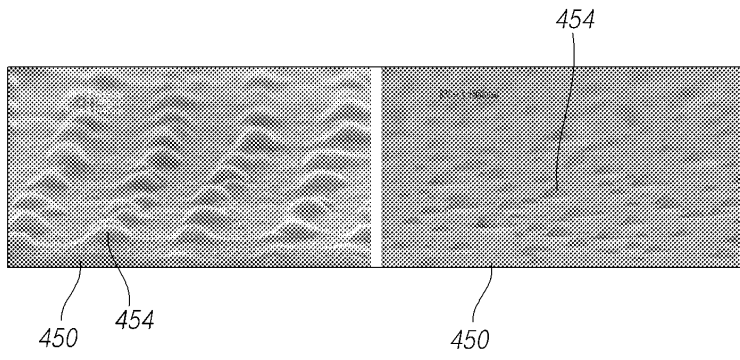
도면3



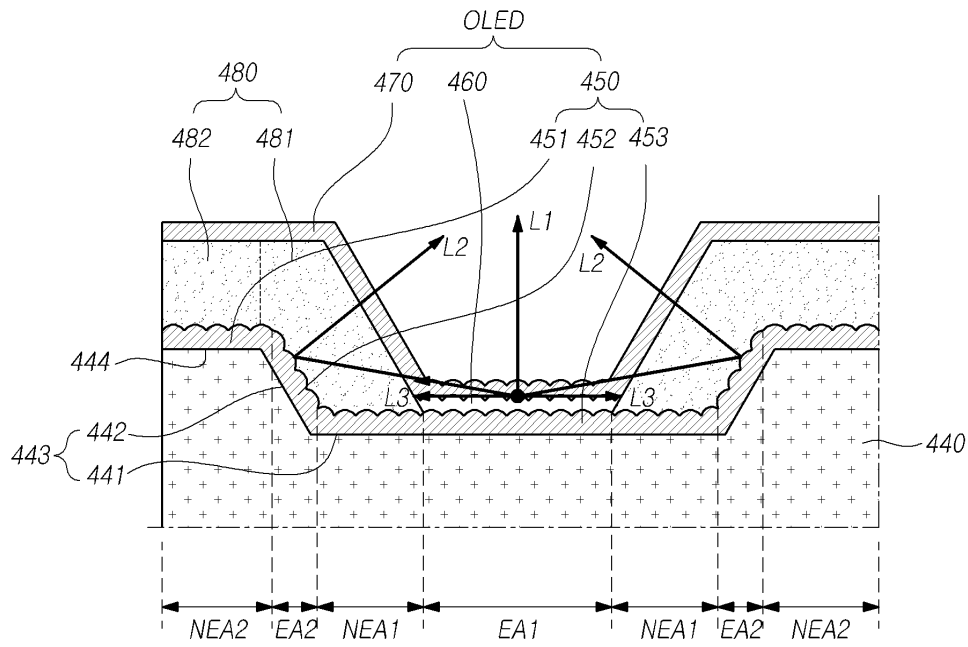
도면4



도면5



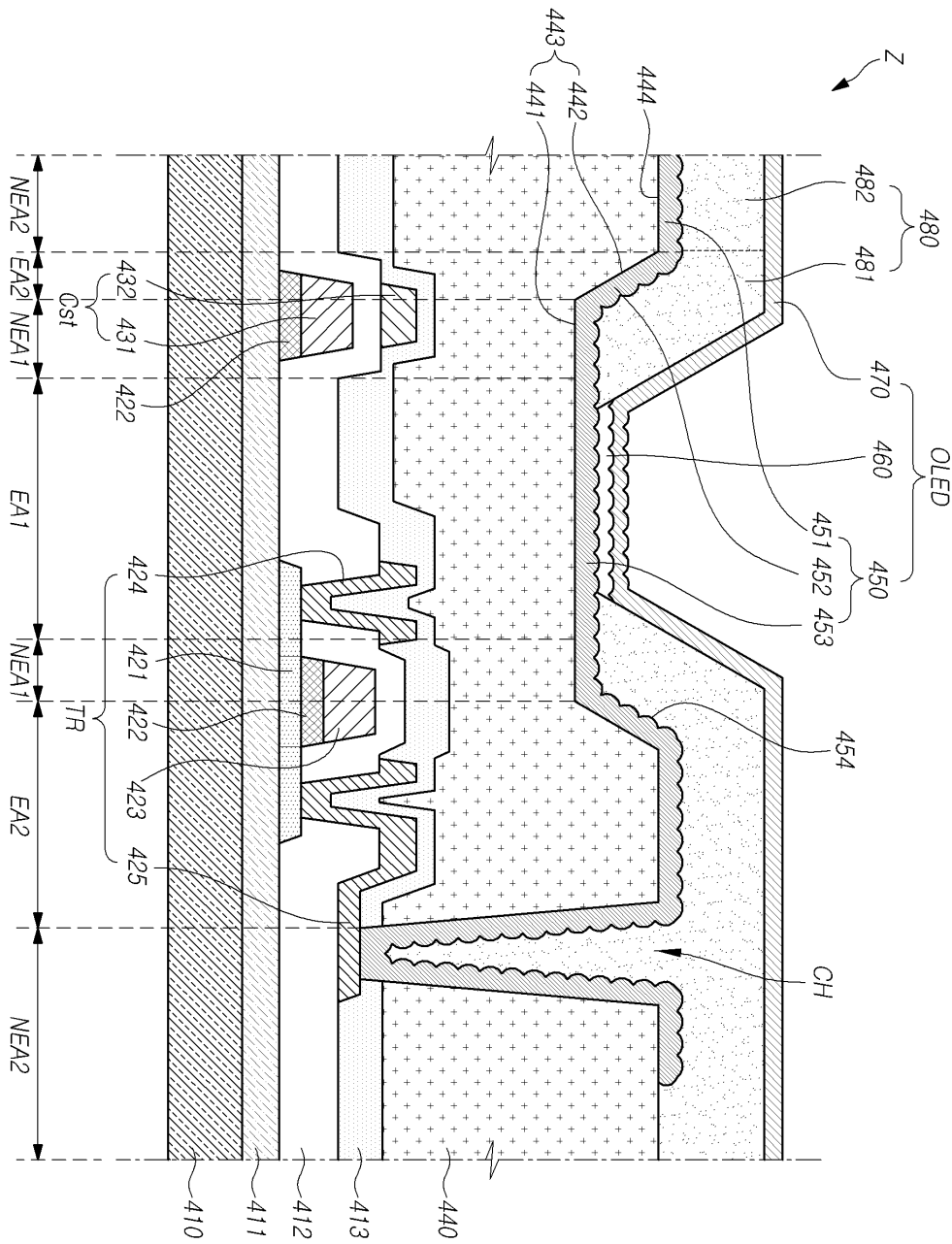
도면6



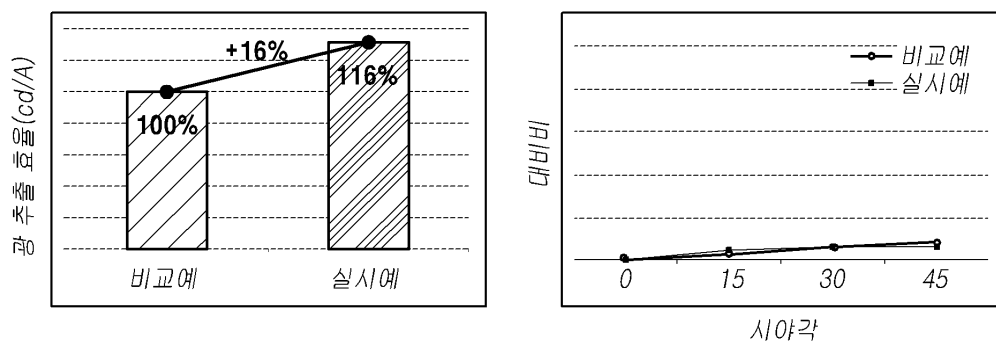




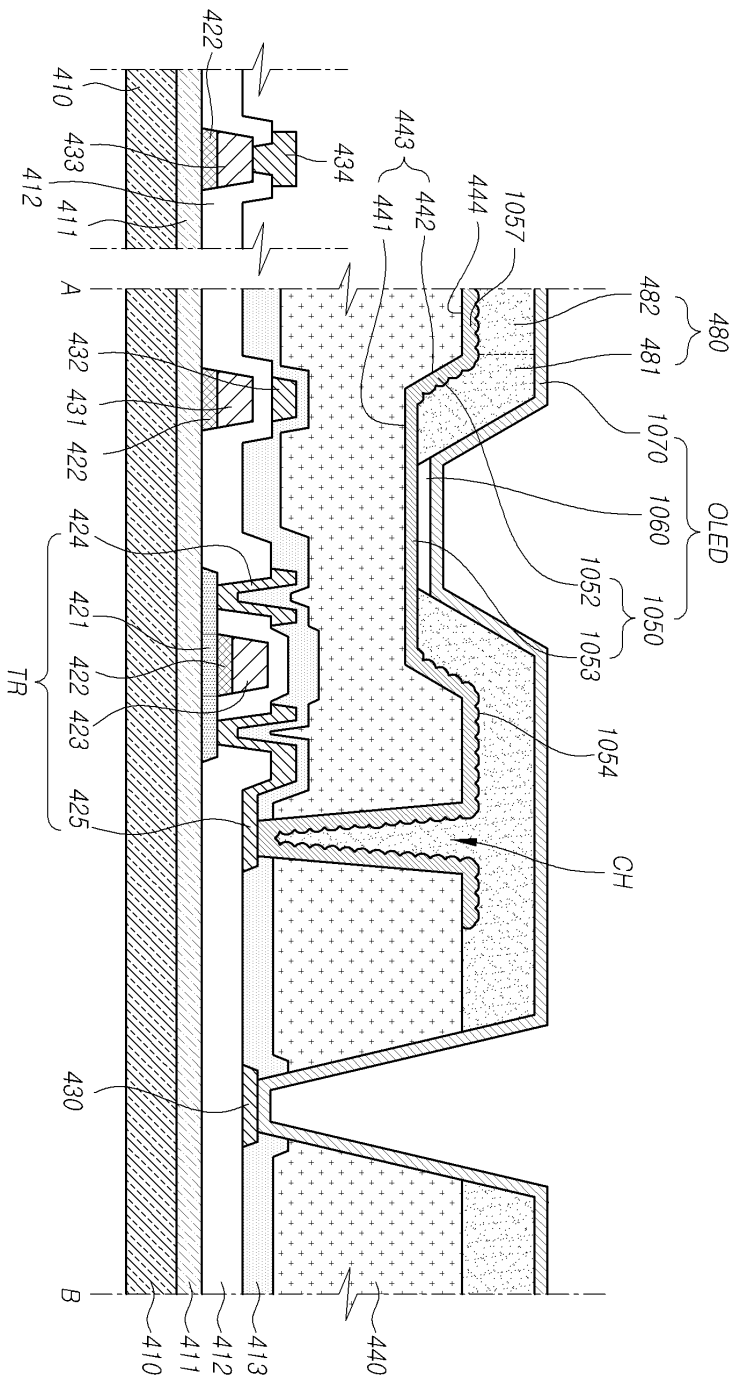
도면8



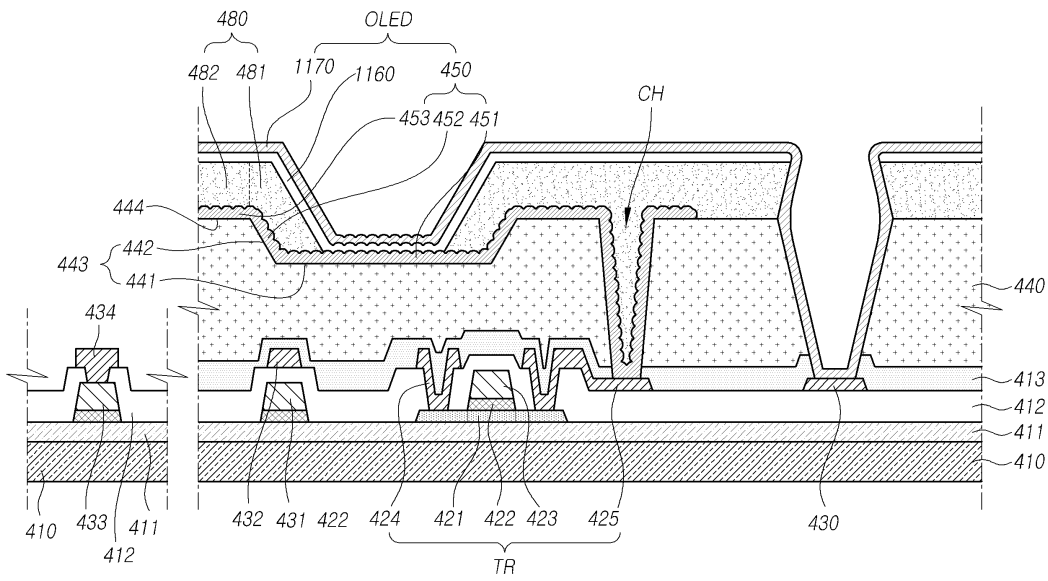
도면9



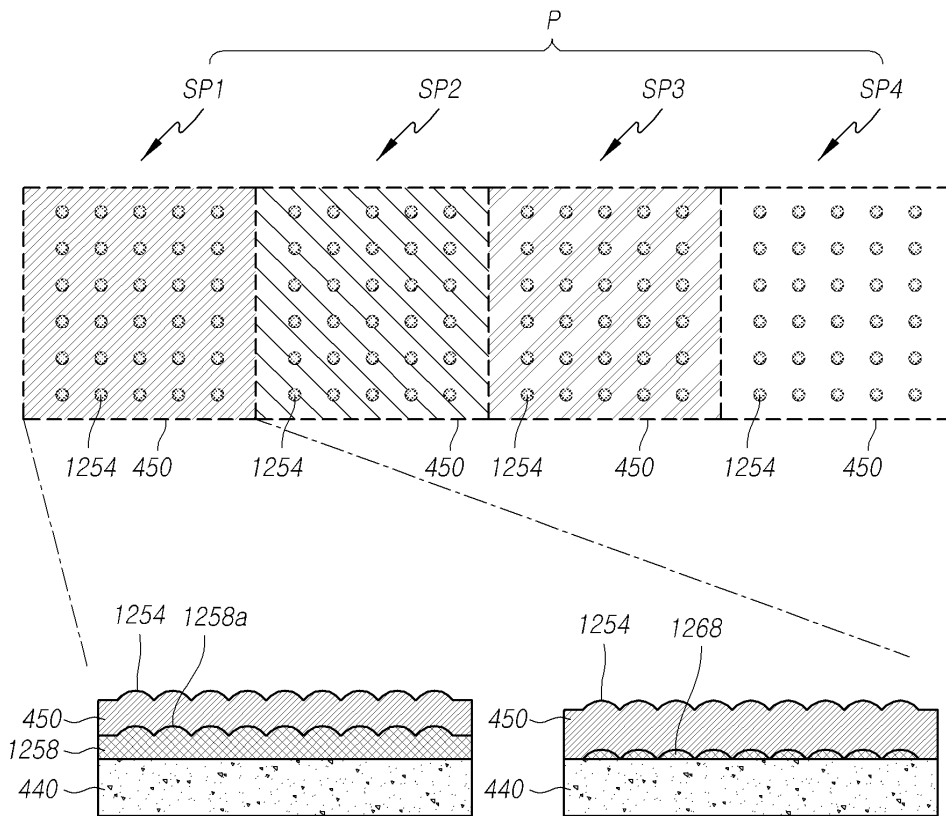
도면10



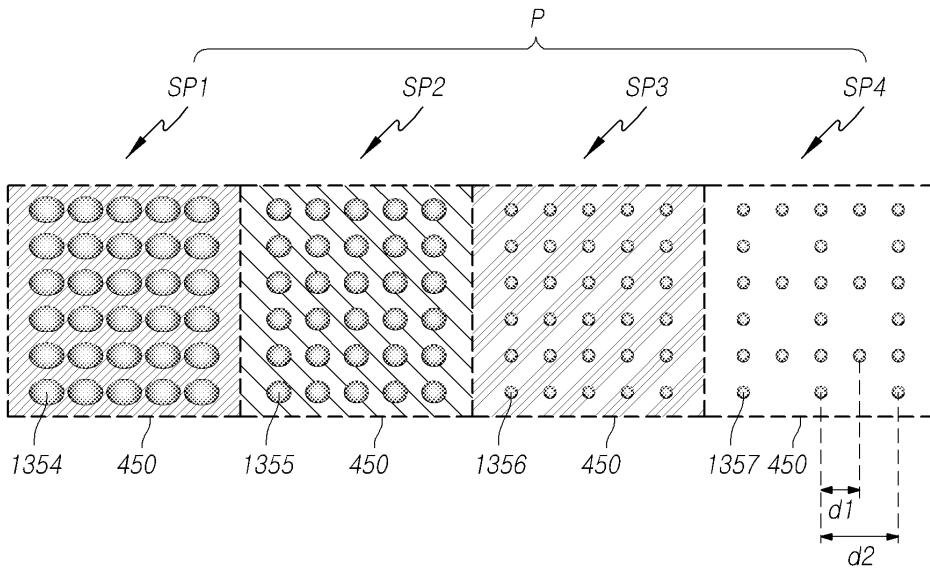
도면11



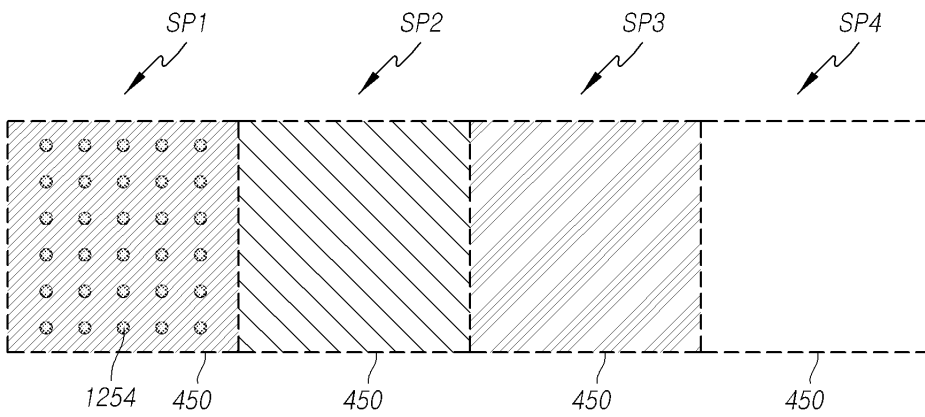
도면12



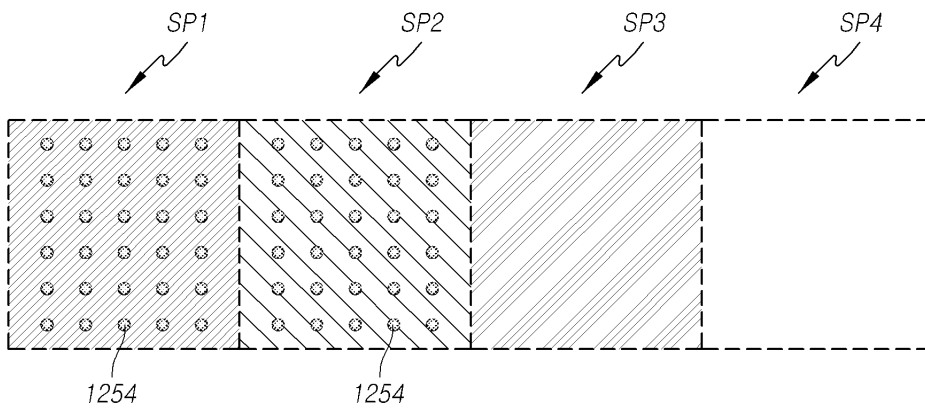
도면13



도면14



도면15



도면16

