



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I681502 B

(45)公告日：中華民國 109 (2020) 年 01 月 01 日

(21)申請案號：105126729

(22)申請日：中華民國 105 (2016) 年 08 月 22 日

(51)Int. Cl. : **H01L21/76 (2006.01)****H01L21/28 (2006.01)****H01L21/336 (2006.01)**

(30)優先權：2015/09/21 美國

62/221,199

(71)申請人：美商格羅方德半導體公司(美國) GLOBALFOUNDRIES US INC. (US)

美國

(72)發明人：哈芙 克莉絲汀 HAUFE, CHRISTIAN (DE)；羅瑞恩 尹歐爾 LORENZ, INGOLF

(DE)；利爾 麥克 ZIER, MICHAEL (DE)；亨斯 烏里奇 HENSEL, ULRICH

(DE)；珍 納特 JAIN, NAVNEET (IN)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

US 2007/0007595A1

US 2012/0267752A1

US 2014/0191322A1

US 2014/0213053A1

US 2015/0097240A1

審查人員：邱青松

申請專利範圍項數：15 項 圖式數：4 共 31 頁

(54)名稱

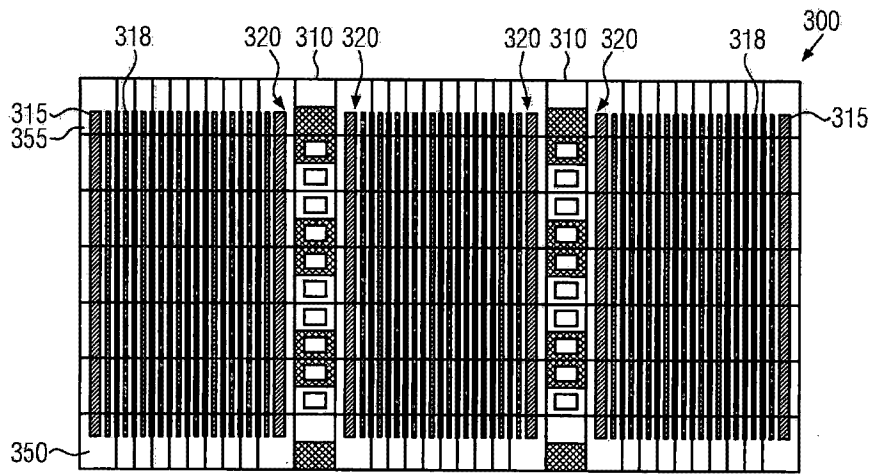
接觸 S O I 基板

(57)摘要

提供一種積體電路，包括：半導體塊體基板；埋置氧化物層，形成於該半導體塊體基板上；多個單元，各單元具有電晶體裝置，形成於該埋置氧化物層上方；多條閘極電極線，穿過該多個單元並為該單元的該電晶體裝置提供閘極電極；以及多個連接單元(tap cell)，經配置以電性接觸該半導體塊體基板並被佈置於與具有該電晶體裝置的該多個單元下方或上方的位置不同的位置。

An integrated circuit is provided including a semiconductor bulk substrate, a buried oxide layer formed on the semiconductor bulk substrate, a plurality of cells, each cell having a transistor device, formed over the buried oxide layer, a plurality of gate electrode lines running through the cells and providing gate electrodes for the transistor devices of the cells, and a plurality of tap cells configured for electrically contacting the semiconductor bulk substrate and arranged at positions different from positions below or above the plurality of cells having the transistor devices.

指定代表圖：



第2c圖

符號簡單說明：

300 . . . 連接單元-標準單元設計

310 . . . BOX 層

315 . . . 邊界多晶線、邊界多晶線形狀

318 . . . 多晶線

320 . . . 較寬多晶形狀、埋置邊界單元/多晶線

350 . . . 標準單元

355 . . . 標準單元

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

接觸 SOI 基板

CONTACTING SOI SUBSTRATES

【技術領域】

【0001】 本發明通常關於積體電路及半導體裝置領域，尤其關於至 SOI 裝置的半導體塊體基板的接觸的形成。

【先前技術】

【0002】 製造例如 CPU(中央處理單元)、儲存裝置、ASIC(專用積體電路；application specific integrated circuit)等先進積體電路需要依據特定的電路佈局在給定的晶片面積上形成大量電路元件。在多種電子電路中，場效電晶體代表一種重要類型的電路元件，其基本確定該積體電路的性能。一般來說，目前實施多種製造方法技術來形成場效電晶體(field effect transistor；FET)，其中，對於許多類型的複雜電路，MOS 技術因在操作速度和/或功耗和/或成本效率方面的優越特性而成為目前最有前景的方法之一。在使用例如 CMOS 技術製造複雜積體電路期間，在包括結晶半導體層的基板上形成數百萬個 N 通道電晶體和 P 通道電晶體。

【0003】 目前，FET 通常構建於絕緣體上矽(silicon-on-insulator；SOI)基板上，尤其全耗盡絕緣體上矽(fully

depleted silicon-on-insulator; FDSOI)基板上。FET 的通道形成於薄半導體層中，通常包括或由矽材料或其它半導體材料製成，其中，該半導體層形成於絕緣層、埋置氧化物(buried oxide; BOX)層上，該絕緣層、埋置氧化物層形成於半導體塊體基板上。由半導體裝置激進的尺寸縮小引起的一個嚴重問題必定是漏電流的發生。由於漏電流依賴於FET的閾值電壓，因此基板偏壓(反偏壓(back biasing))可降低洩漏功率。通過這種先進的技術，基板或適當的阱經偏壓以提升電晶體閾值，從而降低漏電流。在PMOS裝置中，電晶體的基體(body)被偏壓為高於正供應電壓 V_{DD} 的電壓。在NMOS裝置中，電晶體的基體被偏壓為低於負供應電壓 V_{SS} 的電壓。

【0004】 第1a圖顯示具有半導體塊體基板10的SOI配置，其中，在塊體基板10中形成 N^+ 摻雜區11及 P^+ 摻雜區12。另外，該SOI配置包括形成於半導體塊體基板10上的BOX層13以及形成於BOX層13上並提供通道區的半導體層20。第1a圖還顯示形成於半導體層20上方的閘極電極材料(例如多晶矽)層14。 N^+ 摻雜區11及 P^+ 摻雜區12分別用以反偏壓P通道FET閘極或N通道FET閘極。在積體電路(integrated circuit; IC)中，通過閘極電極線(多晶線)14a來形成單元結構，該閘極電極線將主動半導體裝置的標準單元定義為第1a圖上所示的單元。一般來說，多晶矽(多晶)線14a(第1b圖及1e)彼此平行。要注意的是，除該多晶材料以外，FET的閘極可包括金屬材料。在先進

IC 中，閘極構造如此之小以致通過當前技術，它們無法被製造為任意佈置的閘極。相反，必須製造由具有精確定義的寬度及間距的平行多晶線形狀 14a 組成的多晶線 14a 的規則網格，如第 1b 圖中所示。之後，在額外的製造步驟中，將利用多晶線 (poly line; PC) 切割遮罩以移除不想要的多晶線 14a。該規則的多晶線網格(“閘極海”)必須被邊界單元包圍，該邊界單元包含具有較大寬度的平行多晶線形狀 15，以在製造期間保護該標準單元的規則多晶線 14a 免受拋光缺陷。

【0005】 為了減少執行設計製造方法所需的時間，已創建單元庫，其中可獲得標準單元設計。當然，有一些應用可能需要一個或多個特殊單元，在此情況下，設計人員將創建定制單元用於佈局或者以想要的設計所需的方式更改庫單元。所得的佈局用以製造想要的積體電路。依據所使用的設計及庫，可對 PMOS 或 NMOS 裝置或兩者進行反偏壓。為偏壓標準單元的 NMOS 及 PMOS 的塊體，通過電荷泵來產生電壓，該電荷泵是輸出 V_{DDbias} 及 V_{SSbias} 電壓的定制塊(custom block)。各標準單元列必須具有至少一個(基體或阱)連接單元((body- or well-)tap cell)。不過，設計人員有時習慣以規則間隔每一特定距離在標準單元列中佈置一個連接阱。

【0006】 與該標準單元網格類似，在積體電路設計中通常使用連接阱網格，以提供電晶體的基體偏壓。該連接阱必須在提供偏壓電壓的網路與 P⁺/N⁺區(如第 1a 圖中所

示的區域 11 及 12)之間建立電性連接。由於該偏壓電壓網路實施於路由位於第 1a 圖中所示的 BOX 層 13 上方的數個層的金屬層上，且在 P⁺/N⁺區 11 及 12 駐留於塊體基板 10 中的 BOX 層 13 下方的情況下，BOX 層 13(為很好的絕緣體)的部分必須被移除，以形成至區域 11、12 的接觸。由於 BOX 層 13 較厚，因此蝕刻進入 BOX 層 13 的開口必須較大。因此，在傳統技術中會產生特定問題，如第 1c 至 1e 圖中所示。

【0007】 第 1c 圖顯示與第 1a 圖中所示的配置類似的配置，其中，在圖案化半導體層 20 以後，在 BOX 層 13 中形成開口，使用用以形成 FET 的閘極電極 14a 的多晶材料層 14 填充該開口。BOX 層 13 的該開口形成於第 1b 圖中所示的規則多晶線網格區域內。在 BOX 層 13 中形成該開口以後形成多晶材料層 14，以形成反偏壓接觸。在多晶材料層 14 上方形成遮罩層 16，如第 1c 圖中所示。如第 1d 圖中所示，通過標準微影圖案化遮罩層 16，以獲得圖案化遮罩 17，圖案化遮罩 17 用以在 BOX 層 13 上方形成多晶線(閘極)14a(見第 1e 圖)。

【0008】 不過，在執行用以形成多晶閘極 14a 的該蝕刻製造方法期間，在 BOX 層 13 的該開口中形成薄的多晶脊 19。實際上，無法適當地控制多晶脊 19 的形成，因為所使用的微影裝置的焦點位於必須形成多晶閘極 14a 的位置上。另一方面，由於所形成的規則多晶線網格，多晶脊 19 的形成無法避免。在 BOX 層 13 的該開口中的多晶脊 19

的不期望的形成導致晶圓污染，因為不穩定的多晶脊結構 19 在進一步的處理期間容易斷裂。

【0009】 針對上述情形，本發明提供一種形成基板接觸的技術，以避免因在現有技術製造方法中在大的 BOX 開口中形成薄的多晶脊而引起的多晶殘渣所導致的晶圓污染。

【發明內容】

【0010】 下面提供本發明的簡要總結，以提供本發明的一些態樣的基本理解。本發明內容並非詳盡概述本發明。其並非意圖識別本發明的關鍵或重要元件或劃定本發明的範圍。其唯一目的在於提供一些簡化的概念，作為後面所討論的更詳細說明的前序。

【0011】 一般來說，本文所揭露的發明主題涉及形成包括電晶體裝置的半導體裝置，尤其是具有包括用以反偏壓(back biasing)電晶體裝置的連接單元(tap cell)的(MOS) FET 的積體電路。

【0012】 本發明提供一種積體電路，該積體電路具有：半導體塊體基板；埋置氧化物層，形成於該半導體塊體基板上；多個單元，各單元具有電晶體裝置，形成於該埋置氧化物層上方；多條閘極電極線，穿過該單元並為該單元的該電晶體裝置提供閘極電極；以及多個連接單元，經配置以電性接觸該半導體塊體基板並被佈置於與具有該電晶體裝置的該多個單元下方或上方的位置不同的位置，其中，該多個連接單元的至少其中一個被佈置於埋置邊界

單元之間。例如，該積體電路還可在可能或可能不包含電晶體來連接該 PC 線的區域中包括多個填充單元。

【0013】 而且，本發明提供一種積體電路，該積體電路具有：標準單元網格，各該標準單元具有構建於全耗盡絕緣體上矽(Fully Depleted Silicon-on-Insulator；FDSOI)基板上的場效電晶體；以及多個連接單元(tap cell)，經配置以為該場效電晶體的至少其中一些提供反偏壓。該連接單元的至少其中一些不構建於該標準單元網格的任何標準單元上方或下方。

【0014】 另外，本發明提供一種製造積體電路的方法，該方法包括：提供具有半導體塊體基板以及形成於該塊體基板上的埋置氧化物層的絕緣體上矽(SOI)基板；在該 SOI 基板上形成電晶體裝置；在該塊體基板中形成 N 摻雜區及 P 摻雜區的至少其中一個；在該 N 摻雜區及 P 摻雜區的該至少其中一個上方的該埋置氧化物層中形成開口並用接觸材料填充該開口；以及在該 SOI 基板上方形形成多條閘極電極線，而不填充該網格的任意材料於該開口中。該 SOI 基板可為包括形成於該埋置氧化物層上並提供該電晶體裝置的通道區的薄半導體層的 FDSOI 基板。可形成連接單元以提供該 N 摻雜區及 P 摻雜區與提供用以反偏壓該電晶體裝置的電壓的偏壓電壓網路的電性連接。

【0015】 在所有上述例子中，該連接單元在半導體塊體基板(在其上方形成電晶體裝置)的 N 摻雜區/P 摻雜區與用以反偏壓該電晶體裝置的偏壓電壓網路之間提供電性

連接。該電晶體裝置可具有可由金屬材料及多晶矽材料製成的閘極電極，其中，該多晶矽材料以穿過規則(標準)單元網格的(多晶)閘極電極線的形式提供。

【圖式簡單說明】

【0016】 結合附圖參照下面的說明可理解本發明，這些附圖中相同的元件符號代表類似的元件，以及其中：

【0017】 第 1a 至 1e 圖顯示標準單元網格的傳統反偏壓，其中，第 1a 圖顯示包括用以反偏壓的半導體塊體基板中的摻雜區的 SOI 配置，第 1b 圖顯示包括平行多晶線及邊界單元的規則標準單元，以及第 1c 至 1e 圖顯示與在 BOX 層中所形成的較大開口中形成的薄多晶脊相關的晶圓污染問題；

【0018】 第 2a 至 2c 圖顯示積體電路(IC)的連接單元-標準單元設計，其中，基板接觸被移至規則多晶線網格的外部；

【0019】 第 3a 及 3b 圖顯示積體電路的替代連接單元-標準單元設計，其中，基板接觸被移至規則多晶線網格的外部；以及

【0020】 第 4 圖顯示積體電路的另一個替代連接單元-標準單元設計，其中，基板接觸被移至規則多晶線網格外外部。

【0021】 儘管本文所揭露的發明主題容許各種修改及替代形式，但附圖中以示例形式顯示本發明主題的特定實施例，並在此進行詳細說明。不過，應當理解，本文對

特定實施例的說明並非意圖將本發明限於所揭露的特定形式，相反，意圖涵蓋落入由所附申請專利範圍定義的本發明的精神及範圍內的所有修改、等同及替代。

【實施方式】

【0022】 下面說明本發明的各種示例實施例。出於清楚目的，不是實際實施中的全部特徵都在本說明書中進行說明。當然，應當瞭解，在任意此類實際實施例的開發中，必須作大量的特定實施決定以滿足開發者的特定目標，例如符合與系統相關及與商業相關的約束條件，該些約束條件因不同實施而異。而且，應當瞭解，此類開發努力可能複雜而耗時，但其仍然是本領域的普通技術人員借助本發明所執行的常規程序。

【0023】 下述實施例經充分說明以使本領域的技術人員能夠使用本發明。應當理解，基於本發明，其它實施例將顯而易見，並可作系統、結構、製造方法或機械的改變而不背離本發明的範圍。在下面的說明中，給出具體標號的細節以供充分理解本發明。不過，顯而易見的是，本發明的實施例可在不具有該些特定細節的情況下實施。為避免模糊本發明，一些已知的電路、系統配置、結構配置以及製造方法步驟未作詳細揭露。

【0024】 現在將參照附圖來說明本發明。附圖中示意各種結構、系統及裝置僅是出於解釋目的以及避免使本發明與本領域技術人員已知的細節混淆，但仍包括該些附圖以說明並解釋本發明的示例。本文中所使用的詞語和詞

組的意思應當被理解並解釋為與相關領域技術人員對這些詞語及詞組的理解一致。本文中的術語或詞組的連貫使用並不意圖暗含特別的定義，亦即與本領域技術人員所理解的通常慣用意思不同的定義。若術語或詞組意圖具有特定意思，亦即不同於本領域技術人員所理解的意思，則此類特別定義會以直接明確地提供該術語或詞組的特定定義的定義方式明確表示於說明書中。

【0025】 在完整閱讀本申請以後，本領域的技術人員很容易瞭解，本方法可應用於各種技術，例如 NMOS、PMOS、CMOS 等，並很容易應用於各種裝置，包括但不限於邏輯裝置、SRAM 裝置等，尤其是在在用以製造積體電路(IC)的 FDSOI 技術的背景。一般來說，本文中說明其中可形成反(基板)偏壓 N 通道電晶體和/或 P 通道電晶體的製造技術及半導體裝置。該製造技術可集成於 CMOS 製造方法中。在完整閱讀本申請以後，本領域的技術人員很容易瞭解，原則上，本方法可應用於各種技術，例如 NMOS、PMOS、CMOS 等，並且很容易應用於各種裝置，包括但不限於邏輯裝置、記憶體裝置、SRAM 裝置等。本文中所述的技術及製程可用以製造 MOS 積體電路裝置，包括 NMOS 積體電路裝置、PMOS 積體電路裝置，以及 CMOS 積體電路裝置。詳而言之，本文中所述的製造方法步驟與形成積體電路(包括平面式及非平面式積體電路)的閘極結構的任意半導體裝置製造方法結合使用。儘管術語“MOS”通常是指具有金屬閘極電極及氧化物閘極絕緣體的裝置，但該

術語在全文中用以指包括位於半導體基板上方的閘極絕緣體(無論是氧化物還是其它絕緣體)上方的導電閘極電極(無論是金屬還是其它導電材料)的任意半導體裝置。

【0026】 一般來說，本發明提供用以形成至 FDSOI 裝置的塊體基板的接觸的技術，以促進該塊體基板的反偏壓，以及連接單元及標準單元的設計，其中，將要形成以製造多晶閘極線的多晶材料不會形成於 FDSOI 基板的 BOX 層的開口中。

【0027】 依據本發明的積體電路的示例連接單元-標準單元設計顯示於第 2a 至 2c 圖中。為 FET 的反偏壓提供的基板接觸被移至分別包括 FET 的標準單元的規則網格的外部。第 2a 圖中所示的單元輪廓 100 的特徵為連接單元/BOX 開口 110 設於沒有作為規則多晶線網格或多晶閘極的部分的多晶材料形成的晶圓的區域中。可在 P 摻雜區 130 及 N 摻雜區 135 中接觸晶圓基板，這可與第 1a 圖中所示的區域 11 及 12 類似。連接單元/BOX 開口 110 被佈置於埋置邊界單元/多晶線 120 之間。埋置邊界單元 120 可與傳統設計的邊界單元 15(見第 1b 圖)類似，但它們形成於另外的標準單元規則網格內，而不是在那個網格的邊緣。

【0028】 該標準單元可表示包括 FET 的任意類型邏輯單元，例如反相器、NAND 閘單元、多工器等。如第 2b 圖中所示，可形成特定的底部邊界單元 220(第 2b 圖的頂部圖)及頂部邊界單元 220'(第 2b 圖的底部圖)。通過開口 210 在 P 摻雜區 230 及 N 摻雜區 235 中可接觸晶圓基板。由於

所示設計，該標準單元網格的多晶線將總是與 BOX 層中的開口(也就是，在邊界單元 120 的外部)充分隔開，從而不會如上面就現有技術所述那樣由這些開口中的不穩定多晶結構的不期望形成而引起多晶殘渣。

【0029】 由於鄰近基板接觸的埋置邊界單元中的較寬多晶形狀 320，連接單元可能不再位於規則標準單元上方或下方，因為這些標準單元使用規則多晶線網格。相反，連接單元可能被置於起始於下方標準單元邊界列並結束於上方標準單元邊界列的連接單元行中，如第 2c 圖中所示。較為詳細地，第 2c 圖顯示積體電路的連接單元-標準單元設計 300，標準單元 350 位於晶圓的特定區域的下方邊界，標準單元 355 位於晶圓的特定區域的上方邊界。與傳統設計類似，邊界單元及邊界多晶線 315 設於該區域的左右邊界。邊界多晶線形狀 315 具有與標準單元的多晶線 318 相比較大的寬度，以在製造期間保護這些規則多晶線 318 免受拋光缺陷。

【0030】 該標準單元的多晶線 318 彼此平行。該多晶線網格的傳統規則性被埋置(內部)邊界單元/多晶線 320 的行的設置打破。在埋置邊界單元/多晶線 320 的兩行之間，BOX 層 310 中的開口及連接單元經佈置以接觸該晶圓的半導體塊體基板的 N 摻雜及 P 摻雜區。該 N 摻雜區可為以例如磷、砷等 N 型雜質重濃度摻雜的區域。該 P 摻雜區可為以例如硼、銦等 P 型雜質重濃度摻雜的區域。例如，“重濃度摻雜”可包括高於 $10^{19}/\text{cm}^3$ 的任意雜質濃度。該連接

單元在塊體基板(在其上方形成電晶體裝置)的 N 摻雜/P 摻雜區與用以反偏壓電晶體裝置的偏壓電壓網路之間提供電性連接。

【0031】 要注意的是，在第 2c 圖中所示的設計中，在該 IC 配置的行中可以等距間隔設置連接單元。較佳地，連接單元之間的距離不超過使用與該 IC 相關聯的設計規則所獲得的最大允許距離。具體而言，設計規則可分別指定從基板或阱區中的任意點至最近基板或阱連接的最大距離。而且，應當注意，除提供半導體塊體基板的摻雜區的耦接以外，該連接單元可為功率線提供去耦電容器，以更有效地使用被該連接單元佔據的區域。

【0032】 在標準單元佈局之前、之後或同時，可在 IC 設計佈局內佈置該連接單元。功率洩漏降低及控制可通過該連接單元的數量及定位優化。該連接單元的間距可基於關聯的 FET 及其它裝置的幾何尺寸，以於幾何尺寸不斷縮小時，連接單元的頻率及間距可如期望那樣增加或減少。

【0033】 各該連接單元也可具有獨立於關聯裝置的電壓源和/或控制器的偏壓電壓源和/或控制器。該連接單元的電壓源和/或控制器可相對於關聯裝置而位於本地或遠程，可能甚至在獨立的晶粒或晶片上。各連接單元可具有獨立電壓源。或者，所有連接單元可由單個電壓源控制。IC 內的連接單元簇(cluster)可分別具有共用電壓，以使 IC 中的各連接單元簇可與相應的電壓源和/或控制器連接。

【0034】 這裡，以及在下面的例子中，所揭露的佈局可集成於 IC 設計工具中，該 IC 設計工具可包括可與各種數據庫(例如半導體晶圓代工廠和/或晶圓代工廠的一個或多個客戶的數據庫)耦接的多個電子軟體設計工具。尤其，該 IC 設計工具可包括可通過圖形用戶界面存取的多個裝置庫，由此，來自各裝置庫的單元可被佈置於 IC 設計佈局中。

【0035】 在此例子中，以及在下面參照第 3a、3b 及 4 圖所述的例子中，所揭露的連接單元-標準單元設計可用於包括 SOI 或 FDSOI FET 的半導體裝置製造的背景中。通過連接單元可被反偏壓的 FET 可包括具有與第 1a 圖中所示的配置類似的配置的 FET。較為詳細地，通過本文中所揭露的設計被反偏壓的 FET 可形成於 FDSOI 基板上，該 FDSOI 基板包括塊體基板、形成於該塊體基板上的 BOX 層以及形成於該 BOX 層上的半導體層。

【0036】 該塊體半導體基板可為矽基板，尤其單晶矽基板。可使用其它材料來形成該半導體基板，例如鍺、矽鍺、磷酸鉀、砷化鎵等。該塊體半導體基板包括 N^+/P^+ 摻雜區以供反偏壓。該 BOX 層可包括介電材料，例如二氧化矽，且可具有例如至少 50 奈米的厚度。該半導體層可提供該 FET 的通道區且可由任意適當的半導體材料組成，例如矽、矽/鍺、矽/碳、其它 II-VI 族或 III-V 族半導體化合物以及類似物。該半導體層可具有適於形成全耗盡場效電晶體的厚度，例如在約 5 至 8 奈米範圍內的厚度。

【0037】 該 FET 包括形成於該半導體層上方的閘極電極。該閘極電極可包括金屬閘極及多晶矽閘極材料。該金屬閘極的材料可依賴於將要形成的該電晶體裝置是 P 通道電晶體還是 N 通道電晶體。在該電晶體裝置為 N 通道電晶體的實施例中，該金屬可包括 La(鏷)、LaN(氮化鏷)或 TiN(氮化鈦)。在該電晶體裝置為 P 通道電晶體的實施例中，該金屬可包括 Al(鋁)、AlN(氮化鋁)或 TiN(氮化鈦)。

【0038】 該金屬閘極可包括功函數調整材料，例如 TiN。詳而言之，該金屬閘極可包括功函數調整材料，該功函數調整材料包括適當的過渡金屬氮化物，例如週期表中第 IV-VI 族的那些，包括例如氮化鈦(TiN)、氮化鉭(TaN)、氮化鋁鈦(TiAlN)、氮化鋁鉭(TaAlN)、氮化鈮(NbN)、氮化釩(VN)、氮化鎢(WN)以及類似物，具有約 1 至 60 奈米的厚度。而且，通過添加雜質例如鋁、碳或氟可調整該金屬閘極的有效功函數。在該金屬閘極的頂部可形成該多晶閘極。

【0039】 該閘極電極可通過閘極介電質與該 FDSOI 基板的半導體層隔開。該閘極介電質可包括具有高於 4 的介電常數 k 的高 k 材料層。該高 k 材料層可包括過渡金屬氧化物，例如氧化鉛、二氧化鉛以及氮氧化矽鉛的至少其中一者，且可直接形成於該 FDSOI 基板的半導體層上。

【0040】 依據本發明的積體電路的其它示例連接單元-標準單元設計顯示於第 3a 及 3b 圖中。設計 400 及 500 集成來自頂部及底部的邊界單元的元素，相當於第 2a 至

2c 圖中所示的設計，但具有增加的單元寬度，這可從第 3a 及 3b 圖獲知。

【0041】 與第 2a 至 2c 圖中所示的連接單元相比，佈局 400 及 500 的連接單元每單元消耗更多面積，但它們可被任意佈置於該佈局內部。因此，可以更靈活的方式實現該連接單元的佈置，且當佈置於棋盤格(checker-board)設計中時，所需要的連接單元可以更少。另外，不需要特定的邊界單元來調整佈置邊界處的連接單元多晶線網格。

【0042】 如第 3a 圖中所示，佈局 400 包括埋置邊界單元 420 以及頂部/底部單元結構 440。BOX 層中的開口 410 被佈置於結構 420 與 440 之間。開口 410 允許電性接觸 P 摻雜區 430 及 N 摻雜區 435，該 P 摻雜區 430 及 N 摻雜區 435 形成於該塊體半導體基板中，以反偏壓形成於該半導體層及該半導體塊體基板上方的電晶體裝置。這樣的連接單元佈局 400 可用於第 3b 圖中所示的連接單元-標準單元佈局 500 中。

【0043】 與第 2c 圖中所示的佈局類似，第 3b 圖中所示的佈局包括邊界單元/多晶線 515 及平行佈置的多晶線 518 的行。而且，提供埋置邊界單元/多晶線 520，在其之間可佈置 BOX 層中的開口 510 並因此佈置連接單元。

【0044】 依據第 4 圖中所示的另一個例子，通過適當選擇的後設計補償(重新定位)及相應的設計規則可避免對如第 3a 及 3b 圖中所示的較寬的埋置多晶線的需要。由此，可減少實施適於任意佈置的該連接單元所需的空間。第 4

圖中所示的佈局 600 包括埋置邊界單元/多晶線 620 以及埋置頂部/底部單元結構 640，在 BOX 層中形成開口 610 以接觸 P 摻雜 630 及 N 摻雜 635 區，如上所述。

【0045】 因此，本發明提供連接單元-標準單元佈局，以避免在 FDSOI 基板的 BOX 層中所形成的開口中形成多晶材料來接觸反偏壓 FET 所需的該 FDSOI 基板的塊體基板的摻雜區。由此，可避免因 BOX 層的開口中所形成的不穩定多晶結構所引起的多晶殘渣而導致的晶圓污染。

【0046】 由於本領域的技術人員借助這裡的教導可以很容易地以不同但等同的方式修改並實施本發明，因此上述特定的實施例僅為示例性質。例如，可以不同的順序執行上述製造方法步驟。而且，本發明不限於這裡所示架構或設計的細節，而是如下面的申請專利範圍所述。因此，顯然，可對上面揭露的特定實施例進行修改或變更，所有此類變更落入本發明的範圍及精神內。要注意的是，用於說明本說明書以及所附申請專利範圍中的各種製造方法或結構的“第一”、“第二”、“第三”或者“第四”等術語的使用僅用作此類步驟/結構的快捷參考，並不一定意味著按排列順序執行/形成此類步驟/結構。當然，依據準確的申請專利範圍語言，可能要求或者不要求此類製造方法的排列順序。因此，下面的申請專利範圍規定本發明的保護範圍。

【符號說明】

【0047】

- 10 半導體塊體基板、塊體基板
- 11 N+摻雜區、區域、P+/N+區
- 12 P+摻雜區、區域、P+/N+區
- 13 BOX 層
- 14 閘極電極材料層、多晶材料層
- 14a 閘極電極線、多晶矽線、多晶線、閘極電極、
多晶閘極、平行多晶線形狀
- 15 平行多晶線形狀、邊界單元
- 16 遮罩層
- 17 圖案化遮罩
- 19 多晶脊、多晶結構
- 20 半導體層
- 100 單元輪廓
- 110 連接單元/BOX 開口
- 120 埋置邊界單元/多晶線、邊界單元
- 130 P 摻雜區
- 135 N 摻雜區
- 210 開口
- 220 底部邊界單元
- 220' 頂部邊界單元
- 230 P 摻雜區
- 235 N 摻雜區
- 300 連接單元-標準單元設計
- 310 BOX 層

- 315 邊界多晶線、邊界多晶線形狀
- 318 多晶線
- 320 較寬多晶形狀、埋置邊界單元/多晶線
- 350 標準單元
- 355 標準單元
- 400 設計、佈局
- 410 開口
- 420 埋置邊界單元、結構
- 430 P 摻雜區
- 435 N 摻雜區
- 440 結構
- 500 設計、佈局
- 510 開口
- 515 邊界單元/多晶線
- 518 多晶線
- 520 埋置邊界單元/多晶線
- 600 佈局
- 610 開口
- 620 埋置邊界單元/多晶線
- 630 P 摻雜
- 635 N 摻雜
- 640 埋置頂部/底部單元結構

I681502

發明摘要

※ 申請案號：105126729

※ 申請日：105年8月22日

※IPC 分類：H01L 21/76 (2006.01)

H01L 21/28 (2006.01)

H01L 21/336 (2006.01)

【發明名稱】(中文/英文)

接觸 SOI 基板

CONTACTING SOI SUBSTRATES

【中文】

提供一種積體電路，包括：半導體塊體基板；埋置氧化物層，形成於該半導體塊體基板上；多個單元，各單元具有電晶體裝置，形成於該埋置氧化物層上方；多條閘極電極線，穿過該多個單元並為該單元的該電晶體裝置提供閘極電極；以及多個連接單元(tap cell)，經配置以電性接觸該半導體塊體基板並被佈置於與具有該電晶體裝置的該多個單元下方或上方的位置不同的位置。

【英文】

An integrated circuit is provided including a semiconductor bulk substrate, a buried oxide layer formed on the semiconductor bulk substrate, a plurality of cells, each cell having a transistor device, formed over the buried oxide layer, a plurality of gate electrode lines running through the cells and providing gate electrodes for the transistor devices of the cells, and a plurality of tap cells configured for electrically contacting the semiconductor bulk substrate and arranged at positions different from positions below or above the plurality of cells having the transistor devices.

【代表圖】

【本案指定代表圖】：第（ 2C ）圖。

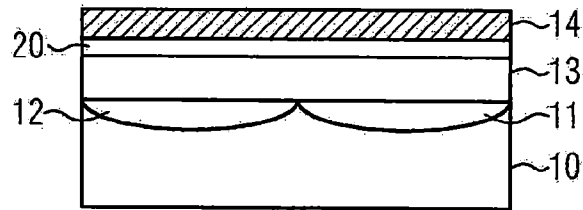
【本代表圖之符號簡單說明】：

- 300 連接單元-標準單元設計
- 310 BOX 層
- 315 邊界多晶線、邊界多晶線形狀
- 318 多晶線
- 320 較寬多晶形狀、埋置邊界單元/多晶線
- 350 標準單元
- 355 標準單元

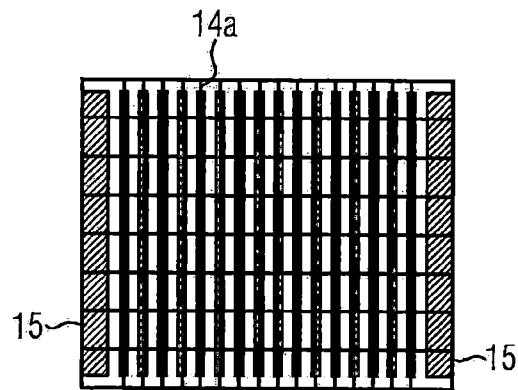
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

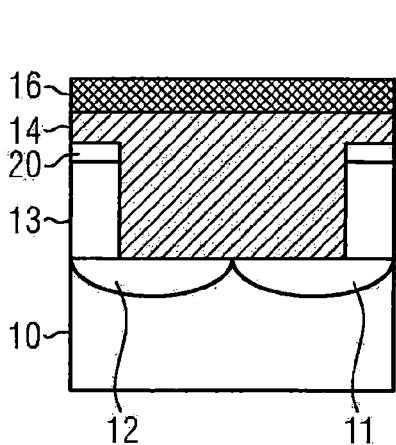
圖式



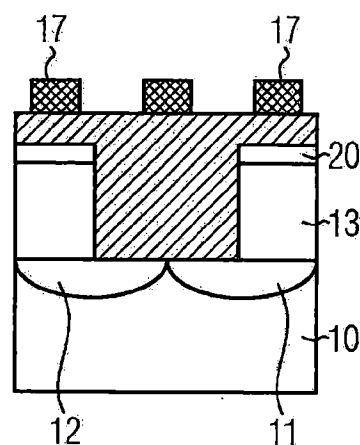
第1a圖



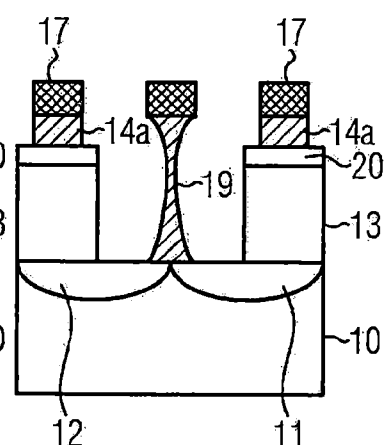
第1b圖



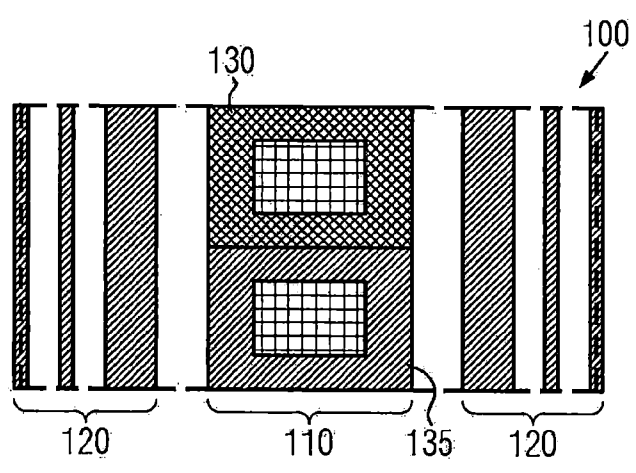
第1c圖



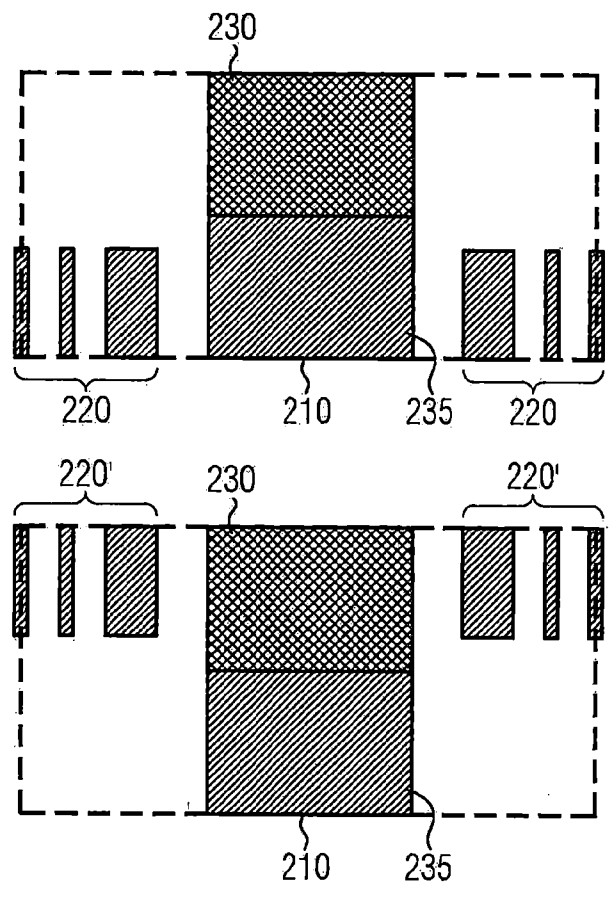
第1d圖



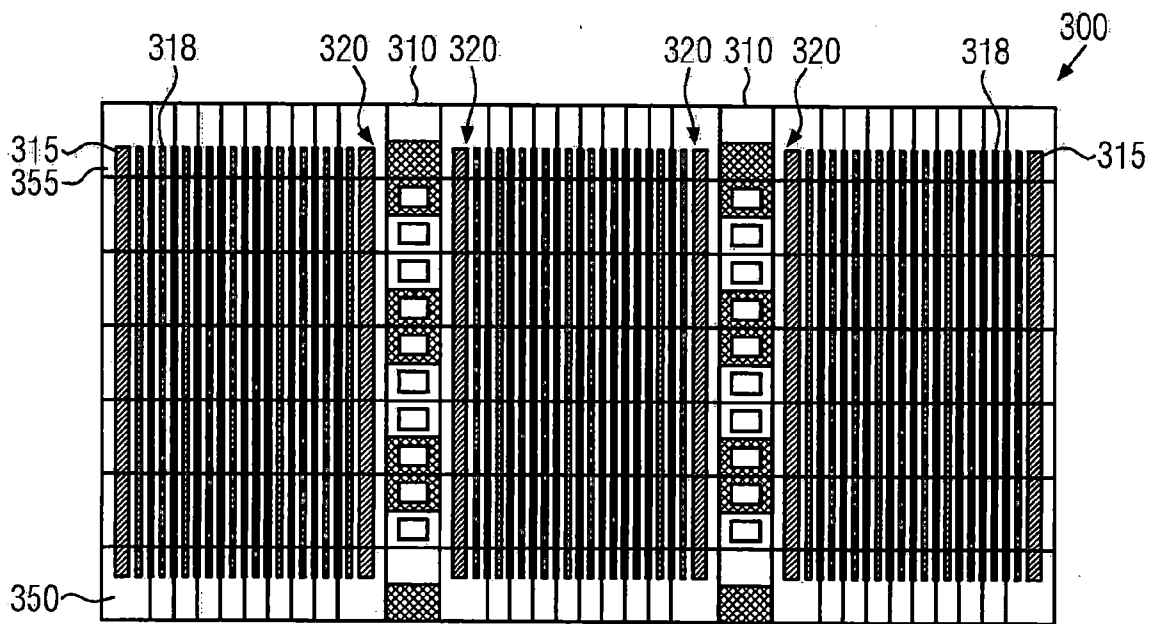
第1e圖



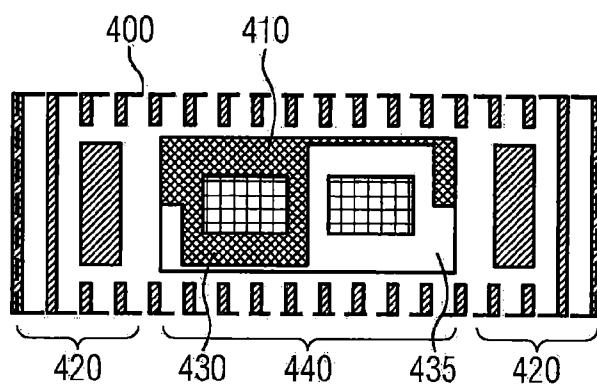
第2a圖



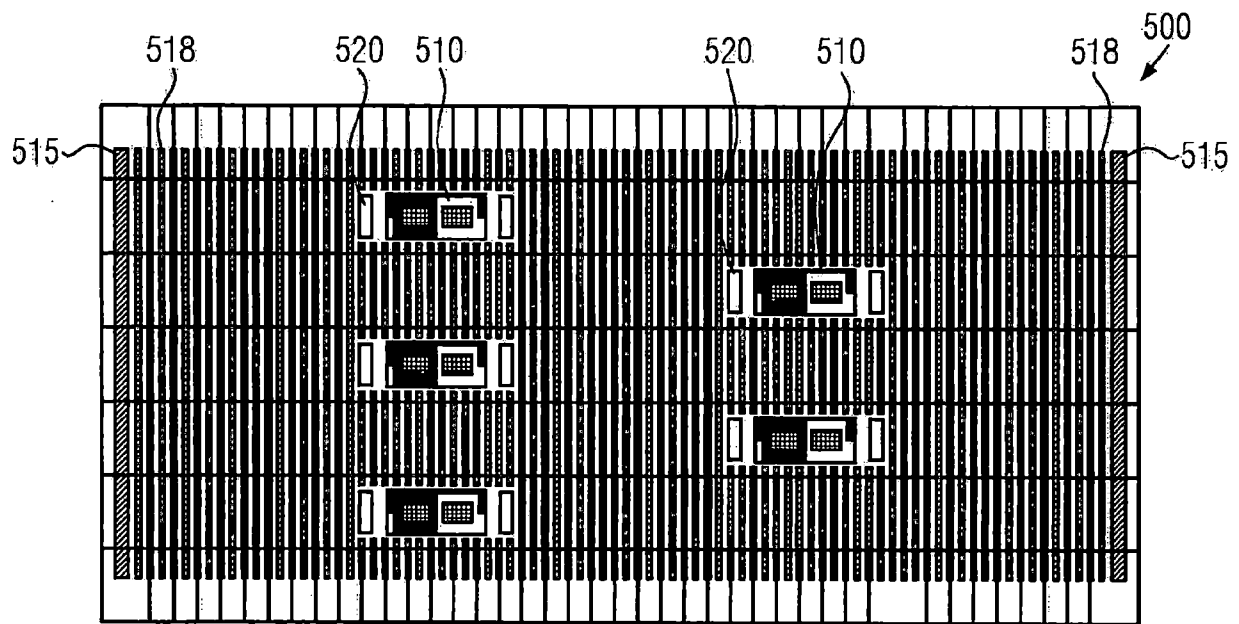
第2b圖



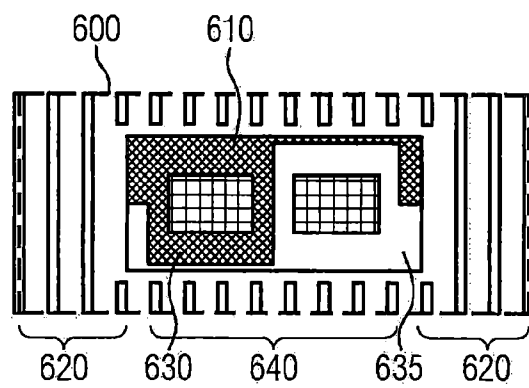
第2c圖



第3a圖



第3b圖



第4圖

申請專利範圍

1. 一種積體電路，包括：

半導體塊體基板；

埋置氧化物層，形成於該半導體塊體基板上；

多個單元，各單元具有電晶體裝置，形成於該埋置氧化物層上方；

多條閘極電極線，穿過該多個單元並為該單元的該電晶體裝置提供第一閘極電極線；

多個連接單元，經配置以電性接觸該半導體塊體基板並被佈置於與具有該電晶體裝置的該多個單元下方或上方的位置不同的位置，其中，該多個連接單元的至少其中一個被佈置於具有第二閘極電極線之埋置邊界單元之間，其中，於該埋置邊界單元中之該第二閘極電極線具有大於該第一閘極電極線之寬度；以及

邊界單元，其被佈置於鄰近該多個單元的最外單元並具有寬度大於該第一閘極電極線之寬度的第三閘極電極線。

2. 如申請專利範圍第 1 項所述的積體電路，其中，該半導體塊體基板包括與該多個連接單元的其中一個關聯並經由形成於該埋置氧化物層中的開口中的接觸通過該多個連接單元的該其中一個與偏壓電壓源電性連接的 N 摻雜區或 P 摻雜區的至少其中一個。

3. 如申請專利範圍第 1 項所述的積體電路，其中，該多個連接單元被佈置於與具有該電晶體裝置的該多個單

元的行平行的至少一行中，以使該連接單元在該至少一行中彼此相鄰設置。

4. 如申請專利範圍第 1 項所述的積體電路，其中，該埋置氧化物層及該半導體塊體基板是全耗盡絕緣體上矽 (FDSOI) 基板的部分。
5. 如申請專利範圍第 1 項所述的積體電路，其中，該閘極電極線至少部分由多晶矽材料製成。
6. 一種積體電路，包括：

半導體塊體基板；

埋置氧化物層，形成於該半導體塊體基板上；

多個單元，各單元具有電晶體裝置，形成於該埋置氧化物層上方；

多條閘極電極線，穿過該多個單元並為該單元的該電晶體裝置提供第一閘極電極線；

多個連接單元，經配置以電性接觸該半導體塊體基板並被佈置於與具有該電晶體裝置的該多個單元下方或上方的位置不同的位置，其中，該多個連接單元的至少其中一個被佈置於具有第二閘極電極線之埋置邊界單元之間，其中，於該埋置邊界單元中之該第二閘極電極線具有與該第一閘極電極線相同的寬度；以及

邊界單元，其被佈置於鄰近該多個單元的最外單元並具有寬度大於該第一閘極電極線之寬度的第三閘極電極線。

7. 一種積體電路，包括：

標準單元網格，各該標準單元具有構建於全耗盡絕緣體上矽(FDSOI)基板上的場效電晶體；

多個連接單元，經配置以為該場效電晶體的至少其中一些提供反偏壓；

其中，該連接單元的至少其中一些不構建於該標準單元網格的標準單元上方或下方；以及

其中，該連接單元的至少其中一些被打破該標準單元網格的規則性的埋置邊界單元包圍；

埋置邊界單元，在其之間佈置連接單元；

邊界單元，鄰近該標準單元的最外單元佈置；

第一多晶矽線，穿過該標準單元；

第二多晶矽線，穿過該埋置邊界單元；以及

第三多晶矽線，穿過該邊界單元，

其中，該第二及第三多晶矽線具有大於該第一多晶矽線的寬度的寬度。

8. 如申請專利範圍第 7 項所述的積體電路，其中，該 FDSOI 基板具有具有 N 摻雜區及 P 摻雜區的塊體基板以及形成於該塊體基板上方的埋置氧化物層，以及其中，接觸被形成為穿過該埋置氧化物層並抵達該 N 摻雜區及 P 摻雜區，從而允許該反偏壓。

9. 如申請專利範圍第 7 項所述的積體電路，其中，為該場效電晶體提供閘極電極的多晶矽線穿過該標準單元。

10. 如申請專利範圍第 7 項所述的積體電路，其中，該場效電晶體形成於閘極介電層上，該閘極介電層形成於該 FDSOI 基板的半導體層上，且該場效電晶體包括以金屬材料及多晶矽材料形成於該介電層上方的閘極電極，以及其中，該多晶矽材料形成為穿過該標準單元網格的多晶矽閘極線。

11. 一種積體電路，包括：

標準單元網格，各該標準單元具有構建於全耗盡絕緣體上矽(FDSOI)基板上的場效電晶體；

多個連接單元，經配置以為該場效電晶體的至少其中一些提供反偏壓；

其中，該連接單元的至少其中一些不構建於該標準單元網格的標準單元上方或下方；以及

其中，該連接單元的至少其中一些被打破該標準單元網格的規則性的埋置邊界單元包圍；

埋置邊界單元，在其之間佈置連接單元；

邊界單元，鄰近該標準單元的最外單元佈置；

第一多晶矽線，穿過該標準單元；以及

第二多晶矽線，穿過該埋置邊界單元；

其中，該第二多晶矽線具有大於該第一多晶矽線的寬度的寬度。

12. 一種製造積體電路的方法，該方法包括：

提供具有半導體塊體基板以及形成於該塊體基板上的埋置氧化物層的絕緣體上矽基板；

在該絕緣體上矽基板上形成電晶體裝置；

在該半導體塊體基板中形成 N 摻雜區及 P 摻雜區的至少其中一個；

在該 N 摻雜區及 P 摻雜區的該至少其中一個上方的該埋置氧化物層中形成開口；

用接觸材料填充該開口；

在該絕緣體上矽基板上方形形成多條閘極電極線，而不填充該閘極電極線的任意材料於該開口中；

定義標準單元網格，各該標準單元包括具有第一閘極電極線之電晶體裝置；

形成埋置邊界單元，其包括第二閘極電極線；

形成多個連接單元，以使該多個連接單元的至少其中一些不位於任意該多條閘極電極線的上方或下方，且使該多個連接單元的至少其中一個被佈置於一些該埋置邊界單元之間；以及

形成邊界單元，其被佈置於鄰近該標準單元的最外單元，該邊界單元具有第三閘極電極線，其中，該第二及第三閘極電極線具有大於該第一閘極電極線之寬度的寬度。

13. 如申請專利範圍第 12 項所述的方法，還包括通過該多個連接單元的其中一個使該 N 摻雜區及 P 摻雜區的該至少其中一個與偏壓電壓網路接觸。
14. 如申請專利範圍第 12 項所述的方法，其中，該標準單元網格的各標準單元被該多條閘極電極線的其中一條

穿過，以及其中，該連接單元被彼此相鄰地佈置於至少一行中，該行平行於該標準單元網格的行。

15. 如申請專利範圍第 12 項所述的方法，還包括：

其中，該標準單元網格的各標準單元被該多條閘極電極線的其中一條穿過；

其中，該埋置邊界單元包含第一組埋置邊界單元及第二組埋置邊界單元；

其中，通過該標準單元網格的標準單元使該第二組的該埋置邊界單元與該第一組的該埋置邊界單元隔開；

在該第一組的該埋置邊界單元之間佈置該多個連接單元的第二連接單元；以及

在該第二組的該埋置邊界單元之間佈置該多個連接單元的第二連接單元。