

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5136317号
(P5136317)

(45) 発行日 平成25年2月6日(2013.2.6)

(24) 登録日 平成24年11月22日(2012.11.22)

(51) Int.Cl.		F I			
HO2M	7/12	(2006.01)	HO2M	7/12	Q
HO2M	3/155	(2006.01)	HO2M	3/155	P

請求項の数 5 (全 13 頁)

(21) 出願番号 特願2008-237274 (P2008-237274)
 (22) 出願日 平成20年9月17日 (2008.9.17)
 (65) 公開番号 特開2010-74895 (P2010-74895A)
 (43) 公開日 平成22年4月2日 (2010.4.2)
 審査請求日 平成23年6月22日 (2011.6.22)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082762
 弁理士 杉浦 正知
 (72) 発明者 南 淳志
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 審査官 天坂 康種

最終頁に続く

(54) 【発明の名称】 電源装置

(57) 【特許請求の範囲】

【請求項1】

入力電圧が供給される第1および第2の入力端子と、
 出力電圧が取り出される第1および第2の出力端子と、
 一端が上記第1の入力端子に接続され、他端がダイオードを介して上記第1の出力端子
 に接続されたチョークコイルと、

上記チョークコイルの上記他端および上記ダイオードの接続点と、上記第2の出力端子
 との間に接続されたスイッチング素子と、

上記ダイオードおよび上記第1の出力端子の接続点と、上記第2の出力端子との間に接
 続されたコンデンサと、

上記スイッチング素子がONする時に流れる電流を予め設定したしきい値と比較する比
 較部と、

発振器と、出力電圧を安定化するために、上記発振器の出力信号から形成されたパルス
 信号のデューティ比を制御するパルス幅変調回路と、上記パルス幅変調回路からの出力信
 号が供給され、上記比較部からの比較信号によって出力信号の周波数を切り替える周波数
 切り替え回路と、上記周波数切り替え回路から上記スイッチング素子をON/OFFさせ
 るパルス信号を出力するPFC制御回路と

を備え、

上記周波数切り替え回路は、上記スイッチング素子がONする時に流れる電流が上記し
 きい値より大か、または上記しきい値以上の場合に、上記パルス信号の周波数をより高い

周波数に切り替える電源装置。

【請求項 2】

上記スイッチング素子が F E T であり、

上記比較部は、上記 F E T のドレイン電流を抵抗によって検出電圧に変換し、上記検出電圧をしきい値電圧と比較して上記比較信号を出力する請求項 1 記載の電源装置。

【請求項 3】

上記発振器の発振周波数が固定とされ、

上記発振器の出力信号と、上記発振器の出力信号を分周した分周出力との一方が選択回路によって選択され、

上記スイッチング素子が O N する時に流れる電流が上記しきい値より大か、または上記しきい値以上の場合以外に、上記分周出力を上記選択回路によって選択する請求項 1 記載の電源装置。

10

【請求項 4】

上記パルス幅変調回路は、上記出力電圧と対応する信号に応じてパルス幅変調された出力信号を形成する請求項 1 記載の電源装置。

【請求項 5】

さらに、入力電圧を予め設定したしきい値と比較し、上記入力電圧が上記しきい値より小か、または上記しきい値以下の場合に、上記パルス信号の周波数をより高い周波数に切り替える請求項 1 記載の電源装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

この発明は、交流電流を整流し、安定した直流電圧を生成する電源装置に関し、特に、P F C 制御回路を有する電源装置に関する。

【背景技術】

【0002】

P F C (Power Factor Correction : 力率改善) 制御 I C を有する電源装置は、力率を改善することによって、高調波の発生を抑制することができる。このような電源装置としては、以下の特許文献 1 に記載の電源装置が知られている。

【0003】

30

【特許文献 1】特開平 1 1 - 1 6 4 5 4 8 号公報

【0004】

特許文献 1 に記載の電源装置は、起動時や、交流電源の瞬停（瞬間的な交流電源の供給停止）後の復帰時に入力電圧が急激に上昇する時に、コンデンサに過大な電流が流れ、スイッチング素子が過大な電流によって破壊されることを防止することを目的とするものである。特許文献 1 には、検出抵抗に電流を流し、検出された電圧を基準値と比較し、過大な電流が検出されると、スイッチング素子に対するドライブパルスの出力を停止するようにしている。

【0005】

さらに、P F C 制御回路としてノイズ成分を分散させる目的でもって、スイッチング素子のスイッチング周波数を高くすることが下記の特許文献 2 に記載されている。

40

【0006】

【特許文献 2】米国特許第 7 1 9 6 9 1 7 号明細書

【0007】

P F C 制御方式として、臨界モードと電流連続モード（以下、連続モードと称する）との 2 種類が知られている。図 1 を参照して、従来の臨界モードの P F C 制御回路を有する電源装置の一例について説明する。図 1 に示すように、ブリッジ整流回路 B D は、交流電源（商用電源）V a c の交流電圧を整流して全波整流電圧を平滑コンデンサ C i に供給する。平滑コンデンサ C i の両端に入力（直流）電圧 V i n が出力される。

【0008】

50

ブリッジ整流回路BDの一方の出力端子(非接地側)がチョークコイルL1の一端に接続され、チョークコイルL1の他端がダイオードD1を介して一方の出力端子に接続される。チョークコイルL1の他端とダイオードD1の接続点と、他方の出力端子との間にスイッチング素子としてのFET(Field Effect Transistor;電界効果トランジスタ)Q1のドレインが接続される。FETQ1は、例えばNチャンネル形FETである。FETQ1のソースが接地される。

【0009】

チョークコイルL1の二次巻線として、検出巻線L2が接続される。検出巻線L2は、チョークコイルL1を流れる電流が0となることを検出するために設けられている。検出巻線L2の出力信号がPFC制御回路1Aに対して供給される。FETQ1のゲートに対してPFC制御回路1Aにより形成されたドライブパルスOUTが供給される。

10

【0010】

FETQ1のドレインがダイオードD1を順方向に介してコンデンサCoの一端に接続される。コンデンサCoの他端が接地される。コンデンサCoの両端に出力電圧Voutが発生する。出力電圧Voutが負荷(図示しない)に対して印加される。

【0011】

昇圧形コンバータが構成され、入力電圧Vinより高い出力電圧Voutが形成される。FETQ1は、ドライブパルスOUTの論理値がローレベル(以下、Lと表記する)期間でONし、その論理値がハイレベル(以下、Hと表記する)期間でオフする。

【0012】

FETQ1がONする期間では、チョークコイルL1およびFETQ1を介して電流が流れる。次に、FETQ1がオフすると、チョークコイルL1、ダイオードD1およびコンデンサCoを介して電流が流れる。検出巻線L2によってチョークコイルL1を流れる電流がゼロになることを検出し、この検出直後にFETQ1をONとするドライブパルスOUTをPFC制御回路1Aが出力する。

20

【0013】

図2は、臨界モードにおいてチョークコイルL1を流れる電流波形を示す。電流のピーク値は、FETQ1のON期間の長さを入力電圧Vinとに比例した値となり、チョークコイルL1のインダクタンス成分に反比例した値となる。図2Aに示される電流波形に対して負荷が重くなると図2Bに示される電流波形となる。すなわち、負荷が重くなるにしたがって電流のピーク値が大きくなると共に、周波数が低下する。臨界モードの場合、このように、負荷が重くなるとチョークコイルL1に流れる電流のピーク値が大きくなり、大電力の用途に不向きな欠点があった。

30

【0014】

次に、図3を参照して、連続モードについて説明する。連続モードのPFC制御回路1Bは、固定周波数の発振器を有し、固定周波数のドライブパルスOUTを生成する。ドライブパルスOUTがFETQ1のゲートに供給される。臨界モードと同様に、電流のピーク値は、FETQ1のON期間の長さを入力電圧Vinとに比例した値となり、チョークコイルL1のインダクタンス成分に反比例した値となる。連続モードでは、ON期間の長さが発振器の出力周波数で決まる固定の値とされている。

40

【0015】

連続モードでは、固定周波数のドライブパルスOUTでFETQ1がスイッチング動作を行うので、図4に示すように、チョークコイルL1を流れる電流がゼロにならない。図4Aの電流波形に対して、負荷が重くなった場合の電流波形を図4Bに示す。負荷が重くなった場合に、電流波形のピーク値は、変化しないで、平均値(直流成分)が増大する。かかる連続モードは、臨界モードに比して大電力の用途に向いている。

【発明の開示】

【発明が解決しようとする課題】

【0016】

連続モードは、臨界モードと異なり、電流が流れている状態でFETQ1がスイッチン

50

グ動作を行うので、損失とスイッチングノイズが発生する問題点がある。損失について図5および図6を参照して説明する。

【0017】

FETQ1のドレイン・ソース間電圧を V_{DS} と表記し、FETQ1のドレインからソースに流れるドレイン電流を I_D と表記する。図5Aは、電圧 V_{DS} および電流 I_D の波形を示す。FETQ1がONする破線で囲んだ部分の波形を図5Bに拡大して示し、FETQ1がOFFする破線で囲んだ部分の波形を図5Cに拡大して示す。

【0018】

FETQ1に対して電圧 V_{DS} が印加されている状態で、電流 I_D が流れる区間でスイッチング損失が生じる。図5Bにおいて斜線を付したON時(OFFからONへの遷移区間)でスイッチング損失(OON時)が発生し、図5Cにおいて斜線を付したOFF時(ONからOFFへの遷移区間)でスイッチング損失が発生する。OFFからONに遷移する時に、チョークコイルL1の寄生容量によるヒゲ状の電流が発生する。

【0019】

連続モードにおいては、スイッチング周波数を高くすることによって1パルスごとの電流を減少させることができ、チョークコイルの直流重畳特性に対する要求が緩やかとなり、チョークコイルL1を小型化できる。しかしながら、周波数を高くすると、スイッチング損失が増加し、スイッチング素子のFETQ1に対する負担が増加する。

【0020】

連続モードの損失について、ドライブパルスOUTの周波数が変化した場合の変化について図6を参照して説明する。図6A,図6Bおよび図6Cは、ドライブパルスOUTの周波数が例えば100kHzの場合の電圧 V_{DS} および電流 I_D の波形を示す。図6D,図6Eおよび図6Fは、ドライブパルスOUTの周波数が例えば130kHzの場合の電圧 V_{DS} および電流 I_D の波形を示す。

【0021】

ドライブパルスOUTの周波数をより高くすることは、図6Bおよび図6Eの波形図を比較すると分かるように、電流 I_D を減少させることができる。その結果、OFF時の損失をより少なくすることができる。しかしながら、図6Cおよび図6Fの波形図を比較すると分かるように、周波数を高くすると、ON時の電流 I_D が増加し、ON時の損失が増加する。

【0022】

OFF時の損失の減少分と、ON時の損失の増加分を比較すると、OFF時の損失の減少分がより多い。したがって、1回のON時およびOFF時の区間では、スイッチング損失を減少させることができる。しかしながら、ドライブパルスOUTの周波数が高いことは、同じ時間幅の中で、スイッチング回数が増加する。その結果、トータルとしての損失は、増加してしまう問題がある。したがって、例えば特許文献2に記載されているように、連続モードにおいて、ドライブパルスOUTの周波数を高くすると、スイッチング損失が増加する問題があった。

【0023】

このように、周波数を高くすることは、チョークコイルを小型化できるが、損失の増加が発生する。逆に周波数が低いと、チョークコイルとして直流重畳特性の良好なもの、すなわち、大型なコイルが必要となる。

【0024】

したがって、この発明の目的は、上記問題点を解消し、小型なチョークコイルを使用することができると共に、損失を低減することができる電源装置を提供することにある。

【課題を解決するための手段】

【0025】

上述した課題を解決するために、この発明は、入力電圧が供給される第1および第2の入力端子と、

出力電圧が取り出される第1および第2の出力端子と、

10

20

30

40

50

一端が第 1 の入力端子に接続され、他端がダイオードを介して第 1 の出力端子に接続されたチョークコイルと、

チョークコイルの他端およびダイオードの接続点と、第 2 の出力端子との間に接続されたスイッチング素子と、

ダイオードおよび第 1 の出力端子の接続点と、第 2 の出力端子との間に接続されたコンデンサと、

スイッチング素子が ON する時に流れる電流を予め設定したしきい値と比較する比較部と、

発振器と、出力電圧を安定化するために、発振器の出力信号から形成されたパルス信号のデューティ比を制御するパルス幅変調回路と、パルス幅変調回路からの出力信号が供給され、比較部からの比較信号によって出力信号の周波数を切り替える周波数切り替え回路と、周波数切り替え回路からスイッチング素子を ON / OFF させるパルス信号を出力する PFC 制御回路と

を備え、

周波数切り替え回路は、スイッチング素子が ON する時に流れる電流がしきい値より大か、またはしきい値以上の場合に、パルス信号の周波数をより高い周波数に切り替える電源装置である。

【0026】

好ましくは、スイッチング素子が FET であり、

比較部は、FET のドレイン電流を抵抗によって検出電圧に変換し、検出電圧をしきい値電圧と比較して比較信号を出力する。

【0027】

好ましくは、発振器の発振周波数が固定とされ、

発振器の出力信号と、発振器の出力信号を分周した分周出力との一方が選択回路によって選択され、

スイッチング素子が ON する時に流れる電流がしきい値より大か、またはしきい値以上の場合以外に、分周出力を選択回路によって選択する。

【0028】

好ましくは、パルス幅変調回路は、出力電圧と対応する信号に応じてパルス幅変調された出力信号を形成する。

【0029】

さらに、入力電圧を予め設定したしきい値と比較し、入力電圧がしきい値より小か、またはしきい値以下の場合に、パルス信号の周波数をより高い周波数に切り替える。

【発明の効果】

【0030】

この発明によれば、負荷が重い場合のみスイッチング周波数を高くするので、チョークコイルの大型化を防止できると共に、スイッチング損失が増加することを防止できる。

【発明を実施するための最良の形態】

【0031】

以下、この発明の一実施の形態について図面を参照しながら説明する。この一実施の形態は、図 7 に示す連続モードの PFC 制御回路を有する電源装置に対して適用されたものである。

【0032】

図 7 に示すように、ブリッジ整流回路 BD および平滑コンデンサ Ci は、交流電源（商用電源）Vac の交流電圧を整流して全波整流電圧を平滑コンデンサ Ci に供給する。平滑コンデンサ Ci の両端（第 1 および第 2 の入力端子）に入力（直流）電圧 Vin が出力される。

【0033】

ブリッジ整流回路 BD の一方の出力端子（非接地側の第 1 の入力端子）がチョークコイル L1 の一端に接続され、チョークコイル L1 の他端がダイオード D1 を介して第 1 の出

10

20

30

40

50

力端子に接続される。チョークコイル L_1 の他端とダイオード D_1 の接続点と、第2の出力端子との間にスイッチング素子としての $FETQ_1$ のドレインが接続される。 $FETQ_1$ は、例えばNチャンネル FET である。 $FETQ_1$ のソースが接地される。 $FETQ_1$ のドレイン・ソース間には、寄生ダイオード(図示しない)が存在する。 $FETQ_1$ のゲートに対して PFC 制御回路 $1C$ により形成されたドライブパルス OUT が供給される。

【0034】

$FETQ_1$ のドレインがダイオード D_1 を順方向に介してコンデンサ C_o の一端に接続される。コンデンサ C_o の他端が接地される。コンデンサ C_o の両端(第1および第2の出力端子)に出力電圧 V_{out} が発生する。出力電圧 V_{out} が負荷(図示しない)に対して印加される。

10

【0035】

昇圧形コンバータが構成され、入力電圧 V_{in} より高い出力電圧 V_{out} が形成される。スイッチング素子としての $FETQ_1$ は、 PFC 制御回路 $1C$ のドライブ回路 13 からドライブパルス OUT が供給される。 $FETQ_1$ は、ドライブパルス OUT の論理値が L の期間で ON し、その論理値が H の期間で OFF する。

【0036】

$FETQ_1$ が ON する期間では、チョークコイル L_1 および $FETQ_1$ を介して電流が流れる。 $FETQ_1$ が ON する期間に流れる電流のピーク値は、 $FETQ_1$ の ON 期間の長さを入力電圧 V_{in} とに比例した値となり、チョークコイル L_1 のインダクタンス成分に反比例した値となる。次に、 $FETQ_1$ が OFF すると、チョークコイル L_1 、ダイオード D_1 およびコンデンサ C_o を介して電流が流れる。

20

【0037】

PFC 制御回路 $1C$ は、発振器 11 と、パルス幅変調(PWM ; Pulse Width Modulation)回路 12 と、ドライブ回路 13 とを有する。なお、 PFC 制御回路 $1C$ に過電流に対する保護回路が設けられているが、簡単のため省略する。

【0038】

発振器 11 は、のこぎり波または三角波(以下の説明では、特に区別しない限りのこぎり波と称する)の出力信号を発生し、発振器 11 の出力信号と、制御信号 FB が PWM 変調回路 12 に供給される。制御信号 FB は、例えば出力電圧の変動に対応した電圧値を有する信号である。 PWM 変調回路 12 は、制御信号 FB に応じて出力信号のパルス幅を変調する。 PWM 変調回路 12 の出力パルスがドライブ回路 13 を介して $FETQ_1$ のゲートに供給される。 PFC 制御回路 $1C$ は、ドライブパルスのデューティ比を変化させることで、出力電圧 V_{out} を安定化する。

30

【0039】

図8に示すように、発振器 11 は、コンデンサ 21 を定電流源 $22a$ によって充電する動作と、定電流源 $22b$ によって放電する動作とをスイッチング素子 23 の ON/OFF によって交互に行う構成とされている。コンデンサ 21 の端子電圧が発振器 11 の出力信号と PWM 変調回路 12 に供給される。 PWM 変調回路 12 に対して制御信号 FB が供給され、制御信号 FB に応じてデューティ比が制御された出力パルスが生成される。

【0040】

図9に示すように、発振器 11 の一例は、充電用の定電流源 $22a$ を $FET24a$ および $24b$ と、抵抗 25 とからなるカレントミラー回路により構成される。破線で囲んで示す部分が IC (Integrated Circuit)の構成とされ、コンデンサ 21 および抵抗 25 が IC の外に形成される。

40

【0041】

図10Aに示すように、発振器 11 から出力されるのこぎり波と、制御信号 FB とが比較される。制御信号 FB よりのこぎり波の値が大となる区間で、図10Bに示すように、 H となり、制御信号 FB よりのこぎり波の値が小となる区間で、図10Bに示すように、 L となる PWM 信号が形成される。負荷が重くなると、制御信号 FB の値が低下し、 PWM 信号のデューティが大となり、 $FETQ_1$ の ON 期間がより長くなるような制御がなさ

50

れる。

【 0 0 4 2 】

図 1 1 を参照して、この発明の一実施の形態について説明する。発振器 1 1 からののこぎり波が電圧比較器 3 1 の一方の入力端子に供給される。電圧比較器 3 1 の他方の入力端子に対して可変電圧源として表された制御信号 F B が供給される。制御信号 F B は、例えば出力電圧を抵抗で分圧した信号である。電圧比較器 3 1 の出力には、上述したように、P W M 変調されたパルス信号が出力される。電圧比較器 3 1 によって P W M 変調回路 1 2 が構成される。

【 0 0 4 3 】

電圧比較器 3 1 からの P W M 信号がカウンタ 3 2 およびスイッチ回路 S W の入力端子 b に供給される。カウンタ 3 2 は、P W M 信号の周波数を分周する。カウンタ 3 2 の出力信号がスイッチ回路 S W の入力端子 a に供給される。スイッチ回路 S W の出力端子 c に取り出されたパルス信号がフリップフロップ 3 3 に入力される。フリップフロップ 3 3 の出力信号がインバータ 3 4 を介して F E T Q 1 のゲートに供給される。

10

【 0 0 4 4 】

スイッチ回路 S W は、周波数切り替え回路であって、電圧比較器 3 5 の出力に得られる切り替え信号 P d によって制御される。スイッチング素子としての F E T Q 1 が O N する時に流れる電流が検出される。例えば F E T Q 1 のソースおよび接地間に検出抵抗 R s が挿入される。ソースおよび検出抵抗 R s の接続点から検出電圧 V s が取り出される。検出電圧 V s は、F E T Q 1 が O N 時に流れる電流 I_D に比例した値を有する。なお、制御信号 F B を検出電圧として使用することも可能である。さらに、負荷電流を抵抗によって検出電圧に変換しても良い。

20

【 0 0 4 5 】

検出電圧 V s が電圧比較器 3 5 の一方の入力端子に対して供給される。電圧比較器 3 5 の他方の入力端子に対してしきい値電圧 V_{th} が供給される。検出電圧 V s がしきい値電圧 V_{th} より大きいか、または以上の場合（以下、特に区別を必要としない場合は、単に大きいと記載する）に、一方の論理値である H の切り替え信号 P d が出力される。検出電圧 V s がしきい値電圧 V_{th} 以下か、または未満の場合（以下、特に区別を必要としない場合は、単に以下と記載する）に、他方の論理値である L の切り替え信号 P d が出力される。電圧比較器 3 5 によって F E T Q 1 が O N する時に流れる電流を予め設定したしきい値と比較する比較部が構成される。

30

【 0 0 4 6 】

スイッチ回路 S W は、検出信号 P d が L の期間で入力端子 a を選択し、カウンタ 3 2 の出力信号を出力端子 c に出力する。検出信号 P d が H の期間で、入力端子 b を選択し、カウンタ 3 2 を通らないパルス信号（電圧比較器 3 1 の出力信号）を出力端子 c に出力する。検出信号 P d が H となるのは、F E T Q 1 を流れる電流 I_D がしきい値電圧 V_{th} に対応する電流より大きい場合のみである。

【 0 0 4 7 】

図 1 2 A に示す発振器 1 1 の出力信号と制御信号 F B とから図 1 2 C に示す P W M 信号が形成される。スイッチ回路 S W の入力端子 b が選択される場合には、図 1 2 C に示すパルス信号がフリップフロップ 3 3 に供給される。

40

【 0 0 4 8 】

カウンタ 3 2 は、図 1 2 A において、T 2 および T 4 で示される 2 個の入力をカウントするタイミングでもって、1 個の出力を発生し、カウンタ 3 2 の出力によってフリップフロップ 3 3 がセットまたはリセットされる。例えばタイミング T 2 でフリップフロップ 3 3 がセットされ、タイミング T 4 でフリップフロップ 3 3 がリセットされる。

【 0 0 4 9 】

図 1 2 B のパルス信号は、図 1 2 C のパルス信号の周波数の 3 倍の周波数を有する。したがって、F E T Q 1 のドレイン電流 I_D が予め設定したしきい値より大きくなると、ドライブパルスの周波数が 3 倍となる。F E T Q 1 のドレイン電流 I_D が予め設定したしき

50

い値以下の場合には、より低い周波数のドライブパルス（図 1 2 B）が形成される。

【 0 0 5 0 】

なお、上述した例は、カウンタ 3 2 が 2 回のカウント動作の結果、1 回の出力を発生する。カウンタ 3 2 が 3 回のカウント動作の結果、2 回の出力を発生するようにしても良い。この場合には、ドライブパルスの周波数が 1 . 6 7 倍となる。さらに、カウンタ 3 2 が 1 / 2 分周を行う場合には、ドライブパルスの周波数を 2 倍とすることができる。さらに、カウンタ 3 2 の分周比を固定とせずに、ユーザの調整操作によって可変設定することを可能としても良い。

【 0 0 5 1 】

上述したこの発明の一実施の形態において、負荷が軽い場合には、図 1 3 A に示すように、電流 I_D がしきい値電流 I_{th} を超えない。しきい値電流 I_{th} は、しきい値電圧 V_{th} に対応する電流である。電流 I_D の波形を拡大して示す図 1 3 B に示すように、周期は、発振器 1 1 の発振周波数に対応する t_x である。

【 0 0 5 2 】

一方、負荷が重い場合には、図 1 4 A に示すように、電流 I_D がしきい値電流 I_{th} を超える期間が発生する。電流 I_D がしきい値電流 I_{th} を超えない期間では、図 1 4 B に示すように、周期 t_x でそのピーク値が I_{pp1} となる電流 I_D が F E T Q 1 のドレイン・ソース間を流れる。電流 I_D がしきい値電流 I_{th} 以上となる期間では、ドライブパルスの周波数が上述したように高くされる。すなわち、図 1 4 C に示すように、周期 t_y ($< t_x$) でそのピーク値が I_{pp2} ($< I_{pp1}$) となる電流 I_D が F E T Q 1 のドレイン・ソース間を流れる。

【 0 0 5 3 】

このように、負荷が重い場合の電流 I_D のピーク値を下げることで、チョークコイルの直流重畳特性に対する要求を緩やかにすることができ、チョークコイルとして小型なものを使用できる。さらに、チョークコイル F E T Q 1 が O N 状態から O F F 状態に遷移する O F F 時の損失を減少させることができる。F E T Q 1 が O F F 状態から O N 状態に遷移する O N 時の損失が増大する。しかしながら、O F F 時の損失の減少量が O N 時の損失の増加量に比して多いので、トータルでは、損失の増加を抑えることができる。この発明の一実施の形態では、電流 I_D が設定値以上となる一部の期間のみ、スイッチングの周波数を高くするので、常時、スイッチングの周波数を高くするのと異なり、トータルのスイッチング損失の増加を防止することができる。

【 0 0 5 4 】

以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。例えば上述した説明では、負荷が重くなる場合に、スイッチングの周波数を高くしている。さらに、入力電圧が低下した場合に、スイッチングの周波数を高くするようにしても良い。この場合には、入力電圧を予め設定したしきい値と比較して、入力電圧がしきい値より小さくなるとスイッチングの周波数が高いものに切り替えられる。

【 0 0 5 5 】

カウンタによりドライブパルス O U T の周波数を変化させるのに限らず、発振器を可変周波数発振器の構成とし、スイッチング素子が流れる電流がしきい値以上となることが検出された場合に、発振周波数をより高くするようにしても良い。

【 図面の簡単な説明 】

【 0 0 5 6 】

【 図 1 】 従来の臨界モードの P F C 制御回路の一例を示す接続図である。

【 図 2 】 臨界モードの P F C 制御回路の動作を説明するための波形図である。

【 図 3 】 従来の連続モードの P F C 制御回路の一例を示す接続図である。

【 図 4 】 連続モードの P F C 制御回路の動作を説明するための波形図である。図 3 の一部の区間を拡大した波形図である。

【 図 5 】 従来の P F C 制御回路のスイッチング損失を説明するための波形図である。

10

20

30

40

50

- 【図6】周波数を高くした場合のスイッチング損失を説明するための波形図である。
- 【図7】この発明を適用できるPFC制御回路を有する電源装置の接続図である。
- 【図8】発振器の一例の構成を示す接続図である。
- 【図9】発振器のより具体的な構成を示す接続図である。
- 【図10】PWM変調の説明に使用する波形図である。
- 【図11】この発明の一実施の形態によるPFC制御回路の接続図である。
- 【図12】この発明の一実施の形態の動作説明のための波形図である。
- 【図13】この発明の一実施の形態の動作説明のための波形図である。
- 【図14】この発明の一実施の形態の動作説明のための波形図である。

【符号の説明】

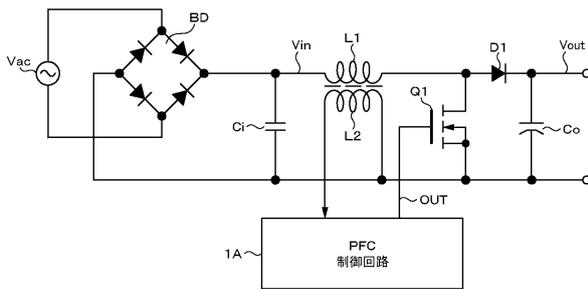
10

【0057】

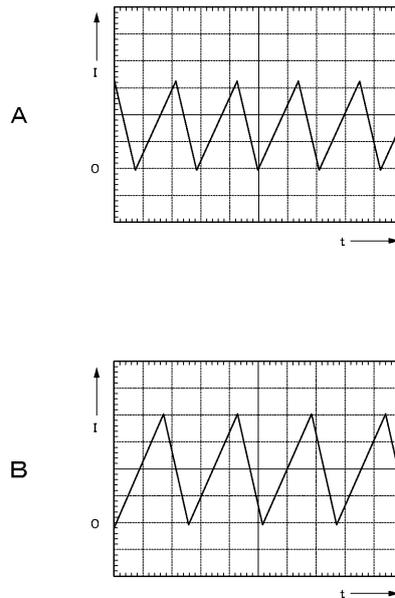
- Q1・・・FET
- BD・・・ブリッジ整流回路
- L1・・・チョークコイル
- Rs・・・電流検出抵抗
- SW・・・スイッチ回路
- 1C, 1B, 1C・・・PFC制御回路
- 11・・・発振器
- 12・・・PWM変調回路
- 31, 35・・・電圧比較器
- 32・・・カウンタ

20

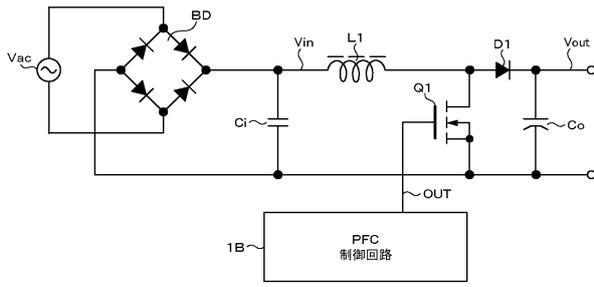
【図1】



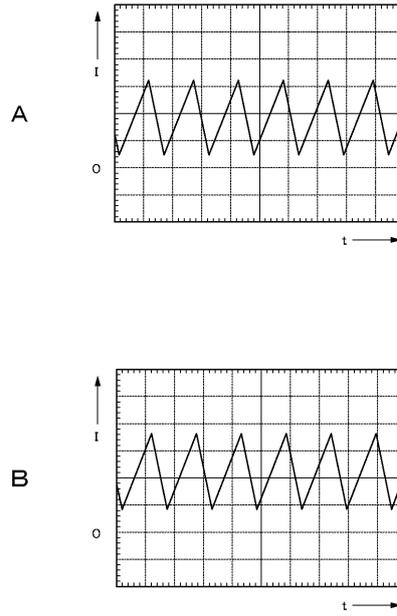
【図2】



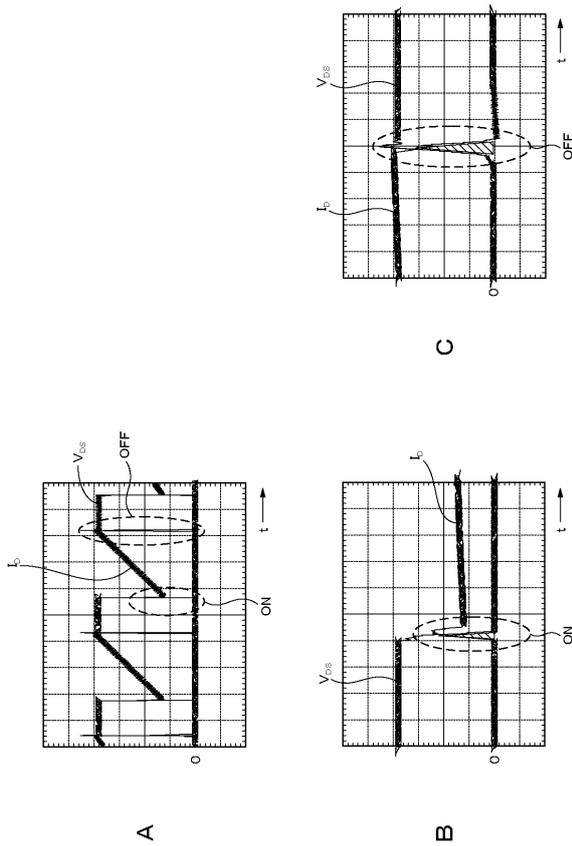
【図3】



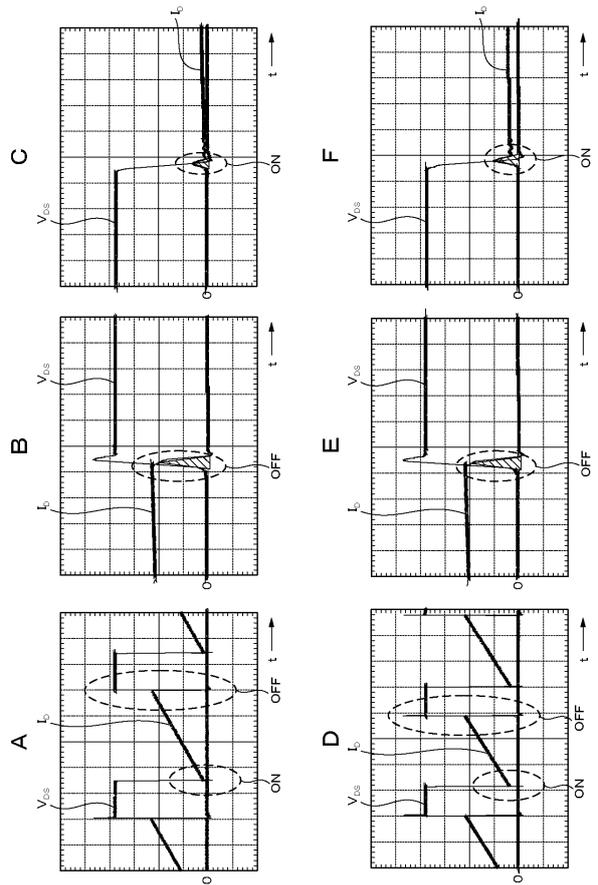
【図4】



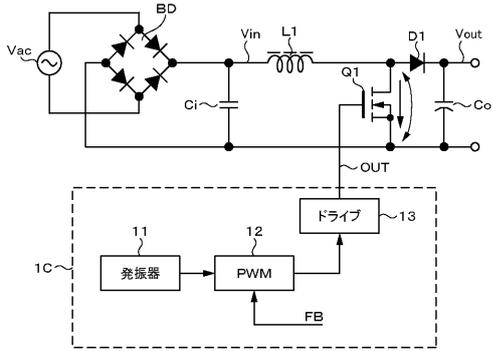
【図5】



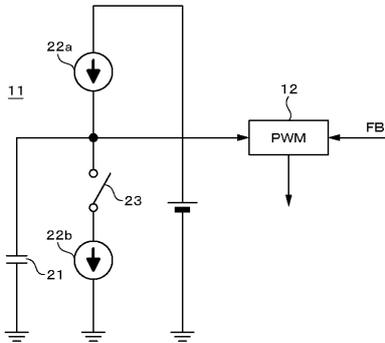
【図6】



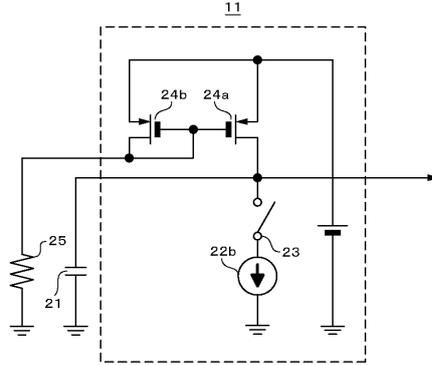
【図7】



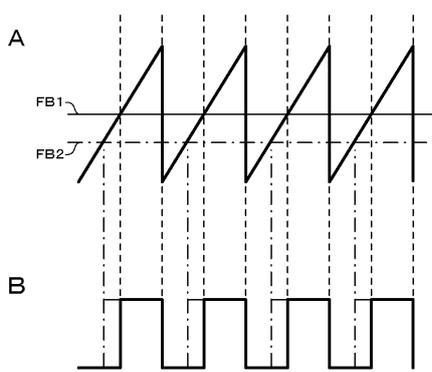
【図8】



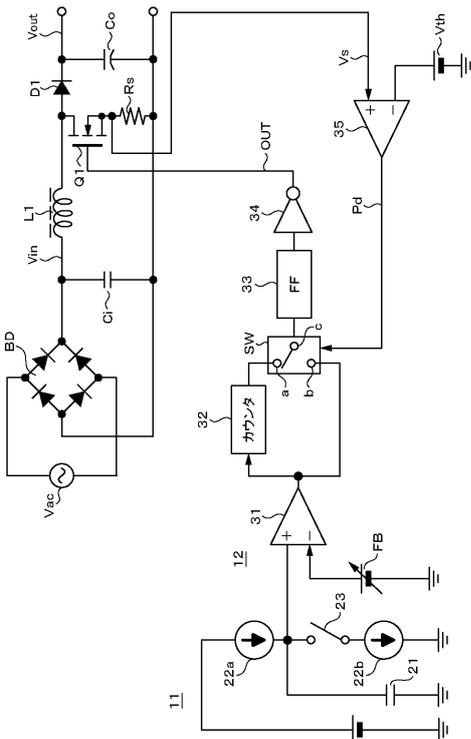
【図9】



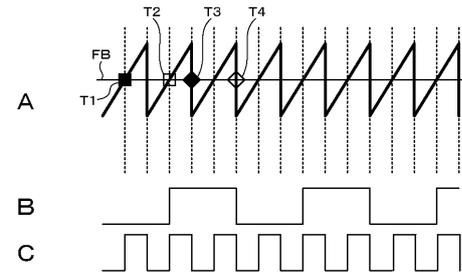
【図10】



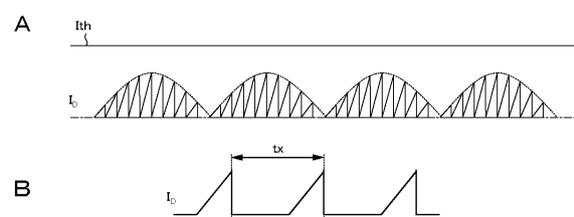
【図11】



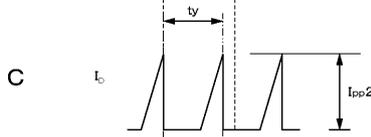
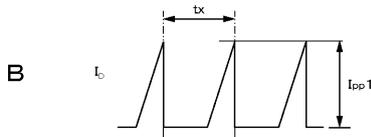
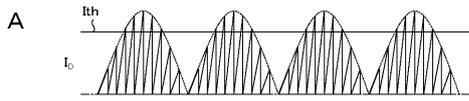
【図12】



【図13】



【 図 14 】



フロントページの続き

- (56)参考文献 特開2006-087235(JP,A)
特開平07-039162(JP,A)
特開平07-123706(JP,A)
特開平02-254974(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/12
H02M 3/155