



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년04월22일
 (11) 등록번호 10-1970798
 (24) 등록일자 2019년04월15일

(51) 국제특허분류(Int. Cl.)
 G02F 1/133 (2006.01) G09G 3/36 (2006.01)
 (21) 출원번호 10-2013-0004310
 (22) 출원일자 2013년01월15일
 심사청구일자 2018년01월04일
 (65) 공개번호 10-2014-0092056
 (43) 공개일자 2014년07월23일
 (56) 선행기술조사문헌
 KR1020040057758 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
안승국
 경북 구미시 도봉로 62, 405동 801호 (도량동, 구
 미도량휴먼시아4단지)
 (74) 대리인
특허법인로얄

전체 청구항 수 : 총 7 항

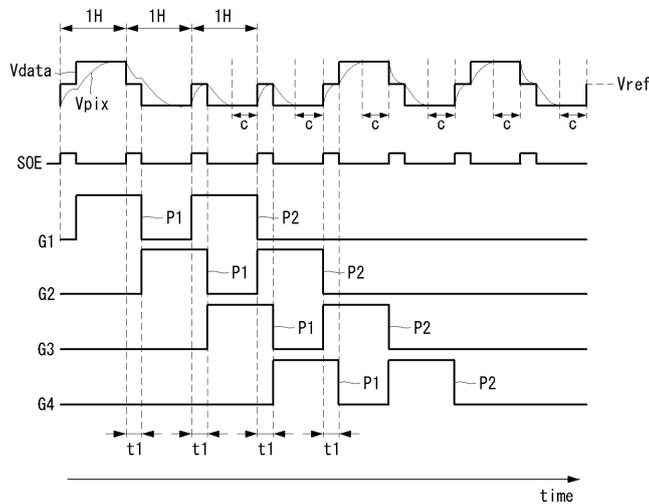
심사관 : 김민수

(54) 발명의 명칭 **액정표시장치**

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 기준 전압을 데이터 라인들로 출력한 후에 데이터 전압을 상기 데이터 라인들로 출력하는 데이터 구동부와, 게이트 타이밍 제어신호에 응답하여 1 프레임 기간 내에서 제1 및 제2 게이트 펄스를 게이트 라인들에 연속으로 출력하고 상기 제1 및 제2 게이트 펄스를 시프트시키는 게이트 구동부를 포함한다. 상기 기준 전압은 상기 픽셀들에 인가되는 공통 전압과 같은 전위의 프리차지 전압이거나 상기 데이터 라인들이 단락될 때 발생하는 차지 쉐어 전압이다. 상기 픽셀들은 상기 제1 게이트 펄스에 응답하여 상기 기준 전압을 프리차징한 다음, 상기 제2 게이트 펄스에 응답하여 상기 기준 전압을 충전한 후 데이터 전압을 충전한다.

대표도 - 도5



명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고 픽셀들이 매트릭스 타입으로 배치된 표시패널;

소스 출력 인에이블 신호의 펄스에 응답하여 기준 전압을 상기 데이터 라인들로 출력한 후에 상기 소스 출력 인에이블 신호의 로우 로직 구간 동안 데이터 전압을 상기 데이터 라인들로 출력하는 데이터 구동부;

게이트 타이밍 제어신호에 응답하여 1 프레임 기간 내에서 제1 및 제2 게이트 펄스를 상기 게이트 라인들에 연속으로 출력하고 상기 제1 및 제2 게이트 펄스를 시프트시키는 게이트 구동부; 및

상기 데이터 구동부에 더미 데이터와 입력 영상의 데이터를 공급하고, 상기 소스 출력 인에이블 신호와 상기 게이트 타이밍 제어신호를 발생하여 상기 데이터 구동부와 상기 게이트 구동부의 동작 타이밍을 제어하는 타이밍 컨트롤러를 포함하고,

상기 기준 전압은 상기 픽셀들에 인가되는 공통 전압과 같은 전위의 프리차지 전압이거나 상기 데이터 라인들이 단락될 때 발생하는 차지 쉐어 전압이고,

제N(N은 3 이상의 정수) 게이트 라인에 인가되는 제1 게이트 펄스(P1)는 제N-2 데이터 전압과 상기 기준 전압에 동기되고,

상기 제N 게이트 라인에 인가되는 제2 게이트 펄스는 상기 기준 전압과 제N 데이터 전압에 동기되며,

상기 픽셀들은 상기 제1 게이트 펄스에 응답하여 상기 제N-2 데이터 전압을 충전한 후에 상기 기준 전압을 충전한 다음, 상기 제2 게이트 펄스에 응답하여 상기 기준 전압을 충전한 후에 상기 제N 데이터 전압을 충전하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

1 수평 기간을 '1H'라 하고 상기 소스 출력 인에이블신호의 펄스폭 시간을 '1t'라 할 때

상기 제2 게이트 펄스는 상기 제1 게이트 펄스의 폴링 예지로부터 1H - t1 만큼 경과된 후에 라이징되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제N 게이트 라인에 인가되는 제1 게이트 펄스는 제N-1 게이트 라인에 인가되는 제2 게이트 펄스와 t1 만큼 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 및 제2 게이트 펄스 각각은 1 수평 기간의 펄스 폭을 갖는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 타이밍 컨트롤러는,

상기 입력 영상과 무관한 더미 데이터를 발생하여 상기 더미 데이터와 상기 입력 영상의 데이터를 상기 데이터 구동부로 전송하고,

상기 데이터 구동부는 상기 더미 데이터와 상기 입력 영상의 데이터를 정극성/부극성 데이터 전압으로 변환하여

상기 데이터 라인들로 출력하며,

제1 및 제2 게이트 라인에 인가되는 제1 게이트 펄스는 상기 더미 데이터 전압과 기준 전압에 동기되고,

상기 제1 및 제2 게이트 라인에 인가되는 제2 게이트 펄스는 상기 더미 데이터 전압에 동기되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 더미 데이터는 중간 계조 데이터인 것을 특징으로 하는 액정표시장치.

청구항 7

삭제

청구항 8

데이터 라인들과 게이트 라인들이 교차되고 픽셀들이 매트릭스 타입으로 배치된 표시패널;

소스 출력 인에이블 신호의 펄스에 응답하여 기준 전압을 상기 데이터 라인들로 출력한 후에 상기 소스 출력 인에이블 신호의 로우 로직 구간 동안 데이터 전압을 상기 데이터 라인들로 출력하는 데이터 구동부;

게이트 타이밍 제어신호에 응답하여 1 프레임 기간 내에서 제1 및 제2 게이트 펄스를 상기 게이트 라인들에 연속으로 출력하고 상기 제1 및 제2 게이트 펄스를 시프트시키는 게이트 구동부; 및

상기 데이터 구동부에 더미 데이터와 입력 영상의 데이터를 공급하고, 상기 소스 출력 인에이블 신호와 상기 게이트 타이밍 제어신호를 발생하여 상기 데이터 구동부와 상기 게이트 구동부의 동작 타이밍을 제어하는 타이밍 컨트롤러를 포함하고,

상기 기준 전압은 상기 픽셀들에 인가되는 공통 전압과 같은 전위의 프리차지 전압이거나 상기 데이터 라인들이 단락될 때 발생하는 차지 웨어 전압이고,

상기 픽셀들은 상기 제1 게이트 펄스에 응답하여 상기 기준 전압을 프리차징한 다음, 상기 제2 게이트 펄스에 응답하여 상기 기준 전압을 충전한 후 데이터 전압을 충전하는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상을 표시하고 있다. 액정표시장치의 액정셀들은 화소전극에 공급되는 데이터 전압과 공통전극에 공급되는 공통전압의 전위차에 따라 투과율을 변화시킴으로써 화상을 표시한다.

[0003] 액정표시장치의 픽셀들은 1 수평 기간 동안 데이터 전압을 충전하고 1 프레임 기간 동안 데이터 전압을 유지한다. 액정표시장치의 1 수평 기간은 프레임 레이트(frame rate)에 반비례한다. 예를 들어, FHD(1920*RGB*1080) 해상도의 액정표시장치에서, 프레임 주파수가 60Hz일 때 1 수평 기간(도 1a의 1H)은 대략 14.9 μs이다. 같은 해상도의 액정표시장치에서, 프레임 레이트가 120Hz이면, 1 수평 기간(도 1b의 1H)은 대략 7.2 μs이다. 프레임 레이트가 240Hz이면, 1 수평 기간(도 1c의 1H)은 대략 3.3 μs이다. 도 1a 내지 도 1c에서 'G1~Gn'은 액정표시패널의 게이트 라인들이고, 펄스 신호는 그 게이트 라인들(G1~Gn)에 순차적으로 인가되는 게이트 펄스이다. 도 1a 내지 도 1c와 같이 액정표시장치의 프레임 레이트가 높아질수록 도 2와 같이 픽셀들의 데이터 전압 충전 시간이 부족하게 된다. 도 2에서, 'Vdata'는 소스 드라이브 IC(Integrated Circuit)로부터 출력되는 데이터 전압이고, 'Vgate'는 데이터 전압(Vdata)에 동기되는 게이트 펄스이다. 'Vpix'는 픽셀에 충전

되는 데이터 전압이다.

[0004] 액정표시장치의 프레임 레이트는 고해상도 제품에서 높아지고 있다. 이렇게 프레임 레이트가 높아지면 픽셀들의 데이터 전압 충전 부족으로 인하여 크로스토크(crosstalk), 플리커(flicker), 수직/수평 라인 노이즈, 얼룩 등이 나타날 수 있다.

[0005] 프리차지(pre-charge) 효과를 얻기 위하여, 이전 데이터 전압을 픽셀에 충전한 후에 표시하고자 하는 데이터 전압을 그 픽셀에 충전시킬 수 있다. 그런데 이러한 프리차지 방법은 이전 데이터 전압의 극성과 전압 레벨에 따라 픽셀의 프리차지 전압이 달라지기 때문에 픽셀들의 충전 특성을 균일하게 제어하기가 어렵다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 프레임 레이트가 상승할 때 픽셀들의 충전양 저하를 줄이고 픽셀들의 충전 특성을 균일하게 할 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

[0007] 본 발명의 액정표시장치는 데이터 라인들과 게이트 라인들이 교차되고 픽셀들이 매트릭스 타입으로 배치된 표시 패널; 소스 출력 인에이블 신호의 펄스에 응답하여 기준 전압을 상기 데이터 라인들로 출력한 후에 상기 소스 출력 인에이블 신호의 로우 로직 구간 동안 데이터 전압을 상기 데이터 라인들로 출력하는 데이터 구동부; 게이트 타이밍 제어신호에 응답하여 1 프레임 기간 내에서 제1 및 제2 게이트 펄스를 상기 게이트 라인들에 연속으로 출력하고 상기 제1 및 제2 게이트 펄스를 시프트시키는 게이트 구동부; 및 상기 데이터 구동부에 더미 데이터와 입력 영상의 데이터를 공급하고, 상기 소스 출력 인에이블 신호와 상기 게이트 타이밍 제어신호를 발생하여 상기 데이터 구동부와 상기 게이트 구동부의 동작 타이밍을 제어하는 타이밍 컨트롤러를 포함한다.

[0008] 상기 기준 전압은 상기 픽셀들에 인가되는 공통 전압과 같은 전위의 프리차지 전압이거나 상기 데이터 라인들이 단락될 때 발생하는 차지 웨어 전압이다.

제N(N은 3 이상의 정수) 게이트 라인에 인가되는 제1 게이트 펄스(P1)는 제N-2 데이터 전압과 상기 기준 전압에 동기된다. 상기 제N 게이트 라인에 인가되는 제2 게이트 펄스는 상기 기준 전압과 제N 데이터 전압에 동기된다. 상기 픽셀들은 상기 제1 게이트 펄스에 응답하여 상기 제N-2 데이터 전압을 충전한 후에 상기 기준 전압을 충전한 다음, 상기 제2 게이트 펄스에 응답하여 상기 기준 전압을 충전한 후에 상기 제N 데이터 전압을 충전한다.

발명의 효과

[0009] 본 발명의 액정표시장치는 게이트 라인들 각각에 제1 및 제2 게이트 펄스들을 연속으로 공급하여 기준 전압으로 픽셀들을 프리차징한 후에 표시하고자 하는 데이터 전압을 그 픽셀들에 충전시킨다. 그 결과, 본 발명의 액정표시장치는 종래 기술에 비하여 프레임 레이트가 상승할 때 픽셀들의 충전양을 높일 수 있고, 픽셀들의 충전 특성을 균일하게 제어할 수 있다.

도면의 간단한 설명

[0010] 도 1a 내지 도 1c는 프레임 레이트에 반비례하는 1 수평 기간을 보여 주는 파형도이다.

도 2는 프레임 레이트가 높아짐에 따라 부족해지는 픽셀들의 충전양 부족을 나타내는 파형도이다.

도 3은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

도 4는 도 3에 도시된 게이트 구동부로부터 출력되는 게이트 펄스를 보여 주는 파형도이다.

도 5는 도 4에 도시된 게이트 펄스와 데이터 전압을 상세히 보여 주는 파형도이다.

도 6은 본 발명의 실시예에 따른 액정표시장치에서 프레임 레이트가 60Hz, 120Hz, 240Hz일 때 1 수평 기간과 픽셀들의 충전 특성을 보여 주는 파형도이다.

도 7은 소스 드라이브 IC에서 차지 웨어 전압과 데이터 전압을 출력하는 회로를 보여 주는 도면이다.

도 8은 소스 드라이브 IC에서 프리차지 전압과 데이터 전압을 출력하는 회로를 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0012] 도 3 및 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 표시패널(10), 타이밍 콘트롤러(20), 데이터 구동부(12), 게이트 구동부(14) 등을 포함한다.
- [0013] 표시패널(10)은 두 장의 유리기판 사이에 액정층이 형성된다. 액정표시패널은 데이터 라인들(S1~Sm)과 게이트 라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배치된 픽셀들을 포함한다. 픽셀들은 적색 서브픽셀, 녹색 서브픽셀, 및 청색 서브픽셀로 나뉘어진다. 서브픽셀들 각각은 액정셀들(C1c), TFT, 및 스토리지 커패시터(Cst)를 포함한다.
- [0014] 표시패널(10)에서 입력 영상이 표시되는 픽셀 어레이는 TFT 어레이와 컬러 필터 어레이로 나뉘어진다. 표시패널(10)의 하부 유리기판에는 TFT 어레이가 형성된다. TFT 어레이는 데이터 라인들(S1~Sm), 데이터 라인들(S1~Sm)과 교차하는 게이트 라인들(G1~Gn), 액정셀들(C1c)의 화소전극(1)에 접속된 TFT들, 및 스토리지 커패시터(Cst) 등을 포함한다. 액정셀들(C1c)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 표시패널(10)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 등을 포함한 컬러 필터 어레이가 형성된다. 표시패널(10)의 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0015] 픽셀 어레이에서 영상이 표시되는 액티브 영역은 제1 및 제2 라인을 제외한 제3 내지 제n 라인을 포함한 n-2 개의 라인들로 구성될 수 있다. 이 경우에, 제1 및 제2 라인은 입력 영상이 표시되지 않은 더미 라인들이다.
- [0016] 공통전극(2)에는 공통전압(Vcom)이 공급된다. 액정셀(C1c)은 화소전극(1)에 인가되는 데이터 전압과 공통전극(2)에 인가되는 공통전압(Vcom) 간의 전위차에 의해 발생하는 전계에 의해 구동되는 액정분자들을 이용하여 투과율을 조절한다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기판 상에 형성된다.
- [0017] 본 발명에서 적용 가능한 표시패널(10)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드라도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0018] 타이밍 콘트롤러(20)는 호스트 시스템(Host system)(30)으로부터 입력된 입력 영상의 디지털 비디오 데이터를 데이터 구동부(12)에 공급한다. 타이밍 콘트롤러(20)는 픽셀 어레이의 제3 및 제4 라인을 프리 차징하기 위한 더미 데이터를 발생한다. 더미 데이터는 입력 영상 데이터와 무관하게 타이밍 콘트롤러(20) 내에서 생성되는 데이터이다. 더미 데이터는 중간 계조값 예컨대, 표현 가능한 최대 계조가 256일 때 계조 128의 데이터로 생성될 수 있다.
- [0019] 타이밍 콘트롤러(20)는 호스트 시스템(30)으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭(CLK) 등의 타이밍신호를 입력 받는다. 타이밍 콘트롤러(20)는 호스트 시스템(30)으로부터 입력된 타이밍 신호를 바탕으로 데이터 구동부(12)와 게이트 구동부(14)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 구동부(14)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호와, 데이터 구동부(12)의 동작 타이밍과 데이터 전압의 수직 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.

- [0020] 게이트 타이밍 제어신호는 게이트 스타트 펄스(GSP), 게이트 시프트 클럭(GSC), 게이트 출력 인에이블신호(GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 게이트 구동부(14)를 구성하는 게이트 드라이브 IC의 동작 스타트 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 펄스의 시프트 타이밍을 제어한다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력 타이밍을 제어한다. 타이밍 컨트롤러(20)는 게이트 타이밍 제어신호를 이용하여 도 4와 같은 게이트 펄스가 출력되도록 게이트 구동부(14)를 제어한다.
- [0021] 데이터 타이밍 제어신호는 소스 스타트 펄스(SSP), 소스 샘플링 클럭(SSC), 극성제어신호(POL), 소스 출력 인에이블신호(SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동부(12)를 구성하는 소스 드라이브 IC들의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이브 IC들 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 구동부(12)의 데이터 전압과 차지 웨어(charge share) 전압 출력 타이밍을 제어한다. 차지 웨어 전압은 데이터 라인들을 단락(short)시킬 때 발생하는 정극성 데이터 전압과 부극성 데이터 전압의 평균 전압이다. 타이밍 컨트롤러(20와 데이터 구동부(12) 사이에서 신호 전송을 위한 인터페이스가 mini LVDS(Low Voltage Differential Signaling)이면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.
- [0022] 호스트 시스템(30)은 텔레비전 시스템, 홈 시어터 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(30)은 입력 영상의 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 스케일링한다. 호스트 시스템(30)은 입력 영상의 디지털 비디오 데이터(RGB)와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 컨트롤러(20)로 전송한다.
- [0023] 데이터 구동부(12)는 하나 이상의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC들 각각은 시프트 레지스터, 래치, 디지털-아날로그 변환기(DAC), 출력 버퍼 등을 포함한다. 소스 드라이브 IC들은 타이밍 컨트롤러(20)로부터 입력되는 더미 데이터를 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 더미 데이터 전압을 발생하고 극성제어신호(POL)에 응답하여 그 더미 데이터 전압의 극성을 반전시킨다. 이어서, 소스 드라이브 IC들은 타이밍 컨트롤러(20)로부터 입력되는 입력 영상의 데이터를 아날로그 정극성/부극성 감마보상 전압으로 변환하여 정극성/부극성 데이터 전압을 발생하고 극성제어신호(POL)에 응답하여 그 데이터 전압의 극성을 반전시킨다. 소스 드라이브 IC들은 소스 출력 인에이블 신호(SOE)에 응답하여 기준 전압을 출력하고, 정극성/부극성 데이터 전압을 데이터 라인들(S1~Sm)로 출력한다. 여기서, 기준 전압은 차지 웨어전압이나 미리 설정된 프리차지 전압일 수 있다. 프리 차지 전압은 픽셀들의 공통전극(2)에 인가되는 공통전압(Vcom)과 같은 전위의 전압으로 설정될 수 있다.
- [0024] 게이트 구동부(14)는 시프트 레지스터와 레벨 슈프터를 포함한다. 게이트 구동부(14)는 타이밍 컨트롤러(20)의 제어 하에 도 4와 같은 게이트 펄스를 발생한다. 게이트 펄스는 소정의 시간차를 두고 연속적으로 발생하는 제1 및 제2 게이트 펄스(P1, P2)를 포함한다. 게이트 라인들(G1~Gn) 각각에는 1 프레임 기간 내에서 제1 및 제2 게이트 펄스(P1, P2)가 연속적으로 공급된다. 제1 및 제2 게이트 펄스(P1, P2)는 순차적으로 시프트된다.
- [0025] 제1 게이트 펄스(P1)는 대략 1 수평 기간(1H)의 펄스폭으로 발생된다. 제1 게이트 펄스(P1)는 픽셀들을 프리차지시키기 위한 게이트 펄스이다. 제N(N은 3 이상의 양의 정수) 게이트 라인에 인가되는 제1 게이트 펄스(P1)는 제N-2 데이터 전압(또는 전전 데이터 전압)과 기준 전압에 동기된다. 더미 게이트 라인인 제1 및 제2 게이트 라인(G1, G2)에 인가되는 제1 게이트 펄스(P1)는 더미 데이터 전압과 기준 전압에 동기된다. 픽셀들의 TFT는 제1 게이트 펄스(P1)에 응답하여 턴-온된 후에 제2 게이트 펄스(P2)에 응답하여 턴-온되어 1 프레임 기간 내에서 2 회 턴-온된다. 더미 라인의 TFT들은 제1 게이트 펄스(P1)에 따라 턴-온되어 더미 데이터 전압을 액정셀(C1c)에 공급한 직후에 기준 전압을 그 액정셀(C1c)에 공급한다. 액티브 영역의 TFT는 제1 게이트 펄스(P1)에 따라 턴-온되어 더미 데이터 전압 또는 제N-2 데이터 전압을 액정셀(C1c)에 공급한 직후에, 기준 전압을 그 액정셀(C1c)에 공급한다. 따라서, 픽셀들은 제1 게이트 펄스(P1)에 응답하여 제N-2 데이터 전압 또는 더미 데이터 전압을 프리차지한 후에 기준 전압을 프리차지한다.
- [0026] 제2 게이트 펄스(P2)는 도 5와 같이 1H - t1 만큼의 시간차를 가지고 제1 게이트 펄스(P1)에 이어서 발생된다. 여기서, 1H는 1 수평 기간이다. t1은 기준 전압 공급 시간 또는 소스 출력 인에이블신호(SOE)의 펄스 폭이다. 제2 게이트 펄스(P2)는 대략 1 수평 기간(1H)의 펄스폭으로 발생된다. 제2 게이트 펄스(P1)는 표시하고자 하는 입력 영상의 데이터 전압을 픽셀들에 충전시키기 위한 게이트 펄스이다. 제N 게이트 라인에 인가되는 제2 게이트 펄스(P2)는 제N 데이터 전압에 동기된다. 더미 게이트 라인인 제1 및 제2 게이트 라인(G1, G2)에 인가되는

제2 게이트 펄스(P2)는 더미 게이트 전압에 동기된다. 더미 라인들의 TFT들은 제2 게이트 펄스(P2)에 따라 턴-온되어 기준 전압에 이어서 더미 데이터 전압을 더미 라인들의 액정셀(C1c)에 공급한다. 액티브 영역의 TFT들은 제2 게이트 펄스(P2)에 따라 턴-온되어 기준 전압에 이어서 입력 영상의 제N 데이터 전압에 공급한다. 따라서, 픽셀들은 항상 기준 전압을 프리차지한 상태에서 데이터 전압을 충전하므로 데이터 전압의 극성이나 전압 레벨에 관계 없이 데이터 전압을 충분히 충전할 수 있고 균일한 충전특성을 갖는다.

[0027] 도 5는 도 4에 도시된 게이트 펄스와 데이터 전압을 상세히 보여 주는 파형도이다. 도 5에서, 'Vdata'는 데이터 구동부(12)의 소스 드라이브 IC로부터 출력되는 데이터 전압이고, 'Vgata'는 데이터 전압(Vdata)에 동기되는 게이트 펄스이다. 'Vpix'는 픽셀에 충전되는 데이터 전압이다.

[0028] 도 5를 참조하면, 데이터 구동부(12)는 소스 출력 인에이블 신호(SOE)의 펄스에 응답하여 t1 시간에 기준 전압(Vref)을 데이터 라인들(S1~Sm)로 출력한다. 기준 전압(Vref)은 공통전압(Vcom) 또는 차지웨어 전압일 수 있다. 이어서, 데이터 구동부(12)는 소스 출력 인에이블 신호(SOE)의 로우 로직 (Low logic) 구간에 응답하여 더미 데이터 전압 또는 입력 영상의 데이터 전압을 데이터 라인들(S1~Sm)로 출력한다.

[0029] 게이트 구동부(14)는 게이트 라인들(G1~Gn) 각각에 제1 및 제2 게이트 펄스들(P1, P2)을 순차적으로 공급한다. 더미 게이트 라인인 제1 및 제2 게이트 라인(G1, G2)에 인가되는 제1 게이트 펄스(P1)는 더미 데이터 전압과 동기되고 또한, 기준 전압(Vref)과 동기된다. 제3 내지 제n 게이트 라인(G3~Gn)에 인가되는 제1 게이트 펄스(P1)는 입력 영상의 전진 데이터 전압과 동기되고 또한, 기준 전압(Vref)과 동기된다. 제N 게이트 라인에 인가되는 제1 게이트 펄스(P1)는 제N-1 게이트 라인에 인가되는 제2 게이트 펄스(P2)와 t1 만큼 중첩된다.

[0030] 게이트 구동부(14)는 제1 게이트 펄스(P1)의 폴링 에지(falling edge)로부터 1H - t1 만큼 경과된 후에 제2 게이트 펄스(P1)를 라이징시킨다. 더미 게이트 라인인 제1 및 제2 게이트 라인(G1, G2)에 인가되는 제2 게이트 펄스(P1)는 더미 데이터 전압과 동기된다. 제3 내지 제n 게이트 라인(G3~Gn)에 인가되는 제2 게이트 펄스(P2)는 표시하고자 하는 입력 영상의 데이터 전압과 동기된다.

[0031] 픽셀들은 제1 게이트 펄스(P1)에 응답하여 더미 데이터 전압이나 제N-2 데이터 전압(또는 전진 데이터 전압) 직후에 기준 전압을 충전하기 때문에 데이터 전압의 극성이나 전압 레벨의 차이에 관계 없이 도 6과 같이 제N 데이터 전압을 충전하기 전에 기준 전압을 유지한다. 따라서, 픽셀들은 데이터 전압의 극성이나 전압 레벨의 차이에 관계 없이 항상 기준 전압으로부터 표시하고자 하는 데이터 전압을 충전하기 시작하기 때문에 데이터 전압을 충분히 충전할 수 있고 균일한 충전 특성을 갖는다.

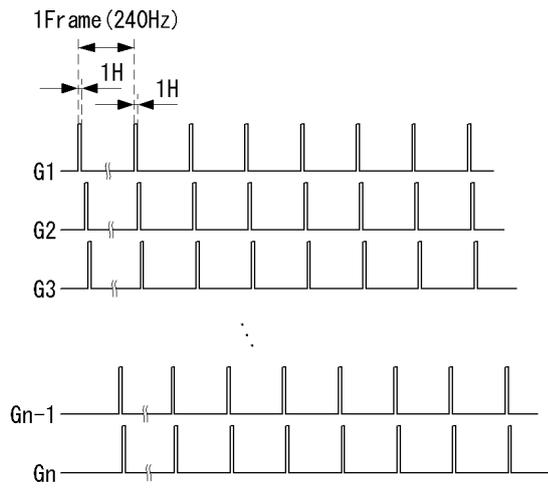
[0032] 본 발명의 액정표시장치는 표시하고자 하는 데이터 전압을 픽셀들에 충전할 때 도 6과 같이 제2 게이트 펄스(P2)에서 픽셀들의 전압을 기준 전압으로부터 상승시키므로 프레임 레이트가 120Hz 이상으로 상승하더라도 액티브 영역 전체에서 픽셀들의 충전 특성을 균일하게 제어할 수 있다. 도 6에서, 'Vdata'는 소스 드라이브 IC로부터 출력되는 데이터 전압이고, 'Vgate'는 데이터 전압(Vdata)에 동기되는 게이트 펄스이다. 'Vpix'는 픽셀에 충전되는 데이터 전압이다.

[0033] 기준 전압(Vref)은 공통 전압(Vcom)과 같은 전위의 프리차지 전압 또는, 차지 웨어 전압으로 발생될 수 있다. 프리차지 전압은 정극성/부극성 감마보상전압과 함께 외부 전압원으로부터 소스 드라이브 IC들에 공급될 수 있다. 소스 드라이브 IC는 도 7과 같이 소스 출력 인에이블 신호(SOE)의 펄스에 응답하여 제2 스위치(SW2)를 턴-온시켜 데이터 라인들(S1~S4)을 단락시킨다. 데이터 라인들(S1~S4)이 단락될 때 차지 웨어 전압이 데이터 라인들(S1~S4)에 인가된다. 소스 드라이브 IC는 데이터 라인들(S1~S4)을 차지 웨어링한 후에 소스 출력 인에이블 신호(SOE)의 로우 로직 구간 동안 제1 스위치(SW1)를 턴-온시켜 디지털-아날로그 변환기(DAC)(21)로부터의 정극성/부극성 데이터 전압을 데이터 라인들(S1~S4)로 출력한다. 도 7에서, 도면 부호 '22'는 데이터 라인들(S1~S4)로 인가되는 신호의 감쇠를 최소화하기 위한 출력 버퍼를 나타낸다. 도면 부호 '23'은 소스 출력 인에이블 신호(SOE)를 반전시키는 인버터를 나타낸다.

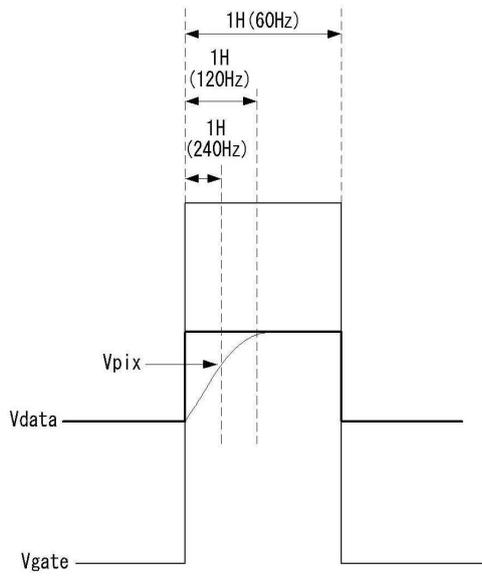
[0034] 소스 드라이브 IC는 도 8과 같이 소스 출력 인에이블신호(SOE)의 펄스에 응답하여 제3 스위치(SW3)를 턴-온시켜 프리차지 전압(Vpre)을 데이터 라인들(S1~S4)로 출력할 수 있다. 프리 차지 전압은 공통전압(Vcom)과 같은 전위의 전압으로 설정될 수 있다. 이어서, 소스 드라이브 IC는 프리차지 전압을 출력한 후에 소스 출력 인에이블 신호(SOE)의 로우 로직 구간 동안 제1 스위치(SW1)를 턴-온시켜 디지털-아날로그 변환기(DAC)(21)로부터의 정극성/부극성 데이터 전압을 데이터 라인들(S1~S4)로 출력한다.

[0035] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정

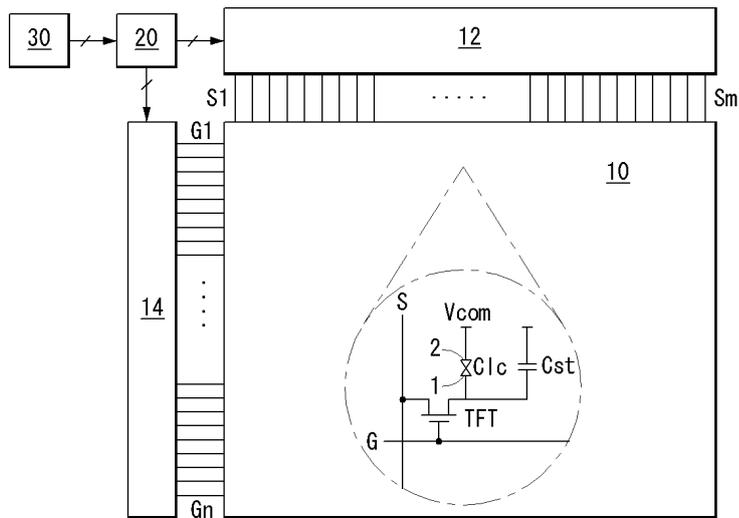
도면1c



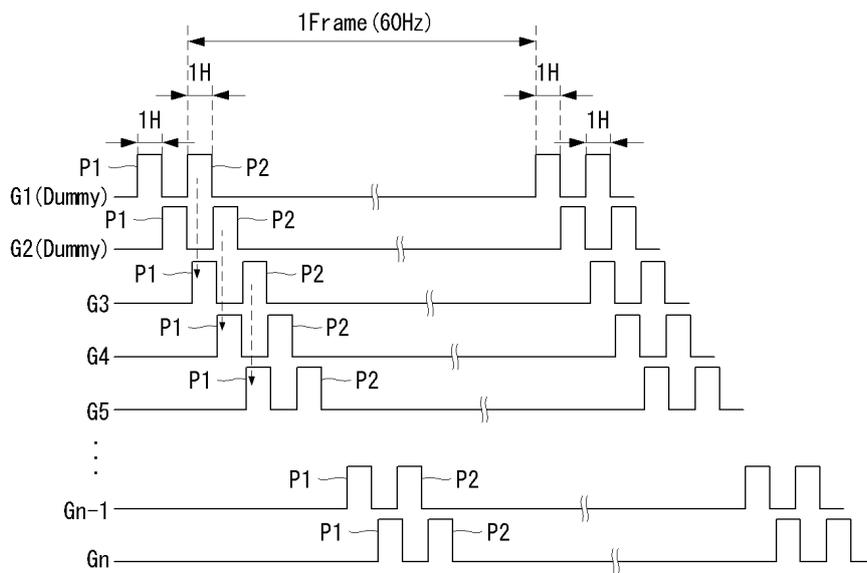
도면2



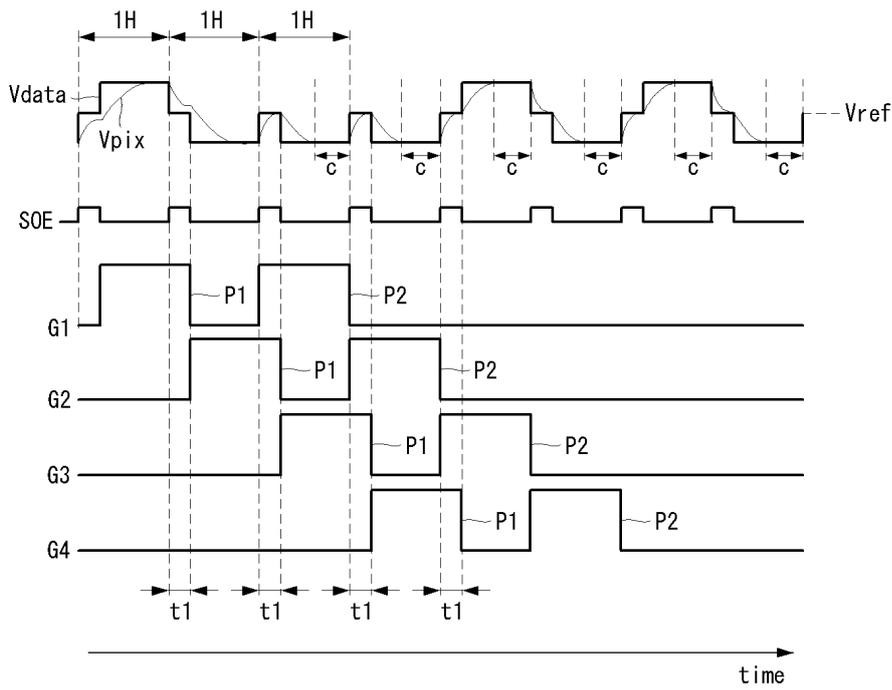
도면3



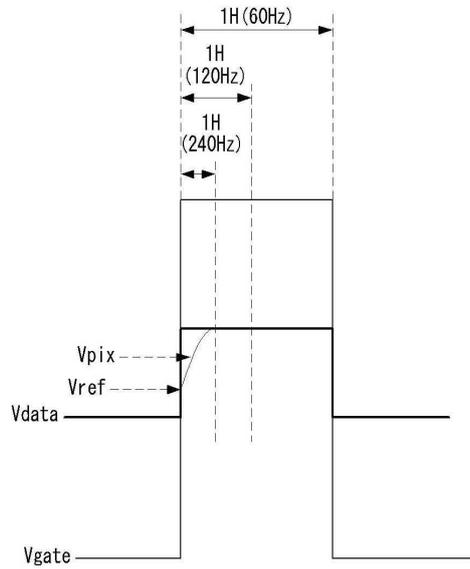
도면4



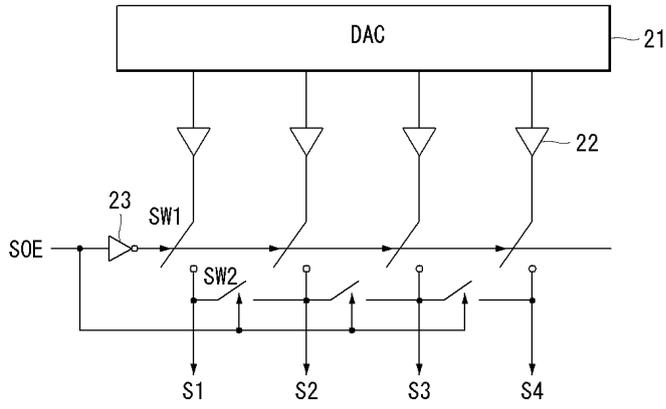
도면5



도면6



도면7



도면8

