

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年3月9日(09.03.2017)



(10) 国際公開番号
WO 2017/038262 A1

- (51) 国際特許分類:
H03M 1/54 (2006.01)
- (21) 国際出願番号: PCT/JP2016/070760
- (22) 国際出願日: 2016年7月14日(14.07.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-173922 2015年9月3日(03.09.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 根塚 智裕 (NEZUKA Tomohiro); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫 (KIN Junhi); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

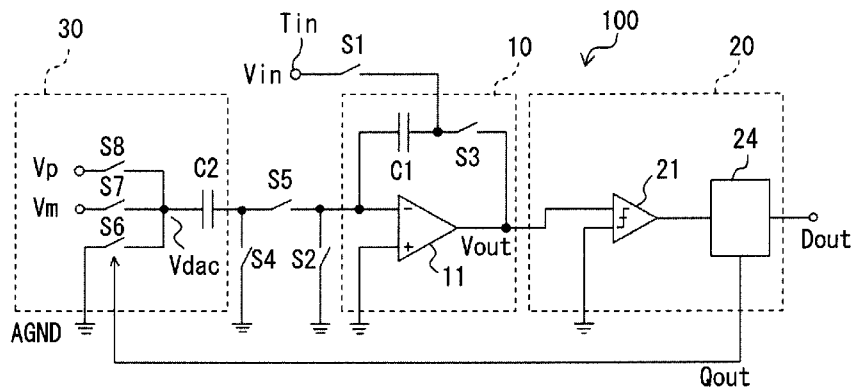
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: A/D CONVERTER

(54) 発明の名称: A/D変換器



(57) Abstract: An A/D converter is provided with: an integrator (10) that comprises an operational amplifier (11) provided with a first input terminal and an output terminal, and an integral capacitance (C1); a quantizer (20) that outputs a quantization result obtained by quantizing an output signal from the operational amplifier; and a DAC (30) that is connected to the first input terminal and determines DAC voltage. The integrator has a feedback switch (S3) between the integral capacitance and the output terminal of the operational amplifier. An analog signal as an input signal is inputted between the integral capacitance and the feedback switch. The integral capacitance samples the analog signal. The quantizer performs the quantization on the basis of the output of the operational amplifier. The DAC sequentially subtracts electric charge accumulated in the integral capacitance to thereby convert the analog signal to a digital value.

(57) 要約: A/D変換器は、第1入力端子と出力端子を備えるオペアンプ(11)と積分容量(C1)とを有する積分器(10)と、オペアンプの出力信号を量子化した量子化結果を出力する量子化器(20)と、第1入力端子に接続され、DAC電圧を決定するDAC(30)と、を備える。積分器は、積分容量とオペアンプの出力端子との間にフィードバックスイッチ(S3)を有する。入力信号としてのアナログ信号は、積分容量とフィードバックスイッチとの間に入力される。積分容量は、アナログ信号をサンプリングする。量子化器がオペアンプの出力に基づいて量子化を行う。DACが積分容量に蓄積された電荷を順次減算することによりアナログ信号をデジタル値に変換する。



WO 2017/038262 A1

明 細 書

発明の名称： A / D 変換器

関連出願の相互参照

[0001] 本出願は、2015年9月3日に出願された日本国特許出願2015-173922号に基づくものであり、ここにその記載内容を参照により援用する。

技術分野

[0002] 本開示は、簡素な構成で、高速かつ高精度な A / D 変換を実現できる A / D 変換器に関する。

背景技術

[0003] 環境問題やエネルギー問題を背景に、自動車や産業機器をより高速かつ高精度に制御して排出ガスを抑制したり、使用するエネルギー量を低減したりすることへの要求が高まっている。自動車や産業機器を制御する制御回路はデジタル化が進んでおり、機器の物理的状态を検出するセンサが出力するアナログ信号を A / D (アナログ / デジタル) 変換器 (ADC) によってデジタル信号に変換した上で、デジタル信号処理した結果を用いて機器を制御するのが一般的になっている。そのため、高速かつ高精度な ADC に対する要求が高まっている。

[0004] 例えば、特許文献1に記載の逐次比較 (SAR) 型の ADC は、ADC を構成する容量素子の容量値の誤差に起因する A / D 変換の非線形性誤差を低減するために、A / D 変換を実行する際に使用する容量についてディザリングを実施するように構成されている。

[0005] 一方、特許文献2および非特許文献1に記載の ADC は、デルタシグマ ($\Delta\Sigma$) 変調を利用して高精度化を実現したデルタシグマ型 A / D 変換器である。

[0006] また、特許文献3に記載の A / D 変換器は、アナログ量子化器によるフィードバック量の大きさを可変にした増分デルタ (インクリメンタル Δ) 型の

A/D変換器である。

先行技術文献

特許文献

- [0007] 特許文献1：US 8 8 1 0 4 4 3 B 2
特許文献2：US 5 1 8 9 4 1 9 A
特許文献3：US 6 9 9 9 0 1 4 B 2

非特許文献

- [0008] 非特許文献1：K. C.-H. Chao, S. Nadeem, W. L. Lee, and C. G. Sodini, “A Higher Order Topology for Interpolative Modulators for Oversampling A/D Converter”, IEEE Transactions on Circuits and Systems, Vol. 37, No. 3, Mar. 1990

発明の概要

- [0009] 特許文献1に記載のA/D変換器は、高精度化のためにディザリングと呼ばれる手法が用いられている。しかしながら、ディザリングは素子の誤差を時間方向に分散して誤差を見かけ上低減することはできるものの、時間方向に分散した誤差を完全に無くすことはできない。また、ディザリングを実施するためには追加の制御機構が必要であり、素子面積や消費電力が増大してしまう虞がある。
- [0010] また、ディザリング以外の高精度化手法として、素子の誤差を測定した上で、素子の誤差に応じた補正値を記憶し、補正値にもとづきA/D変換結果を補正するトリミングと呼ばれる手法も広く用いられている。しかしながら、トリミングの実現には補正値を記憶するための記憶素子や記憶した補正値にもとづき補正を実行するための補正機構が追加が必要となる。
- [0011] さらに、SAR型のA/D変換器で主流となっている容量DACを用いる回路構成では、高精度化のためには容量DACに用いる容量素子の比精度を高める必要があり、総容量値を比較的大きくしなければならない。このため、A/D変換の過程で大きな容量値を持つ容量DACを参照電圧によって駆

動するため、参照電圧を十分に低いインピーダンスで供給できないような状況においては、参照電圧のセリングに比較的長い時間が必要である。よって、高精度化のために容量値を大きくするほど高速化が困難になるという問題がある。

[0012] また、非特許文献 1 に記載のデルタシグマ型の A/D 変換器では、高精度化のためにオーバーサンプリングが必要であるが、所望の信号帯域に対して 1 桁から 2 桁高い周波数でオーバーサンプリングを実行するのが一般的であり、回路の動作周波数が変換速度を律速することが多い。また、A/D 変換器の前段の入力信号源が高速なオーバーサンプリングを実行するために必要な低い出力インピーダンスを持たない場合には、高速なバッファが必要となるため、バッファの動作周波数が変換速度を律速することが多い。また、オーバーサンプリングを実施し、かつ、高速化と高精度化のために高次の $\Delta\Sigma$ 変調を用いる場合には、複数の異なるサンプリング時刻における入力信号に対してフィルタ処理がかかった結果が A/D 変換結果として出力される。そのため、例えばある特定の時刻の入力信号の大きさのみを用いて機器の制御を行う用途には適さない。

[0013] また、特許文献 2 に記載のデルタシグマ型 A/D 変換器のように、デルタシグマ型 A/D 変換器にナイキスト A/D 変換器を組み合わせることで、高速化と高精度化を両立させる A/D 変換器も知られている。このような A/D 変換器では、 $\Delta\Sigma$ 変調により A/D 変換結果の上位ビット (MSBs) を生成し、ナイキスト A/D 変換器により A/D 変換結果の下位ビット (LSBs) を生成することにより、高精度化と高速化を実現している。しかしながら、このような A/D 変換器でも、前段の $\Delta\Sigma$ 変調器においてオーバーサンプリングを行うため、上述のナイキスト A/D 変換器を組み合わせないデルタシグマ型 A/D 変換器と同様に、A/D 変換器の前段バッファの動作周波数が高くなる問題や、特定の時刻の入力信号の A/D 変換結果が得られないという問題がある。

[0014] また、特許文献 3 では、上記のデルタシグマ型の A/D 変換器の問題点を

解決するためにデルタ変調を基本原理とする増分デルタ（インクリメンタル Δ ）型 A/D 変換器が提案されている。この A/D 変換に用いられるデルタ変調は、A/D 変換に必要なサイクル数が高分解能化に伴って指数関数的に増加する問題点がある。そのため、サイクル数を低減することにより A/D 変換を高速化するために、大きさが異なる複数の参照電圧を用いる DAC をフィードバックに用いている。すなわち、大きい参照電圧による粗い分解能のデルタ変調と小さい参照電圧による細かい分解能のデルタ変調を組み合わせることで、A/D 変換に必要なサイクル数を低減している。しかしながら、参照電圧を生成する回路を構成する素子の素子値には通常誤差があるため、複数の大きさが異なる参照電圧を高い比精度で生成することは困難である。そのため、DAC によるフィードバック時に誤差が発生し、高精度の A/D 変換を実現することが困難である。また、粗い分解能と細かい分解能のデルタ変調を組み合わせることで A/D 変換に必要なサイクル数を削減しても、A/D 変換に必要なサイクル数が高分解能化に伴って指数関数的に増大するという問題が残る。

[0015] また、特許文献 2 および非特許文献 1 に記載のデルタシグマ型 A/D 変換器の一般的な構成や、特許文献 3 に示される A/D 変換器では、サンプリング容量と積分器の積分容量が別の容量素子を用いて構成されるため、サンプリングにおける熱雑音を低減するためには、サンプリング容量の容量値を大きくする必要がある。さらに、熱雑音を低減するためにサンプリング容量の容量値を大きくすると、積分器の出力信号振幅の飽和を避けるために、サンプリング容量の大きさに応じて積分器の積分容量の容量値も大きくする必要があり、集積回路上に実現する場合には大きな面積が必要となる。

[0016] また、サンプリング容量から積分器への信号電荷の転送が必要なため、転送時に発生する熱雑音やフリッカー雑音の影響を低減するために、積分器を構成するオペアンプの面積や消費電力を増大して雑音を低減する必要がある。

[0017] 本開示の目的は、簡素な構成で、高速かつ高精度な A/D 変換を実現でき

るナイキストA/D変換器を提供することである。

[0018] 本開示の一例にかかるA/D変換器は、第1入力端子と出力端子を備えるオペアンプと、該オペアンプの第1入力端子と出力端子との間に挿入された積分容量と、を有する積分器と、オペアンプの出力信号を量子化した量子化結果を出力する量子化器と、オペアンプにおける第1入力端子に接続され、積分容量に蓄積された電荷の減算を行うためのDAC電圧を量子化結果に基づいて決定するD/A変換器(DAC)と、を備える。積分器は、積分容量とオペアンプの出力端子との間に、互いの接続をオンオフするフィードバックスイッチを有する。入力信号としてのアナログ信号は、積分容量とフィードバックスイッチとの間に入力される。積分容量は、アナログ信号をサンプリングする。量子化器がオペアンプの出力に基づいて量子化を行う。DACが量子化結果に基づいて積分容量に蓄積された電荷を順次減算することによりアナログ信号をデジタル値に変換する。

[0019] この構成によれば、入力信号としてのアナログ信号が積分器における積分容量に一回のサンプリングにより保持され、サンプリングにより保持された電荷に基づいてA/D変換を行うので、オーバーサンプリングを必要としない。すなわち、特定の時刻の入力信号に対してA/D変換を実行するナイキストA/D変換器を構成することができる。また、オーバーサンプリングを必要としないので、回路の動作周波数が前段のバッファの動作周波数に律速されず、高速なA/D変換を実現することができる。

[0020] また、例えばDACを一つの容量を用いて構成し、かつ、DACが実質一つの参照電圧によって駆動されるように構成することで、構成要素の特性ばらつきに起因するA/D変換の誤差を抑制できる。したがって、A/D変換に用いるDACが複数の容量で構成されるSAR型のA/D変換器において、高精度化のためにしばしば行われるトリミングやディザリング等の操作を実施することなく、高精度なA/D変換を実現することができる。また、特許文献3とは異なり複数の参照電圧を用いてDACを駆動しないことから、参照電圧を発生する回路の誤差に起因するA/D変換の非線形性誤差が発生

しない。

[0021] また、積分容量を用いてサンプリングを実行するため、特許文献2や非特許文献1に示されるデルタシグマ型のA/D変換器、および、特許文献3のように積分容量とサンプリング容量が別の容量で構成されるA/D変換器と比較して、サンプリング後のサンプリング容量と積分容量との間での信号電荷の転送が不要である。また、積分容量のリセットが不要なため積分容量のリセットに起因する熱雑音が発生しない。このため、高速かつ低ノイズのA/D変換を実現することができる。また、熱雑音を十分低減するために大きな容量値と面積を必要とするサンプリング容量を必要としないので、低コストにA/D変換を実現することができる。

[0022] また、特許文献1に示されるような多数の素子を要するSAR型のA/D変換器や非特許文献1に示されるような高速化のために複数の積分器を要する高次の $\Delta\Sigma$ 変調を用いたA/D変換器に較べて簡素な構成でA/D変換を実現することができる。従って、簡素な構成で、高速かつ高精度なA/D変換を実現できるナイキストA/D変換器が提供される。

図面の簡単な説明

[0023] 本開示についての上記および他の目的、特徴や利点は、添付の図面を参照した下記の詳細な説明から、より明確になる。添付図面において

[図1]図1は、第1実施形態にかかるA/D変換器の概略構成を示す回路図であり、

[図2]図2は、第1実施形態におけるA/D変換動作を示すタイミングチャートであり、

[図3]図3は、変形例1のA/D変換器におけるA/D変換動作を示すタイミングチャートであり、

[図4]図4は、第2実施形態にかかるA/D変換器の概略構成を示す回路図であり、

[図5]図5は、第2実施形態におけるA/D変換動作を示すタイミングチャートであり、

[図6]図6は、変形例2のA/D変換器におけるA/D変換動作を示すタイミングチャートであり、

[図7]図7は、変形例3における量子化器の構成を示す回路図であり、

[図8]図8は、変形例3のA/D変換器におけるA/D変換動作を示すタイミングチャートであり、

[図9]図9は、変形例4のA/D変換器におけるA/D変換動作を示すタイミングチャートであり、

[図10]図10は、変形例5のA/D変換器におけるA/D変換動作を示すタイミングチャートであり、

[図11]図11は、第3実施形態にかかるA/D変換器の概略構成を示す回路図であり、

[図12]図12は、第3実施形態におけるA/D変換動作を示すタイミングチャートであり、

[図13]図13は、第4実施形態にかかるA/D変換器の概略構成を示す回路図であり、

[図14]図14は、第4実施形態におけるA/D変換動作を示すタイミングチャートである。

発明を実施するための形態

[0024] 以下、本開示の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

[0025] (第1実施形態)

最初に、図1を参照して、本実施形態に係るA/D変換器（アナログデジタル変換器）の概略構成について説明する。

[0026] 図1に示すように、このA/D変換器100は、積分器10と、量子化器20と、D/A変換器30（以降、DAC30と示す）とを備えている。入力信号（ V_{in} ）はアナログ信号であり、A/D変換器100から出力される信号（ D_{out} ）はデジタル信号である。D/A変換器は、`digital`

l-t-o-a-n-a-l-o-g C-o-n-v-e-r-t-e-rであり、DACとも呼ばれる。

[0027] 積分器10は、オペアンプ11と、積分容量C1と、フィードバックスイッチS3と、を有している。積分容量C1は、オペアンプ11の反転入力端子と出力端子との間に挿入されている。フィードバックスイッチS3は積分容量C1とオペアンプ11の出力端子との間に挿入されている。つまり、積分容量C1とフィードバックスイッチS3は互いに直列接続されて、オペアンプ11の反転入力端子と出力端子との間に配置されている。一方、オペアンプ11の非反転入力端子はアナロググラウンドレベル（AGND）に接続されている。AGNDはA/D変換器100全体の基準電位であり、必ずしも0Vとは限らない。なお、特許請求の範囲に記載の第1入力端子とは、本実施形態における反転入力端子に相当する。また、オペアンプ11の反転入力端子は、スイッチS2を介してAGNDに接続可能になっている。

[0028] A/D変換器100の入力端子Tinは、図1に示すように、積分容量C1とフィードバックスイッチS3との間にスイッチS1を介して接続されている。このように構成すれば、フィードバックスイッチS3をオフした状態でスイッチS1およびスイッチS2をオンすることにより、積分容量C1に入力信号Vinの大きさに基づいた電荷が蓄積される。すなわち、積分容量C1に入力信号Vinがサンプリングされる。以降、入力されるアナログ信号の電位を入力信号Vinもしくは単にVinと称し、オペアンプ11の出力端子の電位を出力電圧Voutもしくは単にVoutと称する。スイッチS1およびスイッチS2をオフにしてフィードバックスイッチS3をオンの状態にすると、オペアンプ11の出力電圧Voutと積分容量C1におけるVinを入力する側の一端の電位とが等しくなる。以降、フィードバックスイッチS3を単にスイッチS3と称することがある。

[0029] 量子化器20は、積分器10の出力、すなわちオペアンプ11の出力電圧Voutが入力され、その出力電圧Voutを量子化した結果であるQoutを出力している。すなわち、量子化器20は、アナログ値であるVout

を量子化し、デジタル値である量子化結果 Q_{out} に変換している。また、量子化器20は、入力信号 V_{in} をA/D変換した結果である D_{out} を出力している。この量子化器20は、コンパレータ21と、ロジック回路24と、を有している。

[0030] コンパレータ21は、非反転入力端子にオペアンプ11の出力電圧 V_{out} が入力され、反転入力端子にはAGNDが入力されている。コンパレータ21の出力はロジック回路24に入力されている。ロジック回路24は、コンパレータ21の出力に基づいてDAC30に量子化結果 Q_{out} を出力するとともに、A/D変換結果 D_{out} を出力する。特許請求の範囲に記載の量子化結果は Q_{out} に相当する。

[0031] ロジック回路24は、 $V_{out} \geq AGND$ の場合は量子化結果 Q_{out} として1を出力する。一方、 $V_{out} < AGND$ の場合は Q_{out} として-1を出力する。つまり、本実施形態における量子化器20は1ビットの量子化器である。また、ロジック回路24はA/D変換の過程で量子化器20によって量子化が実行されるたびに Q_{out} を順次積分してA/D変換結果 D_{out} を生成する。量子化器20のより具体的な動作は追って詳述する。

[0032] DAC30はD/A変換器であり、量子化器20が出力する量子化結果 Q_{out} に基づいて、DAC30が積分容量C1から減算する電荷の量を決定している。このDAC30は、参照電圧として、AGNDよりも高い電位に設定されたハイレベル V_p と、AGNDよりも低い電位に設定されたローレベル V_m とを実質的に有する2レベルD/A変換器である。なお、 V_p と V_m は、AGNDが0Vの場合には、互いに絶対値が同一で正負が逆の関係にあり、 $V_p = -V_m$ を満たすように設定される。

[0033] また、DAC30はDAC容量C2を有している。DAC容量C2の一端にはスイッチS6~S8を介してAGNDおよび参照電圧を発生する電圧源が接続されている。具体的には、DAC容量C2の一端には、スイッチS6を介してAGNDが接続され、スイッチS7を介して V_m が接続され、スイッチS8を介して V_p が接続されている。DAC容量C2の一端の電位は、

スイッチS6～S8によって排他的に選択される V_p 、 V_m もしくはAGNDのうちいずれかと等しくなる。以降、DAC容量C2の一端の電位をDAC電圧 V_{dac} と称することがある。

[0034] さらに、DAC容量C2におけるオペアンプ11の反転入力端子側の一端は、スイッチS4を介してAGNDに接続可能になっている。また、DAC容量C2はオペアンプ11の反転入力端子とスイッチS5を介して接続されている。すなわち、DAC30は積分器10とスイッチS5を介して接続されている。

[0035] DAC容量C2には、スイッチS5をオフするとともにスイッチS4をオンにすることによって、スイッチS7もしくはスイッチS8によって選択された参照電圧に基づいた電荷が蓄積される。さらに、DAC容量C2に電荷が蓄積された状態で、スイッチS4をオフするとともにスイッチS5をオンにすることによって、DAC容量C2を積分器10に接続し、スイッチS7およびスイッチS8をオフするとともにスイッチS6をオンすることによってDAC容量C2に蓄積された電荷が積分容量C1に転送される。すなわち、DAC30によって積分容量C1に蓄積された電荷の減算が行われる。

[0036] 本実施形態では、DAC容量C2に電荷を蓄積する際に、 $Q_{out}=1$ の場合にはスイッチS7がオンし、 $Q_{out}=-1$ の場合にはスイッチS8がオンするように構成されている。AGNDもDAC容量C2にスイッチS6を介して接続されているが、本実施形態では、DAC容量C2に蓄積される電荷が V_p-AGND 間もしくは V_m-AGND 間の電位差を基準に決定されるため、AGNDが0Vの場合には、DAC容量C2に蓄積される電荷は V_p もしくは V_m の大きさによって決定され、AGNDは実質D/A変換の参照電圧としては用いられない。

[0037] 次に、図2を参照して、本実施形態におけるA/D変換器100の具体的な動作について説明する。

[0038] 図2はA/D変換器100の動作を示すタイミングチャートである。時刻 t_1 以前がサンプリングの期間に相当し、時刻 t_1 以降がA/D変換の期間

に相当する。

[0039] (サンプリング)

時刻 t_1 以前のサンプリングの期間において、スイッチ S_1 , S_2 , S_4 , S_6 がオンとされ、スイッチ S_3 , S_5 , S_7 , S_8 がオフとされている。スイッチ S_5 がオフであるから、積分器 10 と $DAC30$ とが互いに電氣的に分離している。また、スイッチ S_3 がオフであるから、積分容量 C_1 とオペアンプ 11 の出力端子とが互いに電氣的に分離している。

[0040] サンプリングの期間には、スイッチ S_1 および S_2 がオンしているので、積分容量 C_1 はその両端子がそれぞれ入力信号 V_{in} と $AGND$ に接続された状態になっている。これにより、積分容量 C_1 には入力信号 V_{in} に基づいた電荷が蓄積される。すなわち、入力信号 V_{in} が積分容量 C_1 にサンプリングされる。

[0041] 一方、スイッチ S_4 および S_6 がオンしているので、 DAC 容量 C_2 の両端子がそれぞれ $AGND$ に接続された状態になっている。これにより、 DAC 容量 C_2 は電荷が蓄積されない状態となっており、いわゆるリセットされた状態となっている。なお、 DAC 容量 C_2 は、時刻 t_1 以降に量子化結果 Q_{out} の値に基づいて電荷が蓄積されるため、リセットの動作は必須ではない。

[0042] (A/D変換)

時刻 t_1 以降の A/D 変換の期間では、積分器 10 の出力電圧 V_{out} を量子化器 20 によって量子化し、積分容量 C_1 に蓄積された電荷から量子化結果 Q_{out} に基づいた電荷を $DAC30$ によって減算する動作を繰り返すことによって、入力信号 V_{in} の A/D 変換が行われる。

[0043] まず、時刻 t_1 においてスイッチ S_1 およびスイッチ S_2 がオフされ、スイッチ S_3 がオンされることによりオペアンプ 11 の出力電圧 V_{out} は V_{in} と同一の電圧値となり、 V_{in} が積分容量 C_1 に保持される。図 2 に示す例では、時刻 t_1 ~ 時刻 t_3 において、 V_{out} は、量子化器 20 を構成するコンパレータ 21 の閾値電圧である $AGND$ よりも大きい値である。こ

のため、量子化器20からは $Q_{out} = 1$ 、 $D_{out} = 1$ が出力される。なお、時刻 t_1 以降、スイッチS1およびS2は常時オフであり、スイッチS3は常時オンである。

[0044] DAC30には $Q_{out} = 1$ が入力され、時刻 t_2 においてスイッチS6がオフされるとともにスイッチS7がオンされる。これにより、DAC容量C2には、ローレベル V_m とAGNDとの電位差およびDAC容量C2の容量値に基づいた電荷が蓄積される。

[0045] その後、時刻 t_3 においてスイッチS4がオフされるとともにスイッチS5がオンされ、且つ、スイッチS7がオフされるとともにスイッチS6がオンされる。これによって、DAC電圧 V_{dac} の時刻 t_3 の前後における電位差(= $V_m - AGND$)とDAC容量C2の容量値に応じた電荷がDAC容量C2から積分容量C1に転送されて、A/D変換の残差に相当する電圧がオペアンプ11の出力電圧 V_{out} として出力される。なお、時刻 t_2 から時刻 t_4 に至る動作が積分容量C1からの最初の電荷の減算に係る1サイクルである。以降、時刻 $t_2 \sim$ 時刻 t_4 と同様の減算に係る1サイクルを減算サイクルと呼ぶことがある。

[0046] 時刻 $t_3 \sim$ 時刻 t_5 においては、オペアンプ11は、入力信号 V_{in} をサンプリングした結果に相当する時刻 $t_1 \sim$ 時刻 t_3 における初期の V_{out} からDAC30によって最初の減算を実行した結果生成されるA/D変換の残差を V_{out} として出力する。その残差は、量子化器20に入力され量子化される。図2に示すように、時刻 $t_3 \sim$ 時刻 t_5 における残差はAGNDよりも大きい値である。このため、時刻 $t_1 \sim$ 時刻 t_3 と同様に量子化器20からは $Q_{out} = 1$ が出力される。また、最初の量子化の結果(時刻 $t_1 \sim$ 時刻 t_3 の $Q_{out} = 1$)と2回目の量子化の結果(時刻 $t_3 \sim$ 時刻 t_5 の $Q_{out} = 1$)とを積分した値である $D_{out} = 2$ が量子化器20から出力される。なお、図2においては簡略化のため時刻 t_3 においてただちに V_{out} 、 Q_{out} および D_{out} が変化し安定するように表記してあるが、実際の動作においては積分器やスイッチ、量子化器等の動作に伴う遅延によ

り、時刻 t_3 において V_{out} が変化し始めてから安定して量子化結果が確定するまでには、一定の時間を要する。また、時刻 t_1 から時刻 t_3 、および、時刻 t_3 から時刻 t_5 に至る動作が量子化器 20 による量子化に係る 1 サイクルである。以降、同様の量子化に係る 1 サイクルを量子化サイクルと呼ぶことがある。

[0047] 時刻 t_3 ~ 時刻 t_5 における 2 回目の量子化の結果は、時刻 t_1 ~ 時刻 t_3 における最初の量子化の結果と同様に $Q_{out} = 1$ である。そのため、図 2 に示す時刻 t_4 ~ 時刻 t_6 の間における 2 回目の減算サイクルでは、時刻 t_2 ~ 時刻 t_4 の間における最初の減算サイクルの動作と同様の動作で減算が実行される。時刻 t_1 ~ 時刻 t_7 の間は、 $V_{out} \geq AGND$ の関係が成立するので、 $Q_{out} = 1$ であり、 D_{out} は 1 量子化サイクルごとに 1 ずつ加算されていく。時刻 t_1 ~ 時刻 t_7 の間に $Q_{out} = 1$ の量子化サイクルが 5 サイクル存在するため、時刻 t_7 の直前においては $D_{out} = 5$ となる。

[0048] 時刻 t_7 において 5 回目の減算が実行されると、 V_{out} が $AGND$ を下回る。このため、時刻 t_7 ~ 時刻 t_9 においては、量子化器 20 は $Q_{out} = -1$ を出力する。 Q_{out} が時刻 t_7 以前の 1 から -1 に変化することにより、時刻 t_8 ~ 時刻 t_{10} の減算サイクルでは、スイッチ S_7 およびスイッチ S_8 の動作は時刻 t_8 以前の減算サイクルとは異なる動作となる。具体的には、時刻 t_8 においてスイッチ S_6 がオフされるとともにスイッチ S_8 がオンされ、さらに、時刻 t_9 においてスイッチ S_8 がオフされるとともにスイッチ S_6 がオンされる。この間、スイッチ S_7 はオフの状態を維持する。これによって、時刻 t_9 の前後における DAC 電圧 V_{dac} の電位差 ($= V_p - AGND$) と DAC 容量 C_2 の容量値に応じた電荷が積分容量 C_1 に転送され、 V_{out} が増加する。

[0049] 時刻 t_9 ~ 時刻 t_{11} においては、再び $V_{out} \geq AGND$ となるため、 $Q_{out} = 1$ となり、 $D_{out} = 5$ となる。時刻 t_9 ~ 時刻 t_{11} での量子化結果が $Q_{out} = 1$ のため、時刻 t_{11} において再び V_{out} が減少して

、 $V_{out} < AGND$ となる。これにより、時刻 t_{11} ～時刻 t_{13} において、 $Q_{out} = -1$ が出力されて $D_{out} = 4$ となる。

[0050] 時刻 t_{13} までの8サイクルの量子化と7サイクルの減算によって、3ビット（9階調）のA/D変換の分解能が得られている。時刻 t_{13} でA/D変換を終了してもよいが、本実施形態では、さらに減算と量子化をそれぞれ1サイクルずつ実行して、A/D変換の分解能を4ビット（16階調）にするように動作している。

[0051] 具体的には、図2に示すように、時刻 t_{11} ～時刻 t_{13} の量子化サイクルにおける量子化結果が $Q_{out} = -1$ であることから、時刻 t_{12} ～時刻 t_{14} において時刻 t_8 ～時刻 t_{10} と同様のDAC30の動作によって、DAC容量 C_2 から積分容量 C_1 へ電荷が転送され V_{out} が増加する。すなわち、最後の減算である8回目の減算が実行される。

[0052] 時刻 t_{13} 以降に、最後の量子化である9回目の量子化が実行される。最後の量子化においては、量子化器20は $V_{out} \geq AGND$ で $Q_{out} = 0$ を出力し、 $V_{out} < AGND$ の場合に $Q_{out} = -1$ を出力するようになっている。図2に示す例では、 $V_{out} \geq AGND$ のため $Q_{out} = 0$ となり、 $D_{out} = 4$ となる。この D_{out} の値が入力信号 V_{in} の最終的なA/D変換結果となる。

[0053] 本開示のA/D変換器においては、積分容量 C_1 からの電荷の減算および量子化器20による量子化は、入力信号 V_{in} のレベルに依らず所望の分解能が得られる所定のサイクル数だけ実行する。本実施形態では、A/D変換器100の所望の分解能がNビットの場合には、電荷の減算は $2N - 1$ サイクル、量子化は $2N - 1 + 1$ サイクル必要となる。

[0054] 次に、本実施形態におけるA/D変換器100の効果について説明する。

[0055] このA/D変換器100は、サンプリング時に積分容量 C_1 をオペアンプ11の出力端子から切り離して、積分容量 C_1 に入力信号 V_{in} を入力可能なように構成されるので、積分容量 C_1 のリセットが不要であり、かつ、一般的なデルタシグマ型A/D変換器や特許文献3に記載のA/D変換器が必

要とするサンプリング容量から積分容量への信号電荷の転送を省略することができる。従来の構成においては、積分容量のリセットとサンプリング容量でのサンプリング、および、サンプリング容量から積分容量への信号電荷の転送において、それぞれ熱雑音やフリッカー雑音の影響が蓄積される。これに対して、本実施形態では、積分容量C1のリセットやサンプリング容量から積分容量への信号電荷の転送が不要なため、サンプリング容量から積分容量への信号電荷の転送を実施する構成と較べて、熱雑音やフリッカー雑音の影響を低減することができる。

[0056] また、一般的なデルタシグマ型A/D変換器や特許文献3に記載のA/D変換器と較べて、本実施形態では、サンプリング容量から積分容量への信号電荷の転送が不要で、かつ、サンプリング容量が積分器に接続されることによるオペアンプ11のフィードバックファクタの低下が無い場合、オペアンプ11や各種スイッチに対するスルーレートや帯域幅、オン抵抗等の要求仕様を緩和でき、オペアンプやスイッチの消費電力や面積の低減、もしくは、A/D変換の高速化を実現できる。

[0057] また、従来のように積分容量とサンプリング容量をそれぞれ有する構成では、入力信号の振幅と積分器の出力信号の振幅が同程度である場合には、積分器の出力信号を飽和させないために積分容量とサンプリング容量はおおむね同程度の容量値を必要とする。本実施形態では、入力信号のサンプリングを、積分容量C1を用いて実施するため、サンプリング容量が不要であり、半導体集積回路として実現する際に比較的大きな面積を要する容量素子の面積をおおむね半分に削減することができる。

[0058] また、このA/D変換器100は、一度のサンプリングに対して一度のA/D変換を行うナイキストA/D変換器である。このため、オーバーサンプリングを必要とする一般的なデルタシグマ型A/D変換器において、その前段にしばしば必要となる高速バッファを必要としない。よって、サンプリングの速度に起因する変換周波数の制限が少なく、高速かつ高精度のA/D変換を実現することができる。

[0059] また、ひとつのDAC容量C2と実質1つの電位差($V_p - V_m$)を基準として積分容量C1に蓄積された電荷の減算が実施されることから、素子のばらつきや参照電圧を発生する電源の電圧値の誤差に起因するA/D変換の非線形性誤差が発生しない。このため、特許文献3に示されるようなDACの駆動に複数の参照電圧を用いる構成や、一般的なSAR型A/D変換器およびマルチビットのデルタシグマ型A/D変換器に見られるようにDACを複数の容量で構成する場合と比較して、A/D変換の非線形性誤差を低減することができる。したがって、SAR型のA/D変換器において高精度化のために用いられるディザリングやトリミング等の操作を実施することなく、高精度なA/D変換を実現することができる。

[0060] また、多くの容量素子を用いるSAR型A/D変換器や複数の積分器を用いる高次のデルタシグマ型A/D変換器に較べて、簡素な構成でA/D変換を実現することができる。

[0061] さらに、本実施形態では、入力信号 V_{in} のレベルに依存せずに、所望のA/D変換の分解能に応じた所定のサイクル数の電荷の減算を実行する。すなわち、減算により一旦オペアンプ11の出力電圧 V_{out} がAGNDより大きい側から小さい側、もしくは、AGNDより小さい側から大きい側に超えても、所定のサイクル数に達するまで減算を継続する。特許文献3に示されるように、入力信号のレベルに依存してオペアンプによる演算回数が異なる構成では、オペアンプのオフセット等に起因するA/D変換の誤差の大きさが入力信号のレベルに依存するため、A/D変換に非線形性誤差が発生する可能性がある。これに対して、本実施形態におけるA/D変換器100では、入力レベルに依存せずに同じ回数の減算を実行する。このため、オペアンプ11のオフセット等に起因するA/D変換の誤差の入力レベル依存性が無い。すなわち、非線形性誤差が少ない高精度なA/D変換を実現することができる。

[0062] (変形例1)

第1実施形態に記載したような2レベルのDAC30を採用する場合、第

1実施形態のように $V_p - AGND$ 間の電位差、あるいは $V_m - AGND$ 間の電位差を用いて電荷を減算する方法のほかに、 $V_p - V_m$ 間の電位差を用いて減算する方法を採用することもできる。

[0063] 本変形例におけるA/D変換器100では、図3に示すように、第1実施形態に対してスイッチS6～S8の動作を変更する。具体的には、減算サイクルの期間を含む時刻 t_2 ～時刻 t_{14} において、スイッチS6がオフ状態で維持されるとともに、量子化器20の出力 Q_{out} に応じて、スイッチS7とスイッチS8のいずれかが排他的に減算サイクルの前半にオンし、減算サイクルの後半ではスイッチS7とスイッチS8のオンとオフがそれぞれ減算サイクルの前半とは反転するように制御される。これにより、量子化器20の出力 Q_{out} に応じてDAC容量C2の容量値およびDAC電圧 V_{dac} の減算サイクルの前半と後半の電位差(= $V_p - V_m$ 、もしくは、 $V_m - V_p$)によって決定される量の電荷がDAC容量C2から積分容量C1に転送されて、A/D変換の残差に相当する電圧がオペアンプ11の出力電圧 V_{out} として出力される。

[0064] なお、時刻 t_2 ～時刻 t_4 の減算サイクルにおいて、DAC30の制御に用いられる Q_{out} は時刻 t_1 ～時刻 t_3 の量子化サイクルに出力されている $Q_{out} = 1$ である。すなわち、量子化サイクルと対応する減算サイクルの間には、半サイクル分の時間的ずれが存在する。そのため、時刻 t_2 ～時刻 t_4 において、DAC30は時刻 t_1 ～時刻 t_3 の期間に出力される $Q_{out} = 1$ をもとに制御されるように、量子化器20の出力 Q_{out} とDAC30の制御との間に適宜遅延を挿入すればよい。もしくは、量子化器20の出力 Q_{out} が変化するタイミングを図3に対して半量子化サイクル分遅らせるように構成してもよい。

[0065] 本変形例におけるDAC電圧 V_{dac} の1減算サイクルの前半と後半の間の電位差(= $V_p - V_m$ 、もしくは、 $V_m - V_p$)の絶対値は、第1実施形態における電位差(= $V_p - AGND$ 、もしくは、 $V_m - AGND$)の絶対値の2倍に相当する。そのため、第1実施形態と同等の減算を行うに当たっ

て、DAC容量C2の容量値を半減することができる。したがって、DAC容量C2による減算によって発生する熱雑音およびオペアンプ11のフリッカ雑音がA/D変換結果に与える影響を低減することができる。

[0066] なお、本変形例におけるDAC30は、第1実施形態に較べて、時刻t2～時刻t14においてスイッチS6がオフ状態で維持されるため、AGNDがDAC30によるVoutの変化を伴う減算には用いられない。このため、本変形例をシングルエンドの回路構成で実施する場合において、VpとVmとの中間電位とAGNDの電位との間に誤差が生じても、積分容量C1からの電荷の減算に起因するA/D変換のオフセット誤差が発生しない。すなわち、Vp、VmおよびAGNDを発生する電源の精度に対する要求を第1実施形態と較べて緩和することができる。

[0067] (第2実施形態)

最初に、図4を参照して、本実施形態に係るA/D変換器の概略構成について説明する。

[0068] 図4に示すように、このA/D変換器200は、積分器10と、量子化器20と、D/A変換器30（以降、DAC30と示す）とを備えている。入力信号(Vin)はアナログ信号であり、A/D変換器200から出力される信号(Dout)はデジタル信号である。

[0069] なお、本実施形態におけるA/D変換器200は、第1実施形態におけるA/D変換器100に対して量子化器20の構成が異なっている。積分器10は第1実施形態と同様の構成であるから、その詳しい説明を省略する。DAC30は、その入力信号、すなわち量子化器20の出力Qoutに対応するDAC電圧Vdacの仕様が第1実施形態と異なる。以下、詳しく説明する。

[0070] 本実施形態における量子化器20は、積分器10の出力、すなわちオペアンプ11の出力電圧Voutが入力され、そのVoutを量子化した結果であるQoutを出力している。すなわち、量子化器20は、アナログ値であるVoutを量子化し、デジタル値である量子化結果Qoutに変換してい

る。また、量子化器20は、入力信号 V_{in} をA/D変換した結果である D_{out} を出力している。この量子化器20は、第1コンパレータ22と、第2コンパレータ23と、ロジック回路24と、を有している。

[0071] 第1コンパレータ22は、非反転入力端子にオペアンプ11の出力電圧 V_{out} が入力され、反転入力端子には閾値電圧 V_1 が入力されている。第2コンパレータ23は、第1コンパレータ22と同様に、オペアンプ11の出力電圧 V_{out} が非反転入力端子に入力され、反転入力端子には閾値電圧 V_2 が入力されている。閾値電圧 V_1 はAGNDよりも高い電位とされ、閾値電圧 V_2 はAGNDよりも低い電位とされている。つまり、各電圧は $V_2 < AGND < V_1$ の関係となっている。各コンパレータ22, 23の出力はそれぞれロジック回路24に入力されている。ロジック回路24は、コンパレータ22, 23の出力に基づいて、DAC30に量子化結果 Q_{out} を出力するとともに、デジタル信号 D_{out} をA/D変換結果として出力する。

[0072] ロジック回路24は、 $V_{out} > V_1$ の場合は量子化結果 Q_{out} として1を出力する。 $V_2 \leq V_{out} \leq V_1$ の場合は、 Q_{out} として0を出力する。 $V_{out} < V_2$ の場合は、 Q_{out} として-1を出力する。つまり、本実施形態における量子化器20は1.5ビットの量子化器である。また、ロジック回路24はA/D変換の過程で量子化器20によって量子化が実行されるたびに Q_{out} を順次積分してA/D変換結果 D_{out} を生成する。量子化器20の具体的な動作は追って詳述する。

[0073] DAC30はD/A変換器であり、量子化器20が出力する量子化結果 Q_{out} に基づいて、DAC30が積分容量 C_1 から減算する電荷の量を決定している。このDAC30は、参照電圧として、アナロググランドレベルであるAGNDと、AGNDよりも高い電位に設定されたハイレベル V_p と、AGNDよりも低い電位に設定されたローレベル V_m とを有する3レベルD/A変換器である。

[0074] 本実施形態においては、DAC容量 C_2 に電荷を蓄積する際に、 $Q_{out} = 1$ の場合にはスイッチ S_7 がオンし、 $Q_{out} = -1$ の場合にはスイッチ

S 8 がオンし、 $Q_{out} = 0$ の場合にはスイッチ S 6 がオンするように構成されている。なお、例えば $AGND = 0V$ の場合には、 V_p と V_m は $V_p = -V_m$ を満たすように設定する。また、コンパレータ 2 1, 2 2 に入力される閾値電圧 V_1 および V_2 は、例えばそれぞれ $V_1 = V_p / 16$ 、 $V_2 = V_m / 16$ に設定する。

[0075] 次に、図 5 を参照して、本実施形態における A/D 変換器 2 0 0 の具体的な動作について説明する。

[0076] 図 5 は A/D 変換器 2 0 0 の動作を示すタイミングチャートである。時刻 t_{15} 以前がサンプリングの期間に相当し、時刻 t_{15} 以降が A/D 変換の期間に相当する。

[0077] (サンプリング)

時刻 t_{15} 以前のサンプリングの期間において、スイッチ S 1, S 2, S 4, S 6 がオンとされ、スイッチ S 3, S 5, S 7, S 8 がオフとされている。スイッチ S 5 がオフであるから、積分器 1 0 と DAC 3 0 とが互いに電気的に分離している。また、スイッチ S 3 がオフであるから、積分容量 C 1 とオペアンプ 1 1 の出力端子とが互いに電気的に分離している。

[0078] サンプリングの期間には、スイッチ S 1 および S 2 がオンしているので、入力信号 V_{in} が積分容量 C 1 にサンプリングされる。また、スイッチ S 4 および S 6 がオンしているので、DAC 容量 C 2 の両端子がそれぞれ AGND に接続され、DAC 容量 C 2 はリセットされた状態となっている。

[0079] (A/D 変換)

時刻 t_{15} 以降の A/D 変換の期間では、積分器 1 0 の出力電圧 V_{out} を量子化器 2 0 によって量子化し、積分容量 C 1 に蓄積された電荷から量子化結果 Q_{out} に基づいた電荷を DAC 3 0 によって減算する動作を繰り返すことによって、入力信号 V_{in} の A/D 変換が行われる。

[0080] まず、時刻 t_{15} においてスイッチ S 1 およびスイッチ S 2 がオフされ、スイッチ S 3 がオンされることによりオペアンプ 1 1 の出力電圧 V_{out} は V_{in} と同一の電圧値となり、 V_{in} が積分容量 C 1 に保持される。図 5 に

示す例では、時刻 t_{15} ～時刻 t_{17} において、 V_{out} は量子化器 20 を構成する第 1 コンパレータ 22 の閾値電圧 V_1 よりも大きい値である。このため、量子化器 20 からは $Q_{out} = 1$ 、 $D_{out} = 1$ が出力される。

[0081] DAC 30 には $Q_{out} = 1$ が入力され、時刻 t_{16} においてスイッチ S_6 がオフされるとともにスイッチ S_7 がオンされる。これにより、DAC 容量 C_2 には、ローレベル V_m と AGND との電位差および DAC 容量 C_2 の容量値に基づいた電荷が蓄積される。

[0082] その後、時刻 t_{17} においてスイッチ S_4 がオフされるとともにスイッチ S_5 がオンされ、且つ、スイッチ S_7 がオフされるとともにスイッチ S_6 がオンされる。これによって、DAC 電圧 V_{dac} の時刻 t_{17} の前後における電位差 ($= V_m - AGND$) と DAC 容量 C_2 の容量値に応じた電荷が DAC 容量 C_2 から積分容量 C_1 に転送されて、A/D 変換の残差に相当する電圧がオペアンプ 11 の出力電圧 V_{out} として出力される。

[0083] 時刻 t_{17} ～時刻 t_{19} においては、オペアンプ 11 は、入力信号 V_{in} をサンプリングした結果に相当する時刻 t_{15} ～時刻 t_{17} における初期の V_{out} から DAC 30 によって最初の減算を実行した結果生成される A/D 変換の残差を V_{out} として出力する。その残差は、量子化器 20 に入力され量子化される。図 5 に示すように、時刻 t_{17} ～時刻 t_{19} における残差は閾値電圧 V_1 よりも大きい値である。このため、時刻 t_{15} ～時刻 t_{17} と同様に量子化器 20 からは $Q_{out} = 1$ が出力される。また、最初の量子化の結果 (時刻 t_{16} ～時刻 t_{18} の $Q_{out} = 1$) と 2 回目の量子化の結果 (時刻 t_{18} ～時刻 t_{20} の $Q_{out} = 1$) とを積分した値である $D_{out} = 2$ が量子化器 20 から出力される。

[0084] 時刻 t_{15} ～時刻 t_{21} の間は、 $V_{out} > V_1$ の関係が成立するので、 $Q_{out} = 1$ であり、 D_{out} は 1 量子化サイクルごとに 1 ずつ加算されていく。時刻 t_{15} から時刻 t_{21} の間に $Q_{out} = 1$ の量子化サイクルが 5 サイクル存在するため、時刻 t_{21} の直前においては $D_{out} = 5$ となる。

[0085] 時刻 t_{21} において、5 回目の減算が実行されると、 $V_2 < V_{out} < V$

1となる。このため、時刻 t_{21} ～時刻 t_{23} においては、量子化器20は $Q_{out}=0$ を出力する。このため、6回目の減算サイクルである時刻 t_{22} ～時刻 t_{24} においてスイッチS6のオン状態が継続されるとともにスイッチS7, S8のオフ状態が継続され、DAC電圧 V_{dac} はAGNDと同電位に維持される。また、スイッチS4およびスイッチS5のオンオフは、時刻 t_{21} 以前と同様に継続されるため、DAC容量C2による積分容量C1からの電荷の減算は継続されるが、DAC電圧 V_{dac} がAGNDと同電位に維持されるので、積分容量C1からの電荷の減算は実質行われぬ。そのため、時刻 t_{21} 以降 V_{out} は変動しない。

[0086] 時刻 t_{25} までに8サイクルの量子化と7サイクルの減算が完了しており、4ビット（17階調）のA/D変換の分解能が得られている。図5の例では、時刻 t_{25} までに得られる $D_{out}=5$ が入力信号 V_{in} の最終的なA/D変換結果となる。本実施形態では、A/D変換器の所望の分解能がNビットの場合には、電荷の減算は $2N-1-1$ サイクル、量子化は $2N-1$ サイクル必要となる。

[0087] 本実施形態におけるA/D変換器200も、第1実施形態と同様の効果を奏する。これに加えて、本実施形態における量子化器20は1.5ビットの量子化器として機能するため、第1実施形態として図2に示した最後の量子化サイクルに相当する量子化サイクルを必要とすることなく、8サイクルの量子化によって4ビット（17階調）の分解能のA/D変換を実現することができる。

[0088] （変形例2）

第2実施形態に記載したような3レベルのDAC30を採用する場合、A/D変換の期間において、第2実施形態と同様に V_p-AGND 間もしくは V_m-AGND 間の電位差を用いて減算する方法のほかに、変形例1と同様に V_p-V_m 間もしくは V_m-V_p 間の電位差を用いて減算する方法を採用することもできる。

[0089] 本変形例におけるA/D変換器200では、図6に示すように、第2実施

形態に対してスイッチS6～S8の動作を変更する。具体的には、時刻t16においてスイッチS6がオフされるとともに、スイッチS7がオンされる。そして時刻t17において、スイッチS7がオフされるとともに、スイッチS6のオフ状態が維持されつつスイッチS8がオンされる。これにより、時刻t17の前後のDAC電圧 V_{dac} の電位差(= $V_p - V_m$)とDAC容量C2の容量値に応じた電荷がDAC容量C2から積分容量C1に転送されてA/D変換の残差に相当する電圧がオペアンプ11の出力電圧 V_{out} として出力される。

[0090] なお、第1実施形態の変形例1と同様に本変形例においても、時刻t16～時刻t18の減算サイクルにおいて、DAC30の制御に用いる Q_{out} は時刻t15～時刻t17の量子化サイクルに出力されている $Q_{out} = 1$ である。そのため、量子化器20の出力 Q_{out} とDAC30の制御との間に遅延を挿入する等の方法で、適宜DAC30の制御のタイミングを調整すればよい。

[0091] 第1実施形態とその変形例1の関係と同様に、本変形例のDAC電圧 V_{dac} の1減算サイクルの前半と後半の間の電位差(= $V_p - V_m$ 、もしくは、 $V_m - V_p$)の絶対値は、第2実施形態における電位差(= $V_p - AGND$ 、もしくは、 $V_m - AGND$)の絶対値の2倍に相当する。そのため、第1実施形態の変形例1と同様にA/D変換結果に対する熱雑音やフリッカー雑音の影響を低減することができる。

[0092] なお、本変形例におけるDAC30は、第2実施形態に較べて、時刻t16～時刻t22においてスイッチS6がオフ状態で維持されるため、AGNDがDAC30による V_{out} の変化を伴う減算には用いられない。また、時刻t22以降はAGNDがスイッチS6を介してDAC容量C2に接続されるが実質減算は行われぬ。そのため、本変形例をシングルエンドの回路構成で実施する場合において、 V_p と V_m との中間電位とAGNDの電位との間に誤差が生じて、積分容量C1からの電荷の減算時の誤差に起因するA/D変換のオフセット誤差や非線形性誤差が発生しない。すなわち、 V_p

、 V_m およびAGNDを発生する電源の精度に対する要求を第2実施形態と比較して緩和することができる。

[0093] (変形例3)

第2実施形態および変形例2では、量子化器20を2つのコンパレータ22, 23によって構成することにより1.5ビットの量子化を実現する形態について説明した。これに対して本変形例では、コンパレータ22, 23の閾値電圧を可変とすることで、量子化器の分解能を1.5ビットと1ビットに切り替えて動作する形態について説明する。

[0094] まず、図7を参照して、本変形例における量子化器20の構成について説明する。

[0095] 図7に示す量子化器20においては、第1コンパレータ22に入力される閾値電圧を V_1 、 V_3 、 V_5 の3通りに変更できるようになっている。また、第2コンパレータ23に入力される閾値電圧を V_2 、 V_4 の2通りに変更できるようになっている。具体的には、図7に示すように、ハイレベル V_p とローレベル V_m の間に、抵抗器 $R_1 \sim R_6$ が電位の高い方から $R_1 \sim R_6$ の順で直列に接続され、各抵抗器の中点電位を閾値電圧としてコンパレータ22, 23に入力できるようになっている。

[0096] つまり、各抵抗器 $R_1 \sim R_6$ は、抵抗器 R_1 と抵抗器 R_2 との中点で電圧 V_3 が生じるように設定され、抵抗器 R_2 と抵抗器 R_3 との中点で電圧 V_1 が生じるように設定され、抵抗器 R_3 と抵抗器 R_4 との中点で電圧 V_5 が生じるように設定され、抵抗器 R_4 と抵抗器 R_5 との中点で電圧 V_2 が生じるように設定され、抵抗器 R_5 と抵抗器 R_6 との中点で電圧 V_4 が生じるように設定されている。

[0097] 第1コンパレータ22の反転入力端子にはスイッチ S_{21} を介して電圧 V_3 が入力可能にされ、スイッチ S_{22} を介して電圧 V_1 が入力可能にされ、スイッチ S_{23} を介して電圧 V_5 が入力可能にされている。一方、第2コンパレータ23の反転入力端子にはスイッチ S_{24} を介して電圧 V_2 が入力可能にされ、スイッチ S_{25} を介して電圧 V_4 が入力可能にされている。

[0098] なお、本変形例における量子化器20はコンパレータ22, 23の閾値電圧として $V_1 \sim V_5$ の5種類を設定可能であるが、本変形例の動作では3種類のみを用いる構成となっている。5種類の電圧を設定する例については、後述の変形例4および変形例5において説明する。また、閾値電圧のうち電圧 V_5 は、 V_p と V_m のちょうど中間の電位であることが望ましい。すなわち、 $AGND$ が0Vの場合には、電圧の関係が $V_5 = AGND = 0V$ とすることが望ましい。

[0099] 次に、図8を参照して、本変形例に係るA/D変換器200の動作および作用効果について説明する。なお、時刻 t_{25} までの動作は第2実施形態の動作と同様であるが、時刻 t_{25} の直前の Q_{out} に基づく減算を実行する点が異なる。すなわち、時刻 t_{25} までの期間におけるA/D変換の分解能をNビットとすると減算を $2N - 1$ サイクル実行する点が異なる。それ以外の点は同様の動作であるから、その説明を省略する。また、コンパレータ22, 23に入力される閾値電圧 V_1 、 V_2 は、第2実施形態と同様に、それぞれ $V_1 = V_p / 16$ 、 $V_2 = V_m / 16$ である。

[0100] 時刻 t_{25} に至るまでは、量子化器20における閾値電圧が V_1 および V_2 に設定されている。すなわち、スイッチ S_{22} とスイッチ S_{24} がオンされており、スイッチ S_{21} 、 S_{23} 、 S_{25} はオフされている。これにより、本変形例における量子化器20は、時刻 t_{25} に至るまでは1.5ビットの量子化器として機能している。図8においては、このA/D変換の期間を1.5-bit MODE (1.5ビットモード) と記載している。

[0101] 時刻 t_{25} に至った後、図7に示す量子化器20におけるスイッチ S_{22} がオフされ、スイッチ S_{23} がオンされる。これにより、第1コンパレータ22に入力される閾値電圧は $V_5 (= AGND)$ となる。時刻 t_{25} 以降、第2コンパレータ23に入力される閾値電圧は V_2 のまま維持されるが、本変形例におけるロジック回路24は、 V_{out} と V_2 の比較結果を無視するように設定される。すなわち、時刻 t_{25} 以降、本変形例における量子化器20は閾値電圧が $AGND$ とされた第1コンパレータ22のみを使用する1

ビット量子化器として機能する。ロジック回路24は、 V_{out} がAGNDを上回る場合に $Q_{out} = 0$ を出力し、AGNDを下回る場合に $Q_{out} = -1$ を出力するように設定されている。図8においては、このA/D変換の期間を1-bit MODE (1ビットモード) と記載している。

[0102] 図8に示すように、時刻 t_{25} 以降において、量子化器20に入力される V_{out} はAGNDを下回っている。このため、量子化器20からは $Q_{out} = -1$ が出力される。このとき、ロジック回路24は、時刻 t_{25} の直前までの1.5ビットモードによる8回の量子化で得られたデジタル出力 D_{out} を2倍した上で、時刻 t_{25} 以降の $Q_{out} = -1$ を加算する。これにより、1ビットモードによる最後の1回の量子化を実行した時点で得られる入力信号 V_{in} の最終的なA/D変換結果は $D_{out} = 9$ となる。

[0103] 本変形例では、分解能が1ビットに設定された量子化器20によって最後の量子化が実行される。最後の量子化に用いる1つの閾値電圧 V_5 が、時刻 t_{25} 以前の量子化に用いる2つの閾値電圧 V_1 、 V_2 のちょうど中間にあることから、最後の量子化によりA/D変換の分解能を1ビット分高めることができる。そのため、ロジック回路24は時刻 t_{25} の直前の D_{out} を2倍に演算したうえで、1ビットの量子化結果 Q_{out} を加算する。

[0104] 図8の例では、9サイクルの量子化と8サイクルの減算によって、分解能が5ビット (32階調) のA/D変換を実行している。本変形例では、A/D変換器の所望の分解能がNビットの場合には、電荷の減算は $2N - 2$ サイクル、量子化は $2N - 2 + 1$ サイクル必要となる。そのため、変形例2と同等の分解能を得るために必要なサイクル数は略半分となる。減算サイクル数が低減することにより、減算によって発生する熱雑音やフリッカー雑音がA/D変換結果に与える影響を低減できる。

[0105] (変形例4)

変形例3では、図7に示す量子化器20において、3種類の閾値電圧を用いて分解能を可変とすることで、A/D変換器の分解能を向上する形態について説明した。本変形例では、図7に示す量子化器20において、5種類の

閾値電圧を用いて量子化器20の分解能を可変とすることで、さらに分解能を向上する形態について説明する。

[0106] 図9を参照して、本変形例に係るA/D変換器200の動作および作用効果について説明する。なお、サンプリングが完了する時刻 t_{26} までの期間については第2実施形態に記載の時刻 t_{15} までの期間と同様であるから、その説明を省略する。なお、本変形例では、コンパレータ22, 23に入力される閾値電圧 $V_1 \sim V_5$ は、それぞれ $V_1 = V_p / 16$ 、 $V_2 = V_m / 16$ 、 $V_3 = V_p / 8$ 、 $V_4 = V_m / 8$ 、 $V_5 = AGND = 0V$ に設定されている。

[0107] 時刻 t_{31} に至るまでは、量子化器20における第1コンパレータ22の閾値電圧が V_3 に設定され、第2コンパレータ23の閾値電圧が V_4 に設定されている。すなわち、スイッチ S_{21} とスイッチ S_{25} がオンされており、スイッチ $S_{22} \sim S_{24}$ はオフされている。つまり、時刻 $t_{26} \sim$ 時刻 t_{31} においては、第2実施形態に較べて、2つの閾値電圧の差が大きく設定されている。

[0108] 図9に示すように、閾値電圧を V_3 と V_4 にそれぞれ設定している時刻 t_{27} において、変形例2と同様に、スイッチ S_6 がオフされるとともに、スイッチ S_7 がオンされる。そして時刻 t_{28} において、スイッチ S_7 がオフされるとともに、スイッチ S_6 のオフ状態が維持されつつスイッチ S_8 がオンされる。これにより、時刻 t_{28} の前後の電位差(= $V_p - V_m$)とDAC容量 C_2 の容量値に応じた電荷が積分容量 C_1 に転送されて、A/D変換の残差に相当する電圧がオペアンプ11の出力電圧 V_{out} として出力される。DAC容量 C_2 の容量値が第2実施形態と同一であるとすれば、1回の減算による積分容量 C_1 からの電荷の減算量は第2実施形態の2倍となる。

[0109] 時刻 $t_{26} \sim$ 時刻 t_{28} の最初の量子化サイクルにおいては $V_{out} > V_3$ であり、 $Q_{out} = 1$ 、 $D_{out} = 1$ である。同様に、時刻 $t_{28} \sim$ 時刻 t_{30} の2回目の量子化サイクルにおいても $V_{out} > V_3$ となるので、 $Q_{out} = 1$ 、 $D_{out} = 2$ となる。さらに、入力信号 V_{in} のレベルに依ら

ずに所定の量子化サイクルが完了するまで、すなわち、図9の例において4サイクルの量子化が完了する時刻 t_{31} まで、閾値電圧を V_3 および V_4 で維持したまま量子化を実行する。

[0110] 時刻 t_{30} ～時刻 t_{33} の間は $V_4 < V_{out} < V_3$ の関係を満たすので、 $Q_{out} = 0$ となる。そのため、変形例2における時刻 t_{21} 以降の動作と同様に、時刻 t_{31} ～時刻 t_{34} の間においては、スイッチ S_6 がオンされつつスイッチ S_7 および S_8 はオフされた状態となる。すなわち、積分容量 C_1 からの電荷の減算は実質行われぬ。また、 $Q_{out} = 0$ のため、 $D_{out} = 2$ が維持される。時刻 t_{33} までに得られる分解能を N ビットとすると、時刻 t_{33} までの量子化サイクル数は、変形例2と同様に、 $2N - 1$ サイクルである。すなわち、4サイクルの量子化が完了した時刻 t_{33} の時点で、3ビット（9階調）のA/D変換の分解能が得られる。

[0111] 時刻 t_{33} において、スイッチ S_{21} がオフされ、スイッチ S_{22} がオンされる。すなわち、量子化器20の第1コンパレータ22の閾値電圧が V_3 から V_1 に切り替えられる。同様に、スイッチ S_{25} がオフされ、スイッチ S_{24} がオンされる。すなわち、量子化器20の第2コンパレータ23の閾値電圧が V_4 から V_2 に切り替えられる。また、時刻 t_{32} ～時刻 t_{34} の間は、 V_{out} は変化していないが、変形例2と同様にDAC電圧 V_{dac} をAGNDに設定した状態で減算が行われている。

[0112] 図9に示すように、時刻 t_{33} ～時刻 t_{35} においては $V_{out} > V_1$ であるから、 $Q_{out} = 1$ となる。ここでは、量子化器20における2つの閾値電圧の差が時刻 t_{33} 以前の $1/2$ に切り替えられており、量子化器20の量子化結果 Q_{out} の1階調の大きさは、時刻 t_{33} 以前に対して $1/2$ となる。そのため、ロジック回路24は、時刻 t_{33} までのA/D変換結果 $D_{out} = 2$ を2倍した上で時刻 t_{33} ～時刻 t_{35} における $Q_{out} = -1$ を加算する。よって、時刻 t_{33} から時刻 t_{35} において $D_{out} = 5$ となる。

[0113] 5サイクルの量子化が完了する時刻 t_{35} までに、4ビット（17階調）

のA/D変換の分解能が得られる。時刻 t_{35} でA/D変換の処理を完了する場合には、第2実施形態と同様のA/D変換結果 D_{out} を得るまでの量子化は5サイクルであり、第2実施形態における8サイクルよりも小さくすることができる。すなわち、第2実施形態に較べて、A/D変換の処理速度を向上することができる。

[0114] 本変形例では、時刻 t_{35} 以降に、変形例3の時刻 t_{25} 以降と同様に、量子化器20を1ビットモードで動作させて最後の量子化を実行する。時刻 t_{35} 以降は $V_{out} < AGND$ であるから $Q_{out} = -1$ となり、時刻 t_{35} の直前の $D_{out} = 5$ を2倍した上で、時刻 t_{35} 以降の $Q_{out} = -1$ を加算する。これにより、入力信号 V_{in} の最終的なA/D変換結果である $D_{out} = 9$ が得られる。

[0115] 図9の例では、6サイクルの量子化と5サイクルの減算によって、A/D変換の分解能は5ビット（32階調）が得られる。A/D変換器の所望の分解能がNビットの場合には、電荷の減算は $2N - 3 + 1$ サイクル、量子化は $2N - 3 + 2$ サイクル必要となる。そのため、分解能Nが高い場合には、変形例3と較べて同等の分解能を得るために必要なサイクル数は略半分に低減できる。また、減算のサイクル数が低減することにより、減算の実行によって増加する熱雑音やフリッカー雑音がA/D変換結果に与える影響を低減できる。

[0116] なお、本変形例における量子化器20は、時刻 t_{26} から時刻 t_{35} に至る期間において、時刻 t_{33} にて量子化器20の2つの閾値電圧をそれぞれ変更するものの、1.5ビット量子化器として機能している。また、時刻 t_{35} 以降は、閾値電圧をAGNDとする1ビット量子化器として機能している。

[0117] （変形例5）

上記した第2実施形態および変形例2～4では、量子化器20を1.5ビットあるいは1ビットで用いる例について説明した。これに対して、本変形例では、変形例3にて説明した図7に示す量子化器20によって2.5ビット

ト（5レベル）の量子化を実現する例について説明する。

[0118] 本変形例におけるA/D変換器200の量子化器20は、1サイクルの量子化に際して、閾値電圧を半量子化サイクル毎に変化させて、それぞれの半量子化サイクルの量子化結果 Q_{out} を用いてDAC30を制御する。すなわち、1.5ビットの量子化器20を使用して、1量子化サイクルで5レベルの量子化を実行し、実質2.5ビットの量子化器を実現している。

[0119] 具体的には、図10に示すように、量子化サイクルの前半において、第1コンパレータ22の閾値電圧を V_3 とし第2コンパレータ23の閾値電圧を V_4 として、量子化サイクルの後半において、第1コンパレータ22の閾値電圧を V_1 とし第2コンパレータ23の閾値電圧を V_2 として、2回の量子化を1回の量子化サイクル内で実行する。DAC30は、1回の量子化サイクル内の2つの量子化結果それぞれを用いて制御する。量子化結果 Q_{out} は、 $V_{out} > V_1$ または $V_{out} > V_3$ であれば $Q_{out} = 1$ であり、 $V_2 < V_{out} < V_1$ または $V_4 < V_{out} < V_3$ であれば $Q_{out} = 0$ であり、 $V_{out} < V_2$ または $V_{out} < V_4$ であれば $Q_{out} = -1$ となる。

[0120] DAC30を駆動するDAC電圧 V_{dac} は、1量子化サイクルにおける Q_{out} の合計値に基づいて決定する。具体的には、1量子化サイクルにおける2つの量子化結果 Q_{out} の合計値が2であればDAC電圧 V_{dac} の1減算サイクルの前半と後半における電位差を $V_p - V_m$ として減算を行う。同様に、 Q_{out} の合計値が1であれば電位差を $V_p - AGND$ として、 Q_{out} の合計値が-1であれば電位差を $V_m - AGND$ として、 Q_{out} の合計値が-2であれば電位差を $V_m - V_p$ として減算を行う。また、 Q_{out} の合計値が0であればDAC電圧 V_{dac} を $AGND$ として実質的に減算を行わない。

[0121] 図10を参照して、本変形例に係るA/D変換器200の動作について説明する。なお、サンプリングが完了する時刻 t_{37} までの期間については第2実施形態に記載の時刻 t_{15} までの期間と同様であるから、その説明を省略する。なお、本変形例においては、コンパレータ22, 23に入力される

閾値電圧 $V_1 \sim V_5$ は、それぞれ $V_1 = V_p / 16$ 、 $V_2 = V_m / 16$ 、 $V_3 = 3V_p / 16$ 、 $V_4 = 3V_m / 16$ 、 $V_5 = AGND = 0V$ に設定されている。

[0122] 図10に示すように、時刻 t_{37} ～時刻 t_{39} におけるオペアンプ11の出力 V_{out} は $V_{out} > V_3$ 且つ $V_{out} > V_1$ であるから、時刻 t_{37} ～時刻 t_{39} の間の量子化サイクルの前半と後半における2回の量子化の結果 Q_{out} がそれぞれ1であり、1量子化サイクルでの Q_{out} の合計値は2となる。よって、時刻 t_{38} ～時刻 t_{40} の間の減算サイクルで、変形例2や変形例4にて説明した動作と同様に、DAC30におけるスイッチS7およびS8を制御して電位差 $V_p - V_m$ による減算が実行される。時刻 t_{39} ～時刻 t_{41} の量子化サイクルにおいても、 Q_{out} の合計値は2であり、 $V_{out} > V_3$ 且つ $V_{out} > V_1$ であり、時刻 t_{40} ～時刻 t_{42} の間の減算サイクルにおいては、電位差 $V_p - V_m$ による減算が実行される。

[0123] なお、1量子化サイクル内の2つの量子化結果 Q_{out} を合計する処理は必ずしも必要ではなく、量子化サイクルの後半の Q_{out} のみから減算サイクルの前半のDAC電圧 V_{dac} を決定し、量子化サイクルの後半の Q_{out} のみから減算サイクルの後半のDAC電圧 V_{dac} を決定することによって、DAC30を動作させてもよい。

[0124] また、時刻 t_{37} ～時刻 t_{39} の間の2つの Q_{out} の合計値2が減算に反映されるのは時刻 t_{38} ～時刻 t_{40} の減算サイクルである。すなわち、時刻 t_{38} ～時刻 t_{40} の減算サイクルでは、時刻 t_{37} ～時刻 t_{39} の間に得られた Q_{out} に基づいてスイッチS6～S8が制御されて減算が実行される。

[0125] 時刻 t_{41} ～時刻 t_{43} における3回目の量子化サイクルでは、前半が $V_4 < V_{out} < V_3$ ($Q_{out} = 0$) かつ後半が $V_{out} > V_1$ ($Q_{out} = 1$) である。よって、この量子化サイクルにおける Q_{out} の合計値は1であり、時刻 t_{42} ～時刻 t_{44} における3回目の減算は電位差 $V_p - AGND$ に基づいて実行される。つまり、第2実施形態と同様に、DAC30の

スイッチS6とスイッチS7によってDAC電圧 V_{dac} を制御することによって減算が行われる。

[0126] 時刻 t_{37} ～時刻 t_{39} における4回目の量子化サイクルでは、前半が $V_4 < V_{out} < V_3$ ($Q_{out} = 0$) かつ後半が $V_2 < V_{out} < V_1$ ($Q_{out} = 0$) である。よって、この量子化サイクルにおける Q_{out} の合計値は0であり、時刻 t_{44} ～時刻 t_{46} の最後の減算サイクルにおいて、実質的に減算は実行されない。4サイクルの量子化が完了する時刻 t_{45} までに得られるA/D変換結果は $D_{out} = 5$ であり、A/D変換の分解能は4ビット（17階調）である。

[0127] 本変形例では、時刻 t_{45} 以降、変形例3や変形例4と同様に、量子化器20を1ビットモードで動作させて最後の量子化を実行する。時刻 t_{45} 以降は $V_{out} < AGND$ であるから、 $Q_{out} = -1$ となり、時刻 t_{45} の直前の $D_{out} = 5$ を2倍した上で加算する。これにより、最終的なA/D変換結果は $D_{out} = 9$ となる。

[0128] 図10の例では、5回の量子化サイクルと4回の減算サイクルによって、5ビット（32階調）のA/D変換の分解能が得られている。A/D変換器の所望の分解能がNビットの場合には、電荷の減算は $2N - 3$ サイクル、量子化は $2N - 3 + 1$ サイクル必要となる。そのため、所望の分解能Nが高い場合には、変形例3と較べて同等の分解能を得るために必要なサイクル数を略半分に低減できる。また、変形例4と同様に、減算の実行によって増加する熱雑音やフリッカー雑音の影響を低減できる。

[0129] （第3実施形態）

第2実施形態およびその変形例2～5では、A/D変換結果 D_{out} の生成に量子化器20のみを用いる構成について説明した。これに対して、本実施形態におけるA/D変換器300は、A/D変換の過程における量子化のうちの一部を、量子化器20とは異なるA/D変換器により実行するように構成する。以降、量子化器20とは異なるA/D変換器を、副ADC50と称する。副ADCは、副アナログデジタルコンバータ、または別のADCと

も称する。

[0130] 最初に、図11を参照して、本実施形態におけるA/D変換器300の概略構成について説明する。

[0131] 図11に示すように、本実施形態におけるA/D変換器300は、積分器40、量子化器20、DAC30に加えて、副ADC50および加算器60を備えている。DAC30については第2実施形態の変形例5と同様であるから、その詳しい説明を省略する。また、図11では簡略化のため詳細な構成の記載を省略してあるが、量子化器20は、第2実施形態の変形例5と同様に図7に示した可変の閾値電圧を用いる構成である。

[0132] 積分器40は、積分容量C1と増幅容量C3とを有し、これらがオペアンプ11の反転入力端子と出力端子との間に並列に接続されている。

[0133] 積分容量C1は、その一端がスイッチS9を介してオペアンプ11の反転入力端子に接続され、他端がスイッチS3を介してオペアンプ11の出力端子に接続されている。また、積分容量C1とスイッチS9の midpoint はスイッチS2を介してAGNDに接続され、積分容量C1とスイッチS3の midpoint はスイッチS10を介してAGNDに接続されている。

[0134] 増幅容量C3は、その一端がスイッチS14を介してオペアンプ11の反転入力端子に接続され、他端がスイッチS12を介してオペアンプ11の出力端子に接続されている。また、増幅容量C3とスイッチS14の midpoint はスイッチS13を介してAGNDに接続され、増幅容量C3とスイッチS12の midpoint はスイッチS11を介してAGNDに接続されている。

[0135] 入力端子TinはスイッチS1を介して、積分容量C1とスイッチS3の midpoint に接続されている。スイッチS2およびスイッチS3の機能は、それぞれ第2実施形態におけるスイッチS2およびS3と同様である。

[0136] 副ADC50は、オペアンプ11の出力端子に、量子化器20と並列に接続されている。副ADC50のデジタル出力Loutは量子化器20のデジタル出力Moutとともに加算器60に入力されている。加算器60は、量子化器20から出力されるMoutと、副ADC50から出力されるLout

t とを加算して最終的なデジタル出力 D_{out} とする。副 ADC 50 には一般的に知られた A/D 変換器を採用することができる。

[0137] 次に、図 12 を参照して、本実施形態における A/D 変換器 300 の動作について説明する。

[0138] (サンプリング)

時刻 t_{47} 以前のサンプリングの期間において、スイッチ S_1 , S_2 , S_4 , S_6 , S_{11} , S_{13} がオンとされ、スイッチ S_3 , S_5 , S_7 , S_8 , S_9 , S_{10} , S_{12} , S_{14} がオフとされている。スイッチ S_3 がオフであるから、積分容量 C_1 とオペアンプ 11 の出力端子とが互いに電氣的に分離している。スイッチ S_1 および S_2 がオンしているので、入力信号 V_{in} が積分容量 C_1 にサンプリングされる。また、スイッチ S_{11} および S_{13} がオンし、スイッチ S_{12} および S_{14} がオフしているので、増幅容量 C_3 はオペアンプ 11 から電氣的に分離された上、両端が AGND に接続されている。これにより、増幅容量 C_3 は電荷が蓄積されない状態となっている。

[0139] また、DAC 30 ではスイッチ S_4 および S_6 がオンしているので、DAC 容量 C_2 の両端子がそれぞれ AGND に接続されている。これにより、DAC 容量 C_2 は電荷が蓄積されない状態となっている。

[0140] (A/D 変換)

時刻 t_{47} においてスイッチ S_1 および S_2 がオフされて V_{in} のサンプリングが終了し、スイッチ S_3 およびスイッチ S_9 がオンされて V_{out} が出力される。

[0141] 時刻 t_{47} ~ 時刻 t_{48} の動作は、第 2 実施形態の変形例 5 における時刻 t_{37} ~ 時刻 t_{45} の動作と同様であるため詳しい説明を省略する。時刻 t_{48} の直前における量子化器の出力 M_{out} は、変形例 5 の時刻 t_{45} の直前における出力 D_{out} と同値であり、 $M_{out} = 5$ である。時刻 t_{48} までに、 M_{out} に得られる A/D 変換の分解能は 4 ビット (17 階調) であり、本実施形態の A/D 変換結果 D_{out} のうち上位 4 ビット相当が量子化

器20によってA/D変換される。

[0142] 時刻t48において、スイッチS3、S11およびS13がオフされるとともに、スイッチS10、S12およびS14がオンされると同時に最後の減算が実行される。これにより、A/D変換の残差に相当する電荷がすべて増幅容量C3に転送される。この時、オペアンプ11から出力されるA/D変換の残差Voutは時刻t48以前の残差と較べて、積分容量C1と増幅容量C3の容量値の比に応じて増幅されている。図12の例では、A/D変換の残差が略16倍に増幅されている。これに伴って、ロジック回路24は、時刻t48までのA/D変換結果Moutを16倍して、時刻t48以前の量子化器20によるA/D変換の結果としてMout=80を出力する。

[0143] 時刻t49以降において、副ADC50によって、オペアンプ11が出力する増幅された残差VoutをA/D変換する。図12の例では、副ADC50からはLout=-4が出力される。量子化器20の出力Mout=80と、副ADC50の出力Lout=-4が加算器60によって加算されることにより、最終的なA/D変換結果Dout=76が得られる。このように、量子化器20による上位4ビットに相当するA/D変換結果Moutと、副ADC50による下位4ビットに相当するA/D変換結果Loutと、を加算することにより、最終的なA/D変換結果Doutには8ビットの分解能が得られる。

[0144] なお、本実施形態におけるA/D変換器300は、時刻t48において、積分容量C1のすべての電荷が増幅容量C3に転送される。そのため、積分容量C1をオペアンプ11から電氣的に切り離しても増幅容量C3によりオペアンプ11の出力電圧が維持される状態にある。よって、時刻t49において、スイッチS9およびS10をオフするとともに、スイッチS1およびS2をオンする。これにより、積分容量C1がオペアンプ11と電氣的に切り離され、積分容量C1による入力信号Vinのサンプリングが再び実行される。

[0145] 図12に示すように、時刻t49～時刻t50の間には、副ADC50

によって、ひとつ前のA/D変換に係るA/D変換の残差を入力とする下位ビットのA/D変換が実行されている。すなわち、ひとつ前のA/D変換に係る下位ビットのA/D変換と、その次のA/D変換に係る入力信号 V_{in} のサンプリングと、が並行して実行されている。

[0146] 次に、本実施形態におけるA/D変換器300の効果について説明する。

[0147] 第2実施形態およびその変形例2～5においては、A/D変換分解能を高くすると、サイクル数が指数関数的に増加するため、高分解能のA/D変換を実現する場合には大きく変換速度が低下する。これに対して、本実施形態におけるA/D変換器300は、下位ビットのA/D変換を担う副ADC50を備えている。このため、分解能の増加に対して指数関数的にサイクル数が増加する量子化器20による上位ビットのA/D変換が受け持つ分解能を低減し、A/D変換に必要なサイクル数を大幅に低減することができる。

[0148] また、本実施形態におけるA/D変換器300は、増幅容量C3を、積分容量C1とは別体として有している。このため、副ADC50による下位ビットのA/D変換の動作中において、積分容量C1をオペアンプ11から切り離すことにより、並行して次のA/D変換に係るサンプリングを実行することができる。さらに、時刻 t_{51} 以降の次のA/D変換に係る上位ビットのA/D変換の期間においても、副ADC50は次のA/D変換に用いられないため、副ADC50を用いてひとつ前のA/D変換に係る下位ビットのA/D変換を実行できる。そのため、入力信号 V_{in} のサンプリングや副ADC50による下位ビットのA/D変換の処理時間の確保が容易で、A/D変換全体のスループットを向上することができる。

[0149] また、副ADC50には、一般的なA/D変換器を用いることができる。変換速度を高めるために一回のサンプリングによってA/D変換を実行するナイキストA/D変換器を副ADC50として用いる場合、トリミングなどの高精度化技術を必要とすることなく、A/D変換全体の変換精度を保ちつつ10～12ビット程度までの下位ビットのA/D変換を副ADC50に割り当てることができる。したがって、本実施形態においては、副ADC50

の変換精度に起因するA/D変換の誤差の増大を抑制しつつ、量子化器20による上位ビットのA/D変換のサイクル数を大幅に削減することができ、その結果、A/D変換の速度を大幅に向上することができる。

[0150] また、DAC容量C2と増幅容量C3との比精度に起因するA/D変換の非線形性誤差は、量子化器20による上位ビットのA/D変換の分解能を高めることによって小さくできる。そのため、上位ビットのA/D変換に、その非線形性誤差が副ADC50に割り当てる分解能に対応する精度よりも十分小さくなる程度の分解能を割り当てることで、上位ビットのA/D変換の非線形性誤差がA/D変換全体の精度に与える影響を十分小さくできる。例えばA/D変換全体の分解能が16ビットの場合には、下位ビットのA/D変換に10～12ビットの分解能を副ADC50に割り当て、量子化器20による上位ビットのA/D変換に4～6ビットの分解能を割り当てればよい。

[0151] これにより、トリミングなどの高精度化技術を必要とすることなく、高い精度を維持しながらA/D変換の速度を大幅に向上することができる。

[0152] (第4実施形態)

第3実施形態では、積分器40が増幅容量C3を用いてA/D変換の残差を増幅し、増幅した残差を副ADC50によってA/D変換する構成について説明した。これに対して、本実施形態では、図13に示すように、増幅容量C3を有することなくDAC容量C2を用いてA/D変換の残差を増幅し、副ADC50によって増幅された残差のA/D変換を行う構成について説明する。

[0153] 最初に、図13を参照して、本実施形態におけるA/D変換器400の概略構成について説明する。

[0154] 図13に示すように、本実施形態におけるA/D変換器400は、積分器70と量子化器20とDAC30と副ADC50と加算器60とを備えている。DAC30については上記した各実施形態および各変形例と同様であるから、その詳しい説明を省略する。また、量子化器20については第3実施

形態と同様である。

[0155] 本実施形態における積分器70は、第2実施形態における積分器10に加えてスイッチS10を有している。スイッチS10は、積分容量C1とスイッチS3の midpoint とAGNDとの間に介在している。スイッチS10は第3実施形態におけるスイッチS10と同様の動作および機能を奏するものであるから、第3実施形態と同一の符号で示している。

[0156] さらに、このA/D変換器400は、図13に示すように、積分器70におけるオペアンプ11の出力端子と、DAC30におけるスイッチS6~S8とDAC容量C2の midpoint と、がスイッチS15を介して接続されている。そのため、スイッチS1~S4およびスイッチS6~S8をオフした上で、スイッチS5、スイッチS10およびスイッチS15をオンすることにより、積分容量C1の電荷をDAC容量C2に転送することができる。

[0157] 本実施形態におけるA/D変換器400は、積分器70およびスイッチS15を除き第3実施形態におけるA/D変換器300と同様の構成となる。

[0158] 次に、図14を参照して、本実施形態におけるA/D変換器300の動作について説明する。

[0159] (サンプリング)

図14に示す時刻t52以前および時刻t55~時刻t56の間のサンプリングの期間は、スイッチS10およびスイッチS15がオフされており、第2実施形態の変形例5におけるサンプリングの期間と同様の動作であるため、詳しい説明は省略する。

[0160] (A/D変換)

時刻t52においてスイッチS1およびS2がオフされて入力信号Vinのサンプリングが終了し、スイッチS3がオンされてVoutが出力される。時刻t52~時刻t53の動作は、第3実施形態における時刻t47~時刻t51の間の動作と同様であるため、詳しい説明を省略する。

[0161] 時刻t53において、スイッチS4がオフされるとともにスイッチS5がオンされ、最後の減算が実行される。また、時刻t54において、スイッチ

S5がオフされてスイッチS4がオンされるとともにスイッチS6がオンされ、DAC容量C2の電荷がリセットされる。時刻t55において、スイッチS6がオフされるとともに、スイッチS10およびS15がオンされる。これにより、時刻t53までのA/D変換の残差に相当する積分容量C1に残存した電荷がすべてDAC容量C2に転送され、A/D変換の残差の増幅が行われる。

[0162] 第3実施形態の時刻t48においては、最後の減算と同時にA/D変換の残差の増幅が実行されるが、本実施形態においては、減算に用いるDAC容量C2を用いて残差の増幅を実行するため、時刻t54に最後の減算サイクルを終えてから、DAC容量C2の電荷をリセットした上で、時刻t55以降に残差の増幅を開始する。時刻t55～時刻t56の間に、増幅されたA/D変換の残差が副ADC50に転送される。転送された残差は、時刻t55以降に副ADC50によってA/D変換される。量子化器20の出力Moutおよび副ADC50の出力Loutから、8ビットの分解能を持つ最終的なA/D変換結果Dout=76を得る動作は、第3実施形態と同様であるため詳細な説明は省略する。

[0163] 時刻t56において、スイッチS10およびS15がオフされるとともにスイッチS6がオンされる。また、スイッチS3がオフの状態のまま、スイッチS1およびスイッチS2がオンされることによって、時刻t52以前と同様に、積分容量C1を用いて次のA/D変換に係るサンプリングが開始される。

[0164] 時刻t57以降は、次のA/D変換に係る量子化器20による上位ビットのA/D変換の期間であり、A/D変換器400の動作は時刻t52から時刻t56に至る期間と同様である。時刻t55～時刻t59の期間は、副ADC50は、時刻t56以降に実行される次のA/D変換には使われない。すなわち、時刻t56から時刻t59に至る期間では、ひとつ前のA/D変換に係る下位ビットのA/D変換と、その次のA/D変換に係る入力信号Vinのサンプリングおよび上位ビットのA/D変換と、が並行して実行され

ている。

[0165] 次に、本実施形態におけるA/D変換器400の効果について説明する。

[0166] 本実施形態におけるA/D変換器400は、下位ビットのA/D変換を担う副ADC50を備えている。このため、第3実施形態と同様に、量子化器20による上位ビットのA/D変換に必要なサイクル数を低減することができる。

[0167] また、本実施形態におけるA/D変換器400は、A/D変換の残差の副ADC50への転送が完了した時点で、第3実施形態と同様に、副ADC50による下位ビットのA/D変換と並行して次のA/D変換に係るサンプリングおよび上位ビットのA/D変換を行うことができる。したがって、A/D変換のスループットを向上することができる。

[0168] また、本実施形態のDAC容量C2は第3実施形態における増幅容量C3の機能を兼ねるように構成されている。このため、必要な容量素子の数を削減できるとともに、DAC容量C2と増幅容量C3との容量値の比精度に起因するA/D変換の非線形性誤差が発生しない。

[0169] (その他の実施形態)

以上、本開示の好ましい実施形態について説明したが、本開示は上記した実施形態になんら制限されることなく、本開示の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

[0170] 上記した各実施形態および各変形例では、4ビットや8ビットのような、所定のビット数のA/D変換を例に説明したが、A/D変換器100~400は任意のビット数に対して適用可能である。

[0171] また、上記した各実施形態および各変形例では、入力信号Vinのサンプリングの期間において、DAC容量C2あるいは増幅容量C3をリセットするように各スイッチが動作する構成について例示したが、各スイッチの動作は、本開示の主旨を逸脱しない範囲において、任意に設計することができる。

[0172] 上記した各実施形態では、簡略化のため増幅器としてシングルエンドのオ

ペアンプ 11 を用いる例について説明したが、シングルエンドのオペアンプに代えて差動のオペアンプを用いて A/D 変換器 100~400 を構成することもできる。

[0173] 以上、本開示に係る A/D 変換器の実施形態、構成、態様を例示したが、本開示に係る実施形態、構成、態様は、上述した各実施形態、各構成、各態様に限定されるものではない。例えば、異なる実施形態、構成、態様にそれぞれ開示された技術的部を適宜組み合わせ得られる実施形態、構成、態様についても本開示に係る実施形態、構成、態様の範囲に含まれる。

請求の範囲

[請求項1]

第1入力端子と出力端子を備えるオペアンプ(11)と、該オペアンプの前記第1入力端子と前記出力端子との間に挿入された積分容量(C1)と、を有する積分器(10, 40, 70)と、

前記オペアンプの出力信号を量子化した量子化結果を出力する量子化器(20)と、

前記オペアンプにおける前記第1入力端子に接続され、前記積分容量に蓄積された電荷の減算を行うためのDAC電圧(Vdac)を前記量子化結果に基づいて決定するDAC(30)と、を備えるA/D変換器であって、

前記積分器は、前記積分容量と前記オペアンプの出力端子との間に、互いの接続をオンオフするフィードバックスイッチ(S3)を有し、

入力信号としてのアナログ信号は、前記積分容量と前記フィードバックスイッチとの間に入力され、

前記積分容量は、前記アナログ信号をサンプリングし、

前記量子化器が前記オペアンプの出力に基づいて量子化を行い、

前記DACが前記量子化結果に基づいて前記積分容量に蓄積された電荷を順次減算することにより前記アナログ信号をデジタル値に変換するA/D変換器。

[請求項2]

前記DACは、前記DAC電圧として、アナロググラウンドレベルと、該アナロググラウンドレベルよりも電位が高くされたハイレベル(Vp)と、前記アナロググラウンドレベルよりも電位が低くされたローレベル(Vm)と、を含む請求項1に記載のA/D変換器。

[請求項3]

前記DACは、前記量子化結果に基づいた前記DAC電圧の切り替え時において、前記アナロググラウンドレベルを跨いで、前記ハイレベルと前記ローレベルとの間を相互に切り替える動作を含む請求項2に記載のA/D変換器。

- [請求項4] 前記DACは、前記量子化結果に基づいた前記DAC電圧の切り替え時において、前記DAC電圧を前記アナロググランドレベルから変化させない動作を含む請求項2または請求項3に記載のA/D変換器。
- [請求項5] 前記量子化器は、少なくとも1.5ビットの分解能で前記量子化結果を出力する請求項1～4のいずれか1項に記載のA/D変換器。
- [請求項6] 前記量子化器は、前記オペアンプの出力信号と閾値電圧とを比較するコンパレータ(21, 22, 23)を有し、前記閾値電圧が可変とされる請求項1～5のいずれか1項に記載のA/D変換器。
- [請求項7] 前記量子化器は、前記閾値電圧が可変とされることにより前記量子化器の分解能を可変とする請求項6に記載のA/D変換器。
- [請求項8] 前記量子化器は、前記DACによる前記積分容量に蓄積された電荷の1回の減算につき、可変とされた前記閾値電圧を変化させながら複数回の前記量子化を行う請求項6または請求項7に記載のA/D変換器。
- [請求項9] 前記積分容量に蓄積された電荷の減算を、前記アナログ信号に依らない予め定められた所定のサイクル数だけ繰り返す請求項1～8のいずれか1項に記載のA/D変換器。
- [請求項10] 予め定められた所定のサイクル数の電荷の前記減算を繰り返す動作の後、前記積分容量に残存した残差を1ビットに設定された前記量子化器によりA/D変換して最下位ビットを生成する請求項9に記載のA/D変換器。
- [請求項11] 前記オペアンプの出力端子に、前記量子化器に並列に接続された副ADC(50)を備え、
前記量子化器を介して前記デジタル値の上位ビットが生成され、前記副ADCを介して残りの前記デジタル値の下位ビットが生成される請求項1～9のいずれか1項に記載のA/D変換器。
- [請求項12] 前記積分器は、前記オペアンプにおける前記第1入力端子と前記出

力端子との間において、前記積分容量と並列に接続された増幅容量（C3）を有し、

前記上位ビットの生成後において前記積分容量に残存した残差が前記増幅容量に転送され増幅された後、前記副ADCにより前記下位ビットが生成される請求項11に記載のA/D変換器。

[請求項13] 前記DACは、前記DAC電圧に応じた電荷が蓄積され、前記オペアンプの前記第1入力端子に接続されるDAC容量（C2）を有し、

前記上位ビットの生成後において前記積分容量に残存した残差が前記DAC容量に転送され増幅された後、前記副ADCにより前記下位ビットが生成される請求項11に記載のA/D変換器。

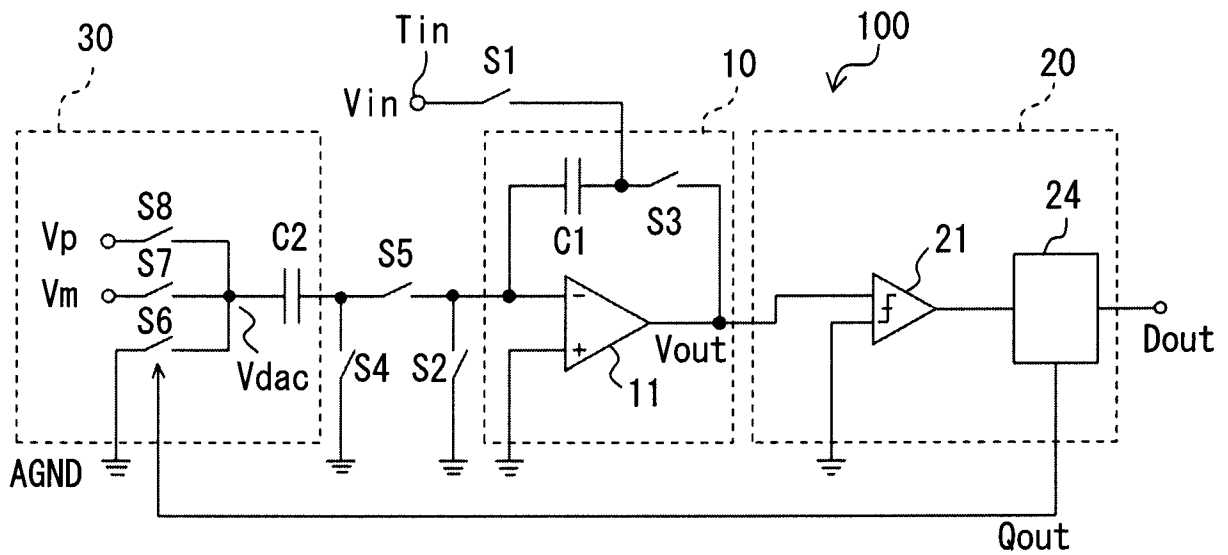
[請求項14] 前記積分容量は、前記上位ビットの生成後において、前記オペアンプに対して電氣的に切り離される請求項12または請求項13に記載のA/D変換器。

[請求項15] 前記上位ビットの生成後において、前記副ADCにおけるA/D変換と並行して前記積分容量に次のA/D変換にかかる前記アナログ信号がサンプリングされる請求項14に記載のA/D変換器。

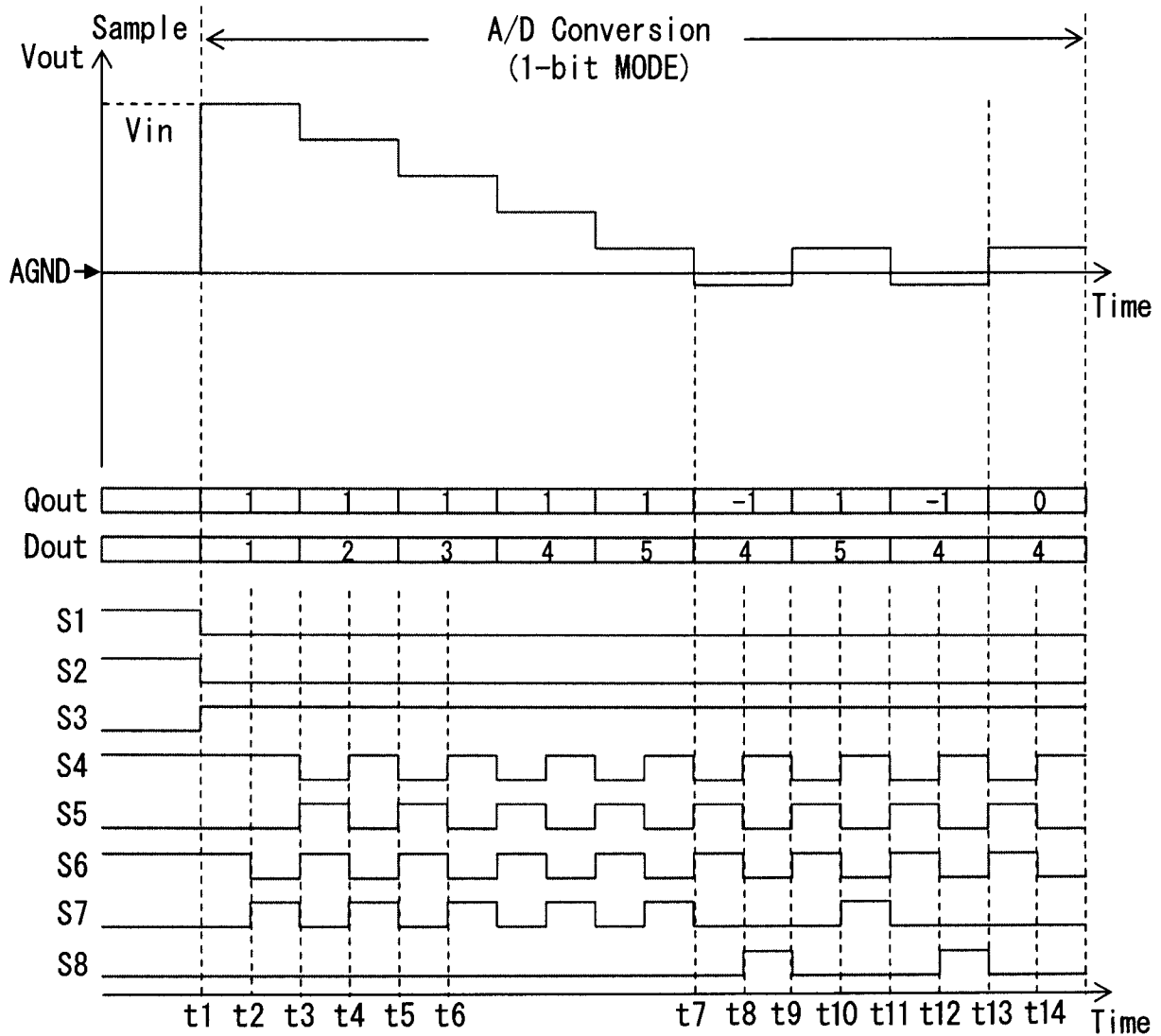
[請求項16] 前記上位ビットの生成後であって前記積分容量に残存した残差が前記副ADCに転送された後において、

前記副ADCにおける前記下位ビットのA/D変換と並行して、次のA/D変換にかかる前記アナログ信号のサンプリング、あるいは、次のA/D変換にかかる前記上位ビットのA/D変換が行われる請求項11～15のいずれか1項に記載のA/D変換器。

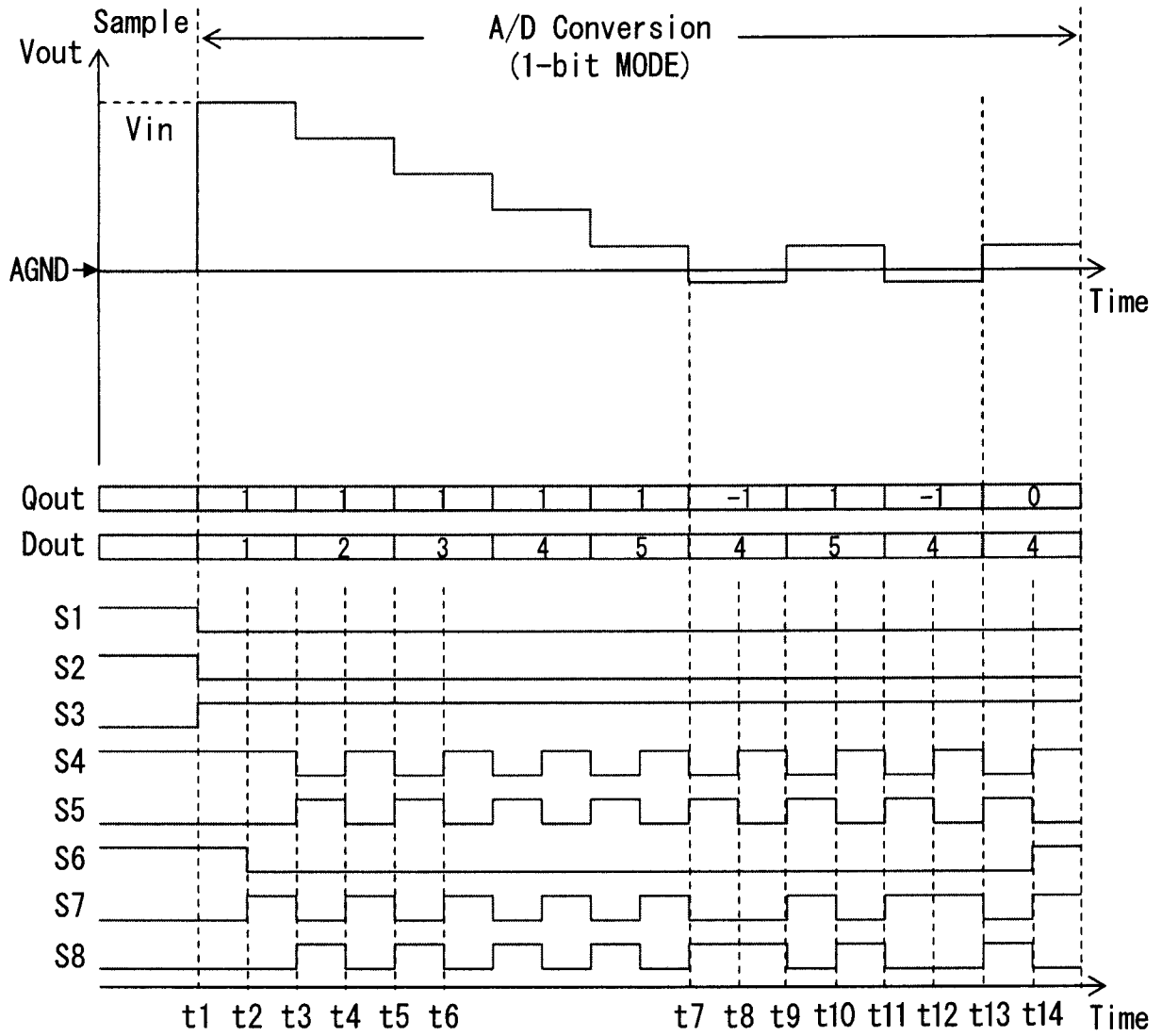
[図1]



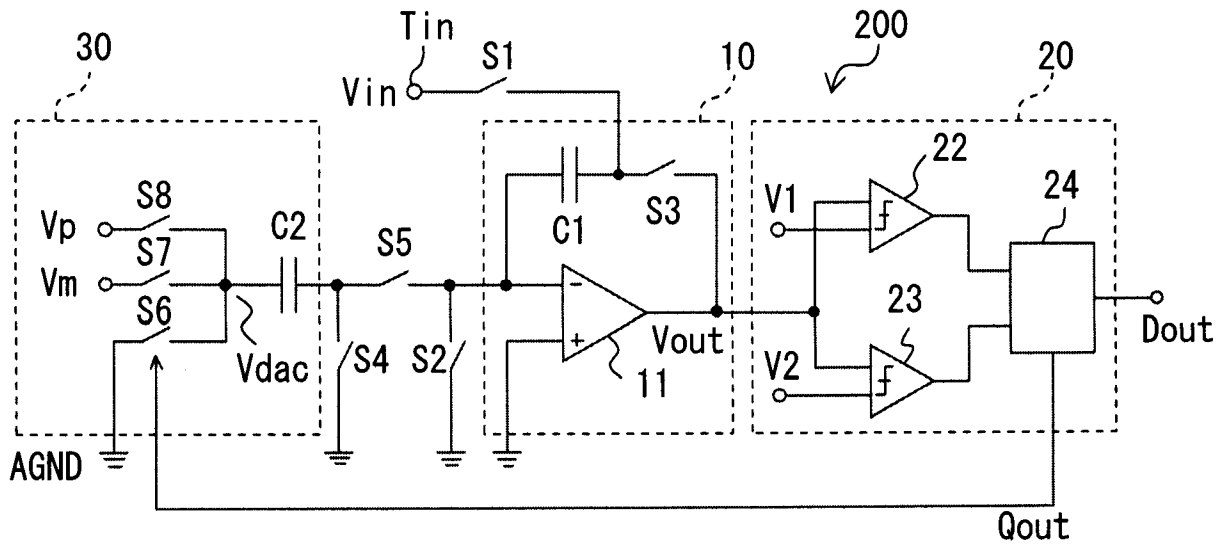
[図2]



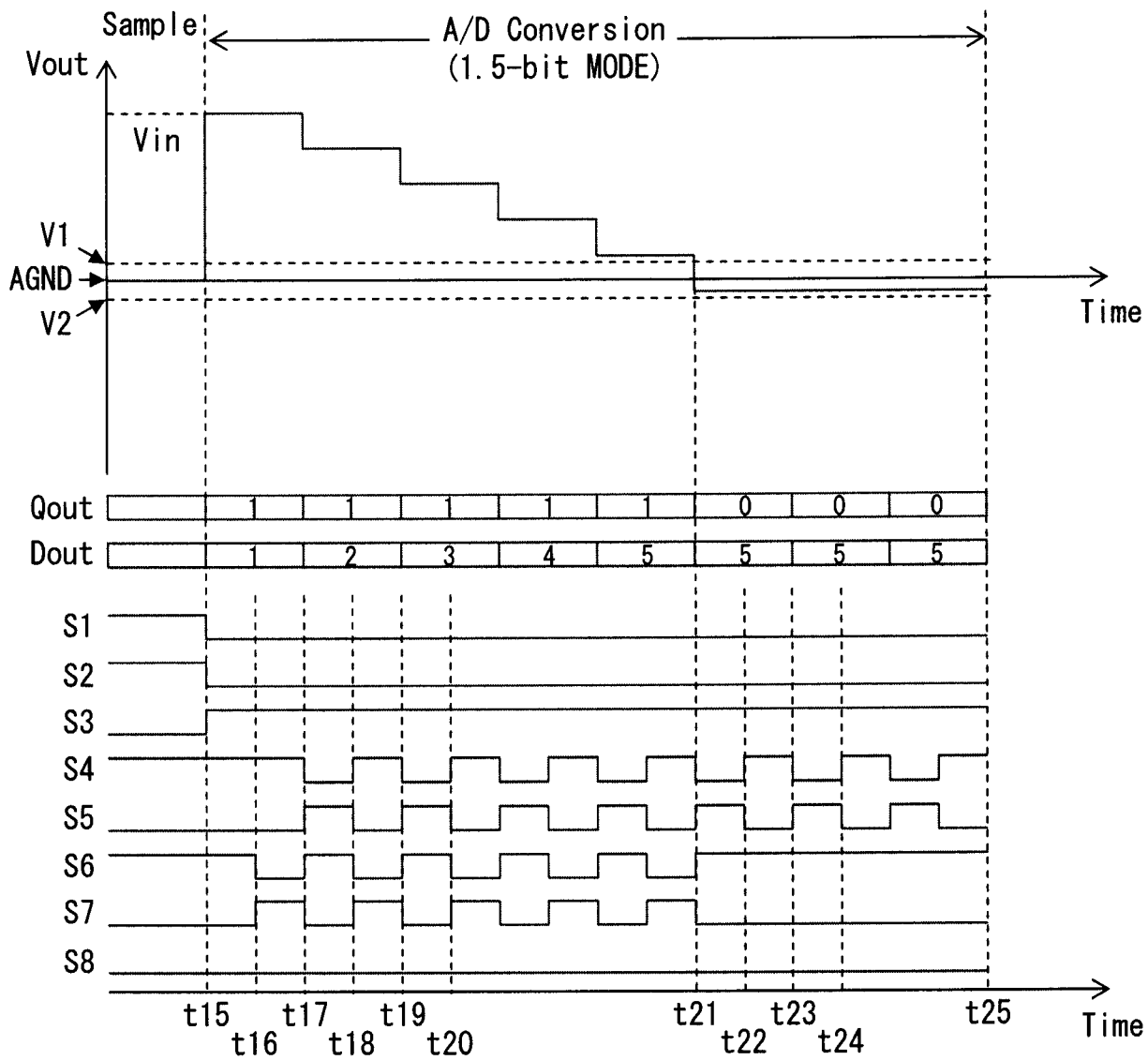
[図3]



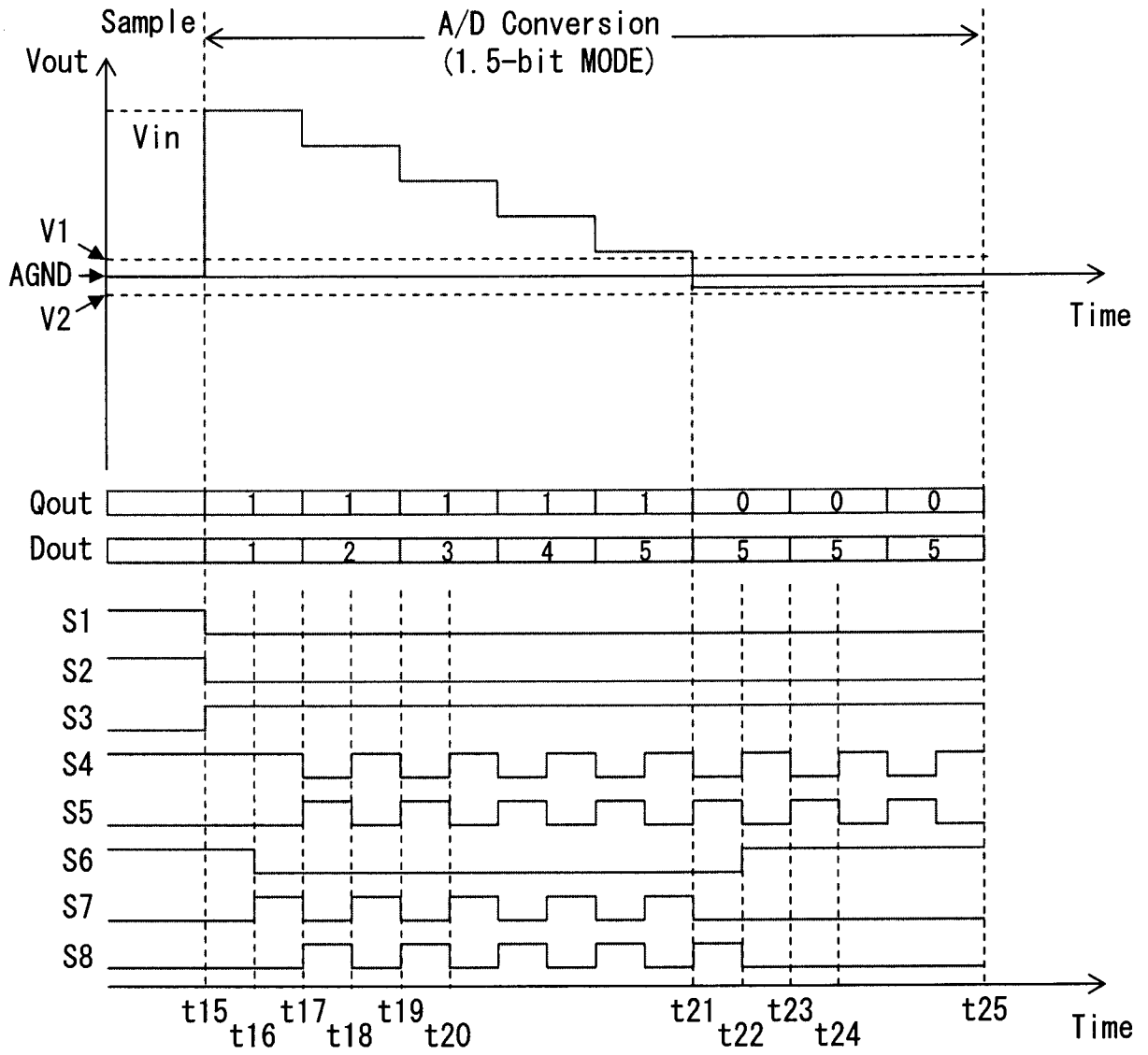
[図4]



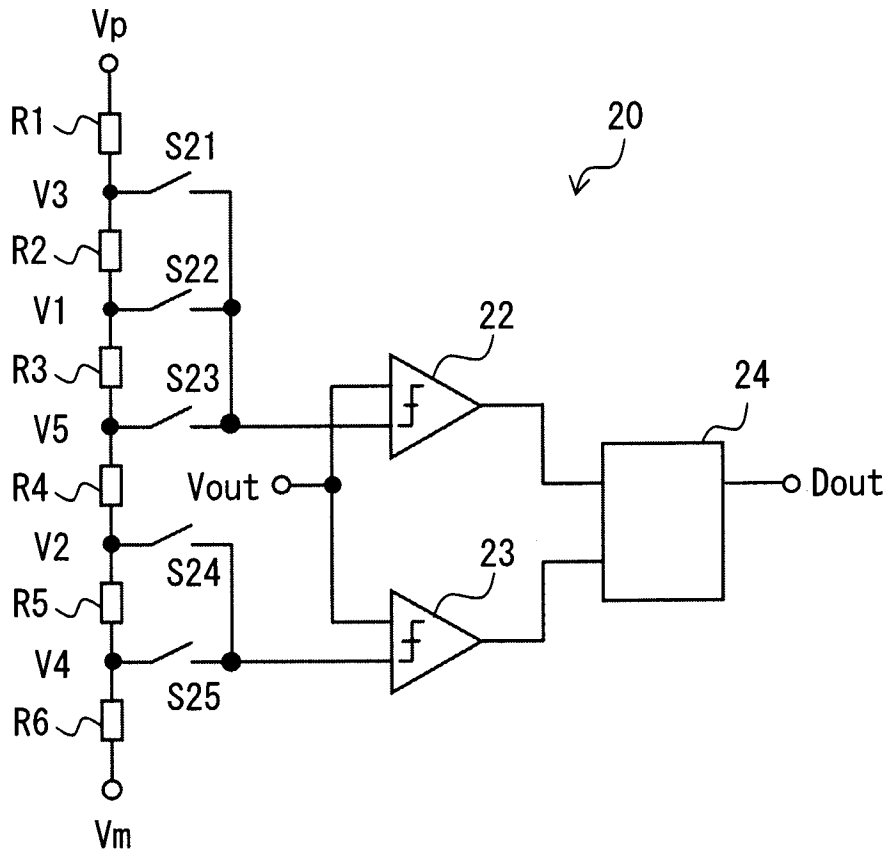
[図5]



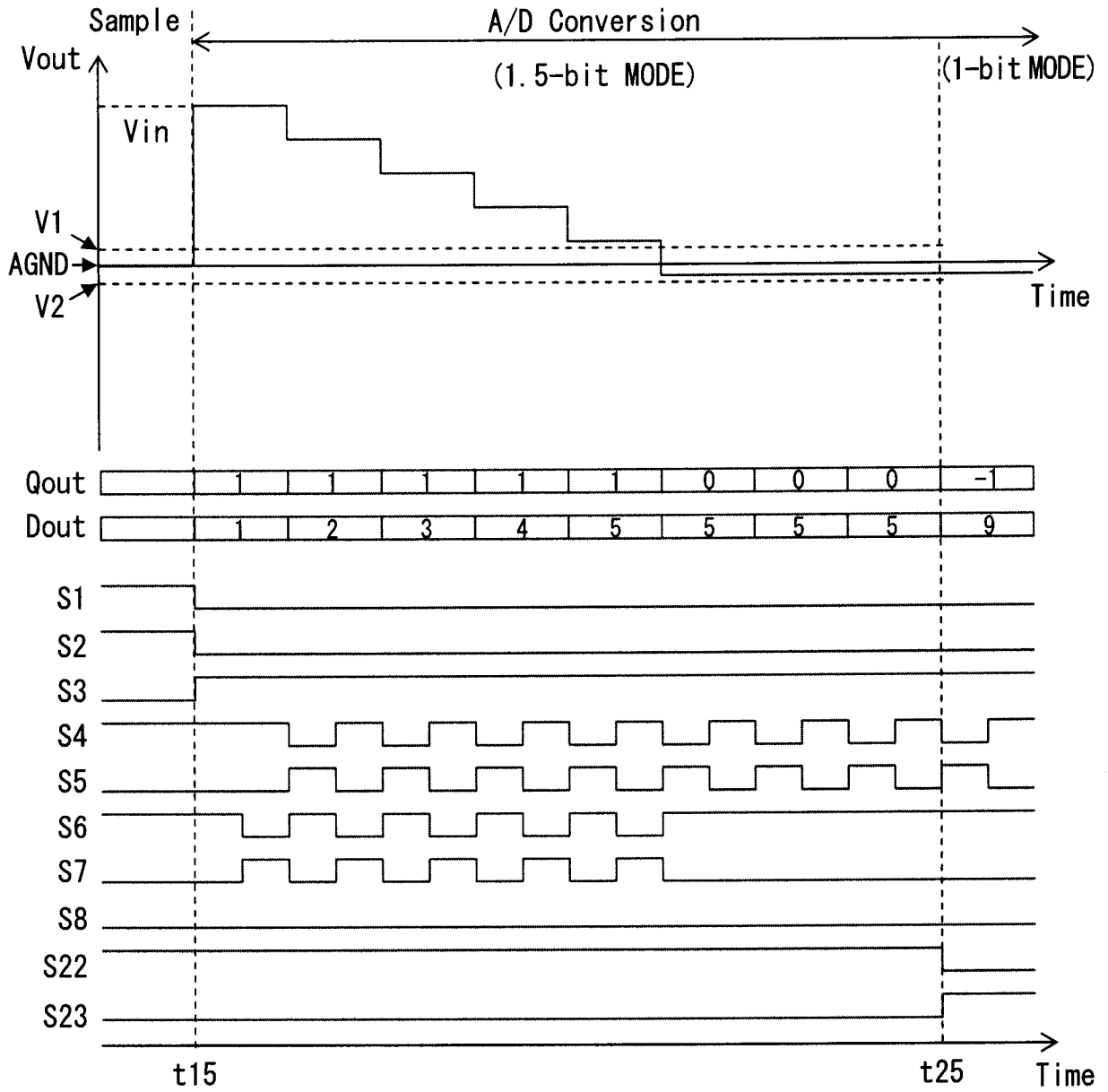
[図6]



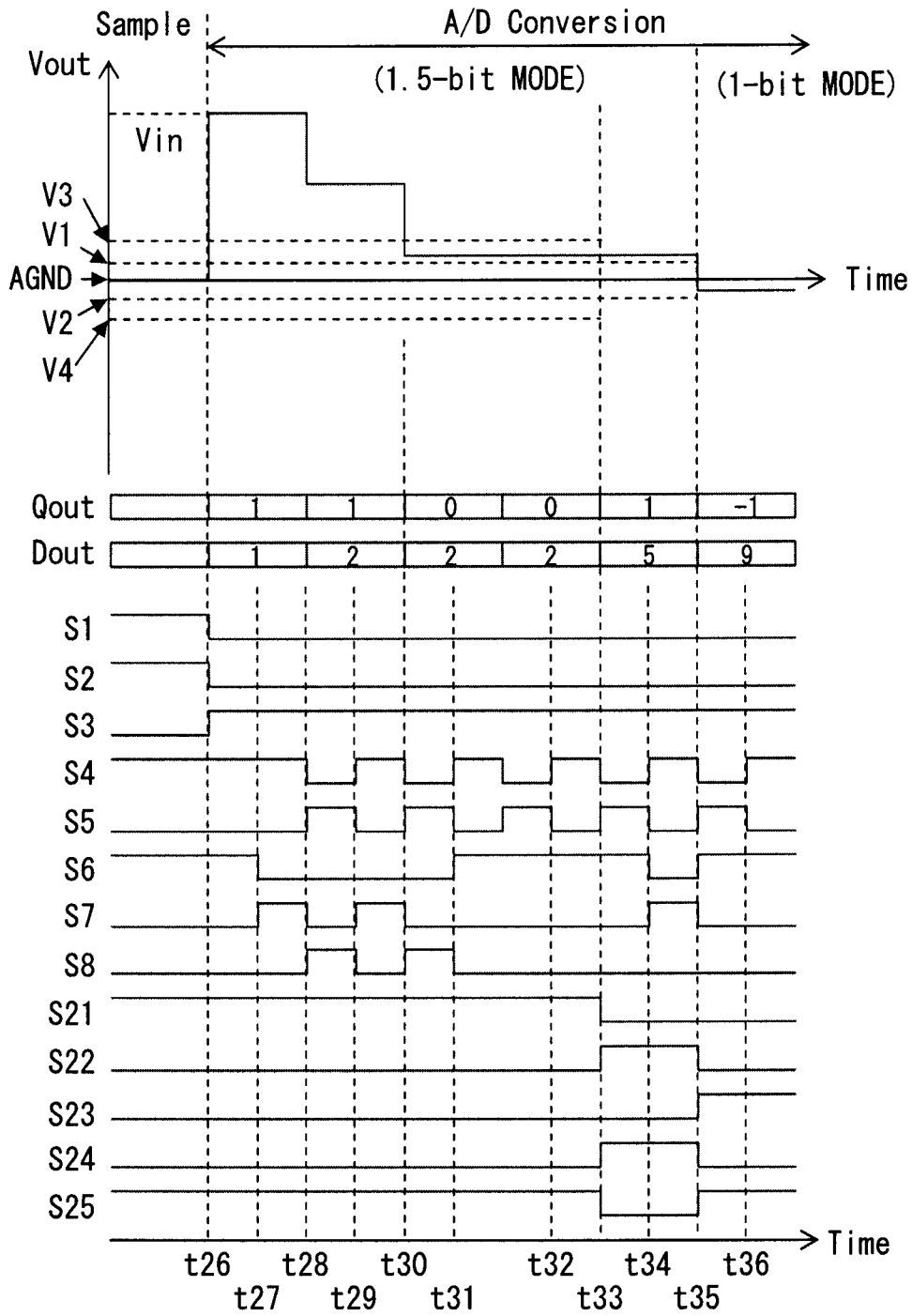
[図7]



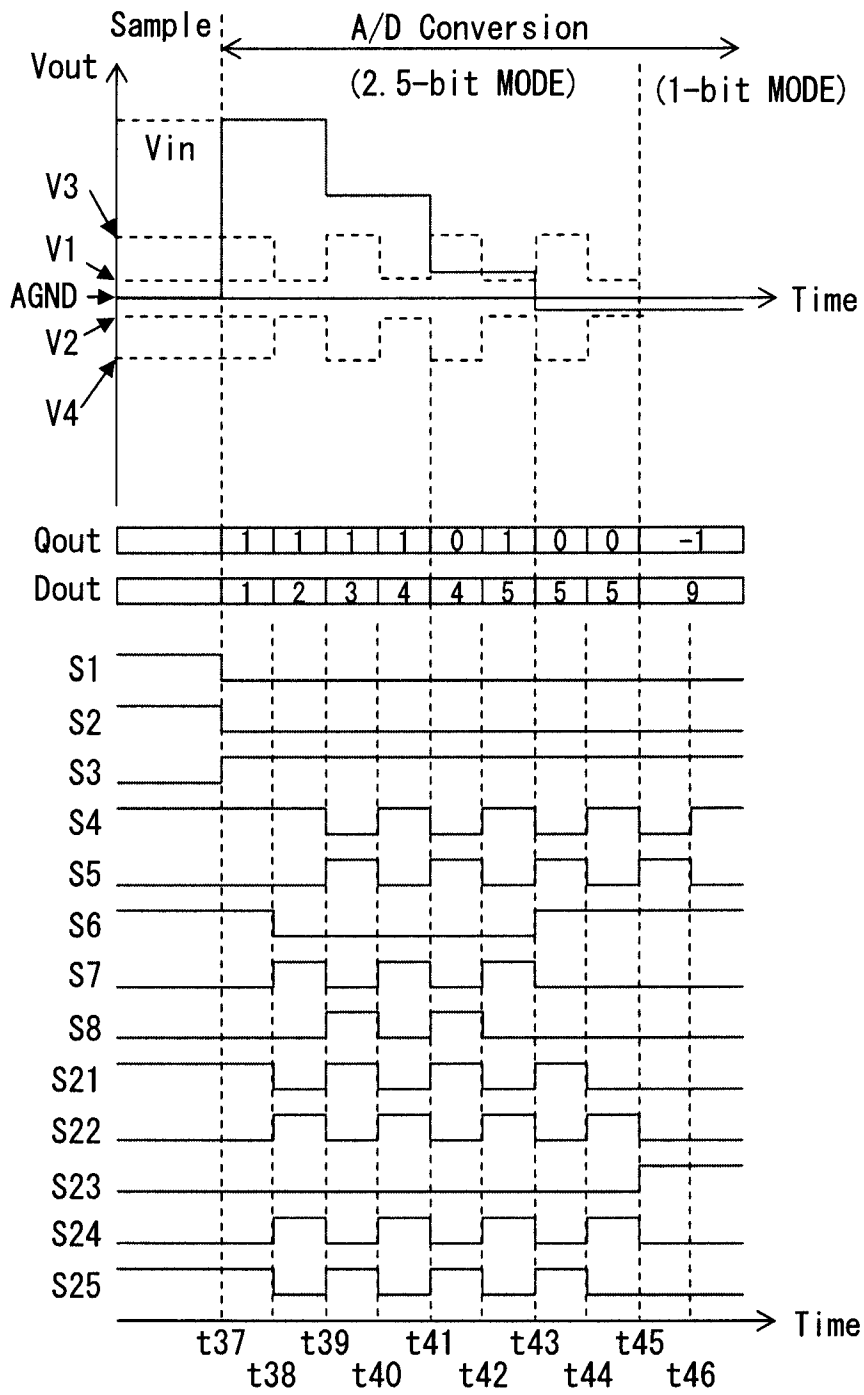
[図8]



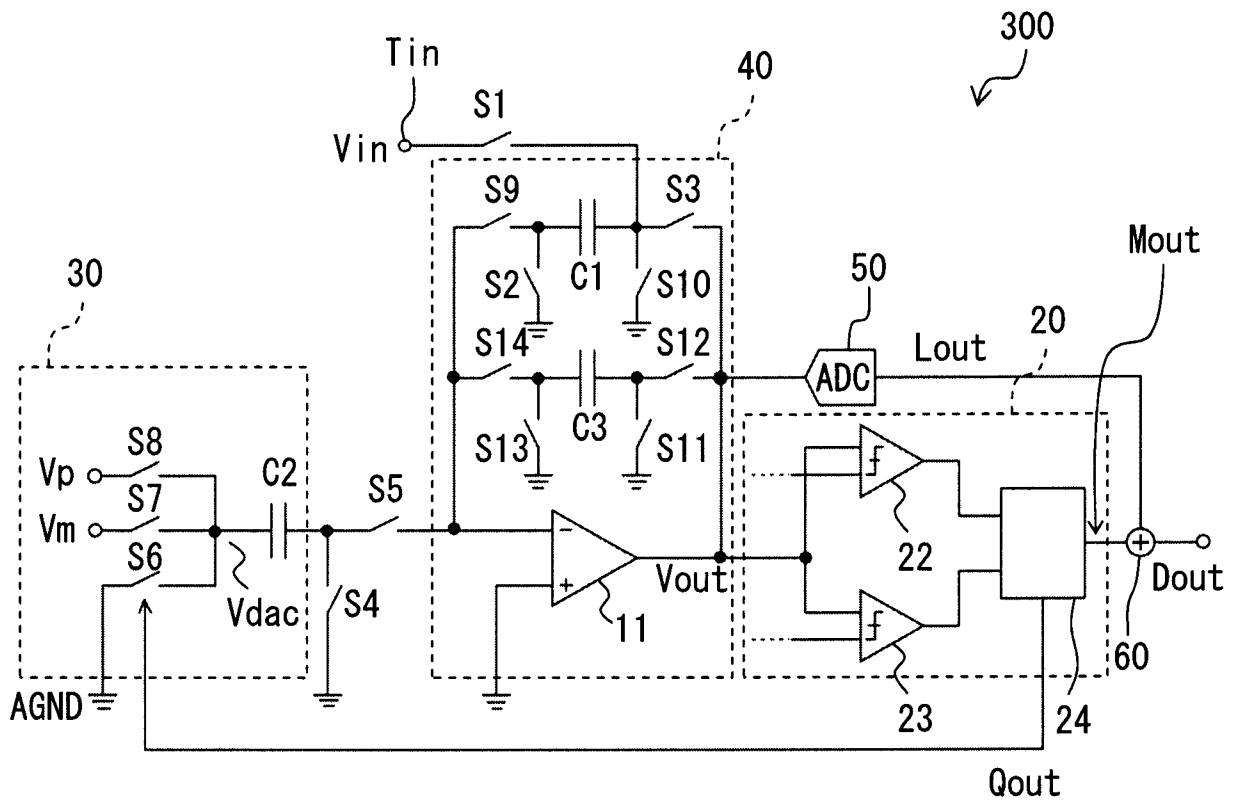
[図9]



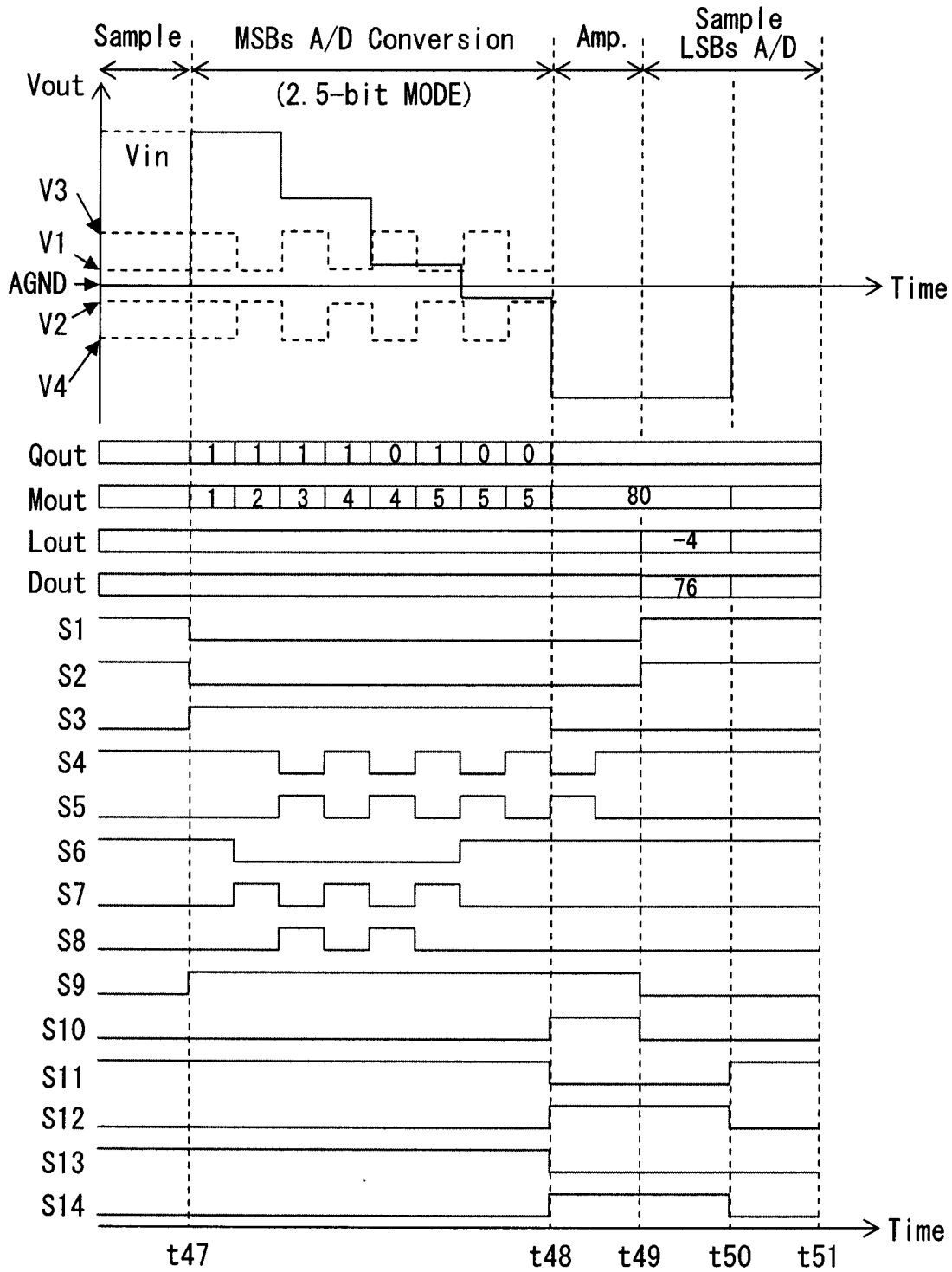
[図10]



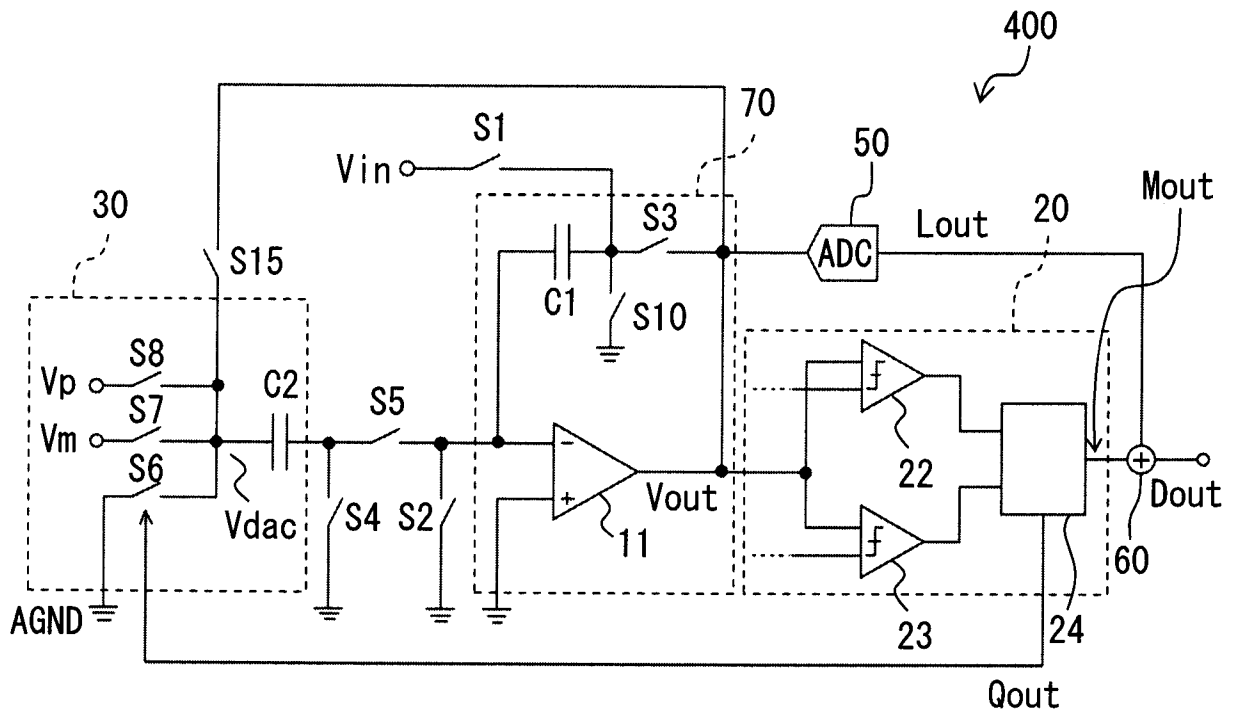
[図11]



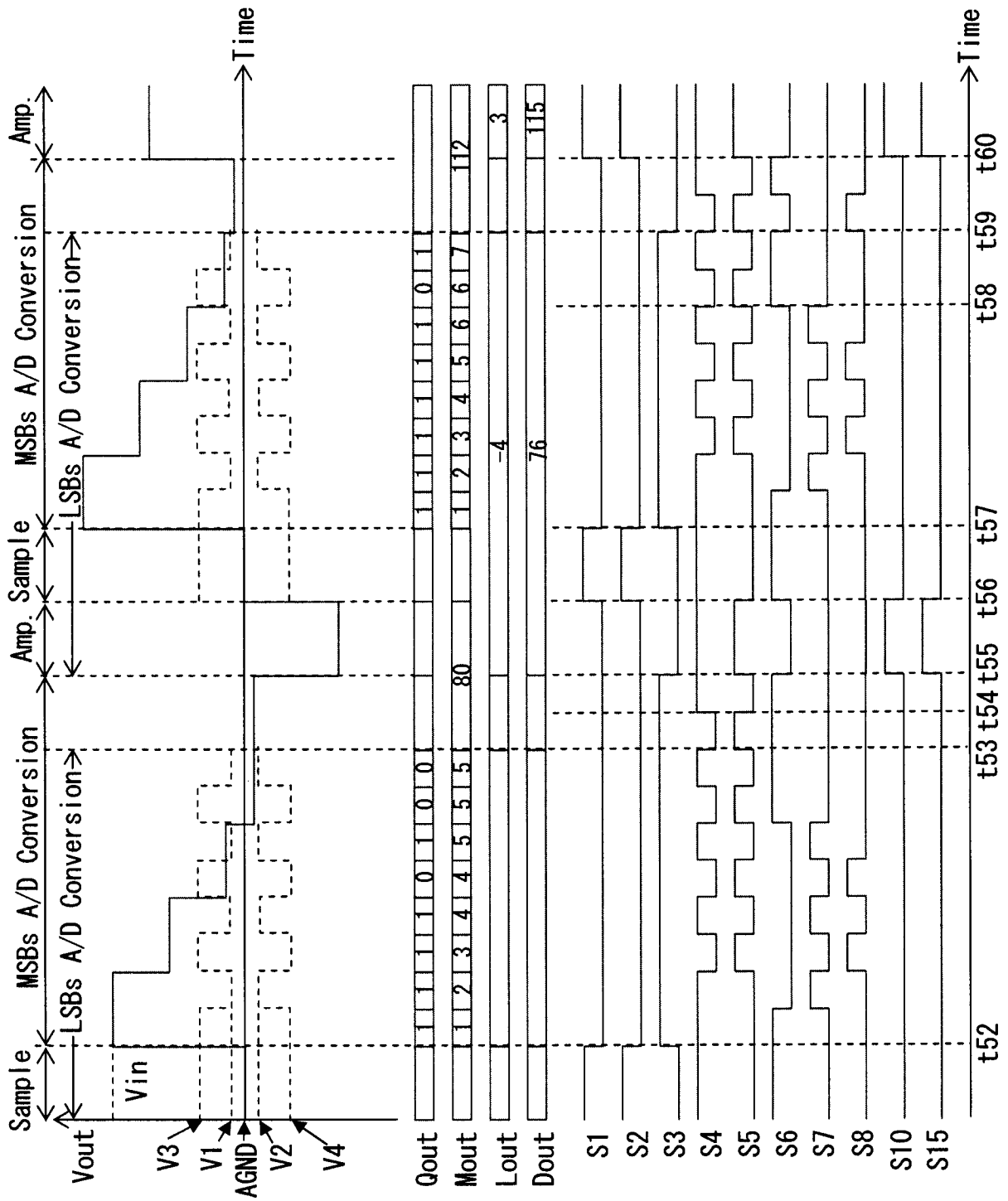
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/070760

A. CLASSIFICATION OF SUBJECT MATTER
H03M1/54 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M1/54

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 02-246622 A (Sony Corp.), 02 October 1990 (02.10.1990), page 3, lower right column, line 9 to page 7, upper right column, line 3; fig. 1 to 3 (Family: none)	1, 6, 11 2-5, 7-10, 12-16
Y A	JP 1-164121 A (Honeywell Inc.), 28 June 1989 (28.06.1989), page 11, lower right column, line 9 to page 13, upper left column, line 7; fig. 3A & US 4768019 A column 12, line 58 to column 14, line 55; fig. 3A	1, 6, 11 2-5, 7-10, 12-16

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 September 2016 (27.09.16)	Date of mailing of the international search report 04 October 2016 (04.10.16)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/070760

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 62-265820 A (Hitachi, Ltd.), 18 November 1987 (18.11.1987), page 2, lower right column, lines 3 to 8; fig. 1 (Family: none)	1, 6, 11 2-5, 7-10, 12-16
Y A	JP 05-218874 A (Hewlett-Packard Co.), 27 August 1993 (27.08.1993), paragraphs [0021] to [0035]; fig. 6 to 8 & US 5117227 A column 6, line 57 to column 8, line 47; fig. 6 to 8	11 12-16
A	JP 2009-177266 A (Linear Cell Design Co., Ltd.), 06 August 2009 (06.08.2009), paragraph [0003]; fig. 8 & US 2009/0185406 A1 paragraph [0003]; fig. 8A to 8B	1-16

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H03M1/54(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H03M1/54		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2016年 日本国実用新案登録公報 1996-2016年 日本国登録実用新案公報 1994-2016年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 02-246622 A（ソニー株式会社）1990.10.02, 第3頁右下欄第9行-第7頁右上欄第3行, 図1-3（ファミリーなし）	1, 6, 11 2-5, 7-10, 12-16
Y A	JP 1-164121 A（ハネウエル・インコーポレーテッド）1989.06.28, 第11頁右下欄第9行-第13頁左上欄第7行, 図3A & US 4768019 A, 第12欄第58行-第14欄第55行, 図3A	1, 6, 11 2-5, 7-10, 12-16
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 27.09.2016	国際調査報告の発送日 04.10.2016	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 緒方 寿彦 電話番号 03-3581-1101 内線 3576	5W 8321

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 62-265820 A (株式会社日立製作所) 1987. 11. 18, 第 2 頁右下欄第 3-8 行, 図 1 (ファミリーなし)	1, 6, 11 2-5, 7-10, 12-16
Y A	JP 05-218874 A (ヒューレット・パッカー・カンパニー) 1993. 08. 27, 段落[0021]-[0035], 図 6-8 & US 5117227 A, 第 6 欄第 57 行-第 8 欄第 47 行, 図 6-8	11 12-16
A	JP 2009-177266 A (有限会社リニアセル・デザイン) 2009. 08. 06, 段落[0003], 図 8 & US 2009/0185406 A1, 段落[0003], 図 8A-8B	1-16