

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5977523号  
(P5977523)

(45) 発行日 平成28年8月24日(2016.8.24)

(24) 登録日 平成28年7月29日(2016.7.29)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 T
	HO 1 L 29/78 6 1 8 C
	HO 1 L 29/78 6 1 7 T
	HO 1 L 29/78 6 1 2 D
請求項の数 4 (全 54 頁) 最終頁に続く	

(21) 出願番号	特願2012-1731 (P2012-1731)	(73) 特許権者	000153878
(22) 出願日	平成24年1月9日(2012.1.9)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-160717 (P2012-160717A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年8月23日(2012.8.23)	(72) 発明者	山崎 舜平
審査請求日	平成26年11月27日(2014.11.27)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-4418 (P2011-4418)		半導体エネルギー研究所内
(32) 優先日	平成23年1月12日(2011.1.12)		
(33) 優先権主張国	日本国(JP)	審査官	岩本 勉
		(56) 参考文献	特開2010-251732 (JP, A)
			)
			特開2010-212673 (JP, A)
			)
最終頁に続く			

(54) 【発明の名称】 トランジスタの作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上にゲート電極を形成し、  
前記ゲート電極上にゲート絶縁層を形成し、  
前記ゲート絶縁層上に酸化物半導体層を形成し、  
前記酸化物半導体層上にソース電極及びドレイン電極を形成し、  
前記ゲート電極、前記ソース電極及び前記ドレイン電極と重畳する位置にマスクを形成し、

前記マスクを使って前記酸化物半導体層をエッチングし、島状の酸化物半導体層を形成し、

前記島状の酸化物半導体層上に、絶縁層を形成するトランジスタの作製方法であって、  
前記ソース電極の外縁から、前記ドレイン電極の外縁に達する前記島状の酸化物半導体層の外縁の長さが、前記トランジスタのチャンネル長の3倍以上であることを特徴とするトランジスタの作製方法。

【請求項2】

基板上にゲート電極を形成し、  
前記ゲート電極上にゲート絶縁層を形成し、  
前記ゲート絶縁層上に酸化物半導体層を形成し、  
前記酸化物半導体層上にソース電極及びドレイン電極を形成し、  
前記ゲート電極、前記ソース電極及び前記ドレイン電極と重畳する位置にマスクを形成

し、

前記マスクを使って前記酸化物半導体層をエッチングし、島状の酸化物半導体層を形成

し、

前記島状の酸化物半導体層上に、絶縁層を形成するトランジスタの作製方法であって、

前記島状の酸化物半導体層の外縁は、前記ソース電極の外縁と重なる第1の部分と、前記ドレイン電極の外縁と重なる第2の部分と、前記ソース電極及び前記ドレイン電極のいずれの外縁とも重ならない第3の部分とを有し、

前記第3の部分の長さは、前記トランジスタのチャネル長の3倍以上であることを特徴とするトランジスタの作製方法。

【請求項3】

請求項1または請求項2のいずれか一項において、

前記島状の酸化物半導体層の側面は、酸素を含む絶縁層と接することを特徴とするトランジスタの作製方法。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記島状の酸化物半導体層は、非単結晶であることを特徴とするトランジスタの作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

トランジスタなどの半導体素子を含む回路を有する半導体装置、及びその作製方法に関する。例えば、電源回路に搭載されるパワーデバイス、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電気光学装置、発光素子を有する発光表示装置等を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

液晶表示装置に代表されるように、ガラス基板等に形成されるトランジスタの多くはアモルファスシリコン、多結晶シリコンなどによって構成されている。アモルファスシリコンを用いたトランジスタは電界効果移動度が低いものの、ガラス基板の面積化に対応することができる。また、多結晶シリコンを用いたトランジスタの電界効果移動度は高いがガラス基板の面積化には適していないという欠点を有している。

【0004】

シリコンを用いたトランジスタのほかに、近年は酸化物半導体を用いてトランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体として、酸化亜鉛、In-Ga-Zn系酸化物を用いてトランジスタを作製し、表示装置の画素のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

オフ電流の極めて小さい酸化物半導体層を用いた半導体装置を提供することを課題のひと

10

20

30

40

50

する。また、該半導体装置を適用することで、消費電力の極めて小さい半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0007】

本発明の一態様は、基板上にゲート電極を有し、ゲート電極上にゲート絶縁層を有し、ゲート絶縁層上に酸化物半導体層を有し、酸化物半導体層上にソース電極及びドレイン電極を有する半導体装置において、酸化物半導体層の外縁のうちソース電極の外縁からドレイン電極の外縁に達する部分の長さが、チャンネル長の3倍以上、好ましくは5倍以上であることを特徴とする。

【0008】

また、酸化物半導体層の側面が、酸素を含む絶縁層で覆われていることを特徴とする。

【0009】

また、酸化物半導体層は、少なくともIn、Ga、Sn及びZnから選ばれた一種以上の元素を含むことを特徴とする。

【0010】

また、酸化物半導体層は、非単結晶であることを特徴とする。

【0011】

また、本発明の一態様は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層形成後に熱処理を行い、熱処理後、酸化物半導体層上にソース電極及びドレイン電極を形成し、ソース電極及びドレイン電極形成後、酸化物半導体層を選択的にエッチングして島状の酸化物半導体層を形成し、島状の酸化物半導体層と、ソース電極と、ドレイン電極を覆って絶縁層を形成することを特徴とする。

【0012】

また、本発明の一態様は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層上に導電層を形成し、導電層形成後に熱処理を行い、熱処理後、導電層を選択的にエッチングしてソース電極及びドレイン電極を形成し、ソース電極及びドレイン電極形成後、酸化物半導体層を選択的にエッチングして島状の酸化物半導体層を形成し、島状の酸化物半導体層、ソース電極、およびドレイン電極を覆って絶縁層を形成することを特徴とする。

【0013】

ソース電極およびドレイン電極を覆う絶縁層の形成は、島状の酸化物半導体層の形成後、速やかに行うことが好ましい。また、ゲート絶縁層を化学量論比に対して酸素が過剰に含まれる材料で形成し、酸化物半導体層形成後に熱処理を行うことで、ゲート絶縁層から酸化物半導体層中へ酸素を供給する。

【0014】

熱処理は、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア(CRDS(キャピティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下で、150以上基板歪み点温度未満、好ましくは250以上450以下、更に好ましくは300以上450以下の温度で行う。

【0015】

前述の酸化物半導体層は、水素、アルカリ金属及びアルカリ土類金属などの濃度が低減され、極めて不純物濃度の低い酸化物半導体層である。そのため、前述の酸化物半導体層をチャンネル領域に用いたトランジスタはオフ電流を小さくできる。

【0016】

アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体層に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してNa<sup>+</sup>となる。また、Naは、酸化物半導体層内において、酸化物半導体を

10

20

30

40

50

構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、しきい値電圧がマイナス方向にシフトすることによるノーマリオン化、電界効果移動度の低下等の、トランジスタ特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタ特性の劣化と、特性のばらつきは、酸化物半導体層中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体層中の水素濃度が  $1 \times 10^{18} / \text{cm}^3$  以下、より好ましくは  $1 \times 10^{17} / \text{cm}^3$  以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法による Na 濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$  以下、好ましくは  $1 \times 10^{16} / \text{cm}^3$  以下、更に好ましくは  $1 \times 10^{15} / \text{cm}^3$  以下とするとよい。同様に、Li 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$  以下、好ましくは  $1 \times 10^{15} / \text{cm}^3$  以下とするとよい。同様に、K 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$  以下、好ましくは  $1 \times 10^{15} / \text{cm}^3$  以下とするとよい。

10

**【0017】**

以上に示した酸化物半導体層をトランジスタのチャネル領域に用いることで、トランジスタのオフ電流を小さくできる。

**【0018】**

ここで、トランジスタのオフ電流の低減に関連し、島状の酸化物半導体層の側面を介して流れる電流について説明する。

**【0019】**

酸化物半導体層を選択的にエッチングするとき、例えばドライエッチングにおいて酸化物半導体層の側面が塩素ラジカル、フッ素ラジカル等を含むプラズマに曝されると、酸化物半導体層の側面に露出する金属原子と、塩素ラジカル、フッ素ラジカル等とが結合する。このとき、金属原子と塩素原子、フッ素原子が結合して脱離するため、酸化物半導体層中に当該金属原子と結合していた酸素原子が活性となる。活性となった酸素原子は容易に反応し、脱離しやすい。そのため、酸化物半導体層の側面には酸素欠損が生じやすい。

20

**【0020】**

特に、減圧雰囲気または還元雰囲気において、酸素が引き抜かれ、酸化物半導体層の側面に酸素欠損が生じやすくなる。また、加熱された雰囲気でも酸素欠損が生じやすくなる。

**【0021】**

酸化物半導体において、酸素欠損はドナーとなりキャリアを発生させる。即ち、酸素欠損が生じることで酸化物半導体層の側面が n 型化し、酸化物半導体層の側面に意図しない電流（漏れ電流）が流れてしまう。酸化物半導体層の側面を流れる電流は、トランジスタのオフ電流を増加させてしまう。

30

**【0022】**

酸化物半導体層の側面を、酸素を含む絶縁層で覆うことで、酸化物半導体層の側面を流れる電流を低減することができる。

**【0023】**

または、酸化物半導体層の側面は電流が流れやすいため、ソース電極及びドレイン電極とできるだけ接しない構造とすることが好ましい。例えば、ソース電極及びドレイン電極を、酸化物半導体層上に、酸化物半導体層の外縁よりも内側に設けることで、酸化物半導体層の側面とソース電極及びドレイン電極とを電氣的に接続させないようにすることができる。

40

**【発明の効果】****【0024】**

酸化物半導体層を用いたオフ電流の極めて小さい半導体装置を提供することができる。また、該半導体装置を適用することで、消費電力の極めて小さい半導体装置を提供することができる。

**【図面の簡単な説明】****【0025】**

【図1】本発明の一態様を説明する上面図及び断面図。

50

- 【図 2】本発明の一態様を説明する上面図及び断面図。
- 【図 3】本発明の一態様を説明する上面図及び断面図。
- 【図 4】本発明の一態様を説明する上面図及び断面図。
- 【図 5】本発明の一態様を説明する断面図。
- 【図 6】本発明の一態様を説明する断面図。
- 【図 7】本発明の一態様を説明する上面図。
- 【図 8】本発明の一態様を説明する上面図。
- 【図 9】本発明の一態様を説明する断面図。
- 【図 10】本発明の一態様を説明する上面図及び断面図。
- 【図 11】本発明の一態様を説明する断面図。 10
- 【図 12】液晶表示装置を説明する断面図。
- 【図 13】液晶表示装置を説明する断面図。
- 【図 14】液晶表示装置を説明する断面図。
- 【図 15】液晶表示装置の画素構造を説明する上面図及び断面図。
- 【図 16】液晶表示装置の画素構造を説明する上面図。
- 【図 17】液晶表示装置の画素構造を説明する上面図。
- 【図 18】半導体装置を説明する上面図及び回路図。
- 【図 19】本発明の一態様を説明する回路図。
- 【図 20】本発明の一態様を説明する回路図。
- 【図 21】本発明の一態様を説明する回路図。 20
- 【図 22】本発明の一態様を説明する回路図。
- 【図 23】CPUの具体例を示すブロック図及びその一部の回路図。
- 【図 24】電子機器の一例を説明する図。
- 【図 25】計算に用いたモデルを説明する図。
- 【図 26】計算に用いたモデルを説明する図。
- 【発明を実施するための形態】
- 【0026】
- 本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。
- 【0027】
- また、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。
- 【0028】
- また、本明細書にて用いる第 1、第 2、第 3 などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。
- 【0029】
- トランジスタは半導体装置の一形態であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。
- 【0030】
- また、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることが 50

ある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0031】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0032】

(実施の形態1)

本実施の形態では、酸化物半導体をチャンネルが形成される半導体層に用いたトランジスタ及びその作製方法について、図1乃至図8を用いて説明する。

10

【0033】

図1(A)は、半導体装置の一形態であるトランジスタ150の構成を説明する上面図である。また、図1(B)は、図1(A)にA1-A2の鎖線で示した部位の積層構造を説明する断面図である。また、図1(C)は、図1(A)にB1-B2の鎖線で示した部位の積層構造を説明する断面図である。なお、図1(A)において、基板及び絶縁層の記載は省略している。

【0034】

図1に示すトランジスタ150は、基板101上に形成された下地層102を有し、下地層102上に形成されたゲート電極103を有している。また、ゲート電極103上に形成されたゲート絶縁層104を有し、ゲート絶縁層104上に形成された島状の酸化物半導体層105を有している。また、酸化物半導体層105上に形成されたソース電極106a及びドレイン電極106bを有している。また、酸化物半導体層105の一部に接し、ソース電極106a及びドレイン電極106b上に形成された絶縁層107を有している。また、絶縁層107上に保護絶縁層108が形成されている。

20

【0035】

トランジスタ150のチャンネル長Lは、酸化物半導体層105に接して向かい合うソース電極106aと、ドレイン電極106bの距離により決定される。なお、チャンネル長Lは、酸化物半導体層105に接するソース電極106aとドレイン電極106bの最短距離とすることもできる。

30

【0036】

図2(A)は、半導体装置の一形態であるトランジスタ160の構成を説明する上面図である。また、図2(B)は、図2(A)にC1-C2の鎖線で示した部位の積層構造を説明する断面図である。また、図2(C)は、図2(A)にD1-D2の鎖線で示した部位の積層構造を説明する断面図である。なお、図2(A)において、基板及び絶縁層の記載は省略している。

【0037】

トランジスタ160は、トランジスタ150と同様の積層構成を有しているが、トランジスタ150とは異なる形状のソース電極106a及びドレイン電極106bを有している。トランジスタ160では、U字型(C字型、コの字型、または馬蹄型)のソース電極106aで、ドレイン電極106bを囲む形状としている。このような形状とすることで、トランジスタの占有面積が小さくても、十分なチャンネル幅を確保することが可能となり、トランジスタの導通時に流れる電流(オン電流ともいう)の量を増やすことが可能となる。

40

【0038】

また、一般に、チャンネル幅を大きくすると、ゲート電極103とソース電極106a間、及びゲート電極103とドレイン電極106b間に生じる寄生容量も大きくなるが、U字型のソース電極106aで、ドレイン電極106bを囲む形状とすることで、特にゲート電極103とドレイン電極106b間に生じる寄生容量の増加を抑えることが可能となる。

50

## 【0039】

例えば、アクティブマトリクス型液晶表示装置の画素トランジスタでは、画素電極と電氣的に接続するドレイン電極とゲート電極の間に生じる寄生容量が大きいとフィードスルーの影響を受けやすくなるため、画素に供給された電位（映像情報）が正確に保持できず、表示品位が低下する要因となる。本実施の形態に開示するトランジスタ160をアクティブマトリクス型液晶表示装置の画素トランジスタに用いると、十分なチャネル幅を確保しつつ、ドレイン電極106bとゲート電極103間に生じる寄生容量を小さくすることができるため、表示装置の表示品位を向上させることが可能となる。

## 【0040】

図3(A)は、半導体装置の一形態であるトランジスタ170の構成を説明する上面図である。また、図3(B)は、図3(A)にE1-E2の鎖線で示した部位の積層構造を説明する断面図である。また、図3(C)は、図3(A)にF1-F2の鎖線で示した部位の積層構造を説明する断面図である。なお、図3(A)において、基板及び絶縁層の記載は省略している。

10

## 【0041】

トランジスタ170は、図1を用いて説明したトランジスタ150にチャネル保護層109を付加した構成を有している。チャネル保護層109は、酸化物半導体層105上に形成されている。トランジスタ170のチャネル長Lは、チャネル保護層109の幅、すなわち、キャリアが流れる方向と平行な方向の、チャネル保護層109の長さにより決定される。

20

## 【0042】

チャネル保護層109を設けることにより、トランジスタ150と比べて作製工程が増加してしまいが、その後の作製工程においてバックチャネル側に生じる酸素欠損の増加を抑えることができる。このため、その後の作製工程における条件設定が容易となり、生産性が良く、信頼性の良い半導体装置を実現することができる。なお、本明細書におけるバックチャネルとは、酸化物半導体におけるゲート絶縁層と反対側の界面近傍を指す。

## 【0043】

図4(A)は、半導体装置の一形態であるトランジスタ180の構成を説明する上面図である。また、図4(B)は、図4(A)にG1-G2の鎖線で示した部位の積層構造を説明する断面図である。また、図4(C)は、図4(A)にH1-H2の鎖線で示した部位の積層構造を説明する断面図である。なお、図4(A)において、基板及び絶縁層の記載は省略している。

30

## 【0044】

図4に示すトランジスタ180は、基板101上に形成された下地層102を有し、下地層102上に形成されたゲート電極103を有している。また、ゲート電極103上に形成されたゲート絶縁層104を有し、ゲート絶縁層104上に形成された島状の酸化物半導体層105を有している。また、酸化物半導体層105上に形成されたソース電極106a及びドレイン電極106bを有している。トランジスタ180のソース電極106a及びドレイン電極106bは、ソース領域110a及びドレイン領域110bを介して酸化物半導体層105と電氣的に接続している。また、酸化物半導体層105の一部に接し、ソース電極106a及びドレイン電極106b上に形成された絶縁層107を有している。また、絶縁層107上に保護絶縁層108が形成されている。

40

## 【0045】

ソース領域110a及びドレイン領域110bは、インジウム酸化物、スズ酸化物、亜鉛酸化物、インジウム錫酸化物（ITOと略記する）、インジウム亜鉛酸化物などの導電性の金属酸化物を用いて1nm以上100nm以下、好ましくは5nm以上50nm以下の厚さで形成すればよい。

## 【0046】

また、ソース領域110a及びドレイン領域110bは、窒素を含むインジウムガリウム亜鉛酸化物（In-Ga-Zn-O）や、窒素を含むインジウム錫酸化物（In-Sn-

50

O) や、窒素を含むインジウムガリウム酸化物 ( $In-Ga-O$ ) や、窒素を含むインジウム亜鉛酸化物 ( $In-Zn-O$ ) や、窒素を含む酸化錫 ( $Sn-O$ ) や、窒素を含むインジウム酸化物 ( $In-O$ ) や、金属窒化物 ( $InN$ 、 $ZnN$  など) を用いて形成してもよい。また、1枚乃至10枚のグラフェンシート(グラファイトの1層分)よりなる材料を用いて形成してもよい。

【0047】

また、ソース領域110a及びドレイン領域110bを形成するための上記材料のエッチングは、ソース電極106a及びドレイン電極106b形成後に、ソース電極106a及びドレイン電極106bをマスクとして用いることで行うことができる。また、エッチング条件によっては、ソース電極106a及びドレイン電極106bを形成するためのエッチングと、ソース領域110a及びドレイン領域110bを形成するためのエッチングを、同一工程で行うことができる。

10

【0048】

ソース電極106a及びドレイン電極106bと、酸化物半導体層105の間に、ソース領域110a及びドレイン領域110bを設けることで、ソース電極106a及びドレイン電極106bと、酸化物半導体層105の接触抵抗を低減することが可能となる。

【0049】

また、トランジスタ180のチャンネル長Lは、酸化物半導体層105に接して向かい合うソース領域110aと、ドレイン領域110bの距離により決定される。なお、チャンネル長Lは、酸化物半導体層105に接するソース領域110aとドレイン領域110bの最短距離と言うこともできる。

20

【0050】

なお、トランジスタ150、トランジスタ160、トランジスタ170、及びトランジスタ180は、ボトムゲート構造のトランジスタの一形態であり、逆スタガ型トランジスタとも言われる。また、トランジスタ150、トランジスタ160、及びトランジスタ180は、チャンネルエッチ型トランジスタとも言われ、トランジスタ170は、チャンネル保護型(チャンネルストップ型)トランジスタとも言われる。

【0051】

本実施の形態に開示する島状の酸化物半導体層105には、電子供与体(ドナー)となる水分または水素などの不純物が低減されて高純度化された酸化物半導体(purified OS)を用いる。高純度化された酸化物半導体は、その後、酸化物半導体に酸素を供給して、酸化物半導体内の酸素欠損を低減することによりi型(真性半導体)又はi型に限りなく近い(実質的にi型化した)酸化物半導体とすることができる。チャンネルが形成される半導体層にi型または実質的にi型化された酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。

30

【0052】

具体的には、酸化物半導体中の水素濃度を、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)による測定値で、 $5 \times 10^{18} / \text{cm}^3$ 未滿、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下とする。また、ホール効果測定により測定できるi型または実質的にi型化された高純度化された酸化物半導体のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$ 未滿、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未滿、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未滿である。また、酸化物半導体のバンドギャップは、2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。チャンネルが形成される半導体層に、i型または実質的にi型化された酸化物半導体を用いることにより、トランジスタのオフ電流を下げるることができる。

40

【0053】

ここで、酸化物半導体中の、水素濃度のSIMS分析について触れておく。SIMS分析は、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分

50



布をSIMSで分析する場合、対象となる膜が存在する範囲において、値に極端な変動が無く、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の最大値または最小値を、当該膜中の水素濃度として採用する。さらに、当該膜が存在する領域において、最大値を有する山型のピーク、最小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

#### 【0054】

また、酸化物半導体に含まれる酸素が脱離し酸素欠損が生じると、酸素欠損に起因してキャリアが生じる場合がある。酸化物半導体中に酸素欠損が生じると、キャリアとして電子が生じ、酸化物半導体がn型化されやすい。酸化物半導体に含まれる酸素の脱離は、島状に形成された酸化物半導体の側面で生じ易いため、酸化物半導体の側面はn型化されやすい。

10

#### 【0055】

ソース電極106aとドレイン電極106bが、n型化された酸化物半導体の側面を介して電氣的に接続すると、トランジスタの動作に関わらず、意図しない電流が(漏れ電流)生じてしまう。漏れ電流の増加は、トランジスタのオフ電流を増加させ、半導体装置の消費電力増大の一因となるため、好ましくない。このため、酸化物半導体層の外縁のうちソース電極106aの外縁からドレイン電極106bの外縁に達する部分の長さを、極力長くすることが好ましい。具体的には、酸化物半導体層の外縁のうちソース電極106aの外縁からドレイン電極106bの外縁に達する部分の長さ $L_s$ を、チャンネル長 $L$ の3倍以上、好ましくは5倍以上とする(図1(A)、図2(A)、図3(A)、図4(A)参照)。

20

#### 【0056】

次に、図1に示すトランジスタ150の作製方法について、図5乃至図8を用いて説明する。なお、図5及び図6は、トランジスタ150の作製方法を説明する断面図であり、図1(A)のA1-A2及びB1-B2の鎖線で示した部位の断面に相当する。

#### 【0057】

また、図7及び図8は、トランジスタ150の作製方法を説明する平面図であり、同図中のA1-A2及びB1-B2の鎖線で示した部位は、図5及び図6の断面図と対応している。なお、図7及び図8において、基板及び絶縁層の記載は省略している。

30

#### 【0058】

まず、基板101上に下地層102を50nm以上300nm以下、好ましくは100nm以上200nm以下の厚さで形成する。基板101は、ガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる程度の耐熱性を有するプラスチック基板等を用いることができる。また、基板に透光性を要しない場合には、ステンレス合金等の金属の基板の表面に絶縁層を設けたものを用いてもよい。ガラス基板としては、例えば、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。他に、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板101として用いてもよい。

40

#### 【0059】

下地層102は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、窒化シリコン、酸化シリコン、窒化酸化シリコンまたは酸化窒化シリコンから選ばれた材料を、単層でまたは積層して形成することができ、基板101からの不純物元素の拡散を防止する機能を有する。なお、本明細書中において、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多いものであって、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多いものを示す。なお、各元素の含有量は、例えば、ラザフォード後方散乱法(RBS: Rutherford Backscatteri

50

ng Spectrometry)等を用いて測定することができる。

【0060】

下地層102の形成には、スパッタリング法、CVD法、塗布法、印刷法等を適宜用いることができる。本実施の形態では、下地層102として、窒化シリコンと酸化シリコンの積層を用いる。具体的には、基板101上に窒化シリコンを50nmの厚さで形成し、該窒化シリコン上に酸化シリコンを150nmの厚さで形成する。なお、下地層102中にリン(P)や硼素(B)がドーブされていても良い。

【0061】

また、下地層102に、塩素、フッ素などのハロゲン元素を含ませることで、基板101からの不純物元素の拡散を防止する機能をさらに高めることができる。下地層102に含ませるハロゲン元素の濃度は、SIMS(二次イオン質量分析計)を用いた分析により得られる濃度ピークにおいて、 $1 \times 10^{15} / \text{cm}^3$ 以上 $1 \times 10^{20} / \text{cm}^3$ 以下とすればよい。

10

【0062】

次に、下地層102上に、スパッタリング法、真空蒸着法、またはメッキ法を用いて導電層を形成し、該導電層上にマスクを形成し、該導電層を選択的にエッチングしてゲート電極103を形成する。導電層上に形成するマスクの形成には印刷法、インクジェット法、フォトリソグラフィ法を適宜用いることができる。

【0063】

ゲート電極103を形成する材料としては、アルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジウム(Nd)、スカンジウム(Sc)から選ばれた金属元素、上述した金属元素を成分とする合金、上述した金属元素を組み合わせた合金、上述した金属元素の窒化物などを用いて形成することができる。また、マンガン(Mn)、マグネシウム(Mg)、ジルコニウム(Zr)、ベリリウム(Be)のいずれか一または複数から選択された金属元素を用いてもよい。

20

【0064】

また、ゲート電極103は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウムを用いた単層構造、アルミニウム上にチタンを積層する二層構造、窒化チタン上にチタンを積層する二層構造、窒化チタン上にタングステンを積層する二層構造、窒化タンタル上にタングステンを積層する二層構造、Cu-Mg-Al合金上にCuを積層する二層構造、チタンと、そのチタン上にアルミニウムを積層し、さらにその上にチタンを形成する三層構造などがある。

30

【0065】

また、ゲート電極103は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0066】

また、ゲート電極103と酸化物半導体層105に重畳し、かつ、ゲート電極103とゲート絶縁層104に接して、窒素を含むインジウムガリウム亜鉛酸化物や、窒素を含むインジウム錫酸化物や、窒素を含むインジウムガリウム酸化物や、窒素を含むインジウム亜鉛酸化物や、窒素を含む酸化錫や、窒素を含むインジウム酸化物や、金属窒化物(InN、ZnNなど)を形成してもよい。

40

【0067】

これらの材料は5eV、好ましくは5.5eV以上の仕事関数を有し、ゲート絶縁層104を介して酸化物半導体層105と重畳させることで、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。例えば、窒素を含むIn-Ga-Zn-Oを用いる場合、少なくとも酸化物半導体層1

50

05より高い窒素濃度、具体的には窒素濃度が7原子%以上のIn-Ga-Zn-Oを用いる。

【0068】

本実施の形態では、ゲート電極103として、窒化チタン上にタンゲステンを積層する二層構造を用いる(図5(A)、図7(A)参照)。なお、形成されたゲート電極103の端部をテーパ形状とすると、後に形成される層の被覆性が向上するため好ましい。

【0069】

次に、ゲート電極103上にゲート絶縁層104を形成する。ゲート絶縁層104は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化タンタル、または酸化ランタンから選ばれた材料を、単層でまたは積層して形成することができる。

10

【0070】

また、ゲート絶縁層104として、ハフニウムシリケート( $HfSiO_x$ )、窒素が添加されたハフニウムシリケート( $HfSi_xO_yN_z$ )、窒素が添加されたハフニウムアルミネート( $HfAl_xO_yN_z$ )、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を用いることで、実質的な(例えば、酸化シリコン換算の)ゲート絶縁膜の厚さを変えないまま、物理的なゲート絶縁膜を厚くすることにより、ゲートリークを低減できる。さらには、high-k材料と、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、及び酸化ガリウムのいずれか一以上との積層構造とすることができる。ゲート絶縁層104の厚さは、1nm以上300nm以下、より好ましくは5nm以上50nm以下とするとよい。

20

【0071】

ゲート絶縁層104は、スパッタリング法、CVD法等により形成する。また、ゲート絶縁層104は単層に限らず異なる層の積層でも良い。ゲート絶縁層104の形成は、スパッタリング法やプラズマCVD法などの他、 $\mu$ 波(例えば周波数2.45GHz)を用いた高密度プラズマCVD法などの成膜方法を適用することができる。

【0072】

また、ゲート絶縁層104は、加熱により酸素放出される材料を用いることが好ましい。「加熱により酸素放出される」とは、TDS(Thermal Desorption Spectroscopy: 昇温脱離ガス分光法)分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18}$  atoms/cm<sup>3</sup>以上、好ましくは $3.0 \times 10^{20}$  atoms/cm<sup>3</sup>以上であることをいう。

30

【0073】

ここで、TDS分析における、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

【0074】

TDS分析したときの気体の放出量は、スペクトルの積分値に比例する。このため、絶縁層のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

40

【0075】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、及び絶縁層のTDS分析結果から、絶縁層の酸素分子の放出量( $NO_2$ )は、数式1で求めることができる。ここで、TDS分析で得られる質量数32で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数32のものとして $CH_3OH$ があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子及び質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0076】

## 【数 1】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha$$

## 【0077】

$N_{H_2}$  は、標準試料から脱離した水素分子を密度で換算した値である。 $S_{H_2}$  は、標準試料を TDS 分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 $N_{H_2} / S_{H_2}$  とする。 $S_{O_2}$  は、絶縁層を TDS 分析したときのスペクトルの積分値である。  $\alpha$  は、TDS 分析におけるスペクトル強度に影響する係数である。数式 1 の詳細に関しては、特開平 6 - 275697 公報を参照する。なお、上記絶縁層の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置 EMD - WA1000S / W を用い、標準試料として  $1 \times 10^{16}$  atoms / cm<sup>3</sup> の水素原子を含むシリコンウェハを用いて測定した。

10

## 【0078】

また、TDS 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の  $\alpha$  は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

## 【0079】

なお、 $N_{O_2}$  は酸素分子の放出量である。絶縁層においては、酸素原子に換算したときの酸素の放出量は、酸素分子の放出量の 2 倍となる。

20

## 【0080】

上記構成において、加熱により酸素放出される絶縁層には、絶縁層の化学量論比に対して酸素が過剰な絶縁層を用いる。例えば、酸素が過剰に含まれる酸化シリコン ( $SiO_x$  ( $x > 2$ )) であってもよい。すなわち、酸素が過剰な酸化シリコン ( $SiO_x$  ( $x > 2$ )) とは、シリコン原子数の 2 倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱法により測定した値である。

## 【0081】

なお、後述する酸化物半導体をゲート絶縁層 104 上に形成した後、加熱処理を行うことによりゲート絶縁層 104 から酸化物半導体に酸素が供給され、ゲート絶縁層 104 と酸化物半導体の界面準位を低減できる。この結果、トランジスタの動作などに起因して生じうる電荷などが、上述のゲート絶縁層 104 と酸化物半導体の界面に捕獲されることを抑制することができる。電気特性の劣化の少ないトランジスタを得ることができる。

30

## 【0082】

さらに、酸化物半導体の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体の酸素欠損は、一部がドナーとなりキャリアである電子を生じる。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。ゲート絶縁層から酸化物半導体に酸素が十分に放出されることにより、しきい値電圧がマイナス方向へシフトする要因である酸化物半導体の酸素欠損を補うことができ、トランジスタの特性を良好にすることができる。

40

## 【0083】

即ち、酸化物半導体に酸素欠損が生じると、ゲート絶縁層と酸化物半導体との界面における電荷の捕獲を抑制することが困難となる。ゲート絶縁層に、加熱により酸素放出される絶縁層を設けることで、酸化物半導体とゲート絶縁層の界面準位、ならびに酸化物半導体の酸素欠損を低減し、酸化物半導体とゲート絶縁層の界面における電荷捕獲の影響を小さくすることができる。

## 【0084】

本実施の形態では、ゲート絶縁層 104 として、ゲート電極 103 上に酸化シリコンを 100 nm の厚さで形成する。

## 【0085】

50

次に、ゲート絶縁層104上に酸化物半導体層115を形成する。なお、酸化物半導体層115に水素、水酸基及び水分がなるべく含まれないようにするために、前処理として、成膜装置の予備加熱室で基板101を予備加熱し、基板101やゲート絶縁層104に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、下地層102、ゲート電極103、またはゲート絶縁層104の成膜前に、同様に行ってもよい。

【0086】

酸化物半導体層115に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

10

【0087】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

20

【0088】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。また、上記酸化物半導体にSiO<sub>2</sub>を含ませてもよい。酸化物半導体は、少なくともIn、Ga、Sn及びZnから選ばれた一種以上の元素を含有する。

30

【0089】

ここで、例えば、In-Ga-Zn系酸化物とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物、という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでもよい。このとき、酸化物半導体の化学量論比に対し、酸素を過剰にすると好ましい。酸素を過剰にすることで酸化物半導体の酸素欠損に起因するキャリアの生成を抑制することができる。

40

【0090】

また、酸化物半導体層は、化学式InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)で表記される薄膜を用いることができる。ここで、Mは、Sn、Zn、Ga、Al、Mn及びCoから選ばれた一または複数の金属元素を示す。また、酸化物半導体として、In<sub>3</sub>SnO<sub>5</sub>(ZnO)<sub>n</sub>(n>0)で表記される材料を用いてもよい。

【0091】

例えば、In:Ga:Zn=1:1:1(=1/3:1/3:1/3)あるいはIn:G

50

$a : Z n = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5)$  の原子数比の  $I n - G a - Z n$  系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $I n : S n : Z n = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3)$ 、 $I n : S n : Z n = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2)$  あるいは  $I n : S n : Z n = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8)$  の原子数比の  $I n - S n - Z n$  系酸化物やその組成の近傍の酸化物を用いるとよい。

【0092】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

10

【0093】

例えば、 $I n - S n - Z n$  系酸化物では比較的容易に高い移動度が得られる。しかしながら、 $I n - G a - Z n$  系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0094】

なお、例えば、 $I n$ 、 $G a$ 、 $Z n$  の原子数比が  $I n : G a : Z n = a : b : c (a + b + c = 1)$  である酸化物と、原子数比が  $I n : G a : Z n = A : B : C (A + B + C = 1)$  の酸化物の組成が近傍であるとは、 $a$ 、 $b$ 、 $c$  が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 < r^2$  を満たすことを言い、 $r$  は、例えば、 $0.05$  とすればよい。他の酸化物でも同様である。

20

【0095】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0096】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0097】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ ( $R a$ ) が  $1 \text{ nm}$  以下、好ましくは  $0.3 \text{ nm}$  以下、より好ましくは  $0.1 \text{ nm}$  以下の表面上に形成するとよい。なお、 $R a$  は原子間力顕微鏡 ( $A F M : A t o m i c F o r c e M i c r o s c o p e$ ) にて評価可能である。

30

【0098】

また、酸化物半導体として  $I n - Z n$  系酸化物の材料を用いる場合、原子数比で、 $I n / Z n = 0.5$  以上  $50$  以下、好ましくは  $I n / Z n = 1$  以上  $20$  以下、さらに好ましくは  $I n / Z n = 1.5$  以上  $15$  以下とする。 $Z n$  の原子数比を好ましい前記範囲とすることで、トランジスタの電界効果移動度を向上させることができる。ここで、化合物の原子数比が  $I n : Z n : O = X : Y : Z$  のとき、 $Z > 1.5 X + Y$  とする。

40

【0099】

本実施の形態では、酸化物半導体として  $I n - G a - Z n$  系酸化物ターゲットを用いてスパッタリング法により  $30 \text{ nm}$  の厚さで形成する。また、酸化物半導体層は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下においてスパッタリング法により形成することができる（図7(B)、図5(B)参照）。

【0100】

ここで、酸化物半導体を形成するスパッタリング装置について、以下に詳細を説明する。

【0101】

50

酸化物半導体を形成する成膜室は、リークレートを  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下とすることが好ましく、それによりスパッタリング法により成膜する際、膜中への不純物の混入を低減することができる。

【0102】

リークレートを低くするには、外部リークのみならず内部リークを低減する必要がある。外部リークとは、微小な穴やシール不良などによって真空系の外から気体が流入することである。内部リークとは、真空系内のバルブなどの仕切りからの漏れや内部の部材からの放出ガスに起因する。リークレートを  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下とするためには、外部リーク及び内部リークの両面から対策をとる必要がある。

【0103】

外部リークを減らすには、成膜室の開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属材料を用いると好ましい。メタルガスケットはOリング（オーリング）と比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどの不動態によって被覆された金属材料を用いることで、メタルガスケットから生じる水素を含む放出ガスが抑制され、内部リークも低減することができる。

【0104】

成膜室の内壁を構成する部材として、水素を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の材料を鉄、クロム及びニッケルなどを含む合金材料に被覆して用いてもよい。鉄、クロム及びニッケルなどを含む合金材料は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておくこと、放出ガスを低減できる。あるいは、前述の成膜装置の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどで被覆された不動態にしてもよい。

【0105】

さらに、スパッタリングガスを成膜室に導入する直前に、スパッタリングガスの精製機を設けることが好ましい。このとき、精製機から成膜室までの配管の長さを5 m以下、好ましくは1 m以下とする。配管の長さを5 m以下または1 m以下とすることで、配管からの放出ガスの影響を長さに応じて低減できる。

【0106】

成膜室の排気は、ドライポンプなどの粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプ及びクライオポンプなどの高真空ポンプとを適宜組み合わせるとよい。また、成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水素や水の排気能力が低い。そこで、水の排気能力の高いクライオポンプ及び水素の排気能力の高いスパッタイオンポンプを組み合わせることが有効となる。また、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプ等の吸着型の真空ポンプを用いて排気した成膜室は、例えば、水素原子、水（ $\text{H}_2\text{O}$ ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

【0107】

成膜室の内側に存在する吸着物は、内壁に吸着しているために成膜室の圧力に影響しないが、成膜室を排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないが、排気能力の高いポンプを用いて、成膜室に存在する吸着物をできる限り脱離し、予め排気しておくことが重要である。なお、吸着物の脱離を促すために、成膜室をベーキングしてもよい。ベーキングすることで吸着物の脱離速度を10倍程度大きくすることができる。ベーキングは100 以上450 以下で行えばよい。このとき、不活性ガスを添加しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。

10

20

30

40

50

## 【0108】

スパッタリング法において、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

## 【0109】

酸化物半導体としてIn-Ga-Zn系酸化物材料をスパッタリング法で形成するためのターゲットは、例えば、In、Ga、及びZnを含む金属酸化物を、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [mol数比]の組成比で有するターゲットを用いることができる。また、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [mol数比]の組成比を有するターゲット、または $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$  [mol数比]の組成比を有するターゲット、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 2 : 1 : 8$  [mol数比]の組成比を有するターゲットを用いることもできる。また、原子数比がIn:Ga:Zn = 1:1:1、4:2:3、3:1:2、1:1:2、2:1:3、または3:1:4で示されるIn-Ga-Zn系酸化物ターゲットを用いることができる。

10

## 【0110】

また、酸化物半導体としてIn-Sn-Zn系酸化物をスパッタリング法で形成する場合、好ましくは、原子数比がIn:Sn:Zn = 1:1:1、2:1:3、1:2:2、または20:45:35で示されるIn-Sn-Zn系酸化物ターゲットを用いる。

## 【0111】

また、酸化物半導体を形成するための金属酸化物ターゲットの相対密度は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができる。

20

## 【0112】

なお、スパッタリングガスには、希ガス(代表的にはアルゴン)、酸素、希ガス及び酸素の混合ガスを適宜用いる。また、スパッタリングガスには、水素、水、水酸化物または水素化物などの不純物が除去された高純度ガスを用いることが好ましい。例えば、スパッタリングガスとしてアルゴンを用いる場合は、純度9N、露点-121、含有 $\text{H}_2\text{O}$ 量0.1ppb以下、含有 $\text{H}_2$ 量0.5ppb以下が好ましく、酸素を用いる場合は、純度8N、露点-112、含有 $\text{H}_2\text{O}$ 量1ppb以下、含有 $\text{H}_2$ 量1ppb以下が好ましい。

## 【0113】

酸化物半導体の成膜は、減圧状態に保持された成膜室内に基板を保持し、基板温度を100以上600以下好ましくは300以上500以下として行う。

30

## 【0114】

基板を加熱しながら成膜することにより、成膜した酸化物半導体に含まれる水素、水分、水素化物、または水酸化物などの不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、上記ターゲットを用いて酸化物半導体層115を形成する。

## 【0115】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源電力0.5kW、スパッタリングガスとして酸素(酸素流量比率100%)を用いる条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質(パーティクル、ごみともいう)が軽減でき、膜厚分布も均一となるために好ましい。

40

## 【0116】

なお、上記スパッタリング装置を用いても、酸化物半導体層115は少なからず窒素を含んで形成される場合がある。例えば、酸化物半導体層115中に窒素が、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満の濃度で含まれる場合がある。

## 【0117】

また、ゲート絶縁層104の形成と酸化物半導体層115の形成は、途中で大気に触れることなく連続して行うことが好ましい。大気に触れることなく連続して行うことで、ゲー

50



ト絶縁層104と酸化物半導体層115の界面に、水、水素、ハイドロカーボンなどの不純物が付着することを防ぐことができる。

【0118】

次いで、酸化物半導体層115形成後、熱処理を行う。この熱処理によって酸化物半導体層115中の過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）し、エネルギーギャップ中の欠陥準位を低減することができる。また、熱処理によりゲート絶縁層104から酸化物半導体層115に酸素が供給され、酸化物半導体層115に生じた欠陥を低減することができる。

【0119】

熱処理は、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気下で、150以上基板歪み点温度未満、好ましくは250以上450以下、更に好ましくは300以上450以下の温度で行う。本実施の形態では、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層115に対して窒素雰囲気下で450、1時間の加熱処理を行う。

10

【0120】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性ガスが用いられる。

20

【0121】

例えば、熱処理として、高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。

30

【0122】

加熱処理を、窒素または希ガスなどの不活性ガス、酸素、超乾燥エアのガス雰囲気下で行なう場合は、これらの雰囲気中に水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0123】

このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温（25）でのオフ電流（ここでは、単位チャネル幅（1 $\mu\text{m}$ ）あたりの値）は、 $100 \text{ zA} / \mu\text{m}$ （1zA（zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは、 $10 \text{ zA} / \mu\text{m}$ 以下となる。また、85では、 $100 \text{ zA} / \mu\text{m}$ （ $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ）以下、望ましくは $10 \text{ zA} / \mu\text{m}$ （ $1 \times 10^{-20} \text{ A} / \mu\text{m}$ ）以下となる。このように、i型化（真性化）または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ111を得ることができる。

40

【0124】

また、LiやNaなどのアルカリ金属は、不純物であるため含有量を少なくすることが好

50

ましく、また、酸化物半導体層 115 中の濃度を  $2 \times 10^{16} \text{ cm}^{-3}$  以下、好ましくは、 $1 \times 10^{15} \text{ cm}^{-3}$  以下とすることが好ましい。さらに、アルカリ土類金属も不純物であるため、含有量を少なくすることが好ましい。

【0125】

このように、高純度化し、また、酸素欠損を低減することにより電氣的に i 型（真性）化した酸化物半導体を有するトランジスタは、電氣的特性変動が抑制されており、電氣的に安定である。よって安定した電氣的特性を有する酸化物半導体を用いた信頼性の高い半導体装置を提供することができる。

【0126】

次いで、酸化物半導体層 115 上に、ソース電極 106a 及びドレイン電極 106b となる導電層を形成する。ソース電極 106a 及びドレイン電極 106b に用いる導電層は、ゲート電極 103 と同様の材料及び方法で形成することができる。

10

【0127】

なお、前述した酸化物半導体層 115 形成後の熱処理は、酸化物半導体層 115 上に導電層を形成した後に行ってもよい。酸化物半導体層 115 上に導電層を形成した後に熱処理を行うことにより、導電層が熱処理中の酸素脱離防止層として機能するため、効率よくゲート絶縁層 104 から酸化物半導体層 115 に酸素が供給され、酸化物半導体層 115 に生じた欠陥を低減することができる。

【0128】

本実施の形態では、導電層として酸化物半導体層 115 上に厚さ 5 nm のチタンを形成し、チタン上に厚さ 250 nm のタングステンを形成する。その後、導電層上にマスクを形成し、導電層を選択的にエッチングし、ソース電極 106a 及びドレイン電極 106b を形成する（図 7（C）、図 5（C）参照）。導電層上に形成するマスクの形成には印刷法、インクジェット法、フォトリソグラフィ法を適宜用いることができる。

20

【0129】

また、ソース電極 106a 及びドレイン電極 106b と、酸化物半導体層 115 の間に、ソース領域 110a 及びドレイン領域 110b を形成してもよい。ソース領域 110a 及びドレイン領域 110b を形成するための導電層としては、インジウム酸化物、スズ酸化物、亜鉛酸化物、インジウム錫酸化物（ITO と略記する）、インジウム亜鉛酸化物（などの導電性の金属酸化物を用いることができる。また、窒素を含むインジウムガリウム亜鉛酸化物や、窒素を含むインジウム錫酸化物や、窒素を含むインジウムガリウム酸化物や、窒素を含むインジウム亜鉛酸化物や、窒素を含む酸化錫や、窒素を含むインジウム酸化物や、金属窒化物（InN、ZnN など）を用いてもよい。また、1枚乃至10枚のグラフェンシート（グラファイトの1層分）よりなる材料を用いてもよい。

30

【0130】

ソース領域 110a 及びドレイン領域 110b は、ソース電極 106a 及びドレイン電極 106b よりも抵抗率が大きく、酸化物半導体層 115（または、酸化物半導体層 105）よりも抵抗率が小さい。ソース電極 106a 及びドレイン電極 106b と、酸化物半導体層 115 の間に、ソース領域 110a 及びドレイン領域 110b を設けることで、ソース電極 106a 及びドレイン電極 106b と、酸化物半導体層 115（または、酸化物半導体層 105）の接触抵抗を低減することが可能となる。

40

【0131】

また、ソース電極 106a 及びドレイン電極 106b を形成するための導電層のエッチングは、ドライエッチング法で行っても、ウェットエッチング法で行ってもよく、これらを組み合わせて行ってもよい。

【0132】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ $\text{Cl}_2$ ）、三塩化硼素（ $\text{BCl}_3$ ）、四塩化珪素（ $\text{SiCl}_4$ ）、四塩化炭素（ $\text{CCl}_4$ ）など）を用いることができる。

【0133】

50

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ $CF_4$ ）、六弗化硫黄（ $SF_6$ ）、三弗化窒素（ $NF_3$ ）、トリフルオロメタン（ $CHF_3$ ）など）、臭化水素（ $HBr$ ）、酸素（ $O_2$ ）、これらのガスにヘリウム（ $He$ ）やアルゴン（ $Ar$ ）などの希ガスを添加したガス、などを用いることができる。

【0134】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状に加工できるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度など）を適宜調節する。

10

【0135】

また、導電層のエッチングは、酸化物半導体層115が極力エッチングされない条件で行う。

【0136】

なお、ソース電極106a及びドレイン電極106bと、酸化物半導体層115の間に、ソース領域110a及びドレイン領域110bを設ける場合は、ソース電極106a及びドレイン電極106bの形成と、ソース領域110a及びドレイン領域110bの形成を同時に行うことができる。

【0137】

次に、ゲート電極103、ソース電極106a及びドレイン電極106bと重畳する位置に、島状の酸化物半導体層を形成するためのマスク117を形成する（図6（A）、図8（A）参照）。マスク117の形成は印刷法、インクジェット法、フォトリソグラフィ法を適宜用いることができる。

20

【0138】

マスク117、ソース電極106a及びドレイン電極106bをマスクとして、酸化物半導体層115を選択的にエッチングし、島状の酸化物半導体層105を形成する。なお、酸化物半導体のエッチングは、ドライエッチング法でもウェットエッチング法でもよい。もちろん、これらを組み合わせてもよい。例えば、酸化物半導体のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO-07N（関東化学社製）を用いてもよい。

30

【0139】

本実施の形態では、マスク117としてフォトリソグラフィ法によりレジストマスクを形成し、酸化物半導体層115を選択的にエッチングした後、酸素雰囲気下で行うアッシング処理により、マスク117を分解除去する。アッシングは、オゾン等の酸素雰囲気下で紫外線等の光を照射し、酸素とレジストマスクの化学反応を促進させて行う光励起アッシングや、高周波電力等によりプラズマ化した酸素により分解除去を行うプラズマアッシングを用いることができる。

【0140】

マスク117の除去はレジスト剥離液により除去しても良いが、マスク117の除去をアッシングで行うことにより、酸化物半導体層105に、水、水素、ヒドロカーボンがなるべく含まれないようにすることができる。加えて、励起された酸素雰囲気下で処理することにより、マスク117が除去されて露出した酸化物半導体層105の酸素欠陥を低減することも可能となる。

40

【0141】

その後、絶縁層107を形成し、酸化物半導体層105を覆う。なお、酸化物半導体層105の表面に、水、水素、ヒドロカーボンなどの不純物が付着することを極力防ぐため、絶縁層107の形成は、酸化物半導体層105の形成後、速やかに行うことが好ましい。絶縁層107は、ゲート絶縁層104と同様の材料及び方法で形成することができる。絶縁層107の厚さは、10nm以上500nm以下、より好ましくは20nm以上300nm以下とするとよい。本実施の形態では、絶縁層107として厚さ300nmの酸化

50

シリコンを形成する。

【0142】

絶縁層107形成後、150以上450以下、好ましくは250以上325以下の温度で熱処理を行ってもよい。または、250から325まで徐々に温度上昇させながら加熱してもよい。熱処理により絶縁層107から酸化物半導体層105に酸素が供給され、酸化物半導体層105に生じた欠陥を低減することができる。本実施の形態では、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層115に対して窒素雰囲気下で300、1時間の加熱処理を行う。該熱処理は、保護絶縁層108形成後に行ってもよい。

【0143】

次いで、絶縁層107上に保護絶縁層108を形成してもよい。保護絶縁層108は、地層102と同様の材料及び方法で形成することができる。本実施の形態では、保護絶縁層108としてスパッタリング法により厚さ100nmの酸化アルミニウムを形成する(図6(C)、図8(B)参照)。以上の作製方法により、トランジスタ150を作製することができる。

【0144】

また、酸化物半導体層105上にチャネル保護層109を有するトランジスタ170の作製方法について、トランジスタ150の作製方法と異なる点について説明する。

【0145】

まず、トランジスタ150の作製方法と同様に、酸化物半導体層115まで形成する。この後、トランジスタ150と同様の熱処理を行っても良い。続いて、酸化物半導体層115上に、チャネル保護層109を形成するための絶縁層を、10nm以上500nm以下、より好ましくは20nm以上300nm以下の厚さで形成する。チャネル保護層109を形成するための絶縁層は、ゲート絶縁層104と同様の材料及び方法を用いて形成することができる。本実施の形態では、スパッタリング法により厚さ200nmの酸化シリコンを形成する。

【0146】

なお、ゲート絶縁層104、酸化物半導体層115及びチャネル保護層109を形成するための絶縁層の形成は、途中で大気に触れることなく連続して行うことが好ましい。大気に触れることなく連続して行うことで、ゲート絶縁層104と酸化物半導体層115の界面、及び、チャネル保護層109を形成するための絶縁層と酸化物半導体層115の界面に水、水素、ヒドロカーボンなどの不純物が付着することを防ぎ、半導体装置の信頼性を高めることができる。

【0147】

ゲート絶縁層104、酸化物半導体層115及びチャネル保護層109を形成するための絶縁層を連続成膜する場合、酸化物半導体層115形成後の熱処理は、連続成膜終了後に行うことが好ましい。酸化物半導体層115を、ゲート絶縁層104とチャネル保護層109を形成するための絶縁層で挟んだ状態で熱処理することにより、両絶縁層から酸化物半導体層115に酸素が供給されるため、酸化物半導体層115に生じた欠陥を低減する効果を高めることができる。

【0148】

次に、チャネル保護層109を形成するための絶縁層上にマスクを形成し、該絶縁層を選択的にエッチングしてチャネル保護層109を形成する。該絶縁層上に形成するマスクの形成には印刷法、インクジェット法、フォトリソグラフィ法を適宜用いることができる。

【0149】

その後、マスクを除去し、酸化物半導体層115上に、ソース電極106a及びドレイン電極106bとなる導電層を形成する。以降の工程は、トランジスタ150の作製工程と同様に行うことができる。

【0150】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

10

20

30

40

50

## 【0151】

(実施の形態2)

本実施の形態では、実施の形態1と一部異なる工程例を図9を用いて説明する。なお、実施の形態1と同一の箇所には同じ符号を用い、同じ符号の詳細な説明はここでは省略する。

## 【0152】

まず、実施の形態1と同様に、基板101上に下地層102を形成し、下地層102上にゲート電極103を形成する。

## 【0153】

次いで、ゲート電極103の上にゲート絶縁層104を設け、ゲート絶縁層104の上に1nm以上10nm以下の第1の酸化物半導体層を形成する。本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn系酸化物半導体用ターゲット( $\text{In}_2\text{O}_3$ : $\text{Ga}_2\text{O}_3$ : $\text{ZnO}$ =1:1:2[mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度250、圧力0.4Pa、直流(DC)電源電力0.5kWとし、スパッタリングガスを酸素のみとして、膜厚5nmの第1の酸化物半導体層を成膜する。

10

## 【0154】

次いで、基板を配置する雰囲気室を窒素、または乾燥空気とし、第1の熱処理を行う。第1の熱処理の温度は、200以上450以下とする。また、第1の熱処理の加熱時間は1時間以上24時間以下とする。第1の熱処理によって第1の酸化物半導体層が結晶化され、第1の結晶性酸化物半導体層148aとなる(図9(B)参照)。

20

## 【0155】

次いで、第1の結晶性酸化物半導体層148a上に10nmよりも厚い第2の酸化物半導体層を形成する。本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn系酸化物半導体用ターゲット( $\text{In}_2\text{O}_3$ : $\text{Ga}_2\text{O}_3$ : $\text{ZnO}$ =1:1:2[mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度400、圧力0.4Pa、直流(DC)電源電力0.5kWとし、スパッタリングガスとして酸素のみを用いて、膜厚25nmの第2の酸化物半導体層を成膜する。

## 【0156】

次いで、基板を配置する雰囲気室を窒素、または乾燥空気とし、第2の熱処理を行う。第2の熱処理の温度は、200以上450以下とする。また、第2の熱処理の加熱時間は1時間以上24時間以下とする。第2の熱処理によって第2の酸化物半導体層が結晶化され、第2の結晶性酸化物半導体層148bとなる(図9(C)参照)。

30

## 【0157】

以降の工程は、実施の形態1に従って行うことで、トランジスタ150を得ることができる。ただし、本実施の形態を用いた場合、トランジスタ150のチャネル形成領域を含む半導体層は、第1の結晶性酸化物半導体層148a、及び第2の結晶性酸化物半導体層148bの積層となる。

## 【0158】

第1の結晶性酸化物半導体層148a、及び第2の結晶性酸化物半導体層148bは、非単結晶であって、そのab面、表面または界面の方向から見て、三角形、または、六角形、の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子が層状に配列しており、ab面においてはa軸またはb軸の向きが異なる(c軸を中心に回転した)結晶を有する酸化物半導体(C Axis Aligned Crystalline Oxide Semiconductor: CAAC-OS)を有する。

40

## 【0159】

CAAC-OSは単結晶ではないが、また、非晶質のみから形成されているものでもない。また、CAAC-OSは結晶化した部分(結晶部分)を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。CAAC-OSが有する酸素の一部は窒素で置換されてもよい。また、CAAC-OSを構成する個々の結晶部分のab面の法

50

線（c軸）は一定の方向（例えば、CAAC-Osを支持する基板面、CAAC-Osの表面などに垂直な方向）を向いていてもよい。

【0160】

CAAC-Osは、その組成等に応じて導体または絶縁体となりうる。また、その組成等に応じて、可視光に対して透明であったり不透明であったりする。このようなCAAC-Osの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形、または、六角形の原子配列が認められ、且つ、その膜断面を観察すると金属原子、または、金属原子と酸素原子（あるいは窒素原子）の層状配列が認められる材料を挙げることができる。

【0161】

第2の熱処理により、ゲート絶縁層104から第1の結晶性酸化物半導体層148a、及び第2の結晶性酸化物半導体層148bに酸素を供給し、第1の結晶性酸化物半導体層148a、及び第2の結晶性酸化物半導体層148b中の酸素欠損を低減させることができる。また、第2の加熱処理を行った後、温度を保持しつつ酸化性雰囲気中に切り替えてさらに加熱処理を行うと好ましい。酸化性雰囲気での加熱処理により、酸化物半導体中の酸素欠損を低減することができる。なお、CAAC-Os形成後の工程において、酸素欠損を低減させるための熱処理を行ってもよい。

【0162】

半導体層にCAAC-Osを用いたトランジスタは、トランジスタに光照射が行われた場合、またはバイアス-熱ストレス（BT）試験前後においてもトランジスタのしきい値電圧の変化量が低減でき、安定した電気的特性を有する。

【0163】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0164】

（実施の形態3）

本実施の形態では、CAAC-Osからなる酸化物半導体の形成方法について、実施の形態2で開示した以外の方法について、以下に説明する。

【0165】

まず、ゲート絶縁層104上に、厚さ1nm以上50nm以下の酸化物半導体を形成する。

【0166】

成膜時の基板温度は150℃以上450℃以下、好ましくは200℃以上350℃以下である。150℃以上450℃以下、好ましくは200℃以上350℃以下に基板を加熱しながら成膜をすることによって、膜中への水分（水素を含む）などの混入を防ぐことができる。また、結晶を含む酸化物半導体であるCAAC-Osを形成することができる。

【0167】

さらに、酸化物半導体形成後に、基板101に加熱処理を施して、酸化物半導体からより水素を放出させると共に、ゲート絶縁層104に含まれる酸素の一部を、酸化物半導体と、ゲート絶縁層104における酸化物半導体との界面近傍に拡散させることが好ましい。また、該加熱処理を行うことによって、より結晶性の高いCAAC-Osを有する酸化物半導体を形成することができる。

【0168】

該加熱処理の温度は、酸化物半導体から水素を放出させると共に、ゲート絶縁層104に含まれる酸素の一部を放出させ、さらには酸化物半導体に拡散させる温度が好ましく、代表的には、150℃以上基板歪み点温度未満、好ましくは250℃以上450℃以下、更に好ましくは300℃以上450℃以下とする。

【0169】

また該加熱処理は、RTA（Rapid Thermal Anneal）装置を用いることができる。RTAを用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、非晶質領域に対して結晶領域の割合の多い酸化物半導体

10

20

30

40

50

を形成するための時間を短縮することができる。

【0170】

加熱処理は、不活性ガス雰囲気で行うことができ、代表的には、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素雰囲気で行うことが好ましい。また、酸素雰囲気及び減圧雰囲気で行ってもよい。処理時間は3分以上24時間以下とする。処理時間を長くするほど非晶質領域に対して結晶領域の割合の多い酸化物半導体を形成することができるが、24時間を超える熱処理は生産性の低下を招くため好ましくない。

【0171】

以上の方法で、CAAC-Osを形成することができる。

【0172】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することが可能である。

【0173】

(実施の形態4)

本実施の形態では、上記実施の形態で開示したトランジスタを画素部、さらには駆動回路に用いて、表示機能を有する半導体装置(表示装置ともいう)を作製する場合について説明する。また、トランジスタを用いて駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0174】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0175】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに表示装置は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0176】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0177】

本実施の形態では、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図10を用いて説明する。図10(A1)(A2)は、第1の基板4001上に形成されたトランジスタ4010、トランジスタ4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、液晶表示パネルの上面図であり、図10(B)は、図10(A1)(A2)のM-Nにおける断面図に相当する。

【0178】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006

10

20

30

40

50

とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0179】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図10(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図10(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0180】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、トランジスタを複数有しており、図10(B)では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011とを例示している。トランジスタ4010、トランジスタ4011上には、絶縁層4020、絶縁層4021、絶縁層4022が設けられている。

【0181】

トランジスタ4010、トランジスタ4011は、上記実施の形態で示した酸化物半導体を、チャネルが形成される半導体層に用いたトランジスタを適用することができる。本実施の形態において、トランジスタ4010、トランジスタ4011はnチャネル型のトランジスタである。

【0182】

絶縁層4022上において、駆動回路用のトランジスタ4011の半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後におけるトランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位がトランジスタ4011のゲート電極と同じでもよいし、異なっても良く、第2のゲート電極として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

【0183】

また、導電層4040をバックゲート電極として機能させることもできる。バックゲート電極は、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。バックゲート電極は導電層で形成され、ゲート電極と同様に機能させることができる。また、バックゲート電極の電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。

【0184】

導電層4040は、画素電極4030と同じ導電層を用いて、画素電極4030と同時に形成してもよいし、別途導電層を設け、該導電層を選択的にエッチングすることで形成してもよい。導電層4040は、絶縁層4022より下層に設けてもよい。また、トランジスタ4010の半導体層のチャネル形成領域と重なる位置に導電層4040を設けてもよい。導電層4040に遮光性を有する材料を用いると、導電層4040を遮光層として機能させることができる。

【0185】

また、液晶素子4013が有する画素電極4030は、絶縁層4020、絶縁層4021、及び絶縁層4022に形成されたコンタクトホール4025を介して、トランジスタ4010と電気的に接続されている。そして液晶素子4013の対向電極4031は第2の基板4006上に形成されている。画素電極4030と対向電極4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極4030、対向電極4031はそれぞれ配向膜として機能する絶縁層4032、絶縁層4033が設けられ、絶縁層4032、絶縁層4033を介して液晶層4008を挟持している。

【0186】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはス

10

20

30

40

50



テンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0187】

また、スペーサ4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極4030と対向電極4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極4031は、トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

10

【0188】

また、配向膜が不要である、ブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1ms以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

20

【0189】

なお、本実施の形態で示す液晶表示装置は透過型液晶表示装置の例であるが、液晶表示装置は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0190】

また、本実施の形態では、トランジスタの表面凹凸を低減するため、及びトランジスタの信頼性を向上させるため、トランジスタを保護層や平坦化絶縁層として機能する絶縁層(絶縁層4020、絶縁層4021、絶縁層4022)で覆う構成となっている。なお、保護層は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護層は、スパッタ法を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、又は窒化酸化アルミニウムを単層、又は積層で形成すればよい。本実施の形態では保護層をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

30

【0191】

ここでは、絶縁層4020として、スパッタ法を用いて酸化シリコンを形成し、絶縁層4021として、スパッタ法を用いて酸化アルミニウムを形成する。

【0192】

また、平坦化絶縁層として絶縁層4022を形成する。絶縁層4022としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(LOW-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、絶縁層4022を形成してもよい。

40

【0193】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基(例えばアルキル基やアール基)やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0194】

絶縁層4022の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法

50

、スピンコート法、ディップ法、スプレー塗布法、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）等を用いることができる。絶縁層4022を、材料液を用いて形成する場合、焼成する工程で同時に、半導体層の熱処理を行ってもよい。絶縁層4022の焼成工程と半導体層の熱処理を兼ねることで効率よく半導体装置を作製することが可能となる。

【0195】

画素電極4030、対向電極4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

10

【0196】

また、画素電極4030、対向電極4031を、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0197】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、またはアニリン、ピロールおよびチオフェンの2種以上からなる共重合体若しくはその誘導体等が挙げられる。

20

【0198】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0199】

また図10においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

30

【0200】

図11は、半導体装置の一形態に相当する液晶表示モジュールに基板2600を用いて構成する一例を示している。

【0201】

図11は液晶表示モジュールの一例であり、基板2600と基板2601がシール材2602により固着され、その間にトランジスタ等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられた表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。基板2600と基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609により基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

40

【0202】

また、本実施の形態で示す液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、必要に応じてブラックマトリクスとして機能する遮光膜を設けてもよい。

50

## 【0203】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、TBA (Transverse Bend Alignment) モードなどを用いることができる。

10

## 【0204】

以上の工程により、半導体装置として信頼性の高い液晶表示装置を作製することができる。

## 【0205】

上記実施の形態に示すトランジスタを用いて液晶表示装置の画素部のトランジスタを作製することにより、各画素のトランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

## 【0206】

また、上記実施の形態に示すトランジスタの作製方法を用いて液晶表示装置の駆動回路のトランジスタを作製することにより、駆動回路部のトランジスタの高速動作を実現し、省電力化を図ることができる。

20

## 【0207】

なお、液晶素子にかえて発光素子を用いることで、光源や偏光板を不要とし、消費電力の少ない自発光方式の表示装置を実現することができる。自発光方式の表示装置は、図10に示した液晶パネルの液晶素子4013を、無機EL素子や有機EL素子に置きかえることで実現することができる。

## 【0208】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、これらキャリア（電子および正孔）が再結合することにより、発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

30

## 【0209】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。

## 【0210】

発光素子は光を取り出すために少なくとも一对の電極の一方が透明であればよい。そして、基板上にトランジスタおよび発光素子を作製し、基板とは逆側の面から光を取り出す上面射出や、基板側の面から光を取り出す下面射出や、基板側および基板とは反対側の面から光を取り出す両面射出構造の発光素子があり、どの射出構造の発光素子を適用してもよい。

40

## 【0211】

例えば、有機EL素子は、少なくとも一对の電極間に発光する有機化合物層が挟まれた素子であり、該有機化合物層は通常、積層構造となっている。一例としては、一对の電極間（画素電極と対向電極間）に正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層を積層した構造である。また、発

50

光層に対して蛍光性色素などをドーピングしても良い。EL素子が有する各層は、低分子系の材料を用いて形成してもよいし、高分子系の材料を用いて形成してもよい。

【0212】

また、アクティブマトリクス型の液晶表示装置の場合は、1画素において1つのトランジスタで液晶素子を制御すればよいが、発光素子で画素を構成する場合、1画素においてトランジスタを2つ以上用いて発光素子に流れる電流を厳密に制御することが好ましい。なお、該トランジスタは上記実施の形態で説明したトランジスタを用いることができる。

【0213】

以上のように、本発明の一態様である作製方法で作製されたトランジスタを用いることで、表示品位が高く、かつ信頼性が高く、消費電力の小さい表示装置を得ることができる。

10

【0214】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0215】

(実施の形態5)

本実施の形態では、本発明の一態様である液晶表示装置の代表的な駆動方法について、幾つかの液晶の動作モードを例に挙げて説明する。液晶表示装置には、液晶の駆動方法に、基板に対して直交に電圧を印加する縦電界方式、基板に対して平行に電圧を印加する横電界方式がある。

【0216】

まず図12(A1)及び(A2)に、TNモードの液晶表示装置の画素構成を説明する断面模式図を示す。

20

【0217】

互いに対向するように配置された第1の基板3101及び第2の基板3102に、表示素子を有する層3100が挟持されている。また、第1の基板3101側に第1の偏光板3103が形成され、第2の基板3102側に第2の偏光板3104が形成されている。第1の偏光板3103の吸収軸と、第2の偏光板3104の吸収軸は、クロスニコルの状態で配置されている。

【0218】

なお図示しないが、バックライト等は、第2の偏光板3104の外側に配置される。第1の基板3101、及び第2の基板3102上には、それぞれ第1の電極3108、第2の電極3109が設けられている。そして、バックライトと反対側、つまり視認側の電極である第1の電極3108は、透光性を有するように形成する。

30

【0219】

このような構成を有する液晶表示装置において、ノーマリホワイトモードの場合、第1の電極3108及び第2の電極3109の間に電圧が印加(縦電界方式と呼ぶ)されると、図12(A1)に示すように、液晶分子3105は縦に並んだ状態となる。すると、バックライトからの光は第1の偏光板3103を通過することができず、黒色表示となる。

【0220】

そして図12(A2)に示すように、第1の電極3108及び第2の電極3109の間に電圧が印加されていないときは、液晶分子3105は横に並び、平面内で擦れている状態となる。その結果、バックライトからの光は第1の偏光板3103を通過することができ、白色表示となる。また、第1の電極3108及び第2の電極3109に印加する電圧を調節することにより、階調を表現することができる。このようにして、所定の映像表示が行われる。

40

【0221】

このとき、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第1の基板3101側、又は第2の基板3102側のどちらに設けることもできる。

【0222】

50

TNモードに使用される液晶材料は、公知のものを使用すればよい。

【0223】

図12(B1)及び(B2)に、VAモードの液晶表示装置の画素構成を説明する断面模式図を示す。VAモードは、無電界の時に液晶分子3105が基板に垂直となるように配向されているモードである。

【0224】

図12(A1)及び(A2)と同様に、第1の基板3101、及び第2の基板3102上には、それぞれ第1の電極3108、第2の電極3109が設けられている。そして、バックライトと反対側、つまり視認側の電極である第1の電極3108は、透光性を有するように形成する。そして第1の基板3101側には、第1の偏光板3103が形成され、第2の基板3102側に第2の偏光板3104が形成されている。また、第1の偏光板3103の吸収軸と、第2の偏光板3104の吸収軸は、クロスニコルの状態で配置されている。

10

【0225】

このような構成を有する液晶表示装置において、第1の電極3108及び第2の電極3109の間に電圧が印加される(縦電界方式)と、図12(B1)に示すように液晶分子3105は横に並んだ状態となる。すると、バックライトからの光は、第1の偏光板3103を通過することができ、白色表示となる。

【0226】

そして図12(B2)に示すように、第1の電極3108及び第2の電極3109の間に電圧が印加されていないときは、液晶分子3105は縦に並んだ状態となる。その結果、第2の偏光板3104により偏光されたバックライトからの光は、液晶分子3105の複屈折の影響を受けることなくセル内を通過する。すると、偏光されたバックライトからの光は、第1の偏光板3103を通過することができず、黒色表示となる。また、第1の電極3108及び第2の電極3109に印加する電圧を調節することにより、階調を表現することができる。このようにして、所定の映像表示が行われる。

20

【0227】

このとき、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第1の基板3101側、又は第2の基板3102側のどちらに設けることもできる。

30

【0228】

図12(C1)及び(C2)に、MVAモードの液晶表示装置の画素構成を説明する断面模式図を示す。MVAモードは一画素を複数に分割し、それぞれの部分の液晶分子3105の配向方向を異ならせて、視野角依存性を互いに補償する方法である。図12(C1)に示すように、MVAモードでは、第1の電極3108及び第2の電極3109上に配向制御用に断面が三角の突起物3158及び3159が設けられている。なお、他の構成はVAモードと同等である。

【0229】

第1の電極3108及び第2の電極3109に電圧が印加される(縦電界方式)と、図12(C1)に示すように液晶分子3105は突起物3158及び3159の面に対して液晶分子3105の長軸が概ね垂直となるように配向する。すると、バックライトからの光は、第1の偏光板3103を通過することができ、白色表示となる。

40

【0230】

そして図12(C2)に示すように、第1の電極3108及び第2の電極3109の間に電圧が印加されていないときは、液晶分子3105は縦に並んだ状態となる。その結果、バックライトからの光は、第1の偏光板3103を通過することができず、黒色表示となる。また、第1の電極3108及び第2の電極3109に印加する電圧を調節することにより、階調を表現することができる。このようにして、所定の映像表示が行われる。

【0231】

このとき、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カ

50

ラーフィルタは、第1の基板3101側、又は第2の基板3102側のどちらに設けることもできる。

【0232】

MVAモードの液晶表示装置の他の構成例について、図15を用いて説明する。図15(A)はMVAモードの液晶表示装置の画素構成を説明する上面図であり、図15(B)は図15(A)中でV-Xで示す部位の断面図である。なお、図面をわかりやすくするため、図15(A)では、第2の電極3109a、3109b、3109cおよび突起物3158以外の記載を省略している。図15(A)に示すように、第2の電極3109a、第2の電極3109bおよび第2の電極3109cは、くの字のように屈曲したパターンに形成されている。図15(B)で示すように、第2の電極3109a、3109b、3109cおよび第1の電極3108上に配向膜である絶縁層3162および絶縁膜3163がそれぞれ形成されている。第1の電極3108上には突起物3158が第2の電極3109bと重畳するように形成されている。

10

【0233】

図13(A1)及び(A2)に、OCBモードの液晶表示装置の画素構成を説明する断面模式図を示す。OCBモードは、液晶層内で液晶分子3105が視野角依存性を補償するように配向しており、これはベンド配向と呼ばれる。

【0234】

図12と同様に、第1の基板3101、及び第2の基板3102上には、それぞれ第1の電極3108、第2の電極3109が設けられている。そして、バックライトと反対側、つまり視認側の電極である第1の電極3108は、透光性を有するように形成する。そして第1の基板3101側には、第1の偏光板3103が形成され、第2の基板3102側に第2の偏光板3104が形成されている。また、第1の偏光板3103の吸収軸と、第2の偏光板3104の吸収軸は、クロスニコルの状態で配置されている。

20

【0235】

このような構成を有する液晶表示装置において、第1の電極3108及び第2の電極3109に電圧が印加される(縦電界方式)と、図13(A1)に示すように黒色表示が行われる。このとき液晶分子3105は、図13(A1)に示すように縦に並んだ状態となる。すると、バックライトからの光は、第1の偏光板3103を通過することができず、黒色表示となる。

30

【0236】

そして図13(A2)に示すように、第1の電極3108及び第2の電極3109の間に電圧が印加されていないときは、液晶分子3105はベンド配向の状態となる。その結果、バックライトからの光は、第1の偏光板3103を通過することができ、白色表示となる。また、第1の電極3108及び第2の電極3109の間に印加する電圧を調節することにより、階調を表現することができる。このようにして、所定の映像表示が行われる。

【0237】

このとき、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第1の基板3101側、又は第2の基板3102側のどちらに設けることもできる。

40

【0238】

このようなOCBモードでは、液晶層内で液晶分子3105の配列により視野角依存性を補償できる。さらに、一对の積層された偏光子を含む層によりコントラスト比を高めることができる。

【0239】

図13(B1)及び(B2)に、FLCモード及びAFLCモードの液晶表示装置の画素構成を説明する断面模式図を示す。

【0240】

図12と同様に、第1の基板3101、及び第2の基板3102上には、それぞれ第1の電極3108、第2の電極3109が設けられている。そして、バックライトと反対側、

50

つまり視認側の電極である第1の電極3108は、透光性を有するように形成する。そして第1の基板3101側には、第1の偏光板3103が形成され、第2の基板3102側に第2の偏光板3104が形成されている。また、第1の偏光板3103の吸収軸と、第2の偏光板3104の吸収軸は、クロスニコルの状態で配置されている。

【0241】

このような構成を有する液晶表示装置において、第1の電極3108及び第2の電極3109の間に電圧が印加（縦電界方式と呼ぶ）されると、液晶分子3105はラビング方向からずれた方向で横に並んでいる状態となる。その結果、バックライトからの光は、第1の偏光板3103を通過することができ、白色表示となる。

【0242】

そして図13（B2）に示すように、第1の電極3108及び第2の電極3109の間に電圧が印加されていないときは、液晶分子3105はラビング方向に沿って横に並んだ状態となる。すると、バックライトからの光は、第1の偏光板3103を通過することができず、黒色表示となる。また、第1の電極3108及び第2の電極3109に印加する電圧を調節することにより、階調を表現することができる。このようにして、所定の映像表示が行われる。

【0243】

このとき、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第1の基板3101側、又は第2の基板3102側のどちらに設けることもできる。

【0244】

FLCモード及びAFLCモードに使用される液晶材料は、公知のものを使用すればよい。

【0245】

図14（A1）及び（A2）に、IPSモードの液晶表示装置の画素構成を説明する断面模式図を示す。IPSモードは、一方の基板側のみに設けた電極の横電界によって液晶分子3105を基板に対して平面内で回転させるモードである。

【0246】

IPSモードは一方の基板に設けられた一对の電極により液晶を制御することを特徴とする。そのため、第2の基板3102上に一对の電極3150、電極3151が設けられている。一对の電極3150、電極3151は、それぞれ透光性を有するとよい。そして第1の基板3101側には、第1の偏光板3103が形成され、第2の基板3102側に第2の偏光板3104が形成されている。また、第1の偏光板3103の吸収軸と、第2の偏光板3104の吸収軸は、クロスニコルの状態で配置されている。

【0247】

このような構成を有する液晶表示装置において、一对の電極3150、電極3151の間に電圧が印加されると、図14（A1）に示すように液晶分子3105はラビング方向からずれた電気力線に沿って配向する。すると、バックライトからの光は、第1の偏光板3103を通過することができ、白色表示となる。

【0248】

そして図14（A2）に示すように、一对の電極3150、電極3151の間に電圧が印加されていないとき、液晶分子3105は、ラビング方向に沿って横に並んだ状態となる。その結果、バックライトからの光は、第1の偏光板3103を通過することができず、黒色表示となる。また、一对の電極3150、電極3151の間に印加する電圧を調節することにより、階調を表現することができる。このようにして、所定の映像表示が行われる。

【0249】

このとき、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第1の基板3101側、又は第2の基板3102側のどちらに設けることもできる。

10

20

30

40

50

## 【0250】

I P Sモードで用いることができる一対の電極3150及び3151の例を図16に示す。図16(A)乃至(C)の上面図に示すように、一対の電極3150及び3151が互い違いとなるように形成されており、図16(A)では電極3150a及び電極3151aはうねりを有する波形状であり、図16(B)では電極3150b及び電極3151bは櫛歯状であり一部重なっている形状であり、図16(C)では電極3150c及び電極3151cは櫛歯状であり電極同士がかみ合うような形状である。

## 【0251】

図14(B1)及び(B2)に、F F Sモードの液晶表示装置の画素構成を説明する断面模式図を示す。F F SモードはI P Sモードと同じ横電界方式であるが、図14(B1)及び(B2)に示すように、電極3150上に絶縁膜を介して電極3151が形成される構造である。

10

## 【0252】

一対の電極3150、電極3151は、それぞれ透光性を有するとよい。そして第1の基板3101側には、第1の偏光板3103が形成され、第2の基板3102側に第2の偏光板3104が形成されている。また、第1の偏光板3103の吸収軸と、第2の偏光板3104の吸収軸は、クロスニコルの状態で配置されている。

## 【0253】

このような構成を有する液晶表示装置において、一対の電極3150、電極3151に電圧が印加されると、図14(B1)に示すように液晶分子3105はラビング方向からずれた電気力線に沿って配向する。すると、バックライトからの光は、第1の偏光板3103を通過することができ、白色表示となる。

20

## 【0254】

そして図14(B2)に示すように、一対の電極3150、電極3151の間に電圧が印加されていないとき、液晶分子3105は、ラビング方向に沿って横に並んだ状態となる。その結果、バックライトからの光は、第1の偏光板3103を通過することができず、黒色表示となる。また、一対の電極3150、電極3151の間に印加する電圧を調節することにより、階調を表現することができる。このようにして、所定の映像表示が行われる。

## 【0255】

このとき、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第1の基板3101側、又は第2の基板3102側のどちらに設けることもできる。

30

## 【0256】

F F Sモードで用いることできる一対の電極3150及び3151の例を図17に示す。図17(A)乃至(C)の上面図に示すように、電極3150上に様々なパターンに形成された電極3151が形成されており、図17(A)では電極3150a上の電極3151aは屈曲したくの字形状であり、図17(B)では電極3150b上の電極3151bは櫛歯状で電極同士がかみ合うような形状であり、図17(C)では電極3150c上の電極3151cは櫛歯状の形状である。

40

## 【0257】

I P Sモード及びF F Sモードに使用される液晶材料は、公知のものを使用すればよい。または、ブルー相を示す液晶を用いてもよい。

## 【0258】

また、これら以外にも、P V Aモード、A S Mモード、T B Aモードなどの液晶モードを適用することが可能である。

## 【0259】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

## 【0260】

50



(実施の形態6)

本実施の形態では、本発明の一態様である保護回路について、図18を用いて説明する。

【0261】

保護回路に適用可能な回路の一例を図18(A)に示す。保護回路997はn型のトランジスタ970a及び970bによって構成されており、それぞれダイオードと同様の特性を示すように、ゲート端子がドレイン端子と接続されている。なお、トランジスタ970a及び970bは、上記実施の形態で開示したトランジスタを用いることができる。

【0262】

トランジスタ970aの第1端子(ゲート)と第3端子(ドレイン)は第1の配線945に電氣的に接続され、第2端子(ソース)は第2の配線960に電氣的に接続されている。また、トランジスタ970bの第1端子(ゲート)と第3端子(ドレイン)は第2の配線960に電氣的に接続され、第2端子(ソース)は第1の配線945に電氣的に接続されている。すなわち、図18(A)で示す保護回路は、二つのトランジスタのそれぞれが整流方向を逆向きにして、第1の配線945と第2の配線960を接続する構成を備えている。言い換えると、整流方向が第1の配線945から第2の配線960に向かうトランジスタと、整流方向が第2の配線960から第1の配線945に向かうトランジスタを、第1の配線945と第2の配線960の間に有する構成である。

【0263】

上記の保護回路は、第2の配線960が静電気等により正又は負に帯電した場合、その電荷を打ち消す方向に電流が流れる。例えば、第2の配線960が正に帯電した場合は、その正電荷を第1の配線945に逃がす方向に電流が流れる。この動作により、帯電した第2の配線960に接続している回路や素子の静電破壊又は誤動作を防止することができる。また、帯電した第2の配線960と他の配線が絶縁層を介して交差する構成において、該絶縁層が絶縁破壊される現象を防止することができる。

【0264】

なお、保護回路は上記構成に限定されない。例えば、整流方向が第1の配線945から第2の配線960に向かう複数のトランジスタと、整流方向が第2の配線960から第1の配線945に向かう複数のトランジスタを有する構成であってもよい。また、奇数個のトランジスタを使って保護回路を構成することもできる。

【0265】

図18(A)に例示した保護回路は様々な用途に適用することができる。例えば、第1の配線945を表示装置の共通配線とし、第2の配線960を複数の信号線の一とし、その間に当該保護回路を適用することができる。保護回路が設けられた信号線に接続された画素トランジスタは、配線の帯電による静電破壊やしきい値電圧のシフト等の不具合から保護される。なお、該保護回路は表示装置以外の半導体装置にも適用することができる。

【0266】

次に、基板上に保護回路997を構成する例を説明する。保護回路997の上面図の一例を図18(B)に示す。

【0267】

トランジスタ970aはゲート電極911aと、ゲート電極911aと重畳するチャンネル形成領域913を含む半導体層を有し、ゲート電極911aは第1の配線945と電氣的に接続している。トランジスタ970aのソース電極は第2の配線960と電氣的に接続され、ドレイン電極は、コンタクトホール926aを介して電極930aと電氣的に接続している。また、電極930aは、コンタクトホール925aを介して第1の配線945と電氣的に接続している。すなわち、トランジスタ970aのゲート電極911aとドレイン電極は、電極930aを介して電氣的に接続されている。

【0268】

トランジスタ970bはゲート電極911bと、ゲート電極911bと重畳するチャンネル形成領域914を含む半導体層を有し、ゲート電極911bはコンタクトホール925bを介して電極930bと電氣的に接続している。トランジスタ970bのソース電極は、

10

20

30

40

50

第1の電極915a及び電極930aを介して、第1の配線945と電氣的に接続されている。トランジスタ970bのドレイン電極は、第2の配線960と電氣的に接続されている。第2の配線960は、コンタクトホール926bを介して、電極930bと電氣的に接続している。すなわち、トランジスタ970bのゲート電極911bとドレイン電極は、電極930bを介して電氣的に接続されている。

【0269】

また、コンタクトホールを介して接続される電極と配線の接触抵抗を低減するため、コンタクトホール925a、925b、926a、及び926bは、極力大きい面積もしくは、コンタクトホールの数を複数とすることが好ましい。

【0270】

本実施の形態で開示する保護回路を表示装置に適用する場合、電極930a及び電極930bは、表示装置の画素電極と同じ層を用いて形成することができる。

【0271】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0272】

(実施の形態7)

図19(A)に半導体装置を構成する記憶素子(以下、メモリセルとも記す)の回路図の一例を示す。メモリセルは、酸化物半導体以外の材料をチャネル形成領域に用いたトランジスタ1160と酸化物半導体をチャネル形成領域に用いたトランジスタ1162によって構成される。

【0273】

酸化物半導体をチャネル形成領域に用いたトランジスタ1162は、上記実施の形態に従って作製することができる。

【0274】

図19(A)に示すように、トランジスタ1160のゲート電極と、トランジスタ1162のソース電極またはドレイン電極の一方とは、電氣的に接続されている。また、第1の配線SL(1st Line:ソース線とも呼ぶ)とトランジスタ1160のソース電極とは、電氣的に接続され、第2の配線BL(2nd Line:ビット線とも呼ぶ)とトランジスタ1160のドレイン電極とは、電氣的に接続されている。そして、第3の配線S1(3rd Line:第1信号線とも呼ぶ)とトランジスタ1162のソース電極またはドレイン電極の他方とは、電氣的に接続され、第4の配線S2(4th Line:第2信号線とも呼ぶ)と、トランジスタ1162のゲート電極とは、電氣的に接続されている。

【0275】

酸化物半導体以外の材料、例えば単結晶シリコンをチャネル形成領域に用いたトランジスタ1160は十分な高速動作が可能のため、トランジスタ1160を用いることにより、記憶内容の読み出しなどを高速に行うことが可能である。また、酸化物半導体をチャネル形成領域に用いたトランジスタ1162は、オフ電流が小さいという特徴を有している。このため、トランジスタ1162をオフ状態とすることで、トランジスタ1160のゲート電極の電位を極めて長時間にわたって保持することが可能である。

【0276】

トランジスタ1160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0277】

はじめに、情報の書き込み及び保持について説明する。まず、第4の配線S2の電位を、トランジスタ1162がオン状態となる電位として、トランジスタ1162をオン状態とする。これにより、第3の配線S1の電位が、トランジスタ1160のゲート電極に与えられる(書き込み)。その後、第4の配線S2の電位を、トランジスタ1162がオフ状態となる電位として、トランジスタ1162をオフ状態とすることにより、トランジスタ1160のゲート電極の電位が保持される(保持)。

10

20

30

40

50

## 【0278】

トランジスタ1162のオフ電流は小さいから、トランジスタ1160のゲート電極の電位は長時間にわたって保持される。例えば、トランジスタ1160のゲート電極の電位がトランジスタ1160をオン状態とする電位であれば、トランジスタ1160のオン状態が長時間にわたって保持されることになる。また、トランジスタ1160のゲート電極の電位がトランジスタ1160をオフ状態とする電位であれば、トランジスタ1160のオフ状態が長時間にわたって保持される。

## 【0279】

次に、情報の読み出しについて説明する。上述のように、トランジスタ1160のオン状態またはオフ状態が保持された状態において、第1の配線SLに所定の電位（第2の配線の電位より低い電位）が与えられると、トランジスタ1160のオン状態またはオフ状態に応じて、第2の配線BLの電位は異なる値をとる。例えば、トランジスタ1160がオン状態の場合には、第2の配線BLの電位が低下して、第1の配線SLの電位に近づくことになる。また、トランジスタ1160がオフ状態の場合には、第2の配線BLの電位は変化しない。

10

## 【0280】

このように、情報が保持された状態において、第2の配線BLの電位と、所定の電位とを比較することで、情報を読み出すことができる。

## 【0281】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込み及び保持と同様に行われる。つまり、第4の配線S2の電位を、トランジスタ1162がオン状態となる電位として、トランジスタ1162をオン状態とする。これにより、第3の配線S1の電位（新たな情報に係る電位）が、トランジスタ1160のゲート電極に与えられる。その後、第4の配線S2の電位を、トランジスタ1162がオフ状態となる電位として、トランジスタ1162をオフ状態とすることにより、新たな情報が保持された状態となる。

20

## 【0282】

このように、開示する発明に係るメモリセルは、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、メモリセルを有する半導体装置の高速動作が実現される。

30

## 【0283】

また、図19(A)を発展させたメモリセルの回路図の一例を図19(B)に示す。

## 【0284】

図19(B)に示すメモリセル1100は、第1の配線SL（ソース線）と、第2の配線BL（ビット線）と、第3の配線S1（第1信号線）と、第4の配線S2（第2信号線）と、第5の配線WL（ワード線）と、トランジスタ1164（第1のトランジスタ）と、トランジスタ1161（第2のトランジスタ）と、トランジスタ1163（第3のトランジスタ）と、から構成されている。トランジスタ1164及びトランジスタ1163は、酸化物半導体以外の材料をチャンネル形成領域に用いており、トランジスタ1161は酸化物半導体をチャンネル形成領域に用いている。

40

## 【0285】

ここで、トランジスタ1164のゲート電極と、トランジスタ1161のソース電極またはドレイン電極の一方とは、電氣的に接続されている。また、第1の配線SLと、トランジスタ1164のソース電極とは、電氣的に接続され、トランジスタ1164のドレイン電極と、トランジスタ1163のソース電極とは、電氣的に接続されている。そして、第2の配線BLと、トランジスタ1163のドレイン電極とは、電氣的に接続され、第3の配線S1と、トランジスタ1161のソース電極またはドレイン電極の他方とは、電氣的に接続され、第4の配線S2と、トランジスタ1161のゲート電極とは、電氣的に接続され、第5の配線WLと、トランジスタ1163のゲート電極とは電氣的に接続されてい

50

る。

【0286】

次に、回路の動作について具体的に説明する。

【0287】

メモリセル1100への書込みを行う場合は、第1の配線SLを0V、第5の配線WLを0V、第2の配線BLを0V、第4の配線S2を2Vとする。データ"1"を書き込む場合には第3の配線S1を2V、データ"0"を書き込む場合には第3の配線S1を0Vとする。このとき、トランジスタ1163はオフ状態、トランジスタ1161はオン状態となる。なお、書き込み終了にあたっては、第3の配線S1の電位が変化する前に、第4の配線S2を0Vとして、トランジスタ1161をオフ状態にする。

10

【0288】

その結果、データ"1"書込み後にはトランジスタ1164のゲート電極に接続されるノード(以下、ノードA)の電位が約2V、データ"0"書込み後にはノードAの電位が約0Vとなる。ノードAには、第3の配線S1の電位に応じた電荷が蓄積されるが、トランジスタ1161のオフ電流は小さいため、トランジスタ1164のゲート電極の電位は長時間にわたって保持される。

【0289】

次に、メモリセルの読み出しを行う場合は、第1の配線SLを0V、第5の配線WLを2V、第4の配線S2を0V、第3の配線S1を0Vとし、第2の配線BLに接続されている読み出し回路を動作状態とする。このとき、トランジスタ1163はオン状態、トランジスタ1161はオフ状態となる。

20

【0290】

データ"0"、つまりノードAが約0Vの状態であればトランジスタ1164はオフ状態であるから、第2の配線BLと第1の配線SL間の抵抗は高い状態となる。一方、データ"1"、つまりノードAが約2Vの状態であればトランジスタ1164がオン状態であるから、第2の配線BLと第1の配線SL間の抵抗は低い状態となる。読み出し回路は、メモリセルの抵抗状態の違いから、データ"0"、"1"を読み出すことができる。なお、書き込み時の第2の配線BLは0Vとしたが、フローティング状態や0V以上の電位に充電されていても構わない。読み出し時の第3の配線S1は0Vとしたが、フローティング状態や0V以上の電位に充電されていても構わない。

30

【0291】

なお、データ"1"とデータ"0"は便宜上の定義であって、逆であっても構わない。また、上述した動作電圧は一例である。動作電圧は、データ"0"の場合にトランジスタ1164がオフ状態となり、データ"1"の場合にトランジスタ1164がオン状態となるように、また、書き込み時にトランジスタ1161がオン状態、書き込み時以外ではオフ状態となるように、また、読み出し時にトランジスタ1163がオン状態となるように選べばよい。特に2Vの代わりに、周辺の論理回路の電源電位VDDを用いてもよい。

【0292】

本実施の形態では理解の簡単のため、最小記憶単位(1ビット)のメモリセルについて説明したが、メモリセルの構成はこれに限られるものではない。複数のメモリセルを適当に接続して、より高度な半導体装置を構成することもできる。例えば、上記メモリセルを複数用いて、NAND型やNOR型の半導体装置を構成することが可能である。配線の構成も図19(A)や図19(B)に限定されず、適宜変更することができる。

40

【0293】

図20に、 $m \times n$ ビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図を示す。

【0294】

図20に示す半導体装置は、 $m$ 本の第5の配線WL及び第4の配線S2と、 $n$ 本の第2の配線BL及び第3の配線S1と、複数のメモリセル1100(1,1)乃至1100( $m, n$ )が縦 $m$ 個(行) $\times$ 横 $n$ 個(列)( $m, n$ は自然数)がマトリクス状に配置されたメ

50

メモリセルアレイ 1 1 1 0 と、第 2 の配線 B L 及び第 3 の配線 S 1 と接続する駆動回路 1 1 1 1 や、第 4 の配線 S 2 及び第 5 の配線 W L と接続する駆動回路 1 1 1 3 や、読出し回路 1 1 1 2 といった周辺回路によって構成されている。他の周辺回路として、リフレッシュ回路等が設けられてもよい。

【 0 2 9 5 】

各メモリセルの代表として、メモリセル 1 1 0 0 ( i , j ) を考える。ここで、メモリセル 1 1 0 0 ( i , j ) ( i は 1 以上 m 以下の整数、 j は 1 以上 n 以下の整数 ) は、第 2 の配線 B L ( j )、第 3 の配線 S 1 ( j )、第 5 の配線 W L ( i ) 及び第 4 の配線 S 2 ( i )、及び第 1 の配線 S L にそれぞれ接続されている。第 1 の配線 S L には第 1 の配線 S L 電位 V s が与えられている。また、第 2 の配線 B L ( 1 ) 乃至 B L ( n ) 及び第 3 の配線 S 1 ( 1 ) 乃至 S 1 ( n ) は第 2 の配線 B L 及び第 3 の配線 S 1 と接続する駆動回路 1 1 1 1 及び読出し回路 1 1 1 2 に、第 5 の配線 W L ( 1 ) 乃至 W L ( m ) 及び第 4 の配線 S 2 ( 1 ) 乃至 S 2 ( m ) は第 4 の配線 S 2 及び第 5 の配線 W L と接続する駆動回路 1 1 1 3 にそれぞれ接続されている。

10

【 0 2 9 6 】

図 2 0 に示した半導体装置の動作について説明する。本構成では、行ごとの書込み及び読出しを行う。

【 0 2 9 7 】

第 i 行のメモリセル 1 1 0 0 ( i , 1 ) 乃至 1 1 0 0 ( i , n ) に書込みを行う場合は、第 1 の配線電位 V s を 0 V、第 5 の配線 W L ( i ) を 0 V、第 2 の配線 B L ( 1 ) 乃至 B L ( n ) を 0 V、第 4 の配線 S 2 ( i ) を 2 V とする。このときトランジスタ 1 1 6 1 は、オン状態となる。第 3 の配線 S 1 ( 1 ) 乃至 S 1 ( n ) は、データ " 1 " を書き込む列は 2 V、データ " 0 " を書き込む列は 0 V とする。なお、書き込み終了にあたっては、第 3 の配線 S 1 ( 1 ) 乃至 S 1 ( n ) の電位が変化する前に、第 4 の配線 S 2 ( i ) を 0 V とし、トランジスタ 1 1 6 1 をオフ状態にする。また、第 5 の配線 W L ( i ) 以外の第 5 の配線 W L は 0 V、第 4 の配線 S 2 ( i ) 以外の第 4 の配線 S 2 は 0 V とする。

20

【 0 2 9 8 】

その結果、データ " 1 " の書込みを行ったメモリセルのトランジスタ 1 1 6 4 のゲート電極に接続されるノード ( 以下、ノード A ) の電位は約 2 V、データ " 0 " の書込みを行ったメモリセルのノード A の電位は約 0 V となる。また、非選択メモリセルのノード A の電位は変わらない。

30

【 0 2 9 9 】

第 i 行のメモリセル 1 1 0 0 ( i , 1 ) 乃至 1 1 0 0 ( i , n ) の読み出しを行う場合は、第 1 の配線 S L の電位 V s を 0 V、第 5 の配線 W L ( i ) を 2 V、第 4 の配線 S 2 ( i ) を 0 V、第 3 の配線 S 1 ( 1 ) 乃至 S 1 ( n ) を 0 V とし、第 2 の配線 B L ( 1 ) 乃至 B L ( n ) に接続されている読出し回路を動作状態とする。読出し回路では、例えば、メモリセルの抵抗状態の違いから、データ " 0 "、" 1 " を読み出すことができる。なお、第 5 の配線 W L ( i ) 以外の第 5 の配線 W L は 0 V、第 4 の配線 S 2 ( i ) 以外の第 4 の配線 S 2 は 0 V とする。なお、書込み時の第 2 の配線 B L は 0 V としたが、フローティング状態や 0 V 以上の電位に充電されていても構わない。読出し時の第 3 の配線 S 1 は 0 V としたが、フローティング状態や 0 V 以上の電位に充電されていても構わない。

40

【 0 3 0 0 】

なお、データ " 1 " とデータ " 0 " は便宜上の定義であって、逆であっても構わない。また、上述した動作電圧は一例である。動作電圧は、データ " 0 " の場合にトランジスタ 1 1 6 4 がオフ状態となり、データ " 1 " の場合にトランジスタ 1 1 6 4 がオン状態となるように、また、書込み時にトランジスタ 1 1 6 1 がオン状態、書込み時以外ではオフ状態となるように、また、読み出し時にトランジスタ 1 1 6 3 がオン状態となるように選べばよい。特に 2 V の代わりに、周辺の論理回路の電源電位 V D D を用いてもよい。

【 0 3 0 1 】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

50

## 【0302】

(実施の形態8)

本実施の形態では、容量素子を有するメモリセルの回路図の一例を示す。図21(A)に示すメモリセル1170は、第1の配線SL、第2の配線BL、第3の配線S1、第4の配線S2と、第5の配線WLと、トランジスタ1171(第1のトランジスタ)と、トランジスタ1172(第2のトランジスタ)と、容量素子1173とから構成されている。トランジスタ1171は、酸化物半導体以外の材料をチャンネル形成領域に用いており、トランジスタ1172はチャンネル形成領域に酸化物半導体を用いている。

## 【0303】

ここで、トランジスタ1171のゲート電極と、トランジスタ1172のソース電極またはドレイン電極の一方と、容量素子1173の一方の電極とは、電気的に接続されている。また、第1の配線SLと、トランジスタ1171のソース電極とは、電気的に接続され、第2の配線BLと、トランジスタ1171のドレイン電極とは、電気的に接続され、第3の配線S1と、トランジスタ1172のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線S2と、トランジスタ1172のゲート電極とは、電気的に接続され、第5の配線WLと、容量素子1173の他方の電極とは、電気的に接続されている。

## 【0304】

次に、回路の動作について具体的に説明する。

## 【0305】

メモリセル1170への書込みを行う場合は、第1の配線SLを0V、第5の配線WLを0V、第2の配線BLを0V、第4の配線S1を2Vとする。データ"1"を書き込む場合には第3の配線S1を2V、データ"0"を書き込む場合には第3の配線S1を0Vとする。このとき、トランジスタ1172はオン状態となる。なお、書き込み終了にあたっては、第3の配線S1の電位が変化する前に、第4の配線S2を0Vとして、トランジスタ1172をオフ状態にする。

## 【0306】

その結果、データ"1"の書込み後にはトランジスタ1171のゲート電極に接続されるノード(以下、ノードA)の電位が約2V、データ"0"の書込み後にはノードAの電位が約0Vとなる。

## 【0307】

メモリセル1170の読み出しを行う場合は、第1の配線SLを0V、第5の配線WLを2V、第4の配線S2を0V、第3の配線S1を0Vとし、第2の配線BLに接続されている読み出し回路を動作状態とする。このとき、トランジスタ1172は、オフ状態となる。

## 【0308】

第5の配線WLを2Vとした場合のトランジスタ1171の状態について説明する。トランジスタ1171の状態を決めるノードAの電位は、第5の配線WLとノードA間の容量C1と、トランジスタ1171のゲート電極と、ソース電極及びドレイン電極間の容量C2に依存する。

## 【0309】

なお、読み出し時の第3の配線S1は0Vとしたが、フローティング状態や0V以上の電位に充電されていても構わない。データ"1"とデータ"0"は便宜上の定義であって、逆であっても構わない。

## 【0310】

書き込み時の第3の配線S1の電位は、書き込み後にトランジスタ1172がオフ状態となり、また、第5の配線WL電位が0Vの場合にトランジスタ1171がオフ状態である範囲で、データ"0"、"1"の電位をそれぞれ選べばよい。読み出し時の第5の配線WL電位は、データ"0"の場合にトランジスタ1171がオフ状態となり、データ"1"の場合にトランジスタ1171がオン状態となるように選べばよい。また、トランジスタ11

10

20

30

40

50

71のしきい値電圧も、一例である。上述したトランジスタ1171の状態を変えない範囲であれば、どのようなしきい値電圧でも構わない。

【0311】

また、第1のゲート電極、及び第2のゲート電極（バックゲート電極）を有する選択トランジスタと、容量素子を有するメモリセルを用いるNOR型の半導体記憶装置の例について図21（B）を用いて説明する。

【0312】

図21（B）に示す本発明の一態様に係る半導体装置は、I行（Iは2以上の自然数）J列（Jは自然数）にマトリクス状に配列された複数のメモリセルを備えたメモリセルアレイを具備する。

10

【0313】

図21（B）に示すメモリセルアレイは、i行（iは3以上の自然数）j列（jは3以上の自然数）にマトリクス状に配列された複数のメモリセル1180と、i本のワード線WL（ワード線WL<sub>1</sub>乃至ワード線WL<sub>i</sub>）と、i本の容量線CL（容量線CL<sub>1</sub>乃至容量線CL<sub>i</sub>）と、i本のゲート線BGL（ゲート線BGL<sub>1</sub>乃至ゲート線BGL<sub>i</sub>）と、j本のビット線BL（ビット線BL<sub>1</sub>乃至ビット線<sub>j</sub>）と、ソース線SLと、を具備する。

【0314】

さらに、複数のメモリセル1180のそれぞれ（メモリセル1180（M，N）（ただし、Mは1以上i以下の自然数、Nは1以上j以下の自然数）ともいう）は、トランジスタ1181（M，N）と、容量素子1183（M，N）と、トランジスタ1182（M，N）と、を備える。

20

【0315】

なお、半導体記憶装置において、容量素子は、第1の容量電極、第2の容量電極、並びに第1の容量電極及び第2の容量電極に重畳する誘電体層により構成される。容量素子は、第1の容量電極及び第2の容量電極の間に印加される電圧に応じて電荷が蓄積される。

【0316】

トランジスタ1181（M，N）は、Nチャネル型トランジスタであり、ソース電極、ドレイン電極、第1のゲート電極、及び第2のゲート電極を有する。なお、本実施の形態の半導体記憶装置において、必ずしもトランジスタ1181をNチャネル型トランジスタにしなくてもよい。

30

【0317】

トランジスタ1181（M，N）のソース電極及びドレイン電極の一方は、ビット線BL<sub>N</sub>に接続され、トランジスタ1181（M，N）の第1のゲート電極は、ワード線WL<sub>M</sub>に接続され、トランジスタ1181（M，N）の第2のゲート電極は、ゲート線BGL<sub>M</sub>に接続される。トランジスタ1181（M，N）のソース電極及びドレイン電極の一方がビット線BL<sub>N</sub>に接続される構成にすることにより、メモリセル毎に選択的にデータを読み出すことができる。

【0318】

トランジスタ1181（M，N）は、メモリセル1180（M，N）において選択トランジスタとしての機能を有する。

40

【0319】

トランジスタ1181（M，N）としては、酸化物半導体をチャネル形成領域に用いたトランジスタを用いることができる。

【0320】

トランジスタ1182（M，N）は、Pチャネル型トランジスタである。なお、本実施の形態の半導体記憶装置において、必ずしもトランジスタ1182をPチャネル型トランジスタにしなくてもよい。

【0321】

トランジスタ1182（M，N）のソース電極及びドレイン電極の一方は、ソース線SL

50

に接続され、トランジスタ 1 1 8 2 ( M , N ) のソース電極及びドレイン電極の他方は、ビット線 B L \_ N に接続され、トランジスタ 1 1 8 2 ( M , N ) のゲート電極は、トランジスタ 1 1 8 1 ( M , N ) のソース電極及びドレイン電極の他方に接続される。

【 0 3 2 2 】

トランジスタ 1 1 8 2 ( M , N ) は、メモリセル 1 1 8 0 ( M , N ) において、出力トランジスタとしての機能を有する。トランジスタ 1 1 8 2 ( M , N ) としては、例えば単結晶シリコンをチャンネル形成領域に用いるトランジスタを用いることができる。

【 0 3 2 3 】

容量素子 1 1 8 3 ( M , N ) の第 1 の容量電極は、容量線 C L \_ M に接続され、容量素子 1 1 8 3 ( M , N ) の第 2 の容量電極は、トランジスタ 1 1 8 1 ( M , N ) のソース電極及びドレイン電極の他方に接続される。なお、容量素子 1 1 8 3 ( M , N ) は、保持容量としての機能を有する。

10

【 0 3 2 4 】

ワード線 W L \_ 1 乃至ワード線 W L \_ i のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

【 0 3 2 5 】

ビット線 B L \_ 1 乃至ビット線 B L \_ j のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

【 0 3 2 6 】

容量線 C L \_ 1 乃至容量線 C L \_ i のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

20

【 0 3 2 7 】

ゲート線 B G L \_ 1 乃至ゲート線 B G L \_ i のそれぞれの電圧は、例えばゲート線駆動回路を用いて制御される。

【 0 3 2 8 】

ゲート線駆動回路は、例えばダイオード及び第 1 の容量電極がダイオードのアノード及びゲート線 B G L に電氣的に接続される容量素子を備える回路により構成される。

【 0 3 2 9 】

トランジスタ 1 1 8 1 の第 2 のゲート電極の電圧を調整することにより、トランジスタ 1 1 8 1 の閾値電圧を調整することができる。従って、選択トランジスタとして機能するトランジスタ 1 1 8 1 の閾値電圧を調整し、オフ状態におけるトランジスタ 1 1 8 1 のソース電極及びドレイン電極の間に流れる電流を極力小さくすることができる。よって、記憶回路におけるデータの保持期間を長くすることができる。また、データの書き込み及び読み出しに必要な電圧を従来の半導体装置より低くすることができるため、消費電力を低減することができる。

30

【 0 3 3 0 】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【 0 3 3 1 】

( 実施の形態 9 )

本実施の形態では、先の実施の形態に示すトランジスタを用いた半導体装置の例について、図 2 2 を参照して説明する。

40

【 0 3 3 2 】

図 2 2 ( A ) には、いわゆる D R A M ( D y n a m i c R a n d o m A c c e s s M e m o r y ) に相当する構成の半導体装置の一例を示す。図 2 2 ( A ) に示すメモリセルアレイ 1 1 2 0 は、複数のメモリセル 1 1 3 0 がマトリクス状に配列された構成を有している。また、メモリセルアレイ 1 1 2 0 は、m本の第 1 の配線 B L 、及び n本の第 2 の配線 W L を有する。なお、本実施の形態においては、第 1 の配線をビット線 B L と呼び、第 2 の配線をワード線 W L と呼び、第 3 の配線をビット線 B L B ( 反転ビット線 ) と呼ぶ。

【 0 3 3 3 】

50



メモリセル1130は、トランジスタ1131と、容量素子1132と、から構成されている。トランジスタ1131のゲート電極は、第2の配線WLと接続されている。また、トランジスタ1131のソース電極またはドレイン電極の一方は、第1の配線BLと接続されており、トランジスタ1131のソース電極またはドレイン電極の他方は、容量素子の電極の一方と接続されている。また、容量素子の電極の他方は容量線CLと接続され、一定の電位が与えられている。トランジスタ1131には、先の実施の形態に示すトランジスタが適用される。

【0334】

先の実施の形態において示した酸化物半導体をチャネル形成領域に用いるトランジスタは、オフ電流が小さいという特徴を有する。このため、いわゆるDRAMとして認識されている図22(A)に示す半導体装置に当該トランジスタを適用する場合、実質的な不揮発性メモリを得ることが可能である。

10

【0335】

図22(B)には、いわゆるSRAM(Static Random Access Memory)に相当する構成の半導体装置の一例を示す。図22(B)に示すメモリセルアレイ1140は、複数のメモリセル1150がマトリクス状に配列された構成とすることができる。また、メモリセルアレイ1140は、第1の配線BL、第2の配線WL及び第3の配線BLB、ハイレベルの電源電位VDDが供給される電源線VH、およびローレベルの電源電位VSSが供給される電源線VLを有する。

【0336】

メモリセル1150は、第1のトランジスタ1151、第2のトランジスタ1152、第3のトランジスタ1153、第4のトランジスタ1154、第5のトランジスタ1155、及び第6のトランジスタ1156を有している。第1のトランジスタ1151と第2のトランジスタ1152は、選択トランジスタとして機能する。また、第3のトランジスタ1153と第4のトランジスタ1154のうち、一方はnチャネル型トランジスタ(ここでは、第4のトランジスタ1154)であり、他方はpチャネル型トランジスタ(ここでは、第3のトランジスタ1153)である。つまり、第3のトランジスタ1153と第4のトランジスタ1154によってCMOS回路が構成されている。同様に、第5のトランジスタ1155と第6のトランジスタ1156によってCMOS回路が構成されている。

20

【0337】

第1のトランジスタ1151、第2のトランジスタ1152、第4のトランジスタ1154、第6のトランジスタ1156は、nチャネル型のトランジスタであり、先の実施の形態において示したトランジスタを適用することができる。第3のトランジスタ1153と第5のトランジスタ1155は、pチャネル型のトランジスタであり、酸化物半導体以外の材料(例えば、単結晶シリコンなど)をチャネル形成領域に用いる。

30

【0338】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0339】

(実施の形態10)

酸化物半導体をチャネル形成領域に用いたトランジスタを少なくとも一部に用いてCPU(Central Processing Unit)を構成することができる。

40

【0340】

図23(A)は、CPUの具体的な構成を示すブロック図である。図23(A)に示すCPUは、基板1190上に、演算回路(ALU: Arithmetic Logic Unit)1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F)1198、書き換え可能なROM1199、及びROMインターフェース(ROM I/F)1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199及びROMインターフェース1189は、別チップに設けても良い。

50

勿論、図23(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

【0341】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0342】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

10

【0343】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

20

【0344】

図23(A)に示すCPUでは、レジスタ1196に、記憶素子が設けられている。レジスタ1196の記憶素子には、実施の形態7に記載されている記憶素子を用いることができる。

【0345】

図23(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有する記憶素子において、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。位相反転素子によるデータの保持が選択されている場合、レジスタ1196内の記憶素子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内の記憶素子への電源電圧の供給を停止することができる。

30

【0346】

電源停止に関しては、図23(B)または図23(C)に示すように、記憶素子群と、ハイレベルの電源電位VDDまたはローレベルの電源電位VSSの与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図23(B)及び図23(C)の回路の説明を行う。

【0347】

図23(B)及び図23(C)では、記憶素子への電源電位の供給を制御するスイッチング素子に、酸化半導体をチャネル形成領域に用いたトランジスタを含む記憶回路の構成の一例を示す。

40

【0348】

図23(B)に示す記憶装置は、スイッチング素子1141と、記憶素子1142を複数有する記憶素子群1143とを有している。具体的に、各記憶素子1142には、実施の形態5に記載されている記憶素子を用いることができる。記憶素子群1143が有する各記憶素子1142には、スイッチング素子1141を介して、ハイレベルの電源電位VDDが供給されている。さらに、記憶素子群1143が有する各記憶素子1142には、信号INの電位と、ローレベルの電源電位VSSの電位が与えられている。

50

## 【0349】

図23(B)では、スイッチング素子1141として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号Signalによりスイッチングが制御される。

## 【0350】

なお、図23(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していても良い。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

10

## 【0351】

また、図23(B)では、スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ハイレベルの電源電位VDDの供給が制御されているが、スイッチング素子1141により、ローレベルの電源電位VSSの供給が制御されていても良い。

## 【0352】

また、図23(C)には、記憶素子群1143が有する各記憶素子1142に、スイッチング素子1141を介して、ローレベルの電源電位VSSが供給されている、記憶装置の一例を示す。スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ローレベルの電源電位VSSの供給を制御することができる。

20

## 【0353】

記憶素子群と、ハイレベルの電源電位VDDまたはローレベルの電源電位VSSの与えられているノード間に、スイッチング素子を設け、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUの動作を停止することができ、それにより消費電力を低減することができる。

## 【0354】

ここでは、CPUを例に挙げて説明したが、DSP(Digital Signal Processor)、カスタムLSI、FPGA(Field Programmable Gate Array)等のLSIにも応用可能である。

30

## 【0355】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

## 【0356】

(実施の形態11)

本実施の形態においては、上記実施の形態で説明した半導体装置を用いた電子機器の例について説明する。

## 【0357】

図24(A)は、ノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。上記実施の形態で示した半導体装置を適用することにより、消費電力が少なく、信頼性の高いノート型のパーソナルコンピュータとすることができる。

40

## 【0358】

図24(B)は、携帯情報端末(PDA)であり、本体3021には表示部3023と、外部インターフェース3025と、操作ボタン3024等が設けられている。また操作用の付属品としてスタイラス3022がある。上記実施の形態で示した半導体装置を適用することにより、消費電力が少なく、信頼性の高い携帯情報端末(PDA)とすることができる。

## 【0359】

図24(C)は、電子書籍の一例を示している。例えば、電子書籍は、筐体2702及び

50

筐体 2704 の 2 つの筐体で構成されている。筐体 2702 及び筐体 2704 は、軸部 2712 により一体とされており、該軸部 2712 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

**【0360】**

筐体 2702 には表示部 2705 が組み込まれ、筐体 2704 には表示部 2707 が組み込まれている。表示部 2705 及び表示部 2707 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 24（C）では表示部 2705）に文章を表示し、左側の表示部（図 24（C）では表示部 2707）に画像を表示することができる。上記実施の形態で示した半導体装置を適用することにより、消費電力が少なく、信頼性の高い電子書籍とすることができる。

10

**【0361】**

また、図 24（C）では、筐体 2702 に操作部などを備えた例を示している。例えば、筐体 2702 において、電源端子 2721、操作キー 2723、スピーカー 2725などを備えている。操作キー 2723 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍は、電子辞書としての機能を持たせた構成としてもよい。

**【0362】**

また、電子書籍は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

20

**【0363】**

図 24（D）は、携帯電話であり、筐体 2800 及び筐体 2801 の二つの筐体で構成されている。筐体 2801 には、表示パネル 2802、スピーカー 2803、マイクロフォン 2804、ポインティングデバイス 2806、カメラ用レンズ 2807、外部接続端子 2808などを備えている。また、筐体 2800 には、携帯型情報端末の充電を行う太陽電池セル 2810、外部メモリスロット 2811などを備えている。また、アンテナは筐体 2801 内部に内蔵されている。

30

**【0364】**

また、表示パネル 2802 はタッチパネルを備えており、図 24（D）には映像表示されている複数の操作キー 2805 を点線で示している。なお、太陽電池セル 2810 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

**【0365】**

表示パネル 2802 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2802 と同一面上にカメラ用レンズ 2807 を備えているため、テレビ電話が可能である。スピーカー 2803 及びマイクロフォン 2804 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2800 と筐体 2801 は、スライドし、図 24（D）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

40

**【0366】**

外部接続端子 2808 は AC アダプタ及び USB ケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット 2811 に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

**【0367】**

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。上記実施の形態で示した半導体装置を適用することにより、消費電力が少なく、信頼性の高い携帯電話とすることができる。

50

## 【0368】

図24(E)は、デジタルビデオカメラであり、本体3051、表示部(A)3057、接眼部3053、操作スイッチ3054、表示部(B)3055、バッテリー3056などによって構成されている。上記実施の形態で示した半導体装置を適用することにより、消費電力が少なく、信頼性の高いデジタルビデオカメラとすることができる。

## 【0369】

図24(F)は、テレビジョン装置の一例を示している。テレビジョン装置は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。上記実施の形態で示した半導体装置を適用することにより、消費電力が少なく、信頼性の高いテレビジョン装置とすることができる。

10

## 【0370】

テレビジョン装置の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

## 【0371】

なお、テレビジョン装置は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

20

## 【0372】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

## 【実施例1】

## 【0373】

ここで、酸化物半導体層の上面及び側面における酸素の欠損しやすさについて、以下のモデルを用いて計算を行い検証した結果について説明する。なお、CAAC-Osは、一側面に複数の結晶面を有することから計算が複雑になる。そのため、ここではc軸に配向したウルツ鉱構造であるZnO単結晶を用いて計算を行った。結晶のモデルとしては、図25に示すように、c軸に平行な面と垂直な面でそれぞれ切断し、(001)表面、(100)表面、及び(110)表面を作製した。

30

## 【0374】

表面構造を作製した後、図26(A)乃至図26(C)に示すように(100)表面、(110)表面、及び(001)表面から酸素が抜ける場合の計算を行い、その抜けやすさを各表面で比較した。

## 【0375】

結晶構造を(001)面が表面になるように切断したモデルを作製した。ただし、計算は3次元周期構造で行うため、(001)表面が2つ存在する真空領域が1nmのスラブモデルを作製した。同様にして、側面は(001)面と垂直な面と想定されるため、側面の一例として(100)面と(110)面が表面に出たスラブモデルを作製した。この2つの面を計算することで、(001)に垂直な面における酸素の抜けやすさの傾向を見ることができる。この場合も真空領域は1nmである。原子数は(100)表面モデル、(110)表面モデル、(001)表面モデルでそれぞれ、64、108、108原子とした。また、上記3構造の表面から酸素を抜いた構造を作製した。

40

## 【0376】

計算には密度汎関数法のプログラムであるCASTEPを用いた。密度汎関数の方法として平面波基底擬ポテンシャル法を用い、汎関数はGGAPBEを用いた。始めにウルツ鉱構造の4原子のユニットセルにおいて、格子定数を含めた構造最適化を行った。次に、最適化された構造をもとにして、表面構造を作製した。その後、作製した表面構造の酸素が欠損有りの構造と欠損無しの構造において、格子定数を固定した構造最適化を行った。エネ

50

ルギーは構造最適化後のものを使用している。

【0377】

カットオフエネルギーとして、ユニットセルの計算では380 eV、表面構造の計算では300 eVを用いた。k点として、ユニットセルの計算では $9 \times 9 \times 6$ 、(100)表面モデルの計算では $3 \times 2 \times 1$ 、(110)表面モデルの計算では $1 \times 2 \times 2$ 、(001)表面モデルの計算では $2 \times 2 \times 1$ を用いた。

【0378】

上記の表面構造に、酸素欠損有りの構造のエネルギーと酸素分子のエネルギーの半分を足した値から、酸素欠損無しの構造のエネルギーを引いたエネルギー差(ここでは、束縛エネルギーとよぶ。)を計算した。束縛エネルギーの小さい表面で酸素が抜けやすいと言える。

10

【0379】

【数2】

$$\begin{aligned} (\text{束縛エネルギー}) = & (\text{酸素欠損有りの構造のエネルギー}) \\ & + (\text{酸素分子のエネルギーの半分}) \\ & - (\text{酸素欠損無しの構造のエネルギー}) \end{aligned}$$

【0380】

数式2により得られた各表面の束縛エネルギーを表1に示す。

20

【0381】

【表1】

	束縛エネルギー
(100)表面モデル	2.89
(110)表面モデル	2.64
(001)表面モデル	3.38

【0382】

表1に示す結果により、(001)表面と比べ、(100)表面及び(110)表面は束縛エネルギーが小さく、酸素が抜けやすいと言える。即ち、上面に垂直な方向にc軸を有し、該c軸に配向したZnO膜は上面よりも側面の方が酸素が抜けやすいことが分かる。CAAC-OSであるZnOについても、様々な結晶面が混ざり合っているが、ZnO単結晶と同種の結晶面を側面に有している。そのため、ZnO単結晶における酸素の抜けやすさと同様の傾向があると言える。

30

【符号の説明】

【0383】

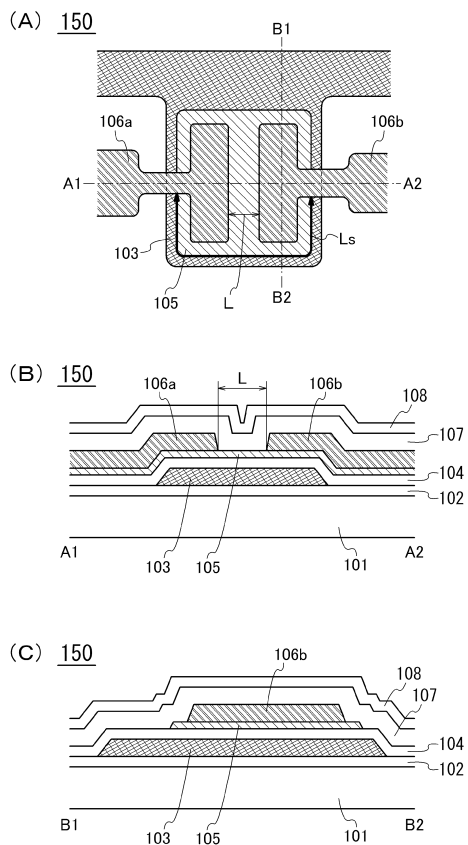
- 101 基板
- 102 下地層
- 103 ゲート電極
- 104 ゲート絶縁層
- 105 酸化物半導体層
- 107 絶縁層
- 108 保護絶縁層
- 109 チャネル保護層
- 111 トランジスタ
- 115 酸化物半導体層
- 117 マスク
- 150 トランジスタ
- 160 トランジスタ

40

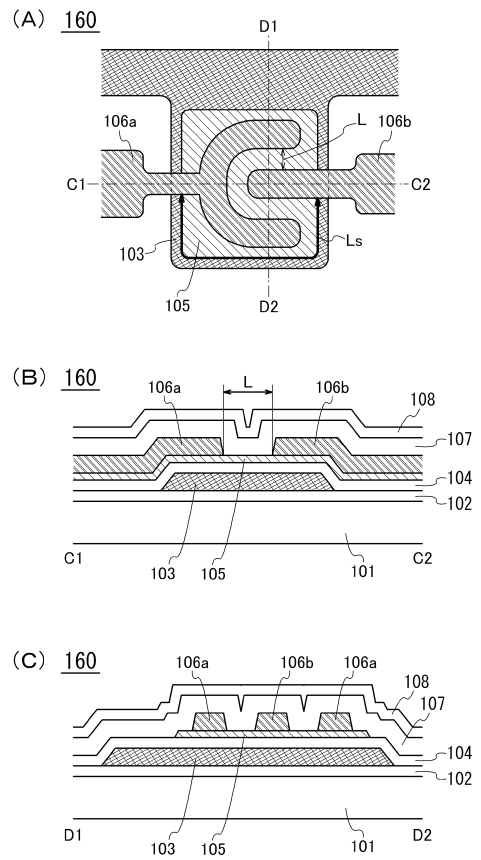
50

170 トランジスタ  
180 トランジスタ

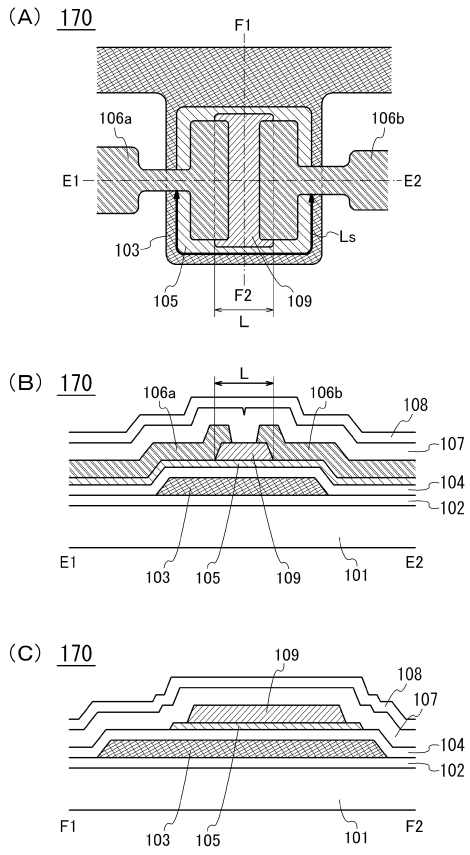
【図1】



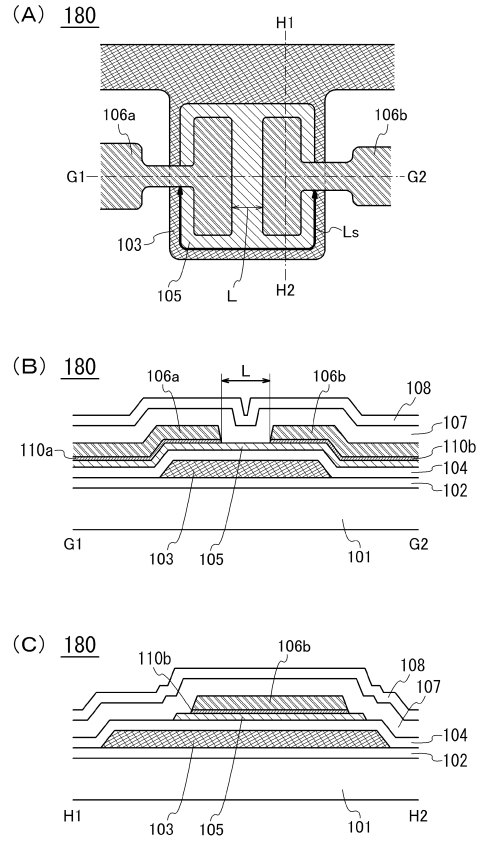
【図2】



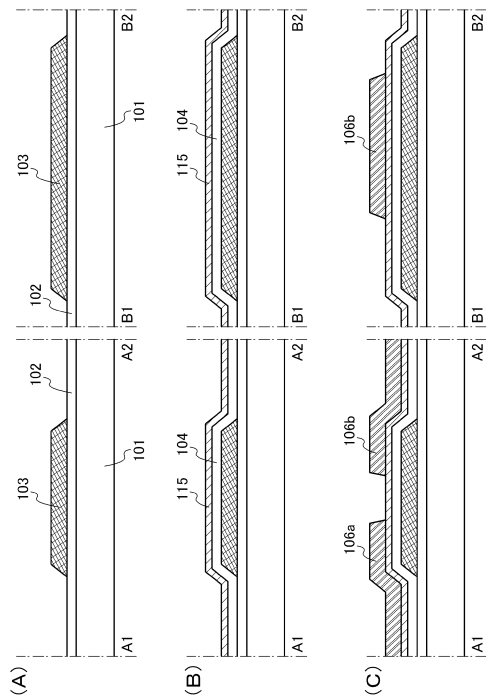
【 図 3 】



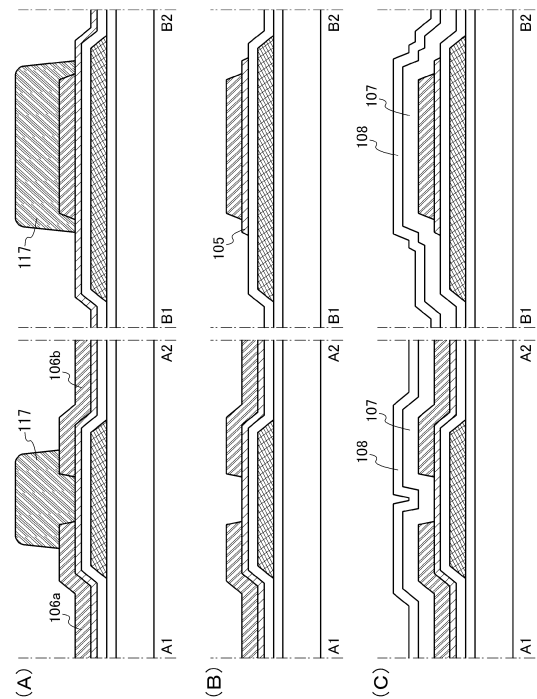
【 図 4 】



【 図 5 】

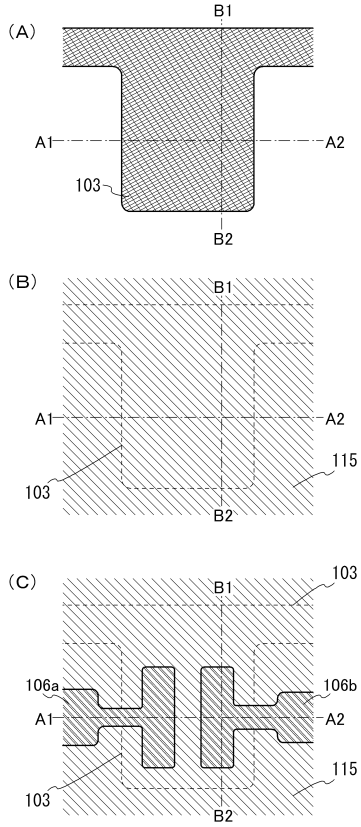


【 図 6 】

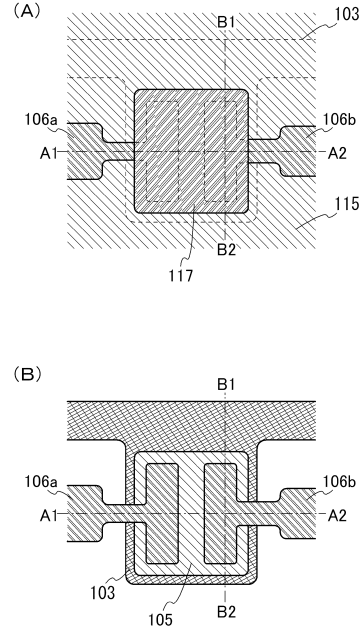




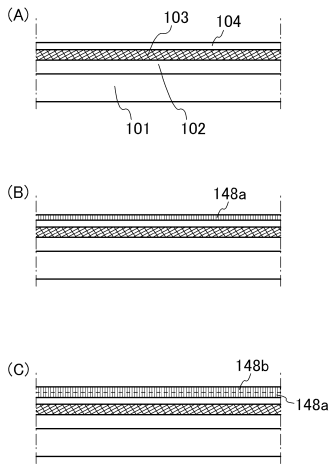
【 図 7 】



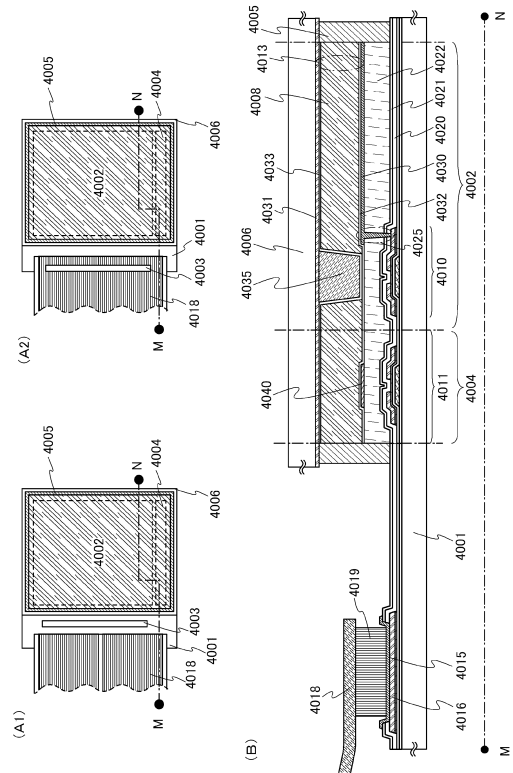
【 図 8 】



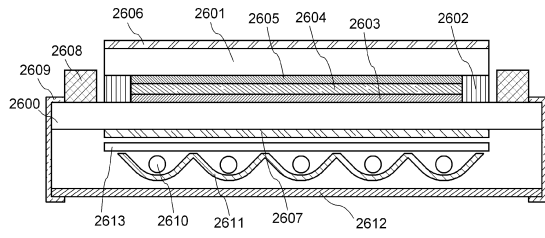
【 図 9 】



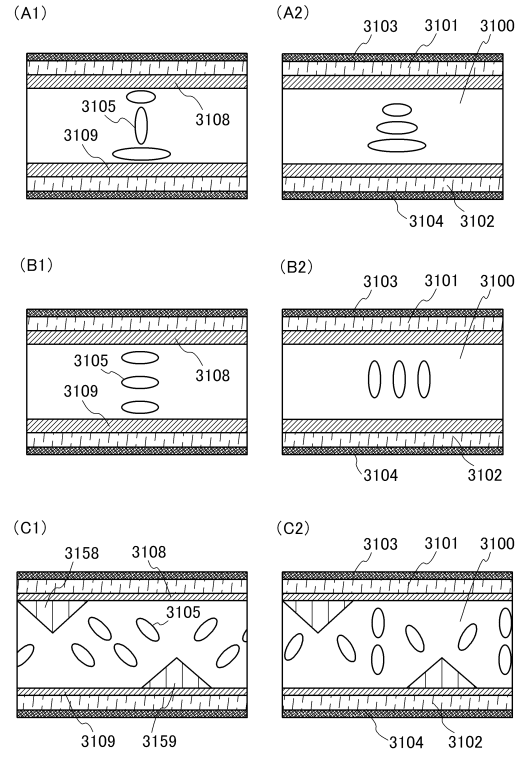
【 図 10 】



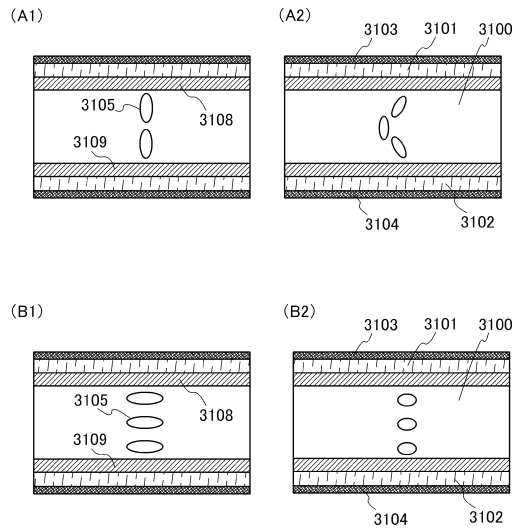
【図 1 1】



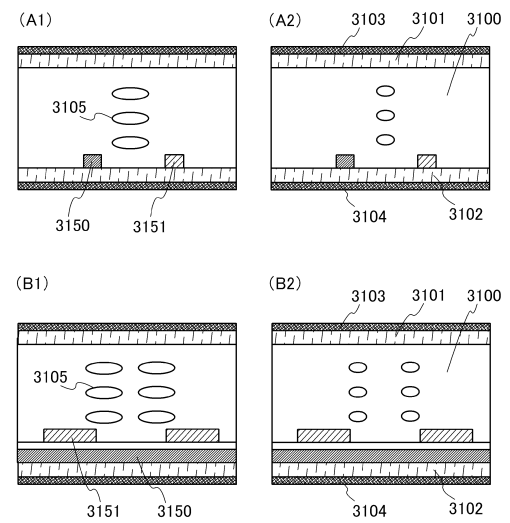
【図 1 2】



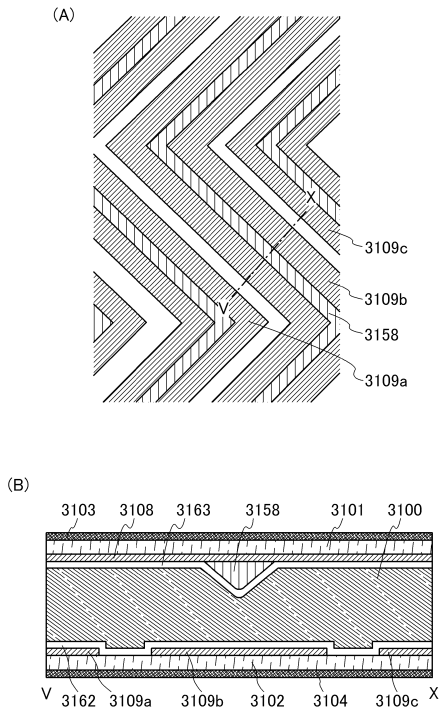
【図 1 3】



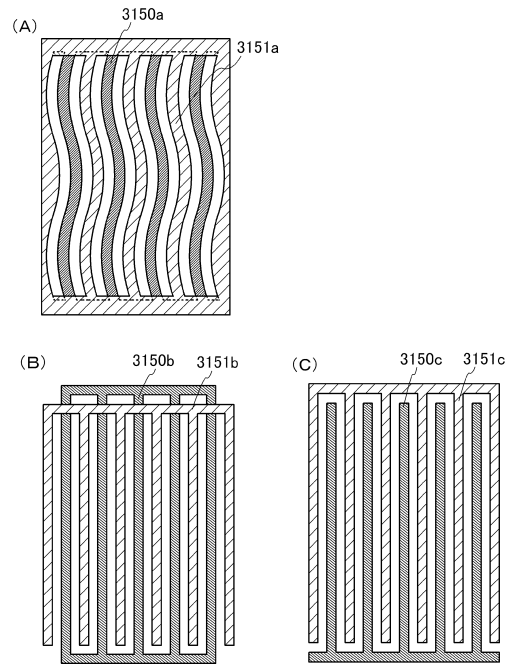
【図 1 4】



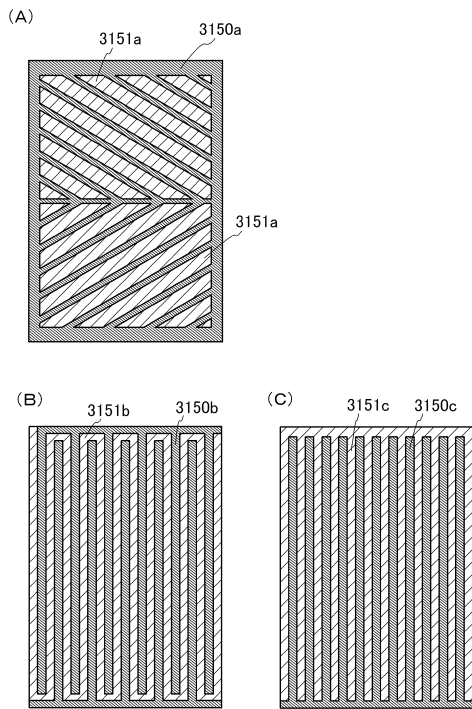
【 図 15 】



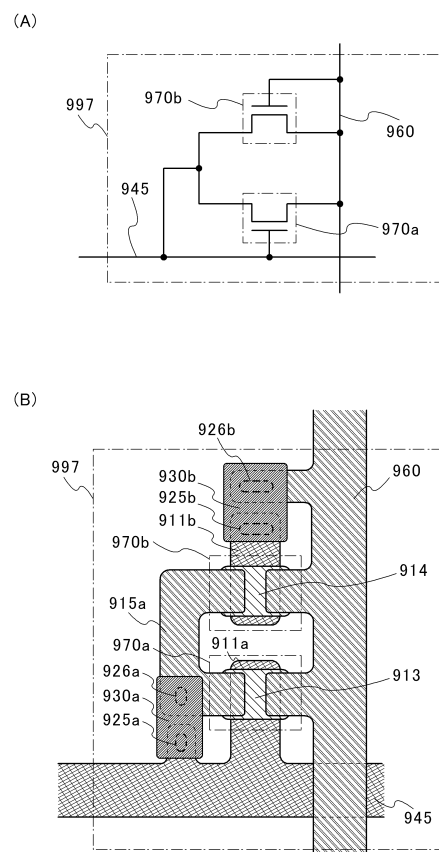
【 図 16 】



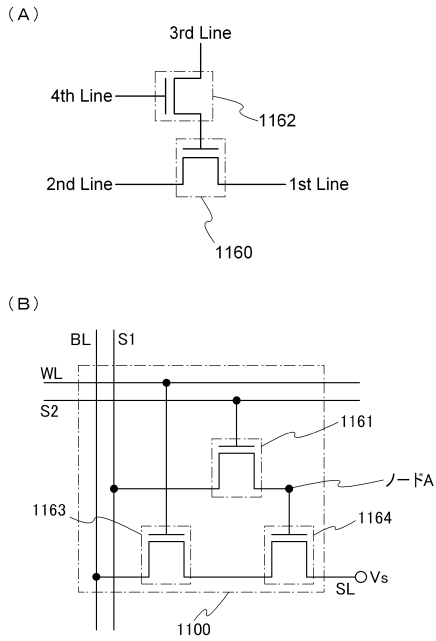
【 図 17 】



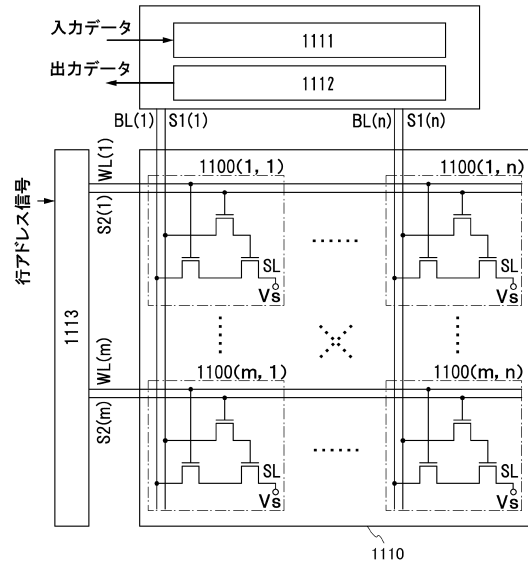
【 図 18 】



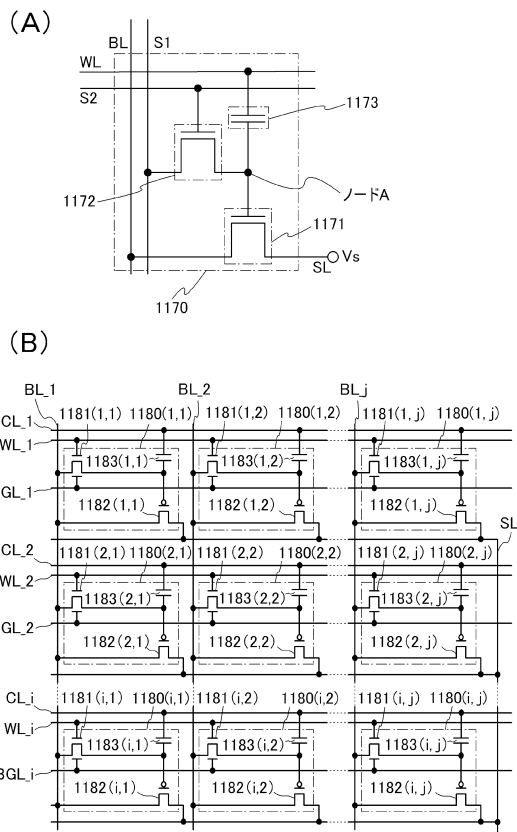
【図19】



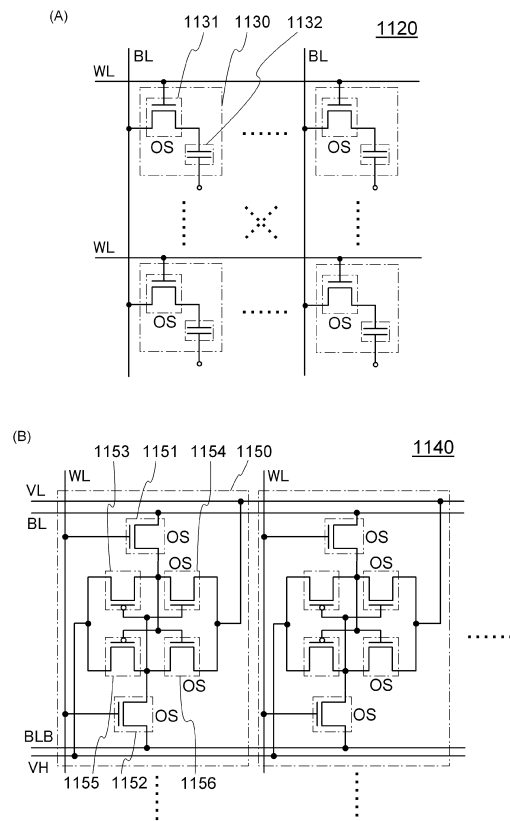
【図20】



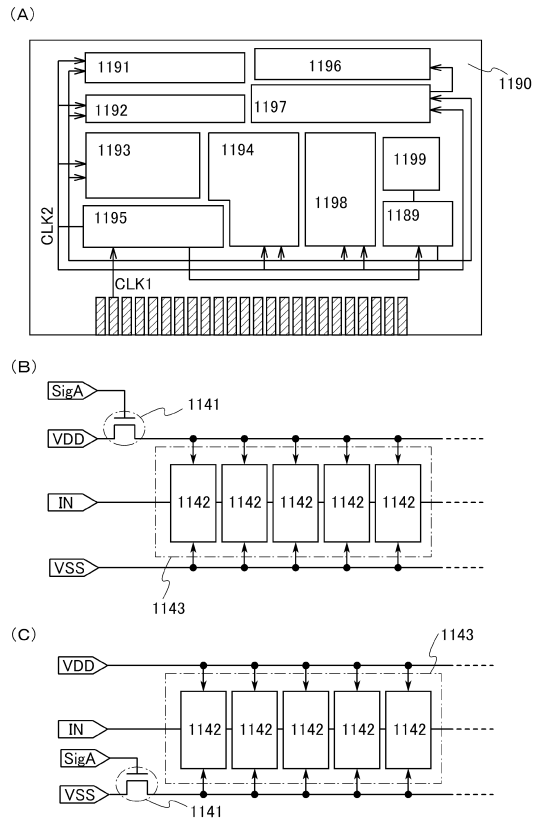
【図21】



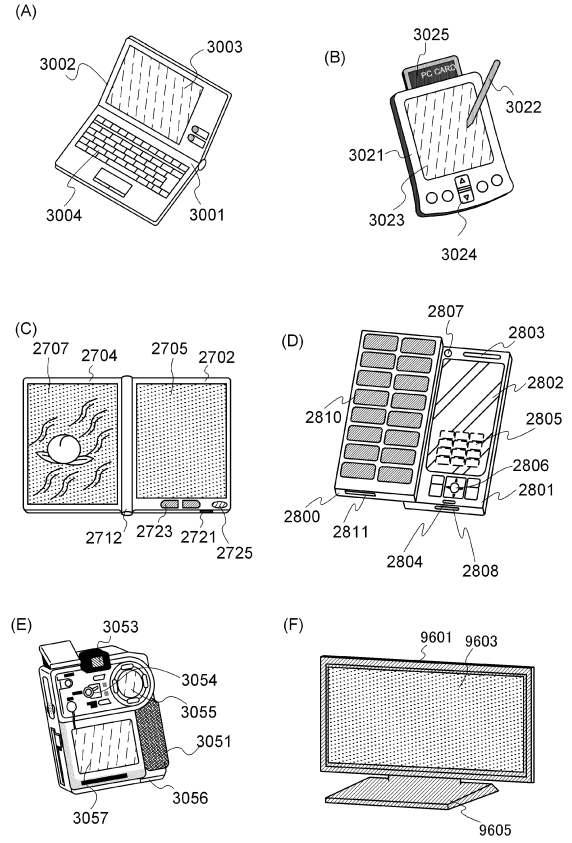
【図22】



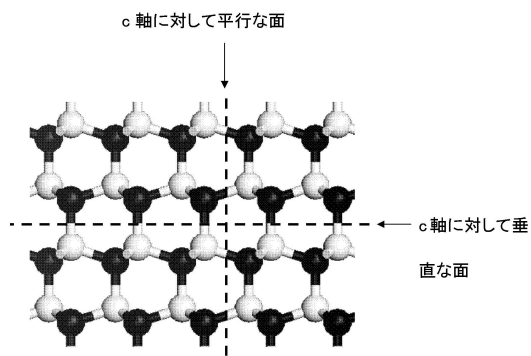
【図 2 3】



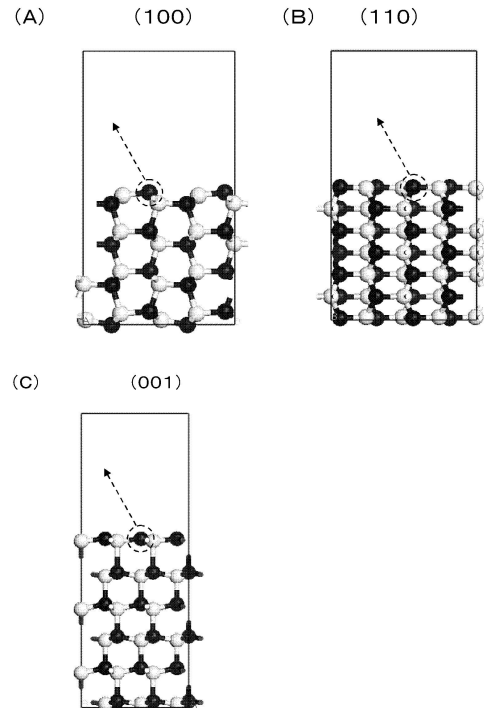
【図 2 4】



【図 2 5】



【図 2 6】



---

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 6 2 7 C

(58)調査した分野(Int.Cl. , D B名)

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 1 / 3 3 6