

公告本

申請日期	P1.5.16
案 號	P1110>>6
類 別	H01L 27/105

A4
C4

543190

(以上各欄由本局填註)

發 明 專 利 說 明 書
~~新 型~~

一、發明名稱	中 文	高介電常數材料形成之動態隨機存取記憶體儲存單元之元件
	英 文	HIGH DIELECTRIC CONSTANT MATERIALS FORMING COMPONENTS OF DRAM STORAGE CELLS
二、發明人	姓 名	1. 樓倫斯 A. 克萊文葛 LAWRENCE A. CLEVINGER 2. 許履塵 LOUIS L. HSU 3. 卡爾 J. 瑞登斯 CARL J. RADENS 4. 約瑟夫 F. 席帕德 二世 JOSEPH F. SHEPARD JR.
	國 籍	1. 2. 3. 4. 均美國 U. S. A.
	住、居所	1. 美國紐約州拉葛蘭吉維爾市安德魯路90號 90 ANDREWS ROAD, LAGRANGEVILLE, NY 12540, U. S. A. 2. 美國紐約州費雪奇爾市寇斯比廣場7號 7 CROSBY COURT, FISHKILL, NY 12524, U. S. A. 3. 美國紐約州拉葛蘭吉維爾市庫崔勒大道35號 35 KUCHLER DRIVE, LAGRANGEVILLE, NY 12540, U. S. A. 4. 美國紐約州費雪奇爾市青山大道32號D室 32 GREENHILL DRIVE, APT. D, FISHKILL, NY 12524, U. S. A.
	三、申請人	姓 名 (名稱)
	國 籍	美國 U. S. A.
	住、居所 (事務所)	美國紐約州阿蒙市新果園路 NEW ORCHARD ROAD, ARMONK, NEW YORK 10504, U. S. A.
	代 表 人 姓 名	傑拉德 羅森賽 GERALD ROSENTHAL

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

美國 2001年05月17日 09/858,485 有 無 主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

五、發明說明 (1)

發明領域

本發明一般係關於積體儲存裝置，以及更特別的係關於一種改良的動態隨機存取記憶體介電質結構。

相關技藝說明

動態隨機存取記憶體(DRAM)，熟知的係在相同的晶片區中具有比靜態隨機存取記憶體(SRAM)更高的記憶體密度。為達到DRAM的高整合性，通常會使用深溝渠電容器或高-k介電質堆疊電容器單元。深溝渠電容器具有平面表面形狀，雖然溝渠的深度會限制DRAM使其尺寸無法超過4Gb。再者，DRAM所使用的高-k介電質(大部分)會受到材料穩定性及形狀的限制。堆疊電容器係建立在矽表面的最上層。所產生的非平面表面會對金屬化及微影圖樣造成許多問題。另一方面，由MOS裝置的驅動能力所決定的DRAM效能亦會受到此尺寸的限制。

當裝置的通道寬度及氧化物厚度無法縮小時，該裝置的效能會開始下降。當Vdd(電源供應)位準降低時，此種情況會更形惡化。維持裝置的效能非常地重要，因為這樣才能使DRAM存取時間，或循環時間在低電源條件下符合效能目標。形成溝渠或堆疊電容器單元的製造步驟必須非常簡單而且成本低廉。最後，如果DRAM成本無法降低的話，使用龐大數量DRAM的系統將會變得非常昂貴。為了使DRAM完全取代SRAM，不僅密度/面積必須改良，而且成本，電源，以及效能全部都必須具吸引力及競爭力。所以，有需要降低DRAM的成本及改良其效能。

五、發明說明(2)

發明概要

鑒於慣用DRAM結構之前述及其它問題、缺點，及短處，本發明經過設計，及本發明目的之一係提供一種改良DRAM結構之結構及方法。

為達到上述的目的，本發明包括一種方法，其可同時產生動態隨機存取記憶體裝置及相關的電晶體。更明確地說，該方法會在基板中形成通道區以及電容器開孔。接著，本發明會在該電容器開孔形成電容器導體。接著，本發明會同時在該通道區上面及在該電容器導體上面形成一單一絕緣層。此單一絕緣層包括一電容器節點介電質，其位於該電容器導體上面，及包括一開極介電質，其位於該通道區上面。

此外，本發明會同時對該單一絕緣層上面的單一導體層進行圖樣化。該單一導體層會在該開極介電質上面形成一開極導體，及在該電容器節點介電質上面形成一接地金屬板。除了處理步驟之外，本發明還會在該開極導體及該接地金屬板上形成間隔，對該通道區部分進行摻雜以形成源極及汲極區(該汲極區係與該電容器導體接觸)，在該單一導體層上面形成一覆蓋絕緣體，及形成導體接點，其會穿透該覆蓋絕緣體到達該源極區。

該絕緣基板較佳的係包括一淺溝渠隔絕區，其位於該電容器導體下面，以及該通道區較佳的係原本為該基板內的純矽區。此外，該單一絕緣層較佳的係包括一原子級化學汽相沉積製程，其分子比與玻璃相同。

五、發明說明(3)

本發明亦包括一動態隨機存取記憶體裝置，其包含基板的通道區及電容器導體。在該通道區上面及在該電容器導體上面會形成一單一絕緣層。此單一絕緣層包括一電容器節點介電質，其位於該電容器導體上面，及包括一閘極介電質，其位於該通道區上面。此外，本發明在該單一絕緣層上面包括一單一導體層。該單一導體層在該閘極介電質上面包括一閘極導體，及在該電容器節點介電質上面包括一接地金屬板。

再者，在該閘極導體及該接地金屬板上會有間隔，在該基板內部則有源極及汲極區(該源極區係放置在該汲極區與該閘極導體的對側)。覆蓋絕緣體係放置在該單一導體層上面，並且導體接點會穿過該覆蓋絕緣體延伸至該源極區。該單一絕緣層的分數比與玻璃相同，並且會保持高達1000°C的非晶性狀態。

因此，本發明會在該電晶體閘極及該單元電容器裝置的單一處理步驟中形成高-k介電質。這可降低處理成本，並且亦可降低對該介電質進行退火時的熱預算。本發明所使用的高-k介電質不僅可改良電晶體裝置效能，亦可提升該DRAM單元的電荷儲存容量。

圖式簡單說明

參考圖式，從下面本發明較佳具體實施例之詳細說明中可更了解上述及其它目的，方面及優點，其中：

圖1所示的係根據本發明部分完成DRAM結構之圖式；

圖2所示的係根據本發明部分完成DRAM結構之圖式；

五、發明說明(4)

圖3所示的係根據本發明部分完成DRAM結構之圖式；
圖4所示的係根據本發明部分完成DRAM結構之圖式；
圖5所示的係根據本發明部分完成DRAM結構之圖式；
圖6所示的係根據本發明部分完成DRAM結構之圖式；
圖7所示的係根據本發明部分完成DRAM結構之圖式；
圖8所示的係根據本發明部分完成DRAM結構之圖式；
圖9所示的係根據本發明部分完成DRAM結構之圖式；
圖10所示的係根據本發明部分完成DRAM結構之圖式；
圖11所示的係根據本發明部分完成DRAM結構之圖式；
圖12所示的係根據本發明部分完成DRAM結構之圖式；
圖13A及13B所示的係根據本發明的兩個完整DRAM結構之圖式；
圖14所示的係根據本發明之晶體結構圖式；及
圖15所示的係本發明較佳方法之流程圖。

本發明較佳具體實施例詳細說明

如上所述，需要降低DRAM的成本及改良其效能。本發明藉由在DRAM裝置中提供裝置閘極介電質及電容器介電質兩種裝置之高-k材料滿足這些需求。在較佳具體實施例中，本發明會使用原子級化學汽相沉積(ALCVD)技術所製造之高-k膜。使用ALCVD沉積 $\text{La}_2\text{O}_3/\text{Al}_2\text{O}_3$ 的混合物依照Al與La的比例而定，可得到10及30之間的介電常數。本發明為了預防漏電，因此採用可維持該膜堆疊非晶性特性之沉積條件。該種材料特徵及形成此類材料之相關處理步驟的詳細說明在Albert Chin等人於2000年的Symposium of VLSI

五、發明說明 (5)

Technnology Digest of Technical Papers中，第16-17頁，名稱為「等效氧化物厚度5-10埃的高品質 La_2O_3 及 Al_2O_3 閘極介電質(High Quality La_2O_3 and Al_2O_3 Gate Dielectrics with Equivalent Oxide Thickness 5-10 A)」中有記載。

本發明會在該MOS閘極及該單元電容器裝置的單一處理步驟中形成高-k介電質。這可降低處理成本，並且亦可降低對該介電質進行退火時的熱預算。本發明所使用的高-k介電質不僅可改良MOS裝置效能，亦可提升該DRAM單元的電荷儲存容量。

本發明的重要特性係該高-k介電質可提供該閘極及該電容器較薄的等效介電質。因此，可明顯地改良該裝置的驅動能力。雖然此處使用到各種的實例，但是本發明並不限定於任何特殊高-k介電質。可以使用任何適當的高-k介電材料。此外，藉由本發明，最後的陣列結構會是平面的，並且可提供足夠的空間用以將隨後所形成之該積體電路結構的各層密封於其中。

生產低成本及高效能(eDRAM)之其中一種製程實例如圖1-14所示。雖然使用SOI晶圓作為範例，但是亦可在主體基板中藉由適當的井隔絕建構出相同的(e)DRAM。

在圖1中，會在具有埋層氧化物層10及矽層12(例如，井區)之SOI晶圓中形成淺溝渠隔絕(或STI)11。會沉積一薄氮氧化物層13並且使用於化學機械磨光(CMP)製程中。當然，該矽層基板會針對 V_{th} 調整及隔絕(未顯示)進行正確地植入。在圖2中，圖樣化光阻14以界定該單元電容器的面積。接

五、發明說明(6)

著，如圖3所示，利用經過圖樣化之光阻14，本發明會執行選擇性RIE(例如，氧化物對氮化物的蝕刻比率100:1)氧化物蝕刻以形成凹洞15。該凹洞區15將形成單元電容器。

在圖4中，會沉積摻雜多晶矽層20並且對其進行研磨以填滿凹洞15。接著在圖5中，會執行選擇性RIE(例如氧化物/氮化物對多晶矽蝕刻比率30:1)氧化物蝕刻，以便使STI區11中曝露的氧化物30往內凹進去。此蝕刻最好是一限時蝕刻(timed etch)。在此蝕刻之後，亦會移除最上層的氧化物層13。接著，舉例來說，會使用BHF(緩衝HF)溶液清洗矽表面12。接著，如圖6所示，隨後會沉積高-k介電層31及CVD多晶矽層32。接著會對該結構進行退火以穩定介電特性。該退火處理，舉例來說，係一種在 O_2/N_2 環境中，溫度從600到1000°C之快速熱退火。

為保持該材料提高的介電常數並且保持最小的漏電量，本發明會利用一種處理形成玻璃膜(也就是，非晶性膜)，其在製造積體電路裝置，如深溝渠電容器之類，所需要之高溫下可保持其非結晶結構。

本發明利用分子比與形成玻璃膜相同之高-k氧化物混合物，便可提高該節點介電質之介電常數。此類膜希望能在高溫下保持非晶性狀態，並且經由移除晶粒邊界可保持很低的漏電。舉例來說，在主體中， La_2O_3 及 Al_2O_3 可能係以 $40La_2O_3+60Al_2O_3$ 的比率混合，形成一臨界冷卻率低於100 K/s之透明玻璃。因此，當從氣相開始沉積時，本發明介電質所達成之冷卻率應該超過維持玻璃體(例如，非結晶狀)

五、發明說明(7)

所需要的100 K/s。

再者，因為該介電質係非晶性狀，所以可應用線性混合原理，其可使得所產生玻璃的介電常數等於20(La_2O_3 及 Al_2O_3 之介電常數分別約為30及10)，及因此優於氧化矽氮化物4倍以上(其介電常數約為4)。雖然從處理過程比較簡單的觀點來看，製造含兩種組成物的玻璃係較佳的方式，但是應該注意的係，本發明亦可添加第三及第四氧化物(例如 SiO_2)，並且實際上的好處更大。

慣用的閘極氧化物的製造中建議使用的係混合氧化物。在此類例子中，混合氧化物都係二元合金的形式，其係由含均衡 SiO_2 (通常稱之為「矽酸鹽」)的高-k(例如 ZrO_2)稀釋量所組成。相反地，本發明之玻璃膜並不必堅持CMOS裝置的嚴格介面條件，因此它們可使用 SiO_2 以外的氧化物。此類組成物本身的強化介電特性可提供給DRAM儲存裝置。

如上面所提及，在積體電路技術中，如溝渠電容器技術，需要高-k介電材料。雖然有各種慣用材料可選擇，但是大部分在溫度低於 1000°C 時便會晶化(例如 ZrO_2 ， HfO_2)。因為電容器結構係前端製程，所以大部分的高-k膜會因此變成不透明結晶(也就是，失去非晶性並且晶化)，同時容易受到過大漏電及早期誤差的影響。因此重要的係設計一種具有適當介電常數的材料，其可在溫度高達(甚至超過) 1000°C 時仍然保持非晶性狀態。最後，此處會敘述一種原子層化學汽相沉積(ALCVD)製程，其中會沉積由 La_2O_3 及 Al_2O_3 混合物所形成之玻璃，以當作溝渠電容器技術中所使

五、發明說明(8)

用之高-k介電質。

因此，在較佳具體實施例中，本發明會使用原子級化學汽相沉積(ALCVD)技術所製造之高-k膜。使用ALCVD沉積 $\text{La}_2\text{O}_3/\text{Al}_2\text{O}_3$ 的混合物依照Al與La的比例而定，可得到10及30之間的介電常數。本發明為了預防漏電，因此採用可維持該膜堆疊非晶性特性之沉積條件。

現在參考圖7，本發明會在CVD聚合物32的最上層形成一矽酸鹽或耐火金屬40。該矽酸鹽40亦會以氮化物層覆蓋(未顯示)供無界接點的應用使用。亦會形成經過圖樣化之光阻41，並且執行RIE同時界定電容器之接地金屬板42及由導體32，40組成之電晶體閘極45。必要時，可延伸RIE處理移除該高-k層31之曝露部份。接著，如圖8所示，會移除光阻41及，如圖9所示，藉由植入雜質並且對該結構退火，便可形成源極52及汲極51區。在退火期間，該汲極側51亦會從每個電容器節點板之摻雜多晶矽20中，接收擴散出來的摻雜物。

在圖10中，執行慣用的側壁形成製程以形成側壁間隔53，並且必要時，此時可進行輕微摻雜汲極(LDD)植入以避免發生熱載子問題。接著，如圖11所示，會形成隔絕層63，以及形成該電晶體裝置共同源極52之接點60。接點60可以係，舉例來說，具有適當襯墊材料之鎢晶種(tungsten stud)。接著，在圖12中，本發明會沉積以及圖樣化導體材料層70，其係舉例來說，鋁、銅，或耐火金屬。此導體材料70係使用於位元線中。

五、發明說明(9)

完整的結構顯示在圖13A及13B中，其係剖面及俯視圖。該儲存電容器係由圖13A的導體多晶矽20部分所製造，其係介於絕緣體10(或11)及31之間。場效電晶體(FET)，其可存取該儲存電容器，係由該導體多晶矽32之閘極部份，圖13A中的標示項目74，共同源極52，及汲極51所構成。

圖13B所示的係本發明DRAM陣列電路配線圖之對應俯視圖。圖13B的水平方向中有三條位元線150A、B及C，在垂直方向中有四條字線，其中兩條標示為140A及140B。圖13B中的標示100A、B及C係該電容器之接地金屬板42。方塊120A及B所示的係每個單元之電容器。該實體長方形160則係形成裝置之主動區。在該主動區外側的係該淺溝渠隔絕區。虛線長方形110係該標準單元尺寸。在此實例中，該標準單元係一8F的正方形單元。利用次微影技術可輕易地將該單元尺寸縮小至6F正方形甚至更小。

在圖13B中，虛線圓形區表示每個單元如何被接地金屬板100C所包圍。該單元之更細部圖式顯示在圖14中。對每個電容器來說，會有4個邊(1, 2, 3及4)被該接地金屬板包圍，其中一邊(0)係曝露在該汲極接點，而另一邊(5)則係曝光在STI 11或基板10。絕緣體31(該高-k介電質)會覆蓋介於該接地金屬板及該多晶矽立方體之間的邊1, 2, 3, 4。

因此，如圖14所示，藉由本發明可大幅改善該電容器之有效面積。再者，可輕易地控制該立方形的高度，因為其會隨著該淺溝渠之第一介電蝕刻而改變。慣用的堆疊電容器會碰觸到接地金屬板的許多邊(例如，五邊)。不過，因

五、發明說明(11)

用高-k介電質的電容器)通常係在該閘極形成及源極/汲極植入之後才形成的。因此，依照慣例，會沉積並且平面化處理絕緣材料厚層。接著，會在該裝置汲極區中形成接點孔。不過，對慣用結構來說，便需要非常複雜的接點殘餘形成處理。舉例來說，當在氧環境下，對該高-k材料進行熱退火時，必須在該接點內部或最上層形成氧擴散屏障層以避免氧氣擴散。接著，必須沉積另一個厚絕緣材料，並且在該絕緣體蝕刻一個孔穴以形成該堆疊電容器元件之支撐區。接著，必須沉積及圖樣化一特殊金屬。最後，藉由慣用的結構，可沉積一高-k介電質及一接地金屬，並且在 O_2 環境下，於高溫中進行熱退火。藉由本發明便可避免此複雜的製程。

再者，藉由本發明，因為每個單元的電容器與該裝置都係共面的，所以該DRAM陣列會具有非常平整的表面。相反地，利用慣用結構，該電容器係形成於該電晶體裝置閘極的上面約200奈米至1000奈米處。

本發明之另一項優點係為，可比任何慣用的堆疊電容器製程在更早階段進行熱退火步驟。如果在矽酸鹽形成之後進行熱退火的話，在氧氣中進行的熱退火將會損壞源極/汲極矽酸鹽層。本發明會在源極/汲極植入及矽酸鹽形成之前，對該膜進行熱退火。所以，與慣用技藝不同的係，本發明之熱退火將不會對裝置產生不利的影響。

此外，該裝置之閘極介電質31及該單元電容器之介電質31，以及其它晶片上電容器，如去耦合電容器，儲存電容

五、發明說明 (12)

器都可利用高-k材料製造。更特別的係，該高-k介電材料31在高達1000°C時(甚至更高一些)都可保持結晶狀。此非晶性高-k介電質可避免該介電質31晶化，並且可降低在所產生之晶粒邊界處發生過高洩漏的可能性。該高-k介電材料的特性比慣用的高-k介電材料特性更穩定。並且不需要氧氣擴散屏障層及附著促進層。此(e)DRAM具有相當大的潛力可進一步擴大容量，並且可在低電源下作業並具有合理的高效能。

同時，在具有相同電源供應及裝置尺寸下，該裝置效能更優於慣用的裝置，因為藉由本發明形成的電容器具有更大的表面積，其可比含有低-k介電質之慣用電容器產生更大的電荷儲存容量。

雖然已經透過較佳具體實施例說明本發明，但是熟悉本技藝的人士將會發現，在隨附申請專利範圍的精神及範圍內，可對本發明進行修改。

四、中文發明摘要 (發明之名稱：高介電常數材料形成之動態隨機存取記憶體儲存單元之元件)

本發明揭示一種方法及結構，用以同時產生動態隨機存取記憶體裝置及相關的電晶體。該方法在一基板中形成通道區以及電容器開孔。接著，本發明會在該電容器開孔中沉積電容器導體。接著，本發明同時在該通道區上面及在該電容器導體上面形成一單一絕緣層。該單一絕緣層包括一電容器節點介電質，其位於該電容器導體上面，及包括一閘極介電質，其位於該通道區上面。

英文發明摘要 (發明之名稱：HIGH DIELECTRIC CONSTANT MATERIALS FORMING COMPONENTS OF DRAM STORAGE CELLS)

A method and structure for simultaneously producing a dynamic random access memory device and associated transistor is disclosed. The method forms channel regions and capacitor openings in a substrate. Next, the invention deposits capacitor conductors in the capacitor openings. Then, the invention simultaneously forms a single insulator layer above the channel region and above the capacitor conductor. This single insulator layer comprises a capacitor node dielectric above the capacitor conductor and comprises a gate dielectric above the channel region.

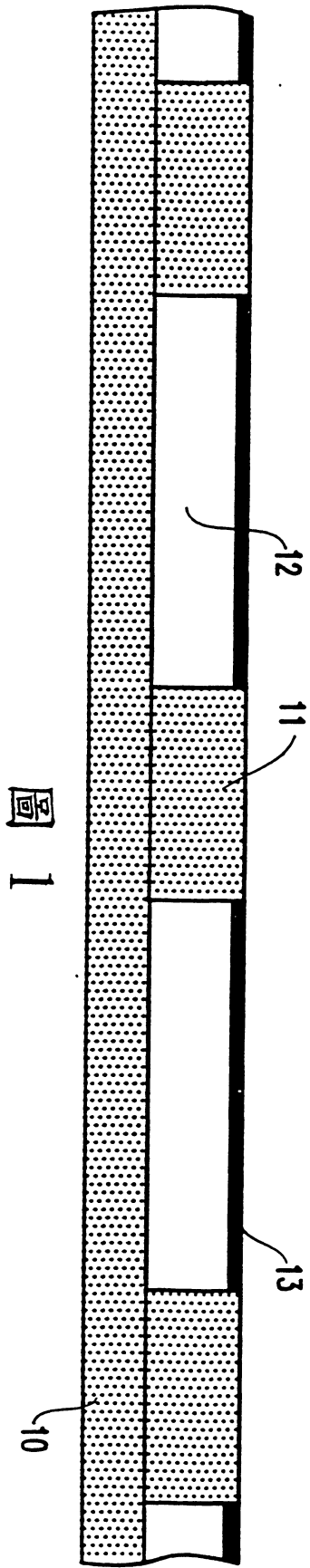


圖 1

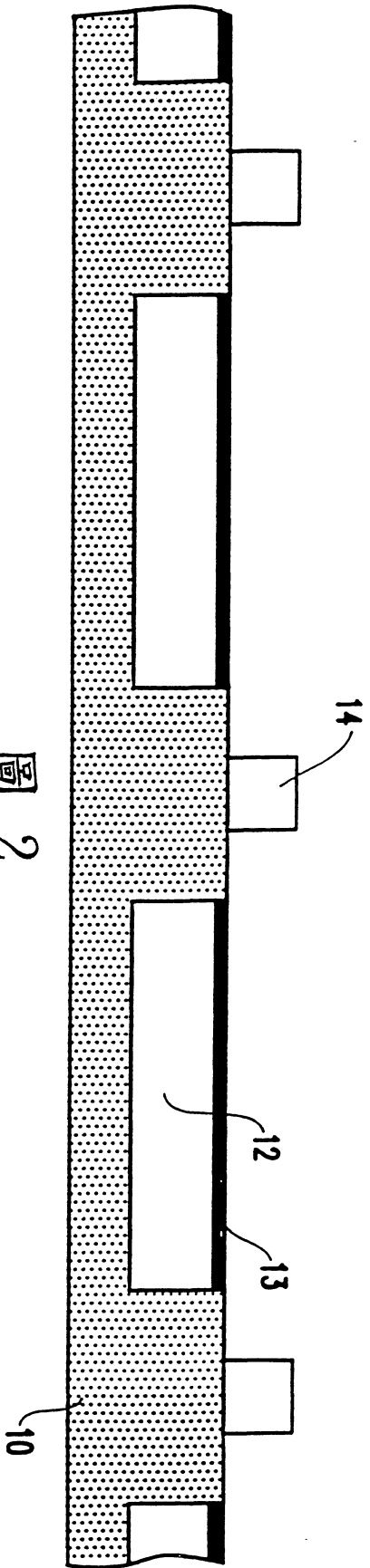


圖 2

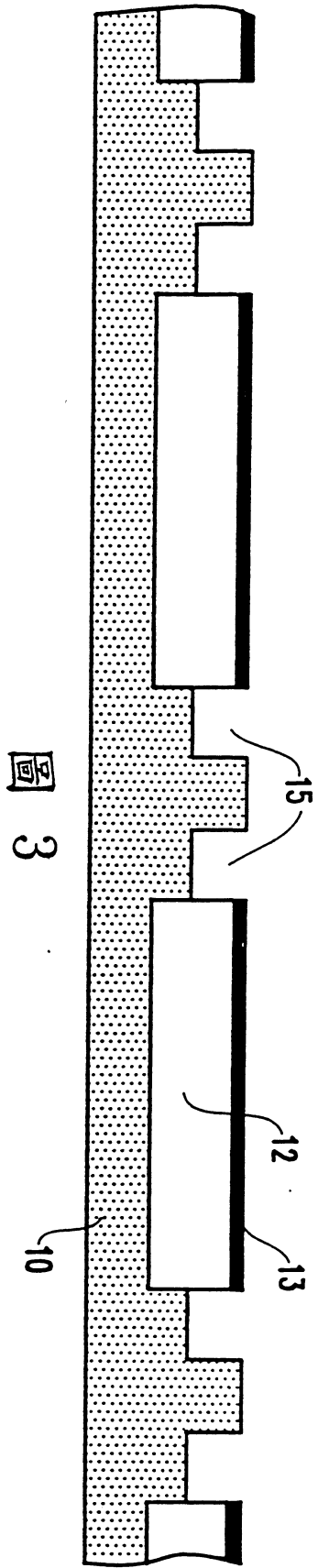


圖 3

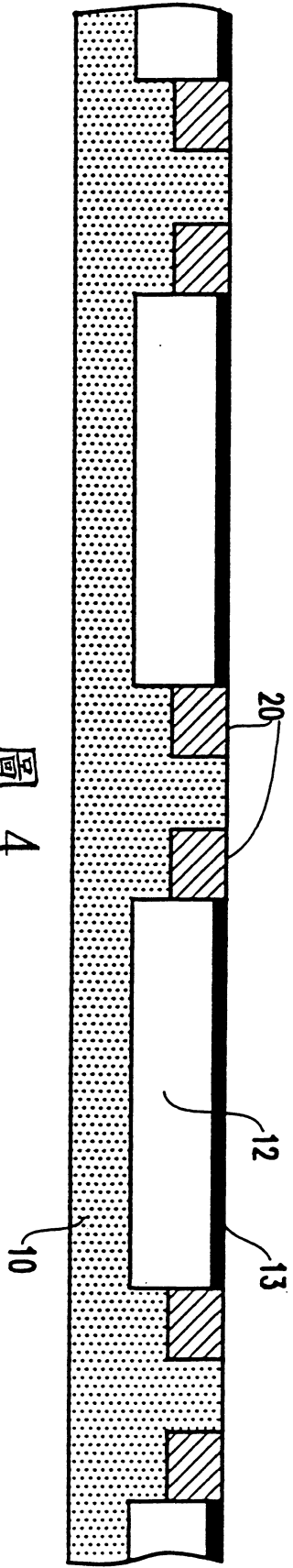


圖 4

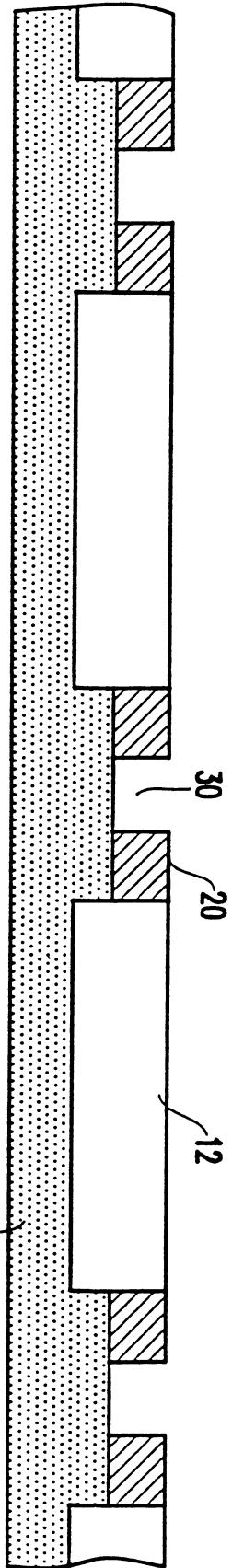


圖 5

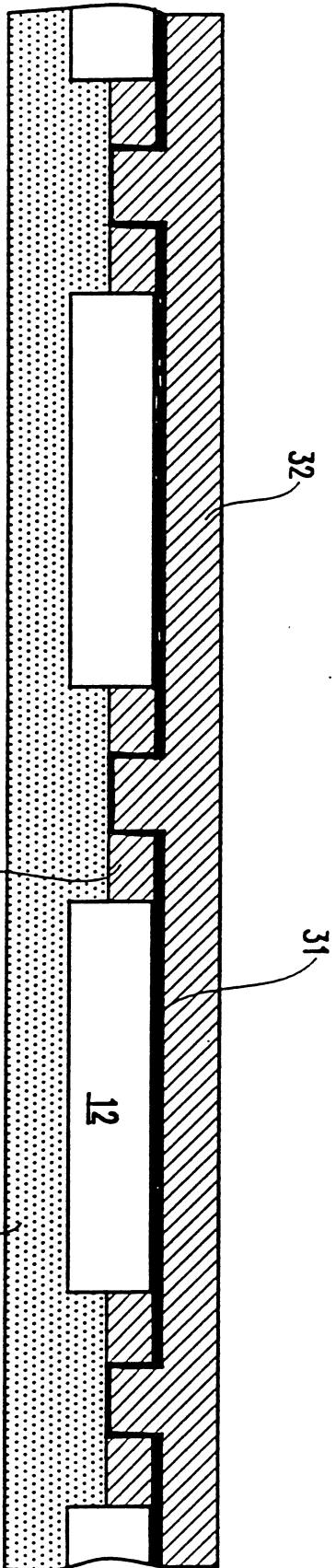


圖 6

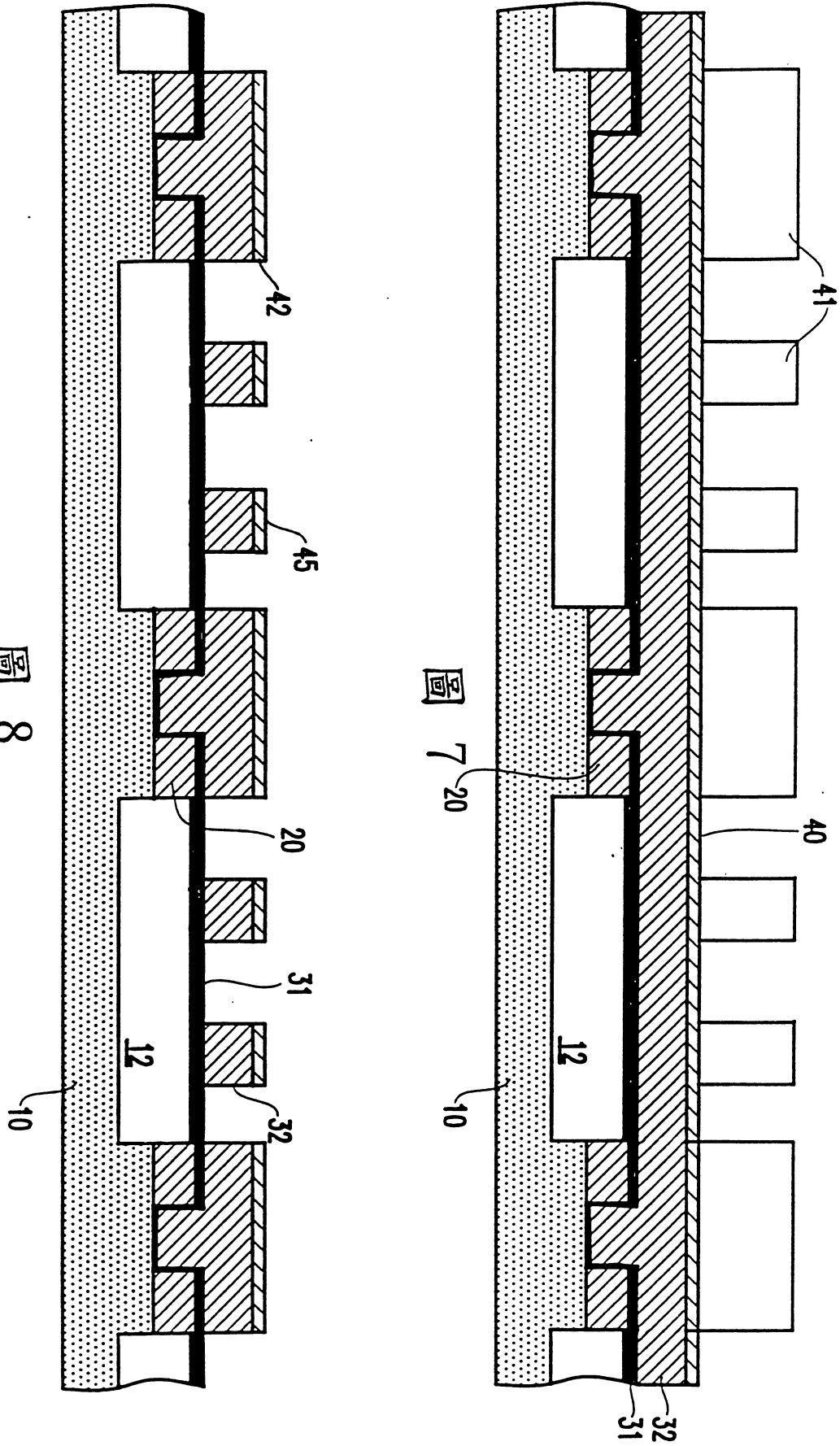


圖 7

圖 8

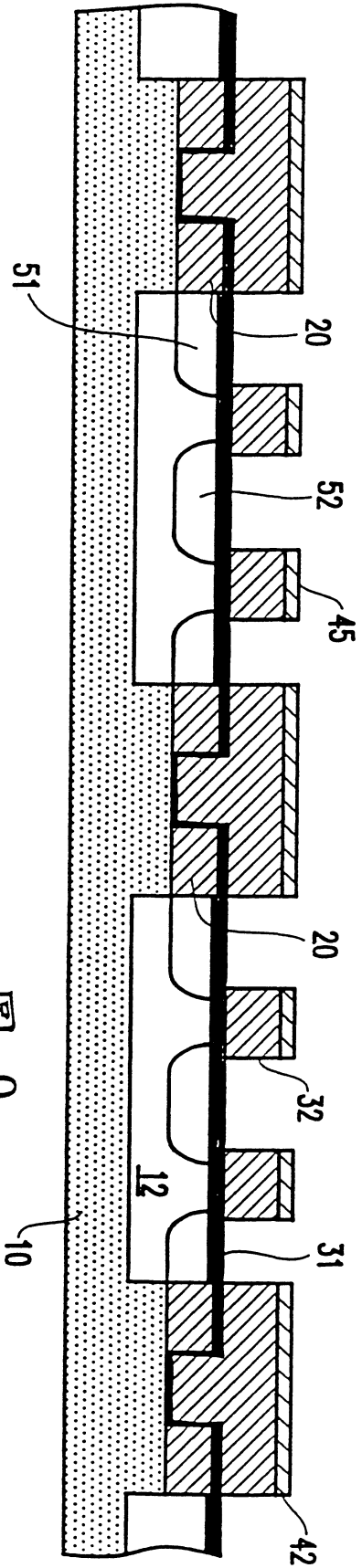


圖 9

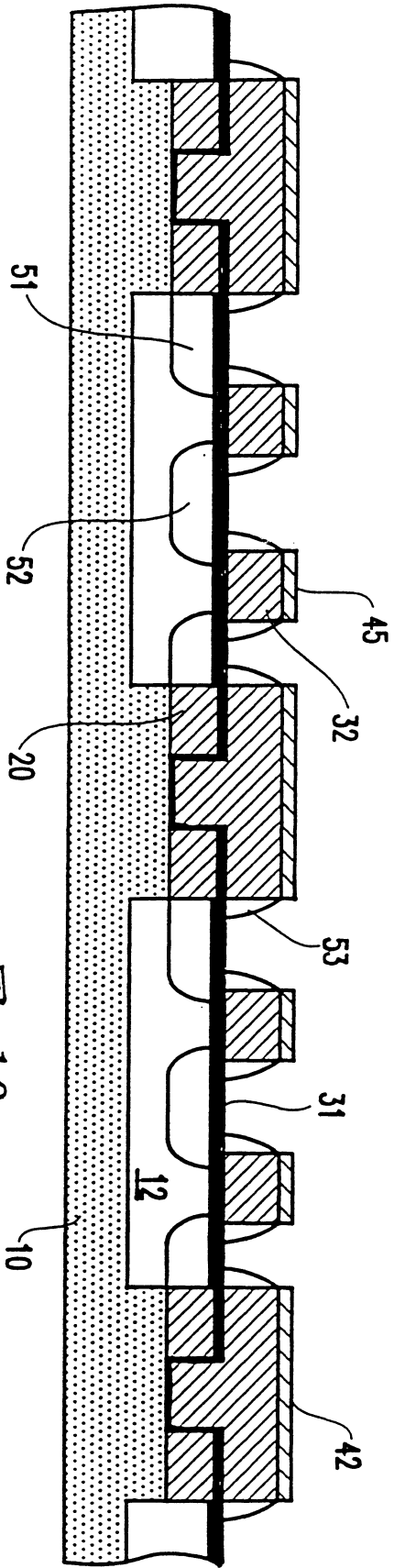


圖 10

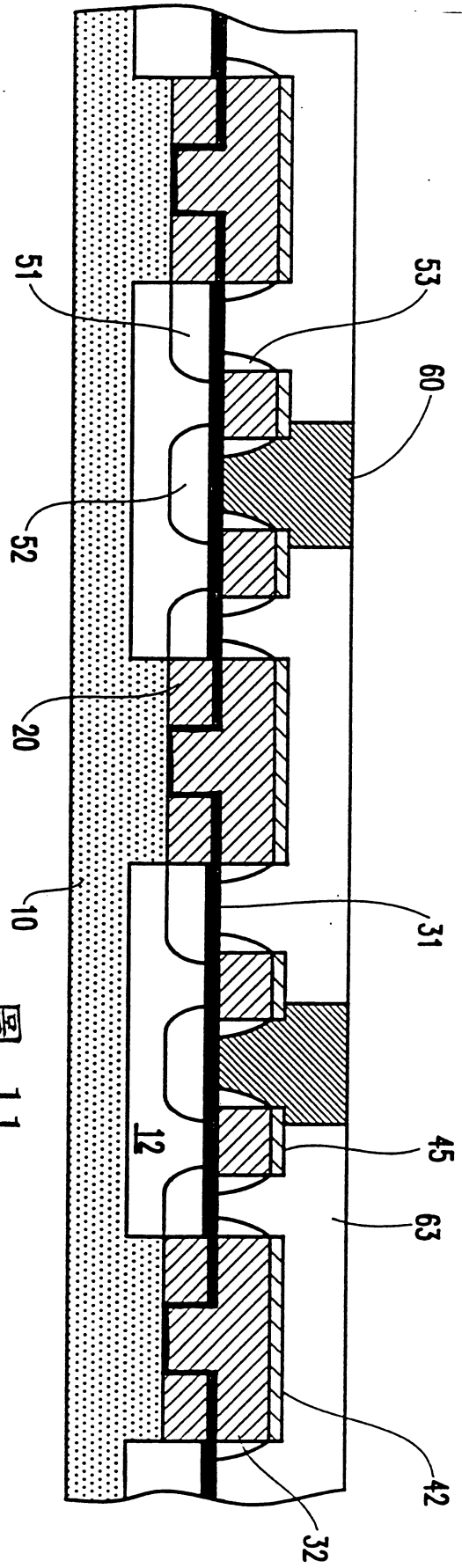


圖 11

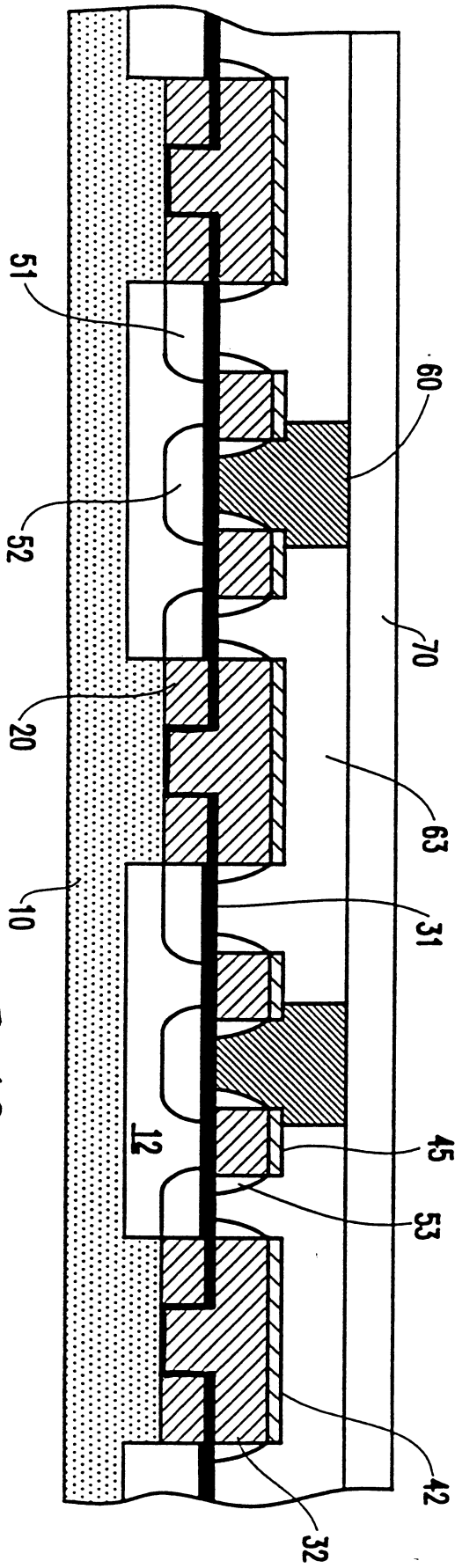


圖 12

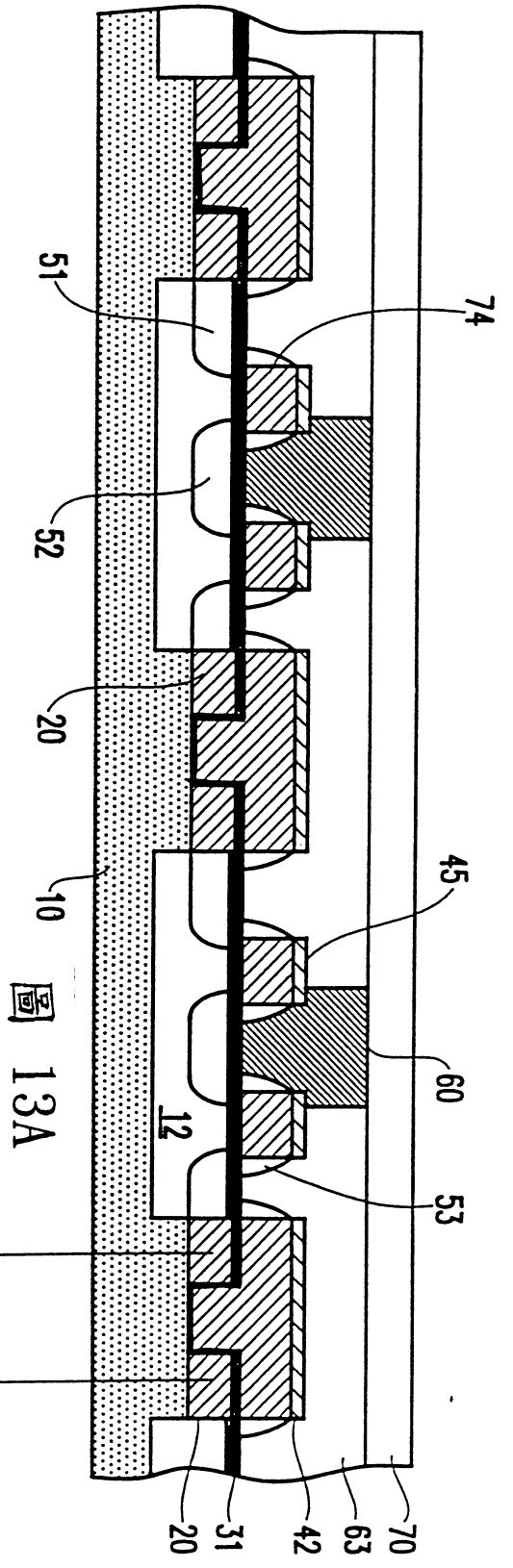


圖 13A

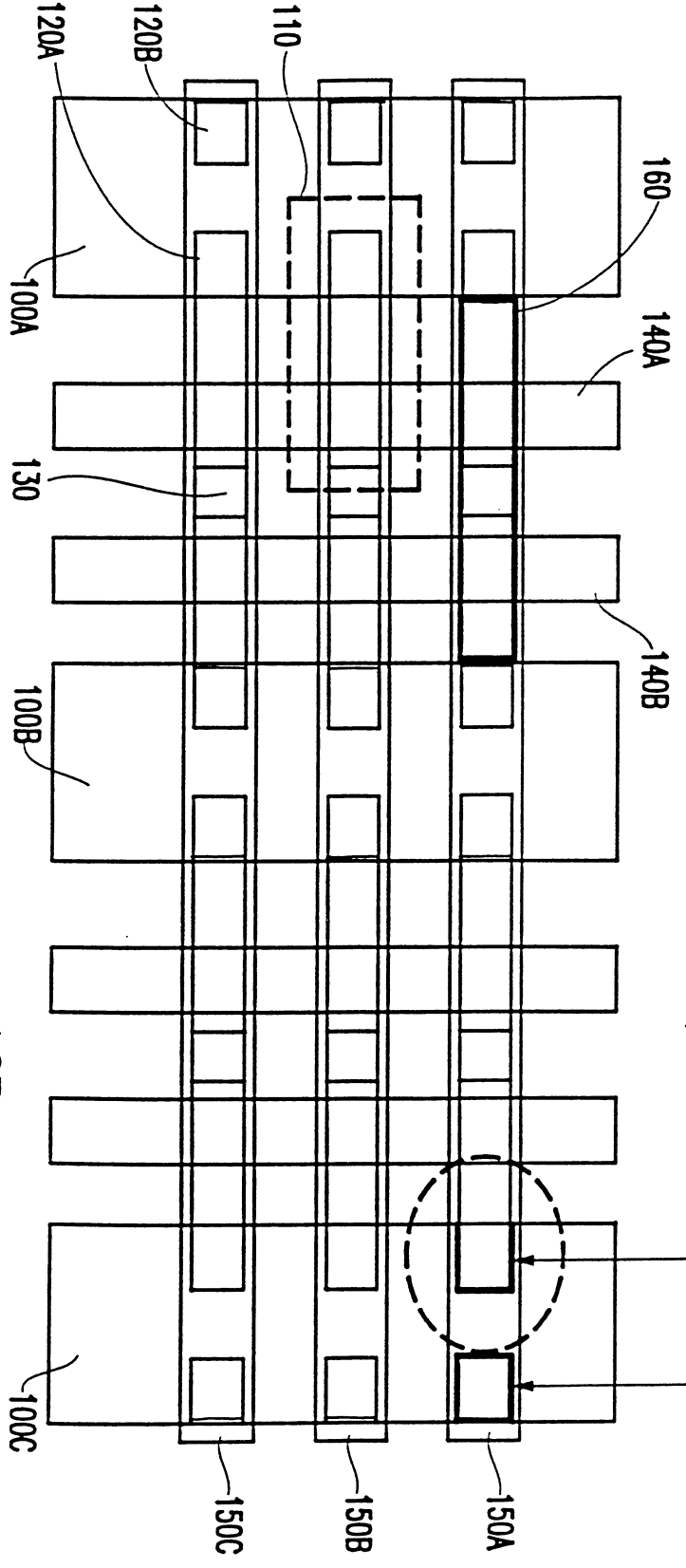


圖 13B

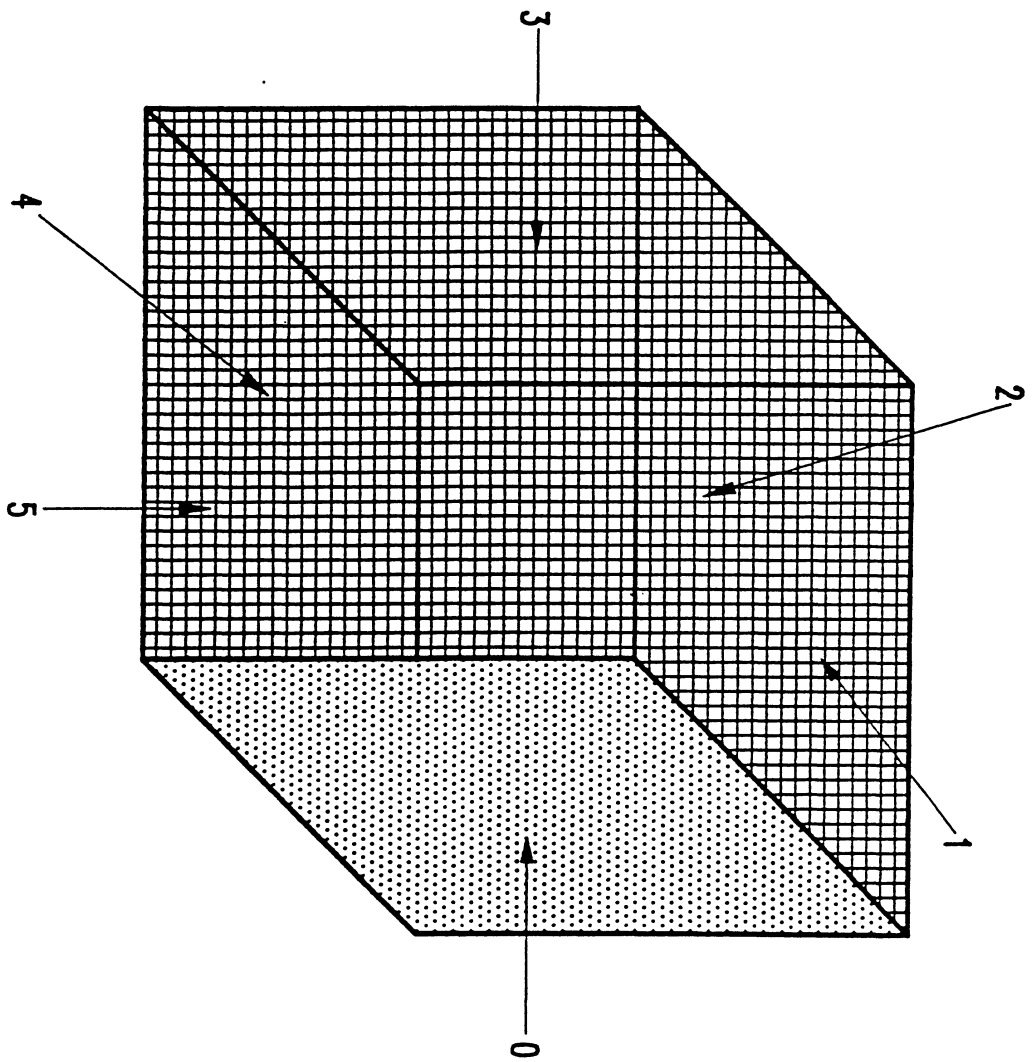


圖 14



五、發明說明 (10)

為慣用的電容器係形成於該裝置的最上層，因此會有形狀的問題。相反地，藉由本發明該電容器係埋入式，至少在該閘極之相同水平面上，並且所產生的表面會非常地平整。為增加表面接觸面積以及電容器尺寸，如圖3所示，可將該凹洞蝕刻的非常深，只要該蝕刻不會鑿穿該埋植氧化物層10即可。

圖15所示的係本發明製程流程圖。更特別的本發明會在基板800中形成通道區802及電容器開孔804。接著本發明會在該電容器開孔804中沉積電容器導體806。接著，本發明會同時在通道區802上面以及在電容器導體806上面形成一單一高-k介電絕緣層808。此單一絕緣層包括在該電容器導體806上面的電容器節點介電質，及包括在該通道區上面的閘極介電質。

此外，本發明會同時圖樣化該單一絕緣層808上面的單一導體層810。該單一導體層810會在該閘極介電質上面形成一閘極導體及在該電容器節點介電質上面形成一接地金屬板。除了處理步驟之外，本發明還會在該閘極導體及該接地金屬板上形成間隔，對該通道區部分814進行摻雜以形成源極及汲極區(該汲極區係與該電容器導體接觸)，在該單一絕緣層上面形成一覆蓋絕緣體，及形成導體接點818，其會穿透該覆蓋絕緣體到達該源極區。

如上面所示，本發明可降低形成DRAM的製程步驟數量。更特別的係，本發明可以單一步驟形成該閘極介電質31及該電容器介電質31。相反地，慣用的堆疊電容器(特別係使

五、發明說明 (12a)

元件符號說明

0、1、2、3、4、5	電容器之邊	40	矽酸鹽
10	埋藏氧化物層	41	光阻
11	淺溝渠隔絕(或STI)	42	接地金屬板
12	矽層	45	閘極
13	薄氮化物層	51	汲極
14	光阻	52	源極
15	凹洞	53	側壁間隔
20	摻雜多晶矽層	60	接點
30	曝露的氧化物	63	隔絕層
31	高-k介電層	70	導體材料層
32	CVD多晶矽層	74	導體多晶矽之閘極部份
100A、100B、100C	電容器之接地金屬板		
110	標準單元尺寸	150A、150B、150C	位元線
120A、120B	單元之電容器	160	主動區
140A、140B	字線		



六、申請專利範圍

1. 一種動態隨機存取記憶體裝置，其包括：
 - 一基板；
 - 至少一通道區，位於該基板中；
 - 至少一電容器導體，位於該基板中；
 - 一單一絕緣層，位於該通道區上面及該電容器導體上面，其中該單一絕緣層包括一電容器節點介電質，其位於該電容器導體上面，及包括一閘極介電質，其位於該通道區上面。
2. 如申請專利範圍第1項之裝置，進一步包括一單一導體層，其位於該單一絕緣層上面，其中該單一導體層包括一閘極導體，其位於該閘極介電質上面，及一接地金屬板，其位於該電容器節點介電質上面。
3. 如申請專利範圍第2項之裝置，進一步包括一間隔，其位於該閘極導體及該接地金屬板上。
4. 如申請專利範圍第1項之裝置，進一步包括該基板內的源極及汲極區，其中該源極區係與該電容器導體接觸，以及該源極區係放置在該汲極區與該閘極導體的對側。
5. 如申請專利範圍第4項之裝置，進一步包括：
 - 一覆蓋絕緣體，其位於該單一導體層上面；及
 - 導體接點，其穿過該覆蓋絕緣體延伸至該源極區。
6. 如申請專利範圍第1項之裝置，其中該基板包括淺溝渠隔絕區，其係位於該電容器導體下面。
7. 如申請專利範圍第1項之裝置，其中該單一絕緣層的分
子比與玻璃相同，並且會保持高達1000°C的非晶性狀態

六、申請專利範圍

- 。
8. 如申請專利範圍第1項之裝置，其中該單一絕緣層係一種高-k介電材料，包括 La_2O_3 、 Al_2O_3 、 HfO_2 ，具有10至50範圍之間的介電常數。
9. 一種動態隨機存取記憶體裝置，其包括：
- 一基板；
 - 至少一通道區，位於該基板中；
 - 至少一電容器導體，位於該基板中；
 - 一單一絕緣層，位於該通道區上面及該電容器導體上面，其中該單一絕緣層包括一電容器節點介電質，其位於該電容器導體上面，及包括一閘極介電質，其位於該通道區上面；
 - 一單一導體層，其位於該單一絕緣層上面，其中該單一導體層包括一閘極導體，其位於該閘極介電質上面，及一接地金屬板，其位於該電容器節點介電質上面；
 - 間隔，位於該閘極導體及該接地金屬板上面；
 - 該基板內的源極及汲極區，其中該汲極區係與該電容器導體接觸，以及該源極區係放置在該汲極區與該閘極導體的對側；
 - 一覆蓋絕緣體，其位於該單一導體層上面；及
 - 導電接點，其穿過該覆蓋絕緣體延伸至該源極區。
10. 如申請專利範圍第9項之裝置，其中該絕緣基板包括淺溝渠隔絕區，其係位於該電容器導體下面。
11. 如申請專利範圍第9項之裝置，其中該單一絕緣層的分

六、申請專利範圍

- 子比與玻璃相同，並且會保持高達1000°C的非晶性狀態。
12. 一種用以同時產生一動態隨機存取記憶體裝置之方法，該方法包括：
- 在一基板中形成一電容器開孔；
 - 在該電容器開孔中形成一電容器導體；
 - 同時在該基板通道區上面及該電容器導體上面形成一單一絕緣層，其中該單一絕緣層包括一電容器節點介電質，位於該電容器導體上面，及包括一閘極介電質，位於該通道區上面。
13. 如申請專利範圍第12項之方法，進一步包括同時圖樣化該單一絕緣層上面的單一導體層，其中該單一導體層包括一閘極導體，位於該閘極介電質上面，及一接地金屬板，位於該電容器節點介電質上面。
14. 如申請專利範圍第13項之方法，進一步包括：
- 在該閘極導體及該接地金屬板上形成間隔；及
 - 摻雜該通道區部份以形成源極及汲極區，其中該汲極區會與該電容器導體接觸。
15. 如申請專利範圍第14項之方法，進一步包括：
- 在該單一導體層上面形成一覆蓋絕緣體；及
 - 形成導電接點穿過該覆蓋絕緣體延伸至該源極區。
16. 如申請專利範圍第12項之方法，其中該基板包括淺溝渠隔絕區，其係位於該電容器導體下面。
17. 如申請專利範圍第12項之方法，進一步包括在形成該電

六、申請專利範圍

容器開孔之前，形成該通道區，其包括在該基板內形成純矽區之製程。

18. 如申請專利範圍第12項之方法，其中該單一絕緣層的形成包括一原子級化學汽相沉積製程，其分子比與玻璃相同。
19. 一種用以同時產生一動態隨機存取記憶體裝置及相關電晶體之方法，該方法包括：
 - 製備一基板；
 - 在該基板中形成一通道區；
 - 在該基板上形成一電容器開孔；
 - 在該電容器開孔中形成一電容器導體；
 - 同時在該通道區上面及該電容器導體上面形成一單一絕緣層，其中該單一絕緣層包括一電容器節點介電質，其位於該電容器導體上面，及包括一閘極介電質，其位於該通道區上面；
 - 同時圖樣化該單一絕緣層上面的單一導體層，其中該單一導體層包括一閘極導體，其位於該閘極介電質上面，及一接地金屬板，其位於該電容器節點介電質上面；
 - 在該閘極導體及該接地金屬板上面形成間隔；
 - 摻雜該通道區部份以形成源極及汲極區，其中該汲極區會與該電容器導體接觸；
 - 在該單一導體層上面形成一覆蓋絕緣體；及
 - 形成導電接點穿過該覆蓋絕緣體延伸至該源極區。
20. 如申請專利範圍第19項之方法，其中該絕緣基板包括淺

六、申請專利範圍

溝渠隔絕區，其係位於該電容器導體下面。

21. 如申請專利範圍第19項之方法，其中該通道區的形成包括在該基板內形成一純矽區。
22. 如申請專利範圍第19項之方法，其中該單一絕緣層的形成包括一原子級化學汽相沉積製程，其分子比與玻璃相同。

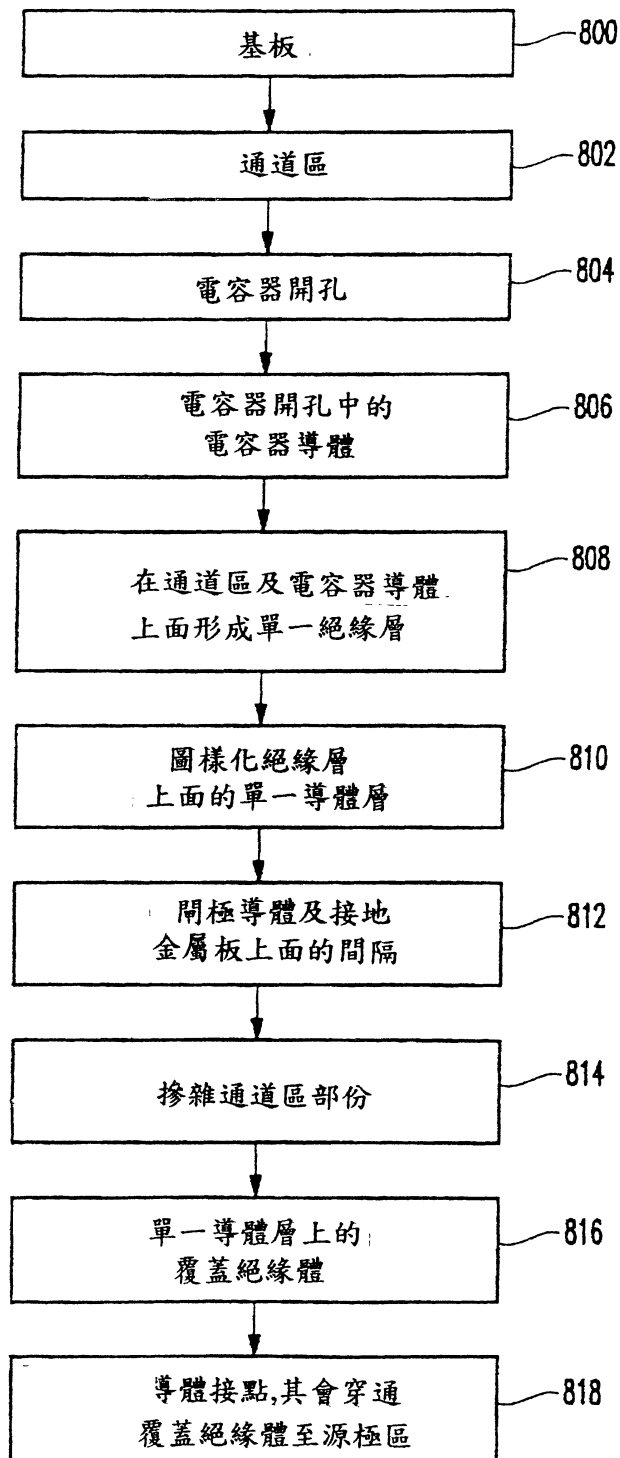
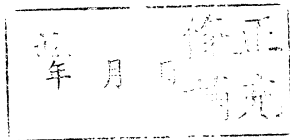


圖 15