



(12) 发明专利

(10) 授权公告号 CN 110931444 B

(45) 授权公告日 2022.09.27

(21) 申请号 201910862603.5

(22) 申请日 2019.09.12

(65) 同一申请的已公布的文献号
申请公布号 CN 110931444 A

(43) 申请公布日 2020.03.27

(30) 优先权数据
108126499 2019.07.26 TW

(73) 专利权人 上海兆芯集成电路有限公司
地址 上海市张江高科技园区金科路2537号
301室

(72) 发明人 张文远 陈伟政 宫振越

(74) 专利代理机构 北京市柳沈律师事务所
11105

专利代理师 陈小雯

(51) Int.Cl.

H01L 23/488 (2006.01)

H01L 21/60 (2006.01)

(56) 对比文件

CN 107785344 A, 2018.03.09

CN 107785344 A, 2018.03.09

US 2007252252 A1, 2007.11.01

CN 1348605 A, 2002.05.08

CN 105280576 A, 2016.01.27

US 6350669 B1, 2002.02.26

CN 1159077 A, 1997.09.10

US 2005093153 A1, 2005.05.05

US 2002017721 A1, 2002.02.14

审查员 亢心洁

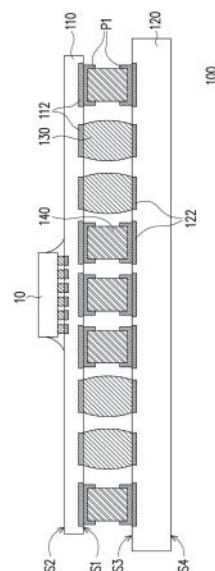
权利要求书1页 说明书9页 附图35页

(54) 发明名称

电子结构

(57) 摘要

本发明公开一种电子结构,其包括一基板、一电路板、多个导电结构以及多个支撑结构。基板具有多个第一连接垫。电路板配置于基板,并具有多个第二连接垫。导电结构分别连接于第一连接垫以及第二连接垫。支撑结构分别连接于第一连接垫或第二连接垫的至少其中之一,其中支撑结构与导电结构彼此电绝缘,且支撑结构的结构强度大于导电结构的结构强度。



1. 一种电子结构,其特征在于,该电子结构包括:
基板,具有相对的第一面及第二面,并具有位于该第一面的多个第一连接垫;
电路板,配置于该基板,具有相对的第三面及第四面,并具有位于该第三面的多个第二连接垫;
多个导电结构,分别连接于该些第一连接垫以及该些第二连接垫;
多个支撑结构,分别连接于该些第一连接垫或该些第二连接垫的至少其中之一,其中该些支撑结构与该些导电结构彼此电绝缘,且该些支撑结构的结构强度大于该些导电结构的结构强度,该些导电结构为锡球,该些支撑结构用以维持该电子结构的平整度;
其中,该电路板和该基板结合在一起,该些支撑结构的一部分位于该些导电结构之间且与该电路板或该基板之间具有空隙。
2. 如权利要求1所述的电子结构,还包括:
防焊层,配置于该基板以覆盖位于该基板中的第一电路结构或配置于该电路板以覆盖位于该电路板中的第二电路结构。
3. 如权利要求1所述的电子结构,其中该电路板包括电路结构,且该电路结构与该些支撑结构彼此电绝缘。
4. 如权利要求1所述的电子结构,其中该基板的该第二面的中央处适于连接至少一芯片,且以该基板的中央处为对称中心,至少一部分的该些支撑结构在该基板在该基板上的正投影重叠于该至少一芯片在该基板上的正投影。
5. 如权利要求1所述的电子结构,其中该基板的该第二面的中央处适于连接至少一芯片,且以该基板的中央处为对称中心,至少一部分的该些支撑结构在该基板上的正投影不重叠于该至少一芯片在该基板上的正投影。
6. 如权利要求5所述的电子结构,其中该些支撑结构在该基板上的正投影呈现至少一环状矩形分布于该至少一芯片在该基板上的正投影的外围或该基板的最外围处。
7. 如权利要求5所述的电子结构,其中该些支撑结构在该基板上的正投影呈现至少一环状矩形点状排列分布于该至少一芯片在该基板上的正投影的外围或该基板的最外围处。
8. 如权利要求5所述的电子结构,其中该些支撑结构在该基板上的正投影呈现至少一L形状分布于该至少一芯片在该基板上的正投影的外围或该基板的最外围处。
9. 如权利要求1所述的电子结构,其中该些支撑结构为被动元件。

电子结构

技术领域

[0001] 本发明涉及一种电子结构,且特别是涉及一种应用于芯片封装领域的电子结构。

背景技术

[0002] 半导体封装技术领域,芯片载体(chip carrier)是一种用以将集成电路芯片(IC chip)连接至下一层级的电子元件,例如主机板或模块板等。具有高布线密度的线路基板(circuit board)经常作为高接点数的芯片载体。线路基板主要由多个图案化导体层(patterned conductive layer)及多个介电层(dielectric layer)交替叠合而成,而两图案化导体层之间可通过导体孔(conductive via)来彼此电连接。在目前的芯片封装中,芯片封装的顶部会视需求配置有散热模块,例如是散热结构或散热器。具体而言,散热模块可通过固定于电路板上而配置在芯片封装的顶部并对芯片进行散热。在上述配置散热模块的过程中,将对芯片封装产生一定的机械应力。

[0003] 然而,随着装置的功率需求逐渐增加,对于散热模块的尺寸上需求也将会增加,进而使散热模块配置于电路板上所产生机械应力也较大。这将导致了芯片封装的平整度降低,且增加了焊球变形的风险。

发明内容

[0004] 本发明提供一种电子结构,可维持良好的平整度,且同时防止导电结构受重力挤压而变形,进而维持良好的电性效果。

[0005] 本发明提供一种电子结构,包括一基板、一电路板、多个导电结构以及多个支撑结构。基板具有相对的一第一面及一第二面,并具有位于第一面的多个第一连接垫。电路板配置于基板,具有相对的一第三面及一第四面,并具有位于第三面的多个第二连接垫。导电结构分别连接于第一连接垫以及第二连接垫。支撑结构分别连接于第一连接垫或第二连接垫的至少其中之一,其中支撑结构与导电结构彼此电绝缘,且支撑结构的结构强度大于导电结构的结构强度。

[0006] 基于上述,在本发明的电子结构中,将结构强度较导电结构大的支撑结构配置于基板与电路板之间,则可提供良好的支撑效果。如此一来,可通过支撑结构所提供的良好支撑效果维持电子结构具有良好的平整度。此外,若配置有散热器时,因为支撑结构是对称配置,也可以防止导电结构受重力挤压而变形,进而维持电子结构具有良好的电性效果。

[0007] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附的附图作详细说明如下。

附图说明

[0008] 图1A至图1H依序为本发明一实施例的电子结构制造方法的剖面示意图;

[0009] 图2A至图2B依序为本发明另一实施例的电子结构部分制造方法的剖面示意图;

[0010] 图3A至图3B依序为本发明另一实施例的电子结构部分制造方法的剖面示意图;

- [0011] 图4A及图4B分别为本发明其他多个实施例的电子结构的剖面示意图；
- [0012] 图5A及图5B分别为本发明其他多个实施例的电子结构的剖面示意图；
- [0013] 图6A至图6F分别为本发明其他多个实施例的电子结构的剖面示意图；
- [0014] 图7A至图7C分别为本发明其他多个实施例的部分电子结构的俯视示意图；
- [0015] 图8A至图8H依序为本发明另一实施例的电子结构制造方法的剖面示意图；
- [0016] 图9为本发明一实施例的电子结构制造方法的步骤流程图；
- [0017] 图10为本发明另一实施例的电子结构制造方法的步骤流程图；
- [0018] 图11为本发明另一实施例的电子结构的剖面示意图；
- [0019] 图12为本发明另一实施例的电子结构的剖面示意图。
- [0020] 符号说明
- [0021] 10: 芯片
- [0022] 20: 第一模版
- [0023] 30: 第二模版
- [0024] 100、100A、100B、100C1、100C2、100D1、100D2、100E1、100E2、100F1、100F2、100F3、100F4、100G、100H、100I、100J、100K: 电子装置
- [0025] 110: 基板
- [0026] 112: 第一连接垫
- [0027] 114: 第一线路结构
- [0028] 120: 电路板
- [0029] 122: 第二连接垫
- [0030] 124: 第二线路结构
- [0031] 130: 导电结构
- [0032] 140、140A、140B: 支撑结构
- [0033] 150: 粘着层
- [0034] G: 空隙
- [0035] M: 防焊层
- [0036] P1、P2: 连接层
- [0037] S1: 第一面
- [0038] S2: 第二面
- [0039] S3: 第三面
- [0040] S4: 第四面

具体实施方式

[0041] 图1A至图1H依序为本发明一实施例的电子结构制造方法的剖面示意图。请先参考图1A。本实施例提供一种电子结构(见如图1H的电子结构100)制造方法。在此制造方法中, 首先, 提供一基板110以及多个连接层P1的组合, 其中基板110具有多个第一连接垫112。详细而言, 基板110具有相对的一第一面S1及一第二面S2, 且多个第一连接垫112位于第一面S1。一部分(第一部分)的第一连接垫112未连接于连接层P1, 而多个连接层P1则分别连接于另一部分(第二部分)的第一连接垫112。在本实施例中, 可先在基板110上形成或额外配置

对应上述第一部分第一连接垫112位置的一第一模版20,再将这些连接层P1分别配置于第一模版20对应第一连接垫112位置的开口中,其中第一模版20与对应的这些连接层P1在垂直基板110的一方向上彼此不重叠。在本实施例中,连接层P1为锡膏(solder paste),但在其他实施例中,可依需求选择使用助焊剂(flux),本发明并不限于此。此外,在本实施例中,基板110的第二面S2的中央处适于连接至少一芯片10,如图1A所显示。

[0042] 请参考图1B。接着,在上述步骤之后,配置多个支撑结构140至对应的连接层P1上,以分别通过对应的连接层P1连接至基板110。换句话说,在此步骤中,即形成了基板110、多个连接层P1以及多个支撑结构140的组合。在本实施例中,支撑结构140例如是铜柱、铜环或其他结构强度大于锡球的块状结构,本发明并不限于此。此外,在本实施例中,支撑结构140是对称地分布在基板110上。具体而言,在本实施例中,以基板110的中央处为对称中心,支撑结构140的分布位置是对应且对称地配置于基板110的边缘处以及中央处,其中中央处即为对应芯片10的相对位置。换句话说,其中一部分的支撑结构140在基板110上的正投影重叠于芯片10在基板110上的正投影,而其中另一部分的支撑结构140在基板110上的正投影不重叠于芯片10在基板110上的正投影。

[0043] 请参考图1C。接着,在上述步骤之后,移除所形成或额外配置的第一模版20,以进行后续的制作步骤。

[0044] 请参考图1D。接着,在上述步骤之后,在基板110上形成或额外配置对应另一部分第一连接垫112位置的一第二模版30,并且在尚未配置元件的第一部分的第一连接垫112位置分别配置连接层P2,以进行后续的制作步骤。其中,第二模版30与对应的这些连接层P2在垂直基板110的一方向上彼此不重叠。在本实施例中,连接层P2为助焊剂(flux),但在其他实施例中,可依需求选择使用锡膏(solder paste),本发明并不限于此。

[0045] 请参考图1E。接着,在上述步骤之后,配置多个导电结构130分别经由对应的连接层P2连接于第一部分的第一连接垫112。换句话说,在此步骤中,即形成了基板110、多个导电结构130以及多个支撑结构140的组合。导电结构130例如是锡球。另外,由上的图1B的相关说明可知,支撑结构140并不是导电结构130,且支撑结构140的结构强度大于导电结构130的结构强度。此外,在本实施例中,这些支撑结构140与这些导电结构130彼此电绝缘。意即,在基板110或其它连接的电路板线路中,支撑结构140与导电结构130电性不导通。另外,支撑结构140与芯片10的信号导通无关,亦即,支撑结构140未提供导通路径使芯片10或是基板110的信号可以通过支撑结构140而导通;反之,导电结构130提供导通路径使芯片10或是基板110的信号可以通过导电结构130导通。

[0046] 请参考图1F。接着,在上述步骤之后,移除所形成或额外配置的第二模版30,以露出导电结构130及支撑结构140而进行后续的制作步骤。此外,在本实施例中,导电结构130与连接层P2的材质相同,所以二者的接合边界较为模糊,甚至会因热形变,而熔合在一起。反之,因为支撑结构140与连接层P1的材质不同,则二者的接合边界较清楚。在其他实施例中,可视需求将图1B中配置支撑结构140的步骤可与图1E中配置导电结构130的步骤调整先后顺序,本发明对配置导电结构130以及配置支撑结构140的先后顺序并无限制。

[0047] 请参考图1G。接着,在上述步骤之后,提供一电路板120以及多个连接层P1的组合,其中电路板120具有多个第二连接垫122。详细而言,电路板120具有相对的一第三面S3及一第四面S4,且多个第二连接垫122位于第三面S3。电路板120上的多个连接层P1则分别连接

于这些第二连接垫122。在本实施例中,可先在电路板120上形成或额外配置对应第二连接垫122位置的模版(未绘示),再将这些连接层P1分别配置于上述模版对应第二连接垫122位置的开口中。在本实施例中,电路板120上的连接层P1的选用可依需求使用助焊剂(flux)或锡膏(solder paste),本发明并不限于此。在本实施例中,电路板120包括一电路结构(未显示)。

[0048] 请参考图1H。接着,在上述步骤之后,将基板110、多个导电结构130以及多个支撑结构140的组合连接至电路板120。详细而言,在此步骤中,将电路板120配置于基板110,且将多个导电结构130以及多个支撑结构140分别经由连接层P1连接于第二连接垫122,以形成电子结构100。此外,在本实施例中,导电结构130与电路板120上的连接层P1的材质相同,所以二者的接合边界较为模糊,甚至会因热形变,而熔合在一起。反之,因为支撑结构140与连接层P1的材质不同,则二者的接合边界较清楚。另外,在本实施例中,电路板120的电路结构与支撑结构140彼此电绝缘。也就是说,支撑结构140未提供导通路径而使电路板120可以和芯片10或是基板110之间的信号可以通过支撑结构140导通。此外,当基板110与电路板120结合后,结构强度较导电结构130大的支撑结构140将可在基板110与电路板120之间提供良好的支撑效果,但未提供信号导通。如此一来,可通过支撑结构140所提供的良好支撑效果维持电子结构100具有良好的平整度。此外,若配置有散热器(未图示)时,因为支撑结构140是对称配置,也可以防止导电结构130受重力挤压而变形,进而维持电子结构100具有良好的电性效果。

[0049] 图2A至图2B依序为本发明另一实施例的电子结构部分制造方法的剖面示意图。请先参考图2A。在本实施例中,在图1F所绘示的步骤之后,可进行类似图1G所显示的制作方法,其两者不同之处在于,在本实施例中,电路板120上配置对应于导电结构130的为多个连接层P1,而配置对应于支撑结构140的则为多个粘着层150,亦即,电路板120上配置两种不同的膜层。如此一来,可节省使用连接层,并同时让支撑结构140连接于电路板120的粘着层150即产生电绝缘。在一些实施例中,也可利用粘着层150取代基板110上的部分连接层P1(例如连接支撑结构140的连接层P1),而使支撑结构140通过粘着层150连接于基板110的第一连接垫112,本发明并不限于此。

[0050] 请参考图2B。接着,在上述步骤之后,将基板110、多个导电结构130以及多个支撑结构140的组合连接至电路板120,以形成电子结构100A。因此,当基板110与电路板120结合后,结构强度较导电结构130大的支撑结构140将可在基板110与电路板120之间提供良好的支撑效果。而且,由于支撑结构140可以对称配置,故可通过支撑结构140所提供的良好支撑效果维持电子结构100A具有良好的平整度,同时防止导电结构130受重力挤压而变形,进而维持电子结构100A具有良好的电性效果。另外,因为使用具有电绝缘的粘着层150来连接支撑结构140,所以在基板110上靠近粘着层150的电路设计将更有弹性;在电路板120中靠近粘着层150的电路设计亦同。

[0051] 图3A至图3B依序为本发明另一实施例的电子结构部分制造方法的剖面示意图。请先参考图3A。在本实施例中,在图1F所绘示的步骤之后,可进行类似图1G所显示的制作方法,其两者不同之处在于,在本实施例中,电路板120上配置对应于导电结构130的为多个连接层P2,而配置对应于支撑结构140的则可省略配置连接层。换句话说,支撑结构140以抵接的方式连接于电路板120。如此一来,可节省使用连接层,并同时使后续完成电子结构,因为

支撑结构140与电路板120之间可具有一些空隙G(绘示于图3B),而具有些微弹性或些微错位的组装空间。在一些实施例中,亦可使支撑结构140同样以抵接的方式连接于基板110,本发明并不限于此。

[0052] 请参考图3B。接着,在上述步骤之后,将基板110、多个导电结构130以及多个支撑结构140的组合连接至电路板120,以形成电子结构100B,此电子结构100B的支撑结构140与电路板120之间可具有一些空隙G。因此,当基板110与电路板120结合后,结构强度较导电结构130大的支撑结构140将可在基板110与电路板120之间提供良好的支撑效果,并且具有缓冲的空间。如此一来,可通过支撑结构140所提供的良好支撑效果维持电子结构100B具有良好的平整度,同时防止导电结构130受重力挤压而变形,进而维持电子结构100B具有良好的电性效果。

[0053] 图4A及图4B分别为本发明其他多个实施例的电子结构的剖面示意图。请先参考图4A。本实施例的电子结构100C1类似于图1H的电子结构100。两者不同之处在于,在本实施例中,支撑结构140A可选用被动(无源)元件,例如是虚设电容器,以使支撑结构140A在基板110与电路板120之间提供良好的支撑效果,但本发明并不限于此。请再参考图4B。本实施例的电子结构100C2类似于图4A的电子结构100C1。两者不同之处在于,在本实施例中,可省略配置在电路板120上对应于支撑结构140A的连接层。换句话说,支撑结构140A以抵接的方式连接于电路板120。因此,除了可节省使用连接层之外,由于支撑结构140A与电路板120之间可具有一些空隙G,故可在后续完成电子结构100C2的步骤中具有些微弹性或些微错位的组装空间。如此一来,可通过支撑结构140A所提供的良好支撑效果维持电子结构100C2具有良好的平整度,同时防止导电结构130受重力挤压而变形,进而维持电子结构100C2具有良好的电性效果。在一些实施例中,也可使支撑结构140A同样以抵接的方式连接于基板110,本发明并不限于此。

[0054] 图5A及图5B分别为本发明其他多个实施例的电子结构的剖面示意图。请先参考图5A。本实施例的电子结构100D1类似于图1H的电子结构100。两者不同之处在于,在本实施例中,支撑结构140B可选用锡合金球,例如是铜核心的锡球,以使支撑结构140B在基板110与电路板120之间提供良好的支撑效果,但本发明并不限于此。请再参考图5B。本实施例的电子结构100D2类似于图5A的电子结构100D1。两者不同之处在于,在本实施例中,可省略配置在电路板120上对应于支撑结构140B的连接层。换句话说,支撑结构140B以抵接的方式连接于电路板120。因此,除了可节省使用连接层之外,由于支撑结构140B与电路板120之间可具有一些空隙G,故可在后续完成电子结构100D2的步骤中具有些微弹性或些微错位的组装空间。如此一来,可通过支撑结构140B所提供的良好支撑效果维持电子结构100D2具有良好的平整度,同时防止导电结构130受重力挤压而变形,进而维持电子结构100D2具有良好的电性效果。在一些实施例中,也可使支撑结构140B同样以抵接的方式连接于基板110,本发明并不限于此。

[0055] 图6A至图6F分别为本发明其他多个实施例的电子结构的剖面示意图。图7A至图7C分别为本发明其他多个实施例的部分电子结构的俯视示意图。请先参考图6A及图7A。图6A所显示的电子结构100E1的剖面即为图7A中沿剖线A-A'所显示的剖面。本实施例的电子结构100E1类似于图1H的电子结构100。两者不同之处在于,在本实施例中,支撑结构140在基板110与电路板120之间的分布方式与图1H所显示的分布方式不同。具体而言,在本实施例

中,支撑结构140在基板110上的正投影呈现两环状矩形分布在芯片10在基板110上的正投影的外围及基板110的最外围处,如图7A所显示,而图1H的支撑结构,大致配置于芯片10下方(芯片中央处)。因此,可适应于不同种类电子装置100E1,而提供良好的支撑效果,但本发明并不限于此。请再参考图6B。本实施例的电子结构100E2类似于图6A的电子结构100E1。两者不同之处在于,在本实施例中,可省略配置在电路板120上对应于支撑结构140的连接层。换句话说,支撑结构140以抵接的方式连接于电路板120。因此,除了可节省使用连接层之外,由于支撑结构140与电路板120之间可具有一些空隙G,故可使在后续完成电子结构100E2的步骤中具有些微弹性或些微错位的组装空间。如此一来,可通过支撑结构140所提供的良好支撑效果维持电子结构100E2具有良好的平整度,同时防止导电结构130受重力挤压而变形,进而维持电子结构100E2具有良好的电性效果。在一些实施例中,也可使支撑结构140同样以抵接的方式连接于基板110,本发明并不限于此。

[0056] 请参考图6C。本实施例的电子结构100F1类似于图6A的电子结构100E1。两者不同之处在于,在本实施例中,支撑结构140B选用锡合金球,例如是铜核心的锡球,以使支撑结构140B在基板110与电路板120之间提供良好的支撑效果。另一方面,本实施例的电子结构100F1类似于图5A的电子结构100D1。两者不同之处在于,图6C的支撑结构140B在基板110上的正投影呈现两环状矩形连续排列分布在芯片10外围,而图5A的支撑结构140B,大致位于芯片10下方(芯片中央处)。请再参考图6D。本实施例的电子结构100F2类似于图6A的电子结构100F1。两者不同之处在于,在本实施例中,可省略配置在基板110上对应于支撑结构140B的连接层。换句话说,支撑结构140B以抵接的方式连接于基板110。因此,除了可节省使用连接层之外,由于支撑结构140B与基板110之间可具有一些空隙G,故可使在后续完成电子结构100F2的步骤中具有些微弹性或些微错位的组装空间。如此一来,可通过支撑结构140B所提供的良好支撑效果维持电子结构100F2具有良好的平整度,同时防止导电结构130受重力挤压而变形,进而维持电子结构100F2具有良好的电性效果。在一些实施例中,也可使支撑结构140B同样以抵接的方式连接于电路板120,本发明并不限于此。

[0057] 请参考图6E。本实施例的电子结构100F3类似于图6A的电子结构100E1。两者不同之处在于,在本实施例中,支撑结构140A选用被动元件,例如是虚设电容器,以使支撑结构140A在基板110与电路板120之间提供良好的支撑效果。另一方面,本实施例的电子结构100F3类似于图4A的电子结构100D1。两者不同之处在于,图6E的支撑结构140A在基板110上的正投影呈现两环状矩形分布在芯片10在基板110上的正投影的外围,而图4A的支撑结构140A,大致位于芯片10下方(芯片中央处)。请再参考图6F。本实施例的电子结构100F4类似于图6E的电子结构100F3。两者不同之处在于,在本实施例中,可省略配置在电路板120上对应于支撑结构140A的连接层。换句话说,支撑结构140A以抵接的方式连接于电路板120。因此,除了可节省使用连接层之外,由于支撑结构140A与电路板120之间可具有一些空隙G,故可使在后续完成电子结构100F4的步骤中具有些微弹性或些微错位的组装空间。如此一来,可通过支撑结构140A所提供的良好支撑效果维持电子结构100F4具有良好的平整度,同时防止导电结构130受重力挤压而变形,进而维持电子结构100F4具有良好的电性效果。在一些实施例中,也可使支撑结构140A同样以抵接的方式连接于基板110,本发明并不限于此。

[0058] 请参考图7B。本实施例的电子结构100G类似于图7A的电子结构100E1。两者不同之处在于,在本实施例中,支撑结构140在基板110与电路板120之间的分布方式与图7A所显示

的分布方式不同。具体而言,在本实施例中,支撑结构140以L形状地分布在基板110上,如图7B所显示。详细而言,在本实施例中,支撑结构140在基板110上的正投影呈现至少一L形状分布于芯片10在基板110上的正投影的外围或基板110的最外围处。更具体而言,支撑结构140以L形状排列分布于芯片10外围的四个角落以及基板110的四个角落。因此,可适应于不同种类电子装置100G,而提供良好的支撑效果,但本发明并不限于此。

[0059] 请参考图7C。本实施例的电子结构100H类似于图7A的电子结构100E1。两者不同之处在于,在本实施例中,支撑结构140在基板110与电路板120之间的分布方式与图7A所显示的分布方式不同。具体而言,在本实施例中,支撑结构140分布在基板110上具有间隔,如图7C所显示。详细而言,在本实施例中,支撑结构140在基板110上的正投影呈现至少一环状矩形点状排列分布于芯片10在基板110上的正投影的外围或基板110的最外围处。因此,可适应于不同种类电子装置100H,而提供良好的支撑效果,但本发明并不限于此。

[0060] 需特别说明的是,图7A至图7C的支撑结构140在基板110与电路板120之间的分布方式也可适用于图1至图6的电子结构,其端视不同需求情况而决定。此外,图7A至图7C的支撑结构140在基板110与电路板120之间的分布方式是成对称分布。

[0061] 图8A至图8H依序为本发明另一实施例的电子结构制造方法的剖面示意图。请先参考图8A。本实施例提供一种电子结构(见如图8H的电子结构100I)制造方法。在此制造方法中,首先,提供一基板110以及多个连接层P2的组合,类似于图1A所绘示电子结构100的制作方法。两者不同之处在于,在本实施例中,位于基板110第一面S1的第一连接垫112彼此之间的间距不同,且在基板110上形成或额外配置的第一模版20对应第一连接垫112位置。其中,第一模版20与对应的这些连接层P2在垂直基板110的一方向上彼此不重叠。

[0062] 请参考图8B。接着,在上述步骤之后,配置多个导电结构130至对应的连接层P2上,以分别通过对应的连接层P2连接至基板110。

[0063] 请参考图8C。接着,在上述步骤之后,移除所形成或额外配置的第一模版20,以进行后续的制作步骤。

[0064] 请参考图8D。另一方面,在此制造方法中,可另提供一电路板120以及多个连接层P1的组合。在本实施例中,在电路板120上形成或额外配置对应非导电结构130位置(导电结构130位置如图8C所示)的一第二模版30,以进行后续的制作步骤。其中,第二模版30与对应的这些连接层P1在垂直电路板120的一方向上彼此不重叠。

[0065] 请参考图8E。接着,在上述步骤之后,配置多个支撑结构140至对应的连接层P1上,以分别通过对应的连接层P1连接至电路板120。

[0066] 请参考图8F。接着,在上述步骤之后,移除所形成或额外配置的第二模版30,以进行后续的制作步骤。在其他实施例中,可视需求制作图8F所显示的部分电子结构先于图8C所显示的部分电子结构,本发明对提供图8C所显示的部分电子结构以及图8F所显示的部分电子结构的先后顺序并无限制。

[0067] 请参考图8G及图8H。接着,在上述步骤之后,在电路板120上、对应图8C的导电结构130位置配置多个连接层P1,以将基板110以及多个导电结构130的组合连接至具有连接层P1的电路板120以及多个支撑结构140的组合。意即,将图8C所显示的部分电子结构与图8F所显示的部分电子结构结合。在此实施例中,因为支撑结构140以抵接的方式连接于基板110,当基板110与电路板120结合后,支撑结构140与基板110之间可具有一些空隙G,而具有

些微弹性或些微错位的组装空间,故结构强度较导电结构130大的支撑结构140将可在基板110与电路板120之间提供良好的支撑效果。如此一来,可通过支撑结构140所提供的良好支撑效果维持电子结构100I具有良好的平整度,同时防止导电结构130受重力挤压而变形,进而维持电子结构100I具有良好的电性效果。另外,因为支撑结构140以抵接的方式连接于基板110,所以基板110上、对应支撑结构140的位置,不需配置第一连接垫112,如此在基板110上、靠近支撑结构140的位置的电路设计将更有弹性。反之,如果支撑结构140抵接的方式是位于电路板120,则电路板120上、靠近支撑结构140的位置的电路设计也将更有弹性。

[0068] 图9为本发明一实施例的电子结构制造方法的步骤流程图。请参考图1G、图1H及图9。本实施例提供一种电子结构的制造方法,至少可应用于图1H所显示的电子结构100中,但本发明并不限于此。为方便说明,以下将以图1H所显示的电子结构100为例。在本实施例所提供的电子结构100制造方法中,首先,执行步骤S200,提供一基板110、多个导电结构130及多个支撑结构140的组合,其中基板110具有多个第一连接垫112,如图1G所显示。

[0069] 接着,在上述步骤S200之后,执行步骤S210,连接导电结构130至一电路板120,如图1H所显示。详细而言,支撑结构140与导电结构130分别连接至基板110的第一连接垫112。支撑结构140与导电结构130彼此电绝缘,且支撑结构140的结构强度大于导电结构130的结构强度。因此,当基板110与电路板120结合后,结构强度较导电结构130大的支撑结构140将可在基板110与电路板120之间提供良好的支撑效果。如此一来,可通过支撑结构140所提供的良好支撑效果维持电子结构100具有良好的平整度,同时防止导电结构130受重力挤压而变形,进而维持电子结构100具有良好的电性效果。

[0070] 图10为本发明另一实施例的电子结构制造方法的步骤流程图。请参考图8G、图8H及图10。本实施例提供一种电子结构的制造方法,至少可应用于图8H所显示的电子结构100I中,但本发明并不限于此。为方便说明,以下将以图8H所显示的电子结构100I为例。在本实施例所提供的电子结构100制造方法中,首先,执行步骤S300,提供一基板110以及多个导电结构130的组合,其中基板110具有多个第一连接垫112,如图8G所显示。

[0071] 接着,在上述步骤S300之后,执行步骤S310,连接导电结构130至一电路板120及多个支撑结构140的组合,如图8H所显示。详细而言,支撑结构140与导电结构130分别连接至电路板120的第二连接垫122。支撑结构140与导电结构130彼此电绝缘,且支撑结构140的结构强度大于导电结构130的结构强度。因此,当基板110与电路板120结合后,结构强度较导电结构130大的支撑结构140将可在基板110与电路板120之间提供良好的支撑效果。如此一来,可通过支撑结构140所提供的良好支撑效果维持电子结构100I具有良好的平整度,同时防止导电结构130受重力挤压而变形,进而维持电子结构100I具有良好的电性效果。

[0072] 图11为本发明另一实施例的电子结构的剖面示意图。请参考图11。本实施例的电子结构100J类似于图3B的电子结构100B。两者不同之处在于,在本实施例中,可在电路板120上对应支撑结构140抵接的位置处,配置防焊层M以覆盖位于电路板120中的第二电路结构124。如此一来,可通过防焊层M以使支撑结构140与电路板120彼此电绝缘,并且可使电子结构100J通过防焊层M以下的空间进行线路规划。关于本实施例中防焊层M,可依照需求,应用于其他实施例中,并不以此为限。

[0073] 图12为本发明另一实施例的电子结构的剖面示意图。请参考图12。本实施例的电子结构100K类似于图11的电子结构100J。两者不同之处在于,在本实施例中,可在基板110

上对应支撑结构140抵接的位置处,配置防焊层M以覆盖位于基板110中的第一电路结构114。如此一来,可通过防焊层M以使支撑结构140与基板110彼此电绝缘,并且可使电子结构100K通过防焊层M以上的空间进行线路规划。关于本实施例中防焊层M,可依照需求,应用于其他实施例中,并不以此为限。

[0074] 综上所述,在本发明的电子结构中,将结构强度较导电结构大的支撑结构配置于基板与电路板之间,则可提供良好的支撑效果。如此一来,可通过支撑结构所提供的良好支撑效果维持电子结构具有良好的平整度。此外,若配置有散热器时,因为支撑结构是对称配置,也可以防止导电结构受重力挤压而变形,进而维持电子结构具有良好的电性效果。

[0075] 虽然结合以上实施例公开了本发明,然而其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,可作些许的更动与润饰,故本发明的保护范围应当以附上的权利要求所界定的为准。

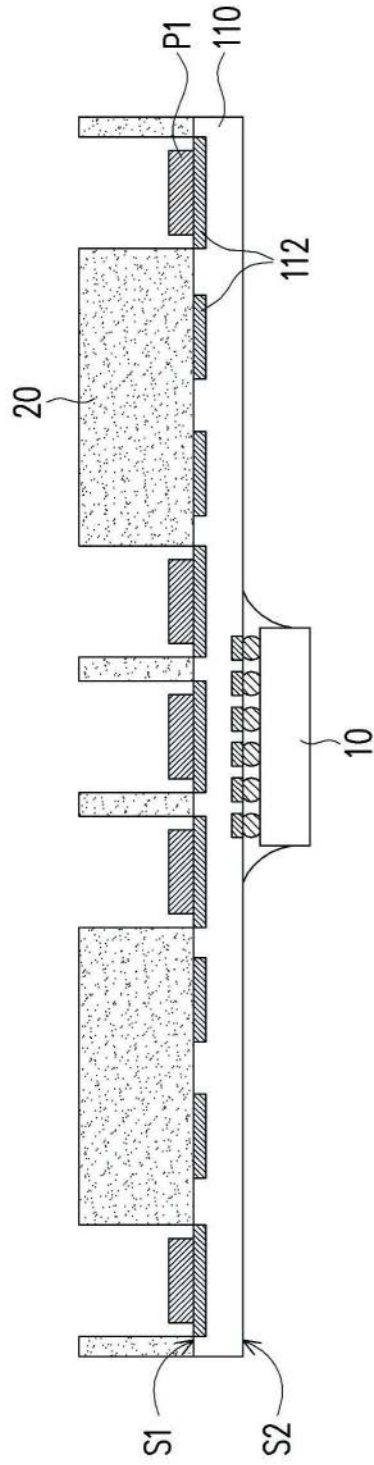


图1A

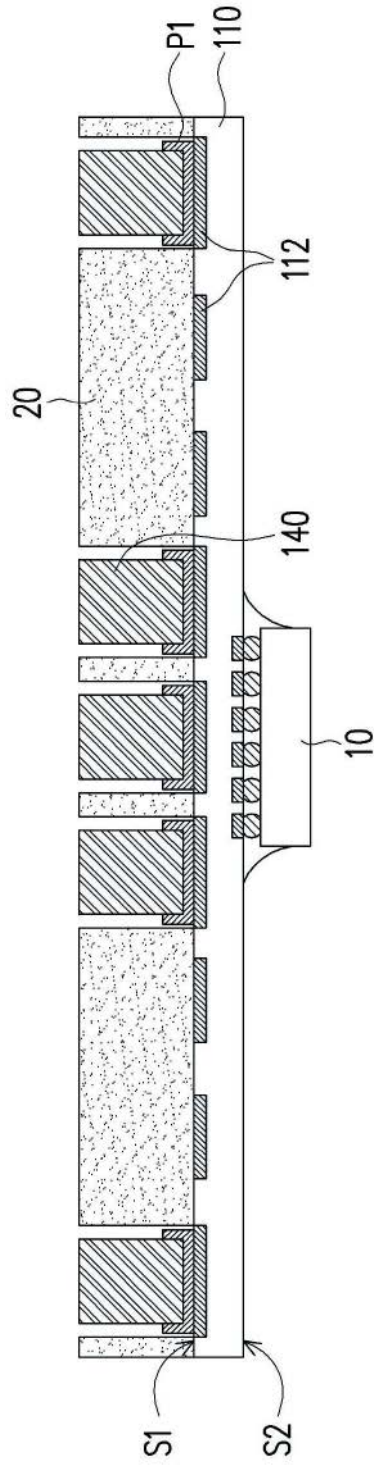


图1B

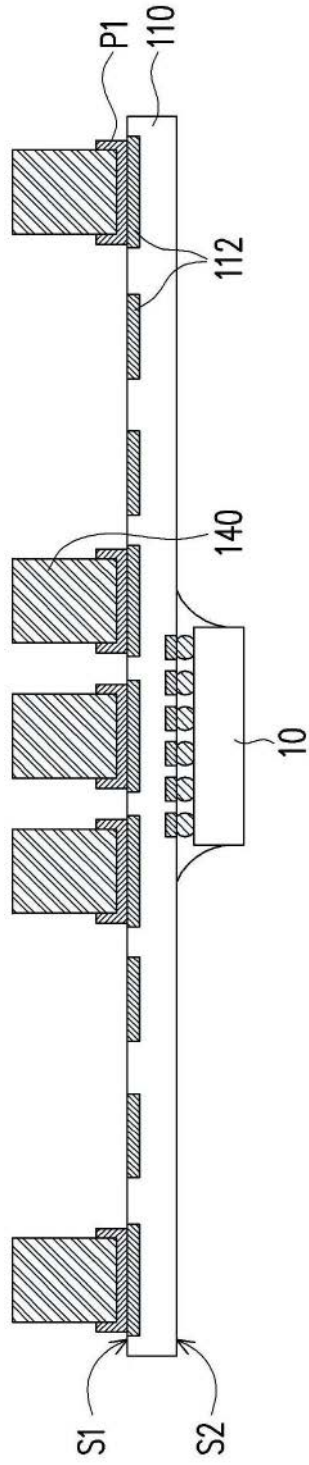


图1C

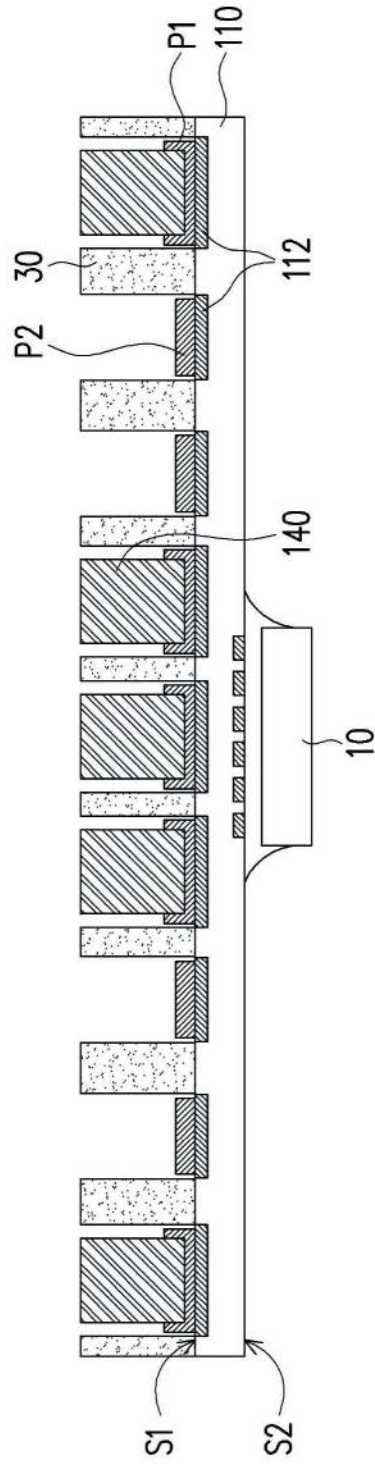


图1D

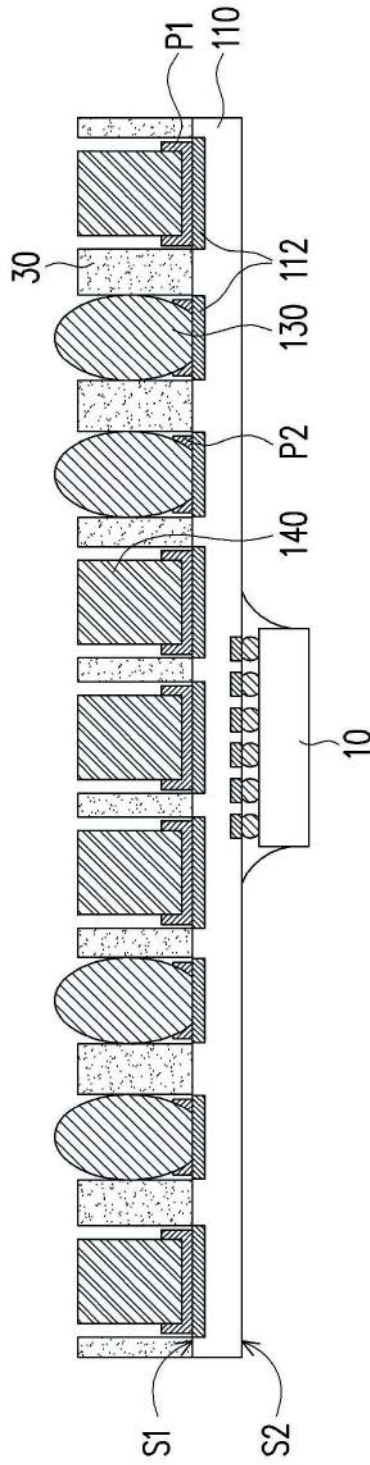


图1E

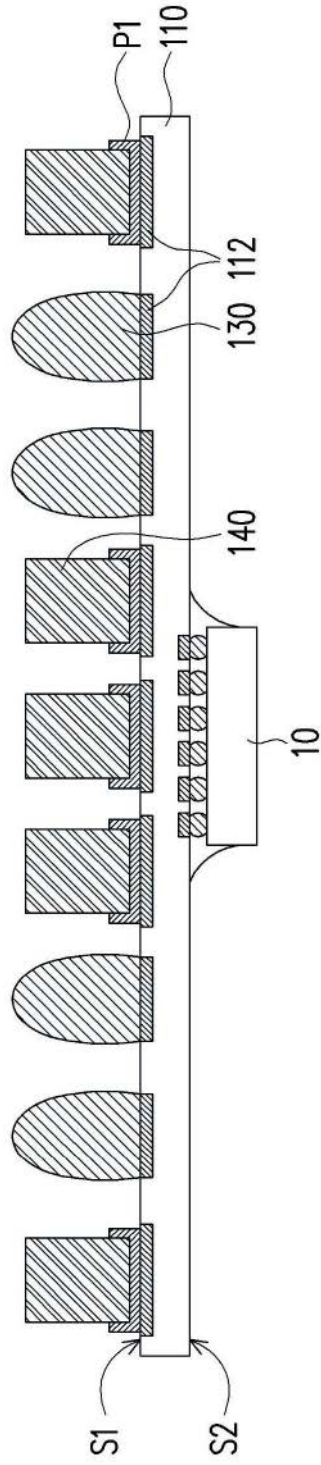


图1F

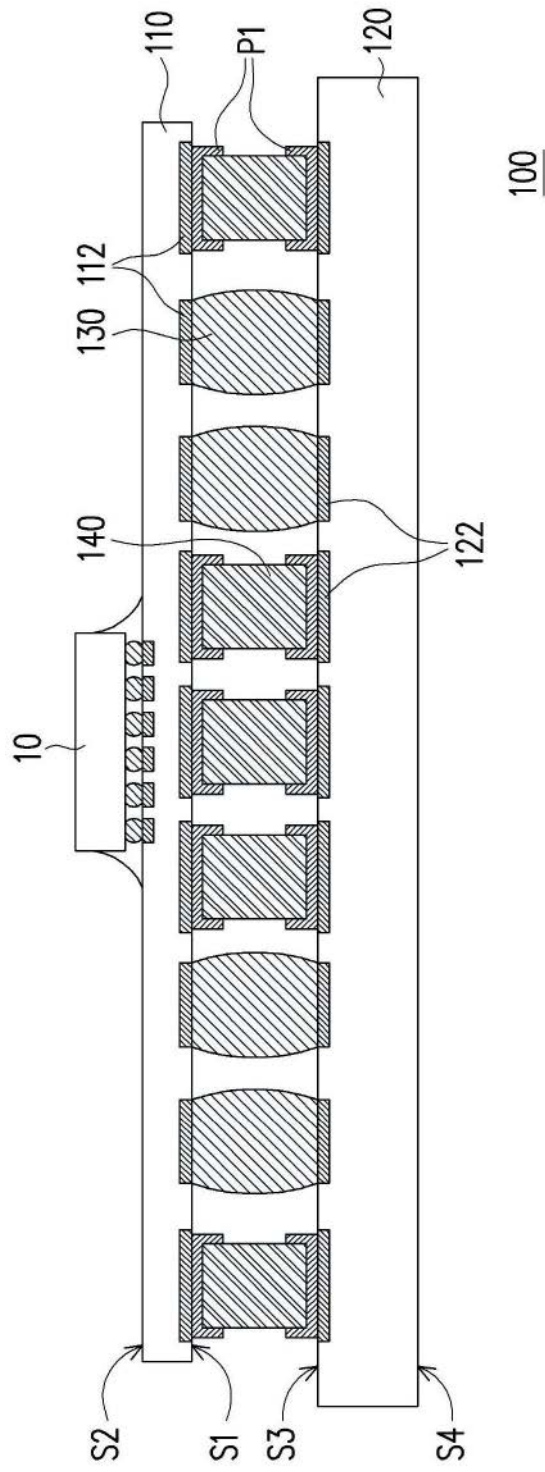


图1H

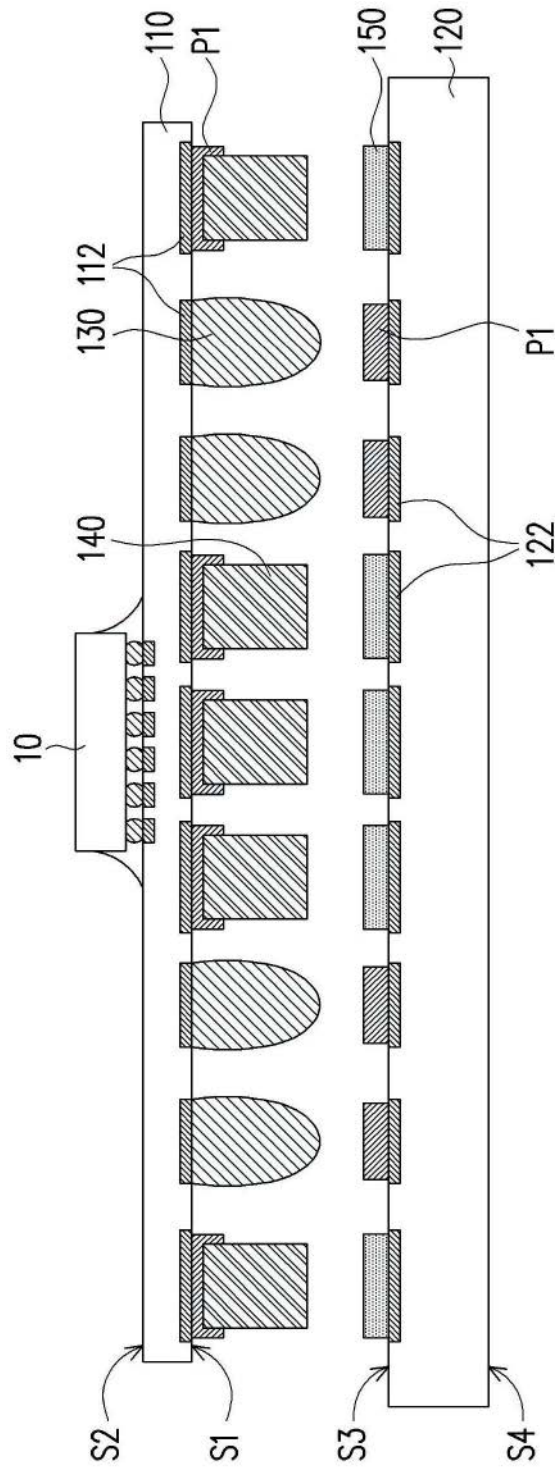


图2A

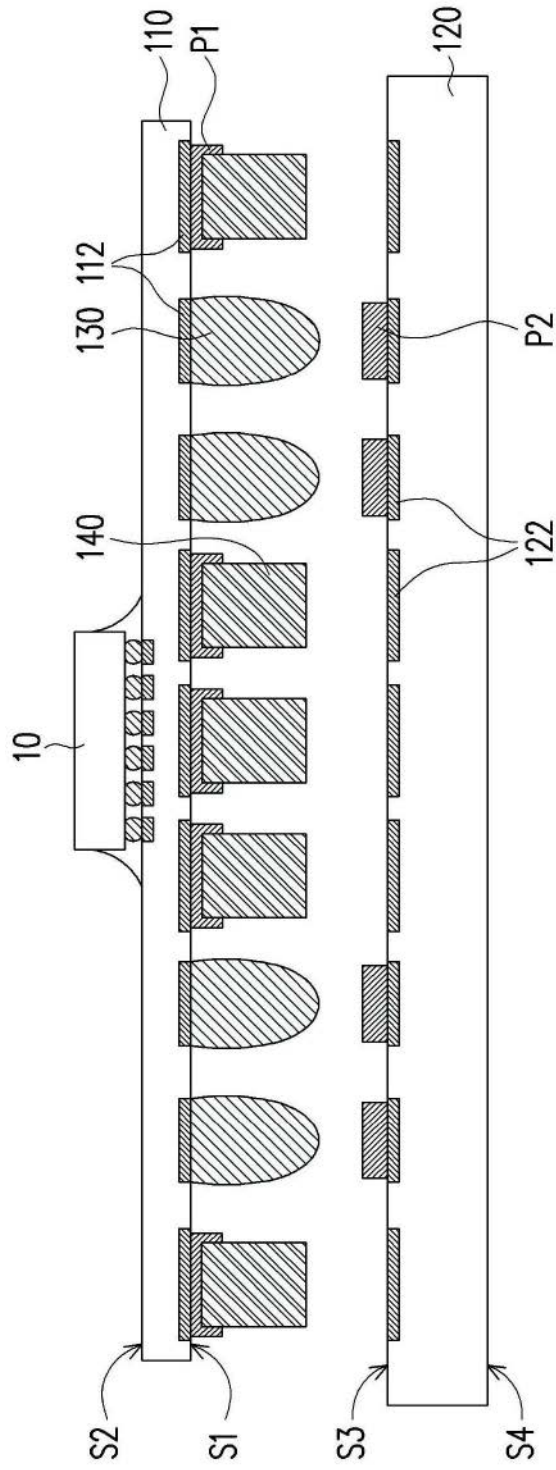


图3A

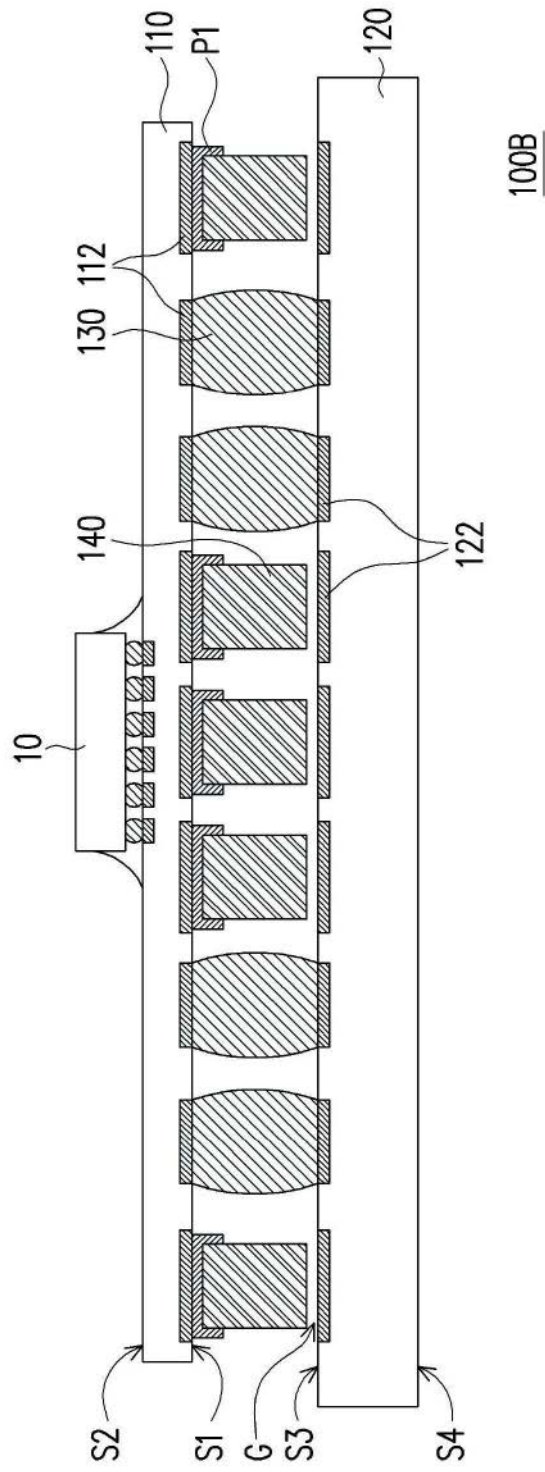


图3B

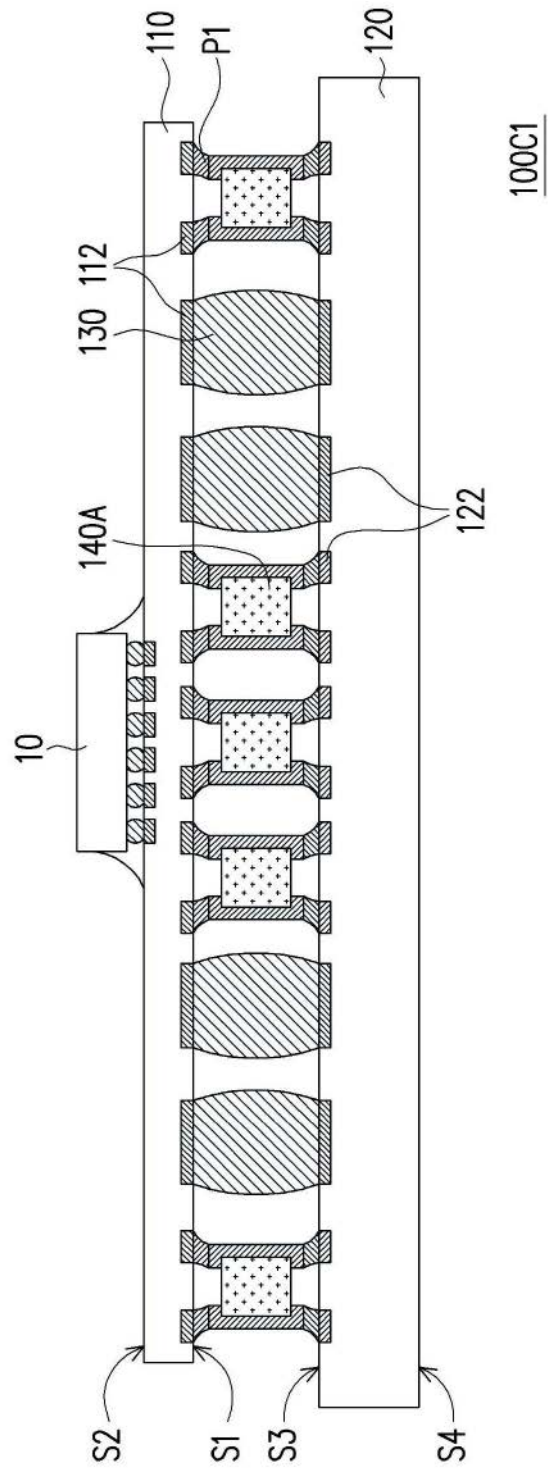


图4A

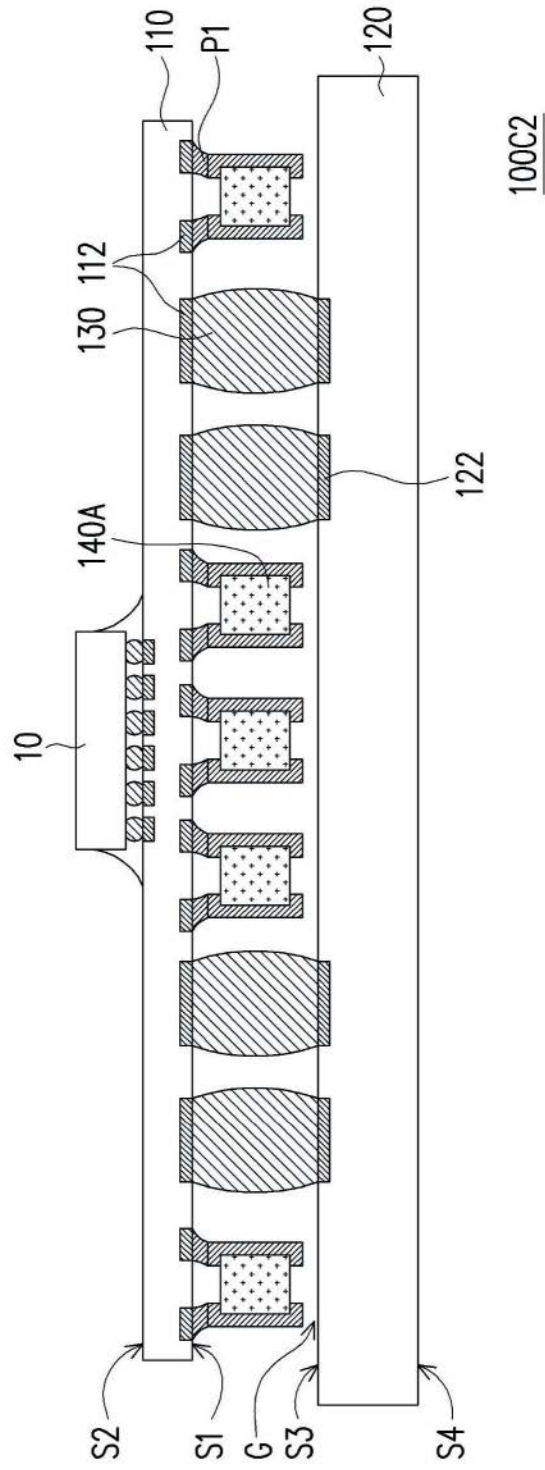


图4B

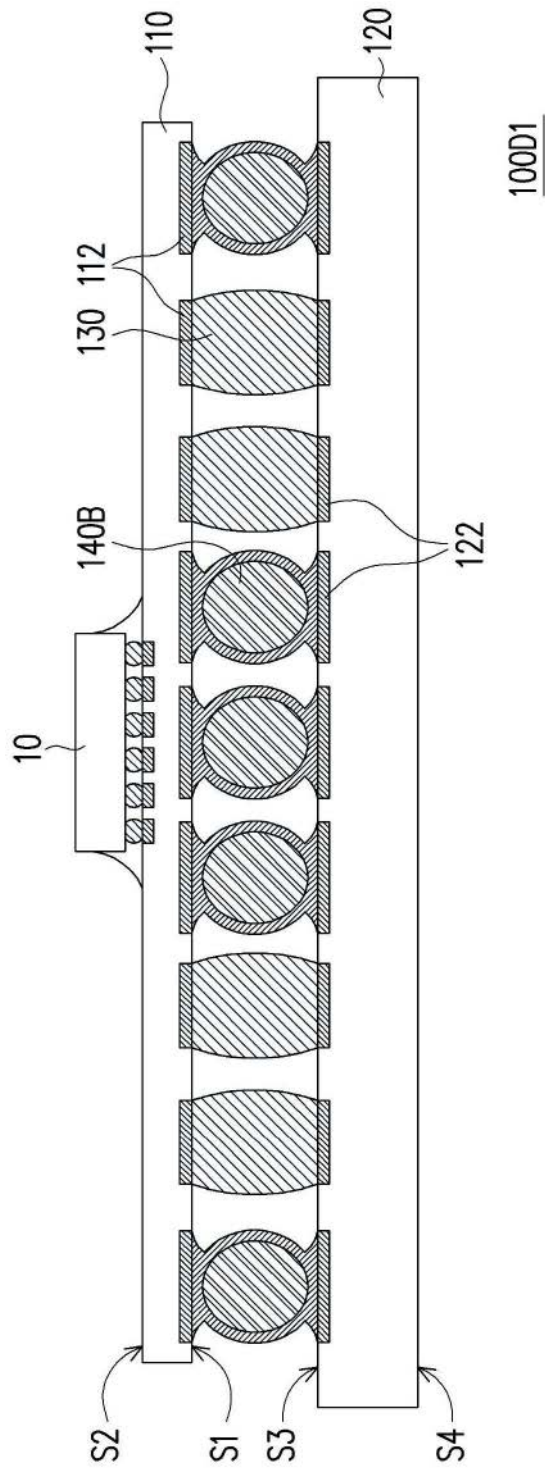


图5A

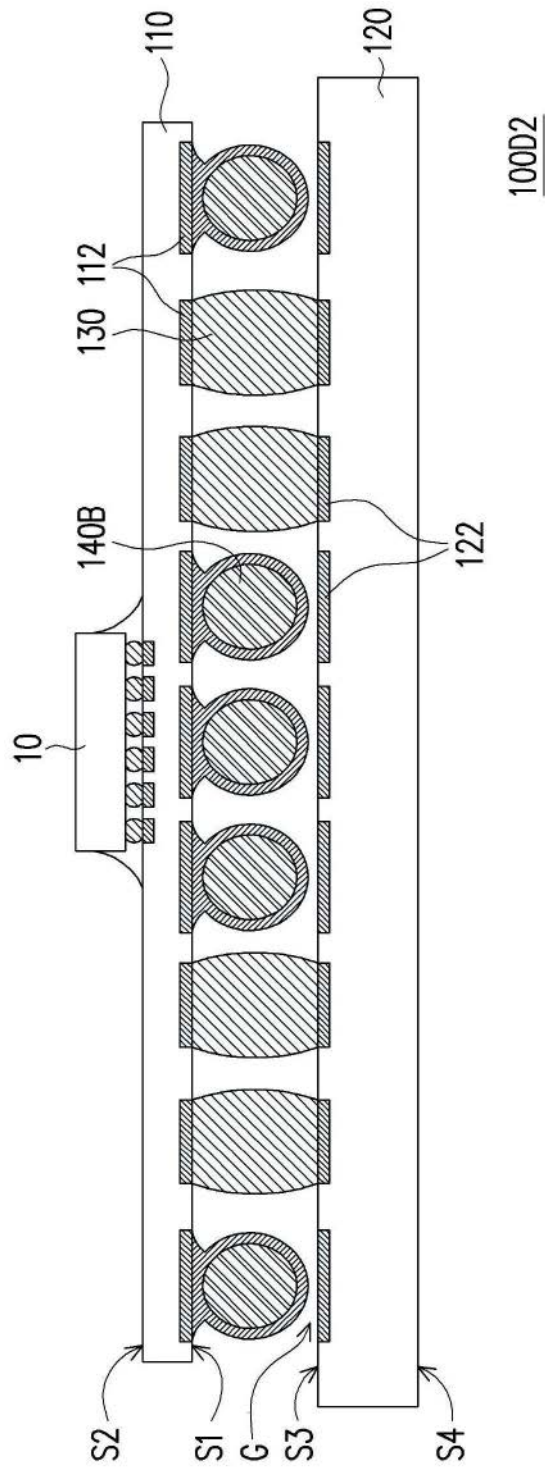


图5B

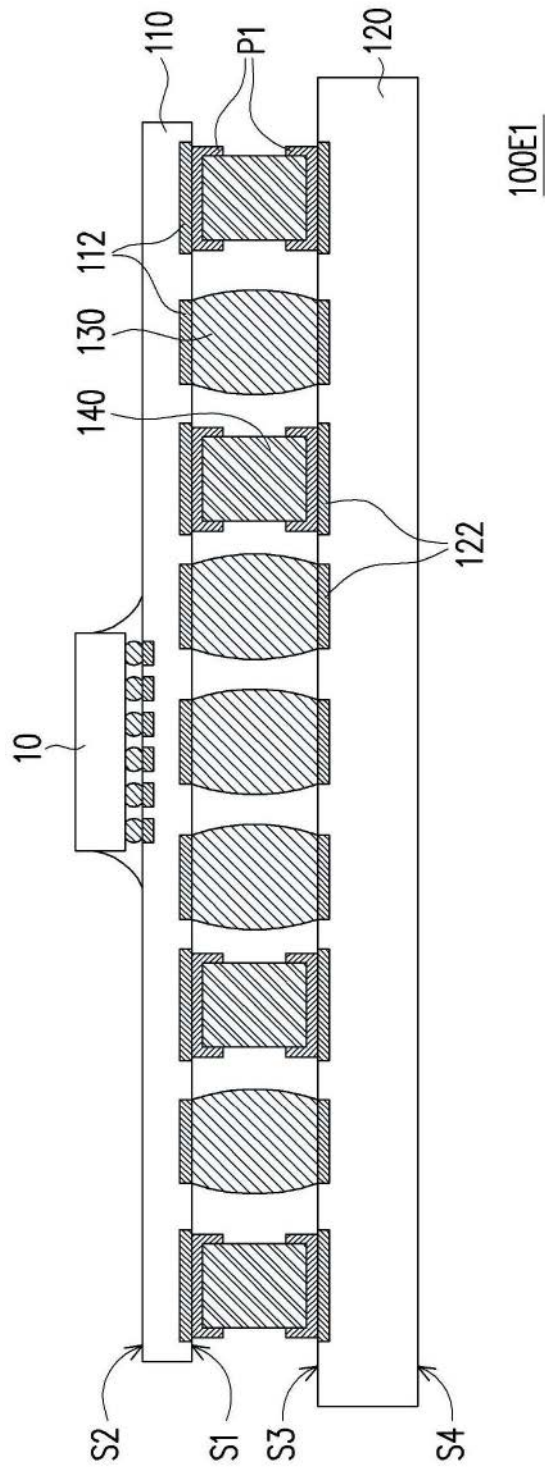


图6A

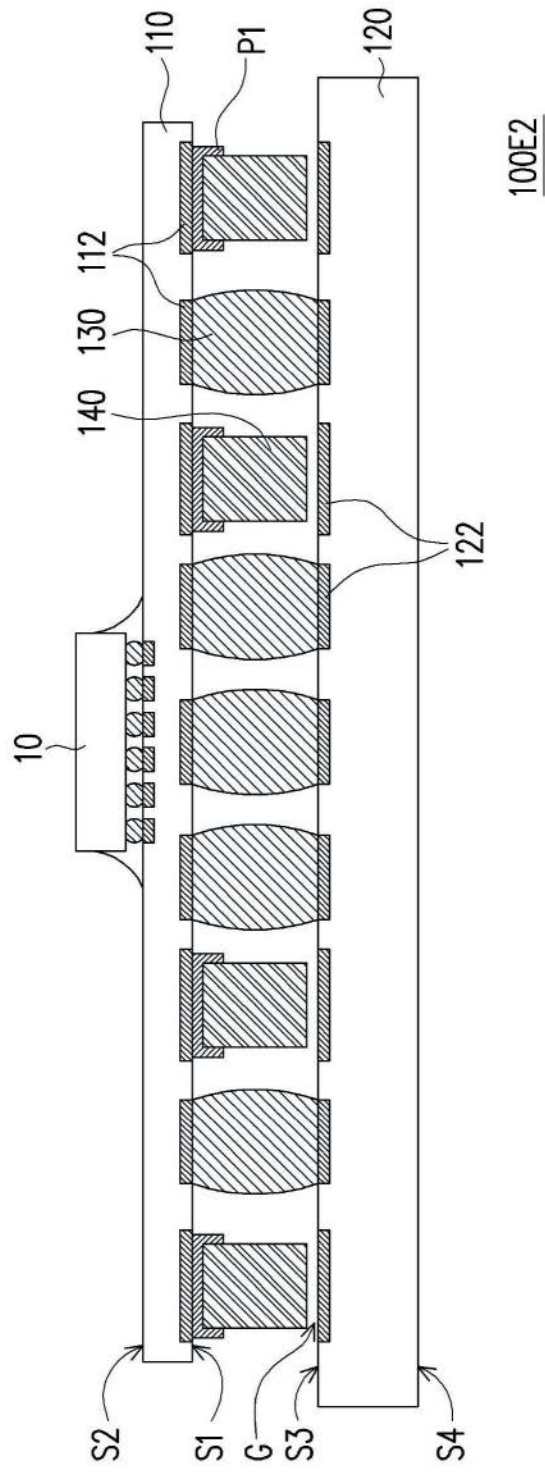


图6B

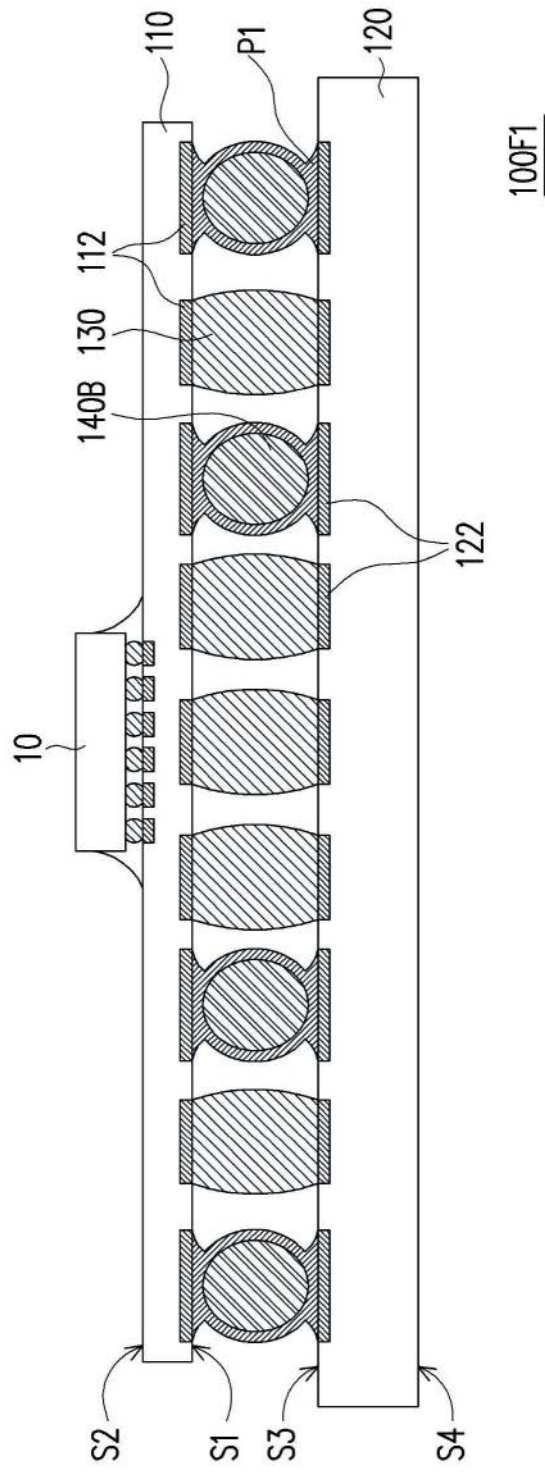


图6C

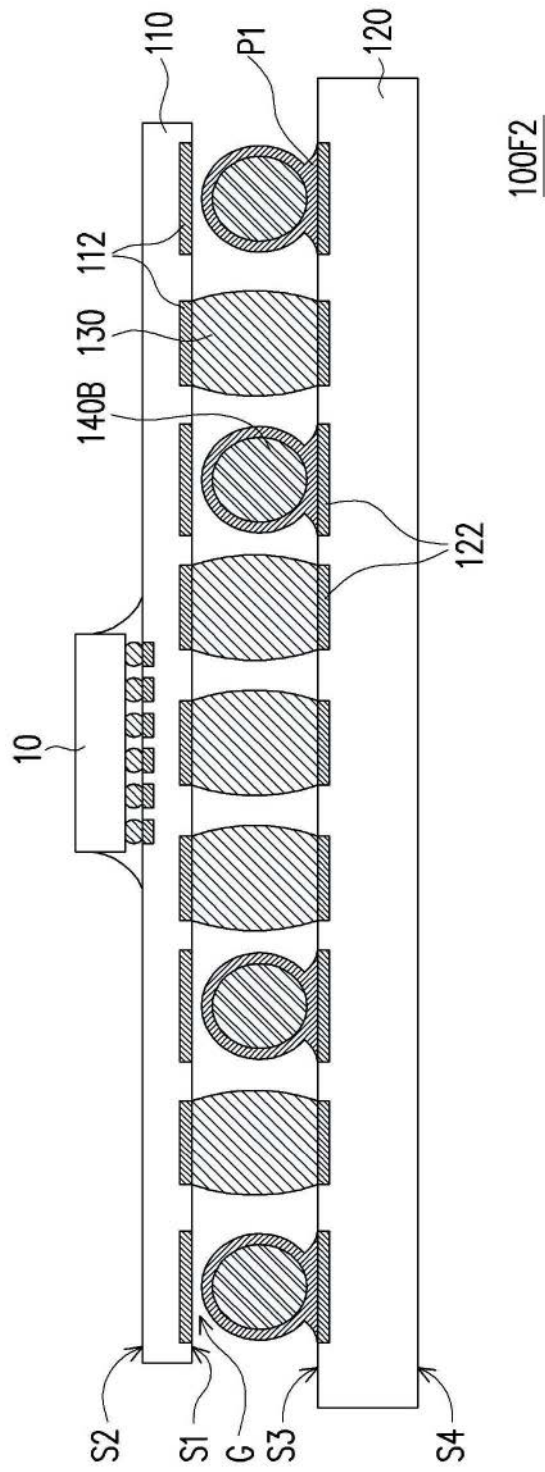


图6D

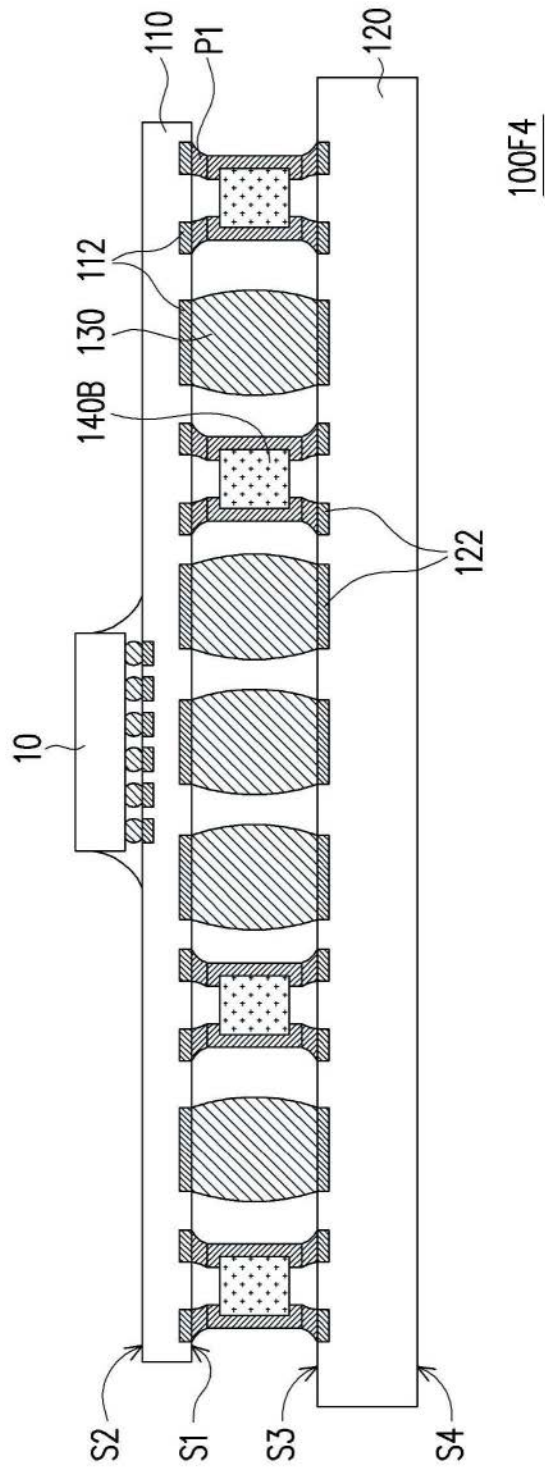


图6E

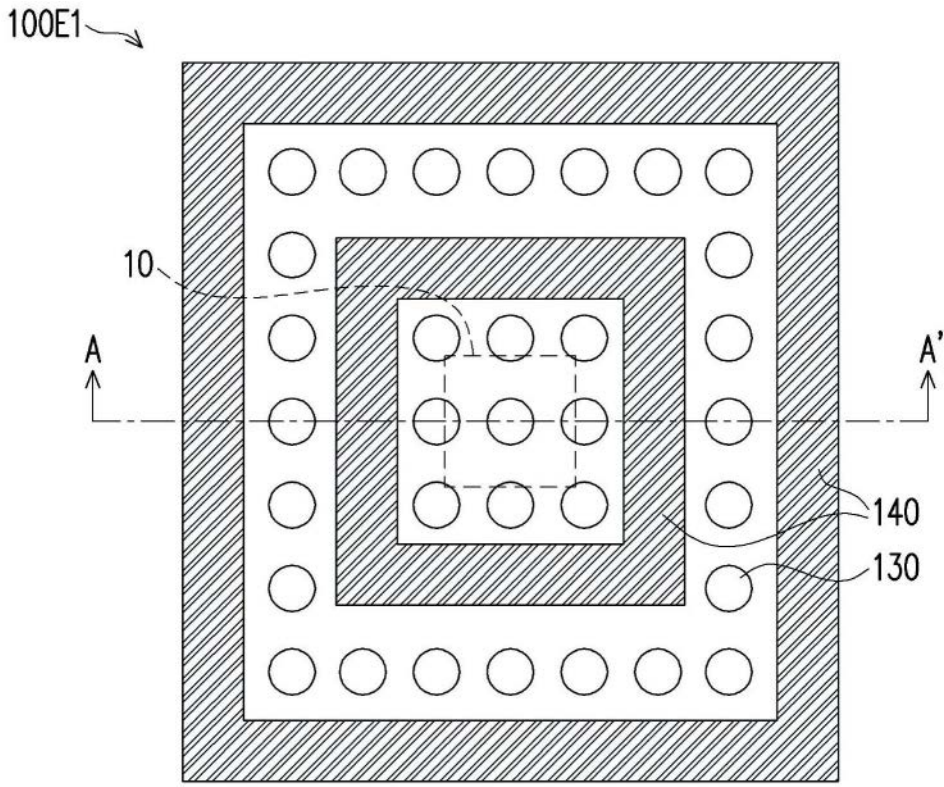


图7A

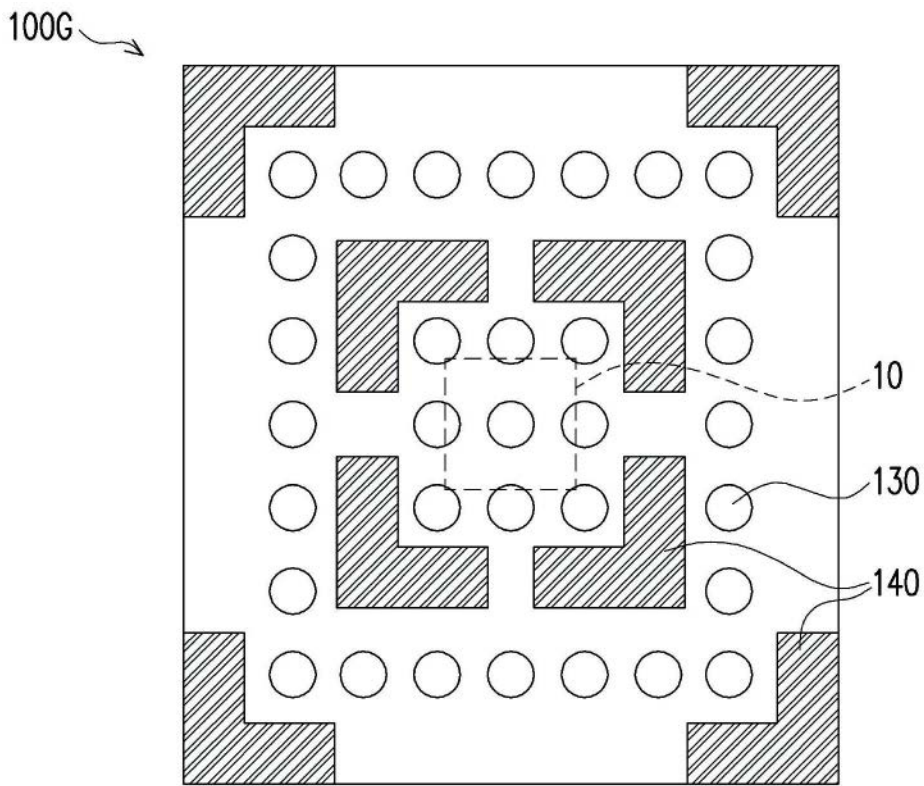


图7B

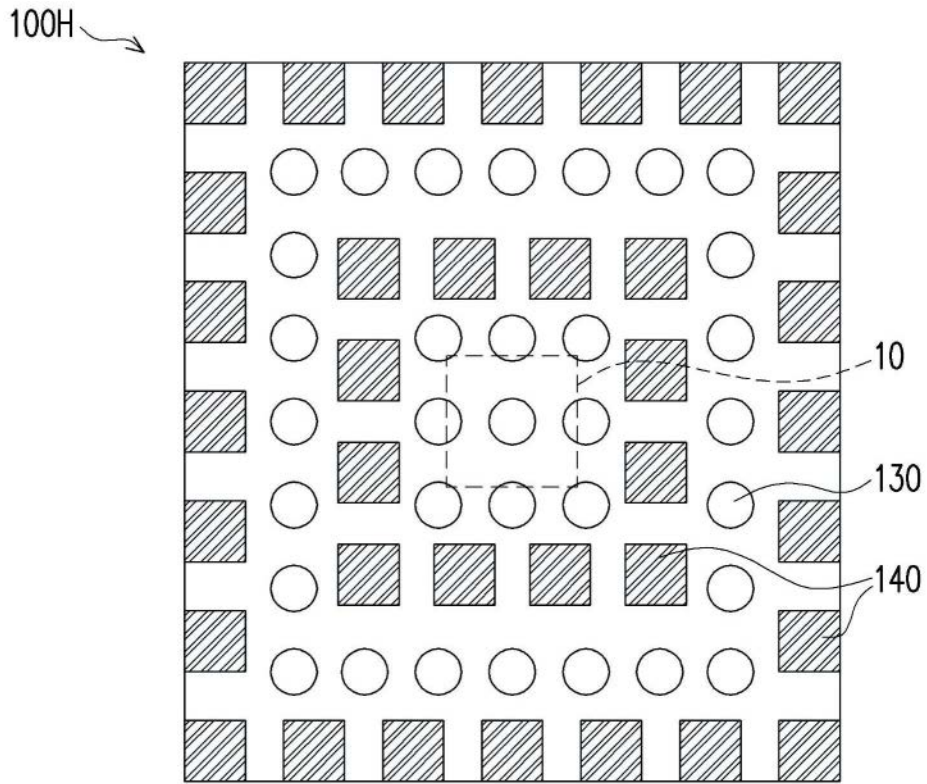


图7C

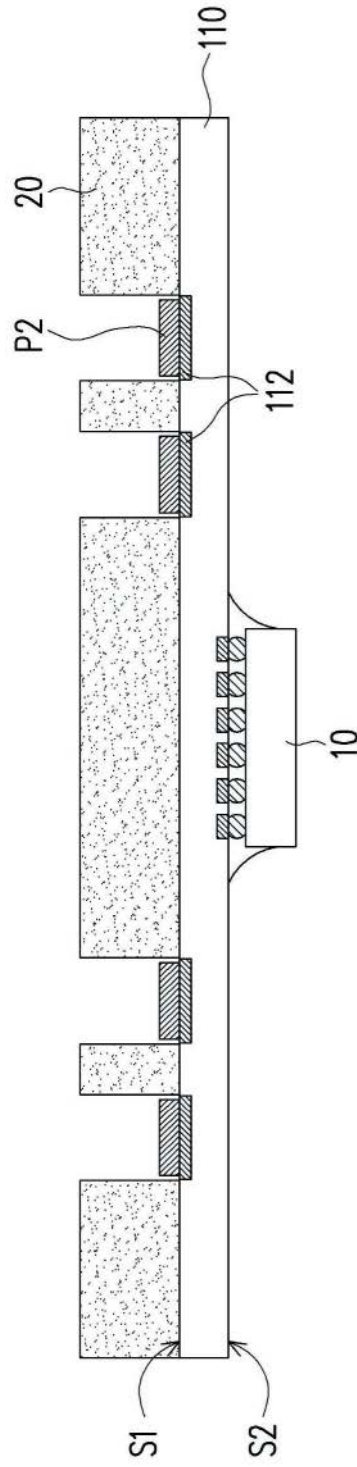


图8A

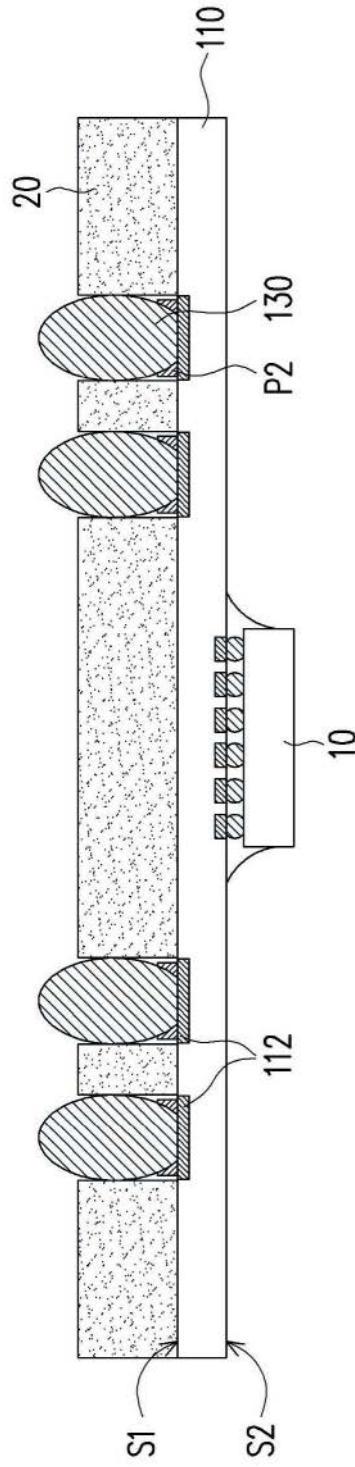


图8B

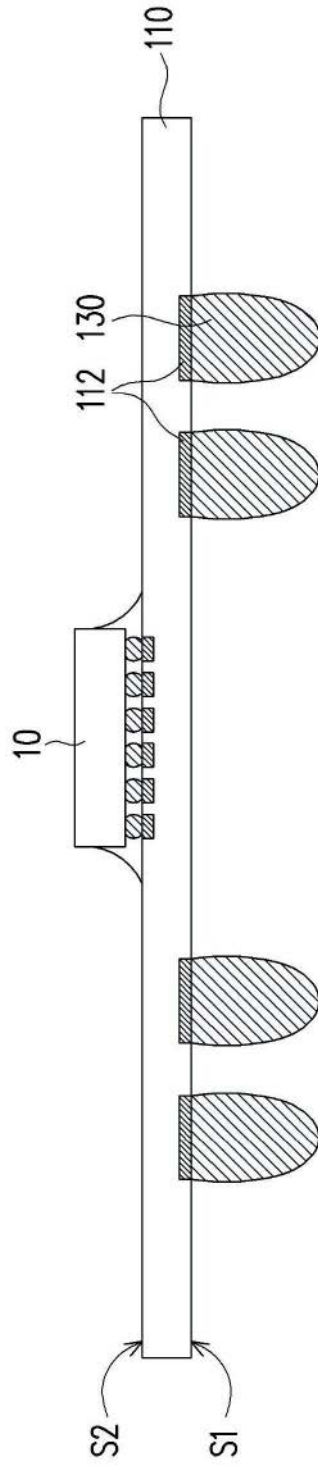


图8C

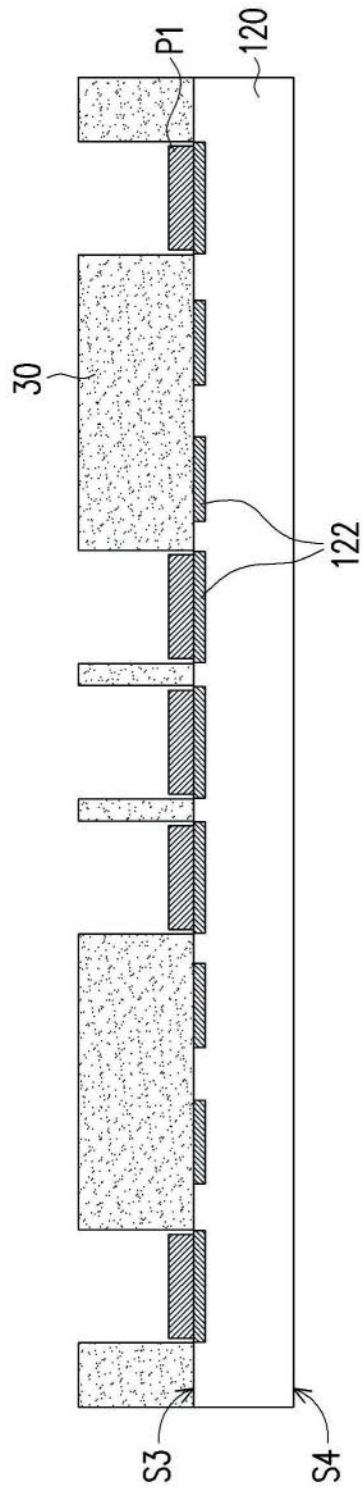


图8D

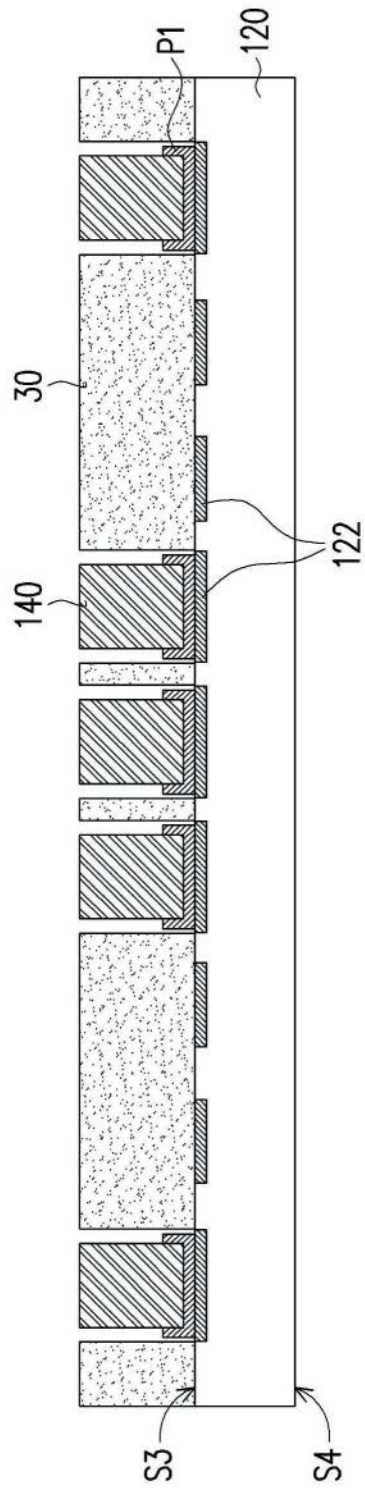


图8E

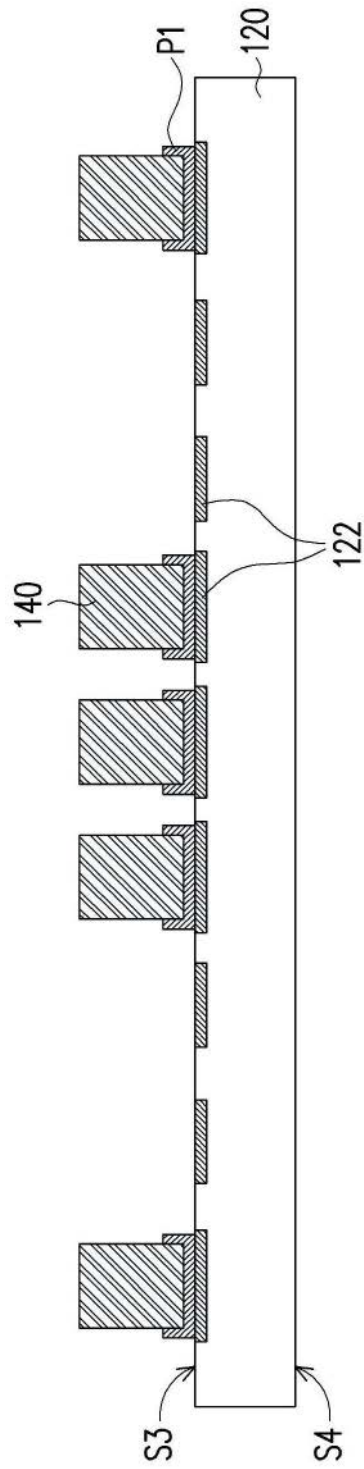


图8F

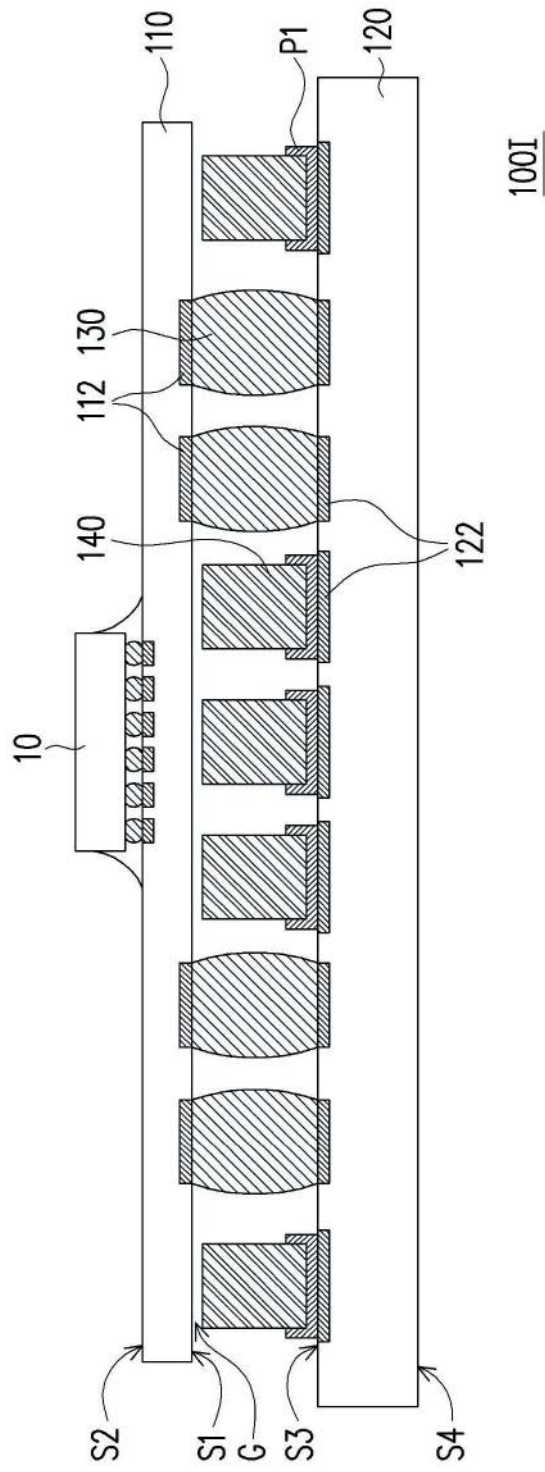


图8H

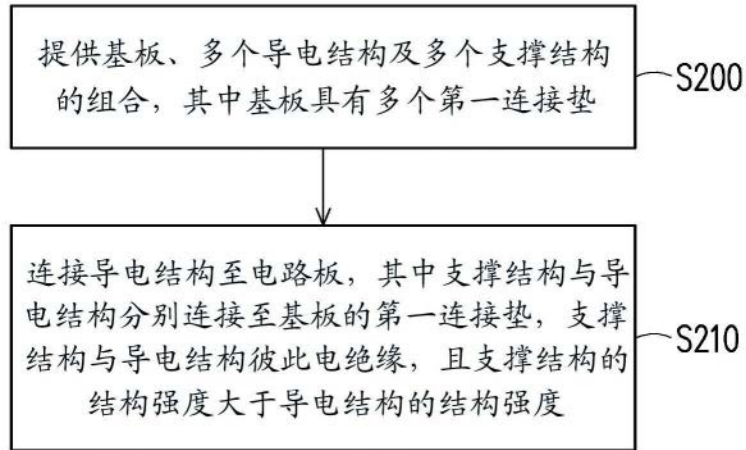


图9

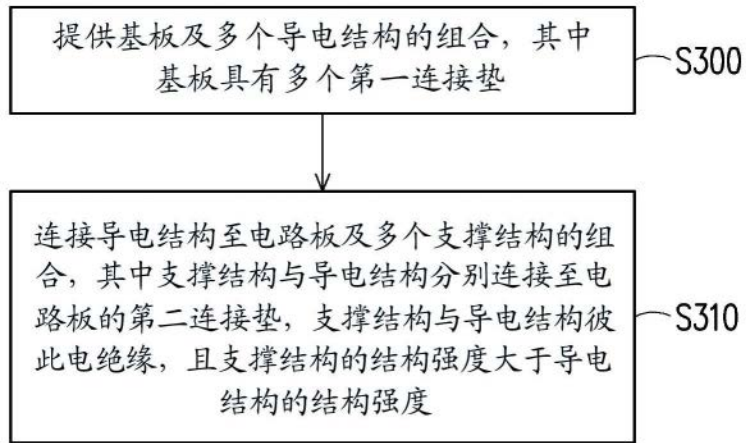


图10

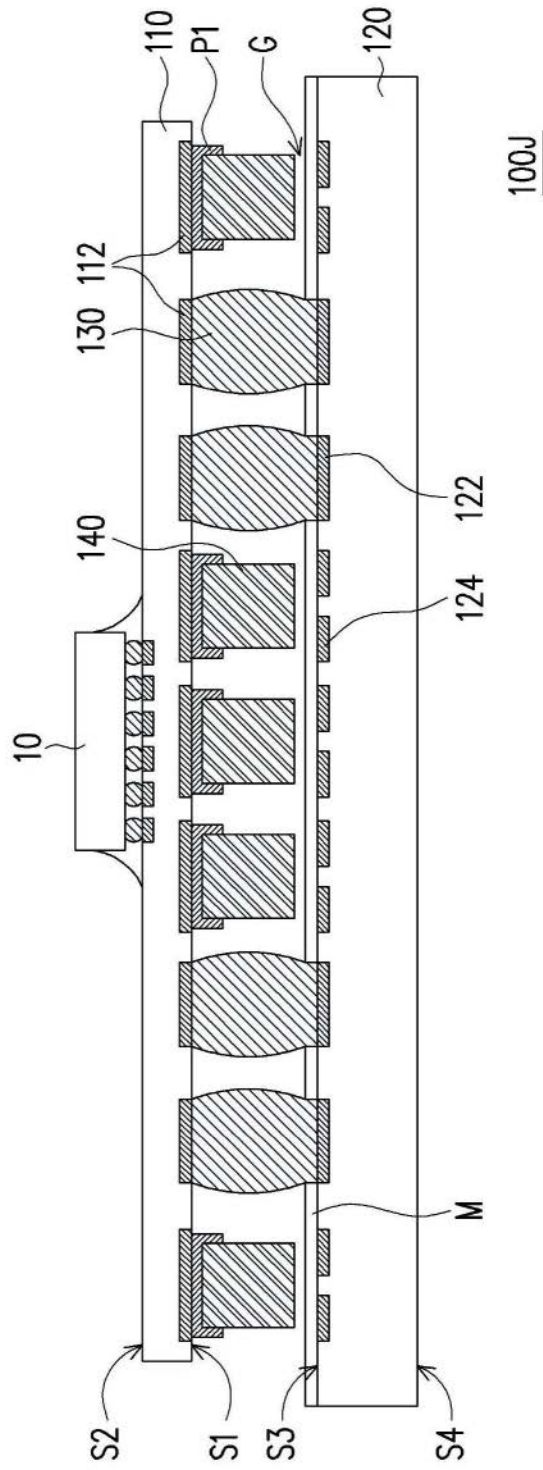


图11

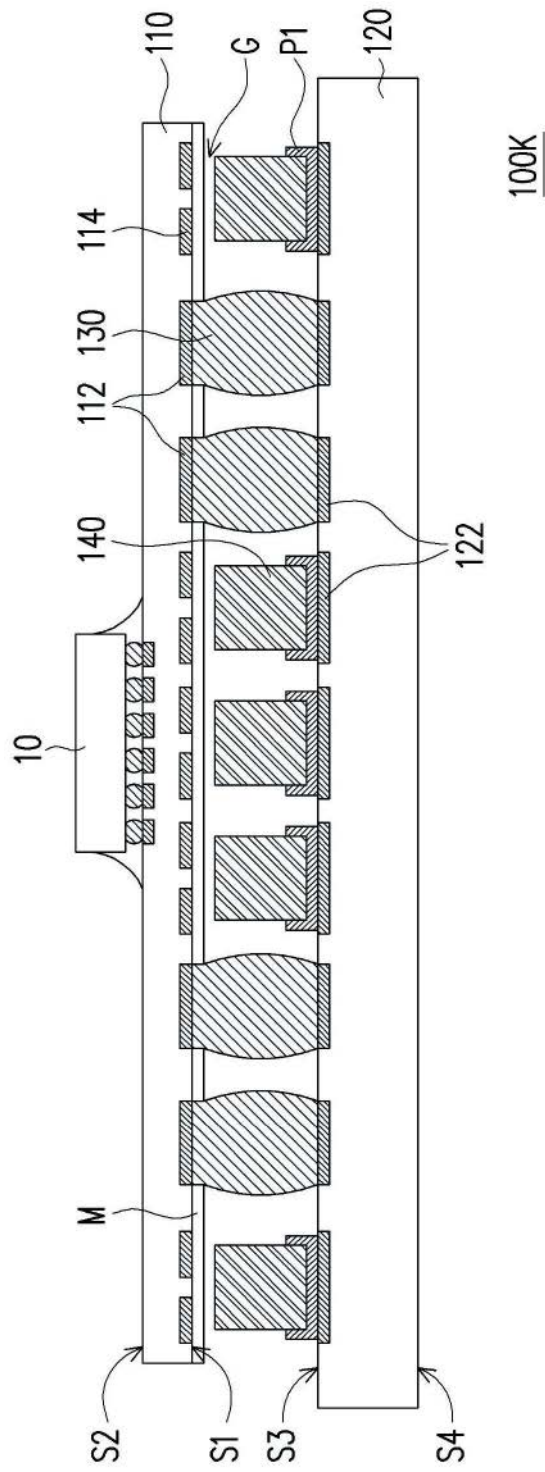


图12