

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>6</sup>  
G11C 11/406

(11) 공개번호 특1998-067034  
(43) 공개일자 1998년10월15일

(21) 출원번호	특1997-002879
(22) 출원일자	1997년01월30일
(71) 출원인	삼성전자 주식회사 김광호
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 최종현
(74) 대리인	경기도 수원시 장안구 영화동 401-30 이영필, 권석흥, 노민식

**심사청구 : 있음**

**(54) 반도체 메모리장치의 리프레쉬 방법 및 회로**

**요약**

피크 전류의 크기를 감소시킬 수 있는 반도체 메모리 장치의 리프레쉬 방법이 개시되어 있다. 자동 리프레쉬 또는 셀프 리프레쉬와 같은 리프레쉬 모드에서 평균 전력 소모를 줄이기 위하여 복수의 워드 라인에 결합된 다수의 메모리 셀들이 한꺼번에 리프레쉬한다. 리프레쉬 동작을 위하여, 복수의 워드 라인을 선택하고, 선택된 워드 라인들에 대응되는 다수의 비트 라인 센스 앰프들을 액티브이션시킨다. 선택된 다수의 비트 라인 센스 앰프들을 적어도 2 이상의 그룹으로 분할되어 그룹별로 액티브이션 시점들이 다르게 한다. 이어서 선택된 워드 라인을 논액티브시키고 선택된 비트 라인 센스 앰프들을 논액티브시킨다. 이와 같이 비트 라인 센스 앰프들의 액티브 시점들을 분산시킴으로써 피크 전류의 크기를 감소시킬 수 있게 된다. 그리하여, 반도체 메모리 장치가 반도체 베이스 시스템에 장착되는 경우 피크 전류에 의한 오동작을 방지할 수 있는 이점이 있다.

**대표도**

**도5**

**명세서**

**도면의 간단한 설명**

- 도 1은 리프레쉬 동작을 설명하기 위하여 DRAM 메모리 셀 및 관련 회로를 나타낸 것이다.
- 도 2a 내지 도 2d는 리프레쉬 사이클 수를 감소시키기 위한 종래의 리프레쉬 방법을 설명하기 위한 도면이다.
- 도 3은 도 2a에서 블록 0 및 블록 4에 대한 리프레쉬 사이클에서 워드 라인들의 파형들을 나타낸 것이다.
- 도 4는 복수 워드 라인 리프레쉬 방법에서 하나의 리프레쉬 사이클에서 각 신호 파형들을 나타낸 것이다.
- 도 5는 본 발명에 따른 반도체 메모리 장치의 리프레쉬 방법에서의 신호 파형들을 나타낸 것이다.
- 도 6a 및 도 6b는 동시에 4개의 블록에 대한 리프레쉬 동작이 수행되는 경우를 나타낸 것이다.
- 도 7 및 도 8은 도 6a 및 도 6b에 도시된 바와 같이 리프레쉬 동작이 수행되는 경우에 본 발명에 따른 리프레쉬 방법에서의 비트 라인 센스 앰프들의 제어를 설명하기 위한 도면들이다.
- 도 9는 도 6a 및 도 6b에 도시된 바와 같이 4개의 워드 라인에 대한 리프레쉬가 동시에 수행되는 경우에, 본 발명에 따른 리프레쉬 방법에서의 워드 라인 액티브 시점들을 분산시킨 것을 나타낸 것이다.
- 도 10은 본 발명의 이해를 돕기 위하여, 블록의 구조 및 그에 대응되는 비트 라인 센스 앰프부를 간략하게 나타낸 것이다.
- 도 11 내지 도 13은 동일 블록에 대한 다수의 비트 라인 센스 앰프부들 2개 이상으로 나누어 그들의 액티브 시점을 분산시키는 방법을 설명하기 위한 도면들이다.
- 도 14a 내지 도 14d는 각각 서로 다른 블록에 속하는 3개의 워드 라인에 대한 리프레쉬가 동시에 수행되는 것을 나타내는 도면이다.
- 도 15a는 한꺼번에 3개의 워드 라인에 결합되어 있는 메모리 셀들에 대하여 리프레쉬를 수행하는 경우에 비트 라인 센스 앰프들의 액티브 시점들을 분산시키는 구조를 도시한 것이고, 도 15b는 이에 대응되는 비트 라인 센스 앰프 인에이블 신호들을 도시한 것이다.
- 도 16은 공유 비트 라인 센스 앰프(shared bit line sense amplifier)를 가지는 반도체 메모리 장치를 간

략하게 나타낸 것이다.

도 17a 내지 도 17d 및 도 18은 공유 비트 라인 센스 앰프들을 가지는 반도체 메모리 장치에서의 복수 워드 라인 리프레쉬 방법과 그에 따른 비트 라인 센스 앰프의 액티브 시점을 분산시키는 스킴을 설명하기 위한 도면들이다.

도 19는 도 17a 내지 도 17d 및 도 18에 따른 리프레쉬 방법을 수행할 수 있는 반도체 메모리 장치의 개략적인 블록도이다.

도 20은 공유 비트 라인 센스 앰프부 및 그에 인접된 회로 구성의 일 실시예를 구체적으로 나타낸 것이다.

도 21은 본 발명에 따른 리프레쉬 방법을 수행할 수 있는 비트 라인 센스 앰프부들의 제어 회로를 도시한 것이다.

도 22는 도 19 및 도 21에 도시되어 있는 비트 라인 센스 앰프 인에이블 신호 발생부(500)의 구체적인 회로의 일 실시예를 나타낸 것이다.

도 23a는 정상 모드에서의 비트 라인 센스 앰프 인에이블 신호들(PS0, PSD0, PS1, PSD1)의 파형을 도시한 것이고, 도 23b는 리프레쉬 모드에서의 비트 라인 센스 앰프 인에이블 신호들(PS0, PSD0, PS1, PSD1)의 파형을 도시한 것이다.

도 24a 내지 도 24i는 도 21에 도시되어 있는 비트 라인 센스 앰프 구동부들(650 내지 658)의 구체적인 구성의 일 실시예들을 각각 도시한 것이다.

도 25는 도 19 내지 도 24i에 도시된 반도체 메모리 장치에서 리프레쉬 동작을 수행하는 경우에 신호들의 파형들을 도시한 것이다.

도면의 주요 부분에 대한 부호의 설명

PS0, PSD0, PS1, PSD1, PS2, PSD2, PS3, PSD3 ...비트 라인 센스 앰프 인에이블 신호

PSR...리프레쉬 모드 신호

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 다이내믹 랜덤 액세스 메모리(DRAM; Dynamic Random Access Memory)에서 리프레쉬 방법 및 이를 위한 회로에 관한 것이다.

DRAM과 같은 휘발성 메모리 소자는 일정 주기마다 메모리 셀에 저장되어 있는 데이터를 리프레쉬 시켜 주어야 한다. 일반적으로 DRAM의 메모리 셀은 하나의 액세스 트랜지스터 및 하나의 캐패시터로 구성되며, 데이터는 캐패시터의 양단에 축적되어 있는 전하량에 의하여 나타내어진다. 그런데, 캐패시터에 저장되어 있는 전하량은 다양한 원인에 의하여 누설(leakage)되고 그에 따라 저장되어 있던 데이터를 잃어버릴 염려가 있다. 따라서, 데이터를 복구할 수 없을 정도로 전하량이 누설되기 전에 이를 복구시킬 필요가 있으며, 이를 위한 동작을 리프레쉬라고 한다. 리프레쉬 주기(tREF)마다 반도체 메모리 장치에 포함되어 있는 모든 메모리 셀이 적어도 한번 이상 리프레쉬되어야만 한다. 리프레쉬는 DRAM 동작에 따라 ROR(RAS ONLY REFRESH), 자동/셀프 리프레쉬(SELF REFRESH) 등으로 나눌 수 있는데, ROR의 경우에는 리프레쉬되어야 할 로우 어드레스가 외부에서 입력되어야 함에 반하여 자동/셀프 리프레쉬에서는 내부적으로 로우 어드레스가 발생되고 그에 따라 리프레쉬 동작이 수행된다.

도 1은 DRAM 메모리 셀의 리프레쉬 동작을 설명하기 위한 도면이다. 도 1을 참조하면, 메모리 셀(110)은 하나의 액세스 트랜지스터(101) 및 하나의 캐패시터(102)로 구성되어 있다. 액세스 트랜지스터(101)의 드레인은 비트 라인(BL)에 연결되어 있고 그 게이트는 워드 라인(WL)에 연결되어 있다. 캐패시터(102)는 액세스 트랜지스터(101)의 소스와 플레이트 전압(VP)사이에 연결되어 있다. 위에서 언급한 바와 같이 데이터는 캐패시터(102)의 축적된 전하량으로 나타내어진다. 비트 라인 이퀄라이저/프리차저(120)는 3개의 NMOS 트랜지스터들(121, 122, 123)로 구성되어 있다. 비트 라인 센스 앰프(130)는 크로스 커플된 2개의 PMOS 트랜지스터들(131, 132) 및 2개의 NMOS 트랜지스터들(133, 134)로 구성되어 있다.

리프레쉬 동작을 살펴보면, 먼저 워드 라인이 하이 레벨로 액티브되고 그에 따라 액세스 트랜지스터가 턴-온된다. 캐패시터(102)에 축적되어 있던 전하량이 비트 라인 상에 분배된다. 즉, 캐패시터(102)와 비트 라인 캐패시터스에 의하여 차지 셰어링(charge sharing) 동작이 수행되고 그에 따라 비트 라인(BL)의 전압 레벨이 달라지게 된다. 이어서, 비트 라인 센스 앰프 구동 신호들(LAPG, LANG)이 순차적으로 액티브된다. 비트 라인 센스 앰프 구동 신호(LAPG)가 로우 레벨로 액티브되면 PMOS 트랜지스터(135)가 턴-온되고 신호(LA)가 전원 전압(VCC) 레벨이 되며, 비트 라인 센스 앰프 구동 신호(LANG)가 하이 레벨로 액티브되면 신호(LAB)가 접지(VSS) 레벨이 된다. 비트 라인 센스 앰프에 의하여 비트 라인(BL) 및 반전 비트 라인(/BL)의 전압 차는 증폭된다. 이와 같은 비트 라인 센스 앰프 동작에 의하여 캐패시터(102)의 축적된 전하량이 증가하게 된다. 이어서, 워드 라인을 논액티브시키고, 이어서 비트 라인 센스 앰프 구동 신호들을 논액티브시키고 비트 라인 이퀄라이징 신호(PEQ)를 하이 레벨로 액티브시키어 비트 라인(BL) 및 반전 비트 라인(/BL)을 VBL 레벨로 프리차지시킨다. VBL 레벨은 데이터 1의 전압 레벨 및 데이터 0의 전압 레벨의 중간 값을 가지는 것이 일반적이다. 또한, 비트 라인 센스 앰프 동작이 수행되는 동안 비트 라인(BL) 및 반전 비트 라인(/BL)은 입출력 라인과 전기적으로 분리되어 있게 된다.

이와 같은 리프레쉬 동작은 메모리 셀에 저장되어 있는 데이터를 잃어버리지 않기 위해서 일정 주기마다

적어도 한번 이상 수행되어야 하는데, 이 주기를 리프레쉬 주기(tREF)라고 한다. 리프레쉬는 모든 메모리 셀에 대하여 수행되어야 하기 때문에, 리프레쉬 동작을 위하여 많은 시간이 소요된다. 예를 들어, 1M 이고 512 워드 라인인 반도체 메모리 장치에 있어서, 한번에 하나의 워드 라인을 액티브시키면서 리프레쉬를 수행하는 경우에는 512 리프레쉬 사이클이 요구된다. 한편, 한번에 2개의 워드 라인을 액티브시키면서 리프레쉬를 수행하는 경우에는 256 리프레쉬 사이클이 요구된다. 따라서, 리프레쉬 사이클을 감소시키기 위해서는 한번에 여러 개의 워드 라인에 대하여 리프레쉬 동작을 수행하여야 한다.

리프레쉬 사이클을 감소시키는 것은 다음 2가지 점에서 특히 중요하다.

그 하나는 리프레쉬 동작이 안정적으로 수행되도록 하는 것이고, 다른 하나는 평균 소비 전력을 감소시키기 위한 것이다. 리프레쉬 동작의 안정화에 대하여 살펴보면, 512 리프레쉬 사이클이 필요하고 리프레쉬 주기(tREF)가 8[ms]인 경우, 하나의 메모리 셀에 대한 리프레쉬 동작은 15.6[μs] 이내에 완료되어야 한다. 한편, 256 리프레쉬 사이클이 필요하고 리프레쉬 주기(tREF)가 8[ms]인 경우에는, 하나의 메모리 셀에 대한 리프레쉬 동작은 31.2[μs] 이내에 완료되어야 한다. 리프레쉬 동작은 위에서 언급한 바와 같이, 워드 라인 액티브, 차지 셰어링, 비트 라인 센스 앰프 동작 등에 의하여 이루어지는 것이므로, 충분한 시간이 확보되지 않으면 메모리 셀의 캐패시터의 전하량이 제대로 복구되지 않게 되는 것이다.

또한, 리프레쉬 동작에 따른 전력 소모를 살펴보면, 리프레쉬 동작에서 소모되는 전력은 메모리 셀 어레이에서 소모되는 전력과 메모리 셀 어레이를 구동하기 위한 구동 회로에서 소모되는 전력으로 나누어 볼 수 있다. 모든 셀은 리프레쉬 주기(tREF) 동안 한번씩 액티브되므로, 메모리 셀 어레이에서 소모되는 전력은 본질적으로 변함이 없다. 그러나, 메모리 셀 어레이를 구동하는 주변 회로가 리프레쉬 동작을 위해서 액티베이션 되는 횟수는 리프레쉬 사이클 수에 비례하므로, 리프레쉬 사이클 수를 감소시킴으로써, 주변 회로에 의한 전력 소모를 감소시킬 수 있게 되고, 그에 따라 반도체 메모리 장치의 평균 전력 소모를 감소시킬 수 있게 된다.

평균 소비 전력을 감소시키는 것은 특히 бат데리에 의하여 구동되는 휴대용 전자 장비가 널리 사용되면서 더욱 중요하게 되었다. 특히 슬립 모드(Sleep Mode)에서 반도체 메모리 장치의 전력 소모는 대부분 리프레쉬 동작에 의하여 이루어지기 때문에, 슬립 모드에서의 리프레쉬 동작은 저장된 데이터를 보전함과 동시에 전류 소비를 최소화하도록 설계되어야 한다. 리프레쉬 동작에서의 전류 소비는 다음 수학적 식 1과 같이 표현할 수 있다.

[수학적 식 1]

$$I_{SR-current} = I_{refresh} \times \frac{(t_{ref} \times N_{cycle})}{tREF} + I_{standb.}$$

상기 수학적 식 1에서  $I_{SR-current}$  는 셀프 리프레쉬 모드에서의 평균 소모 전류를 나타내고, tREF는 리프레쉬 주기를 나타내며,  $t_{ref}$  는 1 리프레쉬 사이클중 리프레쉬 동작이 실질적으로 수행되는 시간을 나타내며,  $N_{cycle}$  은 1 리프레쉬 주기에 포함되는 리프레쉬 사이클의 수를 나타내며,  $I_{refresh}$  는 리프레쉬 동작이 수행되는 기간에 소모되는 평균 전류를 나타내며,  $I_{standb.}$  는 스탠바이 전류 소모를 나타낸다. 상기 수학적 식 1에서 알 수 있는 바와 같이 평균 전류 소비를 줄이기 위해서는 tREF를 증가시키거나  $t_{refresh}$  를 감소시키거나  $N_{cycle}$  를 감소시켜야 한다. 여기서, tREF는 메모리 셀에 데이터로서 저장된 전하량이 보전되는 시간으로 통상 83 °C에서 200[ms] 정도가 최대값이 된다. 즉, tREF를 증가시키는 것은 한계가 있다.  $t_{refresh}$  는 누설되었던 전하량을 충분히 복구하기 위해서는 일정 시간 이상이 요구되기 때문에 이를 단축시키는 데에도 또한 한계가 있다. 따라서,  $N_{cycle}$  를 줄이는 방법이 전류 소비를 감소시킬 수 있는 유효한 방법이 된다. 그런데, 상기  $I_{refresh}$  는 tREF 및  $t_{refresh}$  의 변화에는 영향을 받지 않으나  $N_{cycle}$  의 변화에는 영향을 받는데 이는  $I_{refresh}$  에는 메모리 셀 어레이에서 소모되는 전류 및 주변 회로에서 소모되는 전류가 모두 포함되어 있기 때문이다. 구체적으로 살펴보면, 전체 워드 라인의 수를  $N_{wordline}$  이라고 하고 동시에 리프레쉬 동작이 수행되는 워드 라인의 수를  $N_{ref-wl}$  이라고 할 때  $N_{cycle}$  의 수는 다음 수학적 식 2와 같이 나타낼 수 있다.

[수학적 식 2]

$$N_{cycle} = \frac{N_{wordline}}{N_{ref-wl}}$$

따라서,  $N_{cycle}$  를 줄이기 위해서는  $N_{ref-wl}$  를 증가시켜야 한다.  $N_{ref-wl}$  를 증가시키면 메모리 셀 어레이에서 한꺼번에 리프레쉬 되는 메모리 셀의 수가 증가하므로 소모되는 전류가 증가한다. 그럼에도 불구하고 주변 회로가 리프레쉬를 위하여 동작되어야 하는 사이클 수가 감소되므로 평균 전류 소모는 줄어들게 된다.

도 2a 내지 도 2d는 리프레쉬 사이클 수를 감소시키기 위한 종래의 리프레쉬 방법을 설명하기 위한 도면이다. 도 2a 내지 도 2d에서, 메모리 셀 어레이는 8개의 블록으로 구성되어 있다. 일반적으로 하나의 블록에는 다수의 워드 라인 및 다수의 비트 라인들이 포함되며, 워드 라인 및 비트 라인의 교차점에 메모리 셀이 형성되어 있다. 도 2a 내지 도 2d에서는 동시에 2개의 블록에 대한 리프레쉬 동작이 수행된다. 즉, 블록 0 및 블록 4가 동시에 리프레쉬되고, 이어서 블록 1 및 블록 5에 대한 리프레쉬, 블록 2 및 블록 6에 대한 리프레쉬 및 블록 3 및 블록 7에 대한 리프레쉬 동작이 순차적으로 수행된다. 블록에 대한

리프레쉬 동작은 블록에 속하는 모든 메모리 셀들에 대한 리프레쉬 동작이 한꺼번에 수행되는 것이 아니라, 워드 라인 단위로 수행된다. 즉 블록 내에 속하는 다수의 워드 라인중 어느 한 워드 라인이 선택되고 그에 결합되어 있는 메모리 셀들에 대한 리프레쉬 동작이 수행되고, 이어서 다음 워드 라인에 결합되어 있는 메모리 셀들에 대한 리프레쉬 동작이 수행된다. 따라서, 한 블록에 대한 리프레쉬 동작을 수행하기 위해서는 그 블록 내에 포함되어 있는 워드 라인의 수만큼의 리프레쉬 사이클이 소요된다. 예를 들어, 한 블록에 512개의 워드 라인이 형성되어 있는 경우, 한 블록에 대한 리프레쉬 사이클은 512가 된다. 또한, 한번에 한 블록씩 리프레쉬를 수행하는 경우에는  $8 \times 512$ 의 리프레쉬 사이클이 요구된다. 그런데, 도 2a 내지 도 2d에서는 동시에 2개의 블록에 대한 리프레쉬 동작이 수행되므로, 소요되는 리프레쉬 사이클의 수는 반으로 줄어들어  $4 \times 512$ 가 된다.

도 2a에서 블록 0 및 블록 4에 대한 리프레쉬 동작을 보다 구체적으로 설명하기 위한 파형이 도 3에 도시되어 있다. 도 3을 참조하면, 블록 0에 속하는 워드 라인(WL0\_0) 및 블록 4에 속하는 워드 라인(WL4\_0)이 동시에 액티브되어 그에 결합되어 있는 메모리 셀들에 대한 리프레쉬 동작이 수행되고, 이어서, 선택되었던 워드 라인(WL0\_0) 및 워드 라인(WL4\_0)이 논액티브된다. 다음에, 블록 0에 속하는 워드 라인(WL0\_1) 및 블록 4에 속하는 워드 라인(WL4\_1)이 액티브되고 그에 결합되어 있는 메모리 셀들이 리프레쉬된다. 다음 리프레쉬 사이클에서는 워드 라인(WL0\_2) 및 워드 라인(WL4\_2)에 결합되어 있는 메모리 셀들이 리프레쉬되며, 나머지도 이와 같은 방식으로 리프레쉬가 수행된다. 도 3에서 워드 라인들은 순차적으로 선택되고 있으나 이와 다른 방식으로 선택되는 것도 또한 가능하다. 예를 들어, 스캔블 로직을 사용하여 워드 라인이 선택되는 순서를 바꿀 수도 있다. 그러나, 이와 같은 경우에도 각각 서로 다른 블록에 속하는 2 이상의 워드 라인이 동시에 액티브되고 그에 결합되어 있는 메모리 셀들이 리프레쉬된다.

이와 같이 리프레쉬 사이클을 줄이는 것은, 위에서 언급한 바와 같이, 안정적인 리프레쉬 동작 및 평균 소모 전력을 감소시키기 위한 것이다. 평균 소모 전력을 사용하는 것은 반도체 메모리 장치가 бат데리 전원을 사용하는 시스템에 장착되는 경우에 더욱 중요하다. 즉, 노트-북 PC 및 랩탑 컴퓨터 등과 같이 бат데리에 의하여 전원이 공급되는 시스템의 경우, бат데리에 의하여 공급되는 전력은 한계가 있기 때문에, 평균 전력 소모를 줄이는 것은 매우 중요하다. 따라서, 휘발성 반도체 메모리 장치에서 도 2a 내지 도 2d 및 도 3에서 설명한 바와 같이, 다수의 워드 라인을 동시에 선택하여 그에 대한 리프레쉬 동작을 수행하는 것(이하 복수 워드 라인 리프레쉬 방법이라 하기로 한다.)은 매우 중요하다. 그러나, 이와 같은 복수 워드 라인 리프레쉬 방법은 다음 도 4에서 설명하는 바와 같이 피크 전류가 증가하는 문제점이 있다.

도 4는 복수 워드 라인 리프레쉬 방법에서 하나의 리프레쉬 사이클에서 각 신호 파형들을 나타낸 것이다. 도 4를 참조하면, 워드 라인들이 선택되기 전에 비트 라인 및 반전 비트 라인은 VBL 레벨로 프리차지되어 있다. 이와 같은 상태에서, 복수의 워드 라인들(WL0\_0, WL4\_0)이 선택되어 하이 레벨로 액티브된다. 워드 라인이 액티브되면, 그에 결합되어 있는 메모리 셀들의 액세스 트랜지스터들이 턴-온되고, 비트 라인 및 반전 비트 라인은 메모리 셀에 저장되어 있던 데이터에 따라 전압 레벨이 변화된다. 이어서, 비트 라인 센스 앰프 인에이블 신호들(PS, PSD)이 순차적으로 하이 레벨로 액티브되면, 비트 라인(BL) 및 반전 비트 라인(/BL)의 전압 차가 증폭된다. 여기서, 비트 라인 센스 앰프 인에이블 신호들(PS, PSD)은 워드 라인에 구별 없이 모두 동일한 파형을 가지고 있다. 즉, 선택된 블록에 속하는 모든 비트 라인 및 반전 비트 라인에서의 비트 라인 센스 앰프 동작이 동시에 개시된다. 그리하여, 전원 전류( $I_{cc}$ ) 및 접지 전류( $I_{ss}$ )는 도 4에 도시한 바와 같이 순간적으로 전류값이 증가하게 된다. 여기서, 전원 전류( $I_{cc}$ ) 및 접지 전류( $I_{ss}$ )의 피크 전류의 크기는 한꺼번에 액티브되는 워드 라인의 수가 증가할 수록 크게 된다. 다른 측면으로 말하면, 한꺼번에 선택되는 블록의 수가 클수록 피크 전류의 크기가 커진다. 여기서, 참조 부호(BL0, /BL0)는 블록 0에 속하는 비트 라인들 및 반전 비트 라인들의 신호 파형을 나타내며, 참조 부호(BL4, /BL4)는 블록 4에 속하는 비트 라인들 및 반전 비트 라인들의 신호 파형을 나타낸다. бат데리 전원 시스템에 있어서, 피크 전류가 크게 되면 бат데리가 손상을 입게 되고 그에 따라 시스템 동작에 오류가 발생하는 문제점이 있을 수 있다. 또한 бат데리에 의하여 공급되는 전류에는 한계가 있기 때문에 오동작이 발생할 우려가 있게 된다. 따라서, 피크 전류의 크기는 낮아야만 한다.

이상을 요약하여 말하면, 리프레쉬 동작에서 평균 전력 소모 및 안정적인 리프레쉬 동작을 위해서는 한꺼번에 선택되는 워드 라인의 수를 증가시켜야 한다. 그러나, 선택되는 워드 라인의 수를 증가시키면 피크 전류의 크기가 증가하는 문제점이 발생하게 되는 것이다.

### **발명이 이루고자 하는 기술적 과제**

따라서, 본 발명의 목적은 셀프 리프레쉬 모드에서의 평균 전력 소모량을 줄이면서도 피크 전류의 크기를 감소시킬 수 있는 반도체 메모리 장치의 리프레쉬 방법을 제공하는 것이다.

본 발명의 다른 목적은 상기 리프레쉬 방법을 수행할 수 있는 반도체 메모리 장치의 리프레쉬 회로를 제공하는 것이다.

### **발명의 구성 및 작용**

상기 목적을 달성하기 위하여, 본 발명에 따른 반도체 메모리 장치의 리프레쉬 방법은 복수의 블록들을 구비하고, 각 블록들은 다수의 비트 라인과 다수의 워드 라인 및 비트 라인과 워드 라인의 교차점에 형성되어 있는 다수의 메모리 셀들로 이루어져 있는 반도체 메모리 장치에서 각 메모리 셀에 저장되어 있는 데이터를 리프레쉬시키는 방법에 있어서, 적어도 2 이상의 워드 라인들을 선택하여 액티브시킴으로써 대응되는 비트 라인들 및 반전 비트 라인들의 전압 레벨이 차지 셰어링 동작에 의하여 변환되도록 하는 제1 단계; 선택된 워드 라인들에 대응되는 다수의 비트 라인 센스 앰프들을 2 이상의 그룹으로 분할하는 제2 단계; 차지 셰어링 동작 후 상기 다수의 비트 라인 센스 앰프들을 그룹별로 서로 다른 시점에서 액티브시키는 제3 단계; 비트 라인 센스 앰프 동작에 의하여 선택된 메모리 셀들의 데이터를 리스토어시키는 제4 단계; 선택된 워드 라인들을 논액티브시키는 제5 단계; 및 선택된 비트 라인 센스 앰프들을 논액티브시키는 제6 단계를 구비하여, 비트 라인 센스 앰프가 액티브되는 경우에 발생하는 피크 전류의 크기가 감소되

는 것을 특징으로 한다.

상기 제1 단계는 리프레시시키고자 하는 불력을 적어도 2개 이상 선택하는 단계; 및 선택된 불력마다 워드 라인을 하나씩 선택하여 대응되는 비트 라인들 및 반전 비트 라인들의 전압 레벨이 차지 셰어링 동작에 의하여 변환되도록 하는 단계를 구비한다. 상기 제2 단계는 같은 불력에 대응되는 비트 라인 센스 앰프들이 동일한 그룹에 속하도록 다수의 비트 라인 센스 앰프들을 분할할 수 있다. 또한 선택된 워드 라인들의 액티브 시점들을 분산시키는 것이 또한 가능하다. 구체적인 실시예에 따르면, 복수의 워드 라인들의 액티브 시점들을 각각  $tW_0, tW_1, \dots$  이라고 하고 대응되는 비트 라인 센스 앰프 그룹들의 액티브 시점들을 각각  $tB_0, tB_1, \dots$  이라고 할 때,  $tW_1 - tW_0$  및  $tB_1 - tB_0$  가 동일하도록 하고,  $tB_0 - tW_0$  기간은 소프트 에러 발생이 일어나지 않을 정도의 기간이 되도록 액티브 시점들을 조절하도록 한다.

상기 리프레시 방법은 상기 비트 라인들 및 반전 비트 라인들을 이퀄라이징시키는 제7 단계를 더 구비할 수 있다.

상기 제3 단계는 상기 2 이상의 비트 라인 센스 앰프 그룹들중 어느 한 그룹을 선택하여 액티베이션 하는 (3-1) 단계; 분산 지연 시간( $t_D$ ) 경과후 나머지 그룹중 어느 한 그룹을 선택하여 액티베이션 시키는 (3-2) 단계; 및 모든 그룹이 선택될 때까지 상기 (3-2) 단계를 반복적으로 수행하는 제(3-3) 단계를 구비한다.

상기 제5 단계는 선택된 워드 라인들의 논액티브 시점들이 분산되도록 할 수 있으며, 상기 제6 단계는 선택된 비트 라인 센스 앰프들의 논액티브 시점이 그룹별로 분산시킬 수 있다.

상기 비트 라인 센스 앰프들이 각각 크로스 커플된 한 쌍의 PMOS 트랜지스터들 및 한 쌍의 NMOS 트랜지스터들로 구성되어 있는 경우에, 상기 제3 단계에서 비트 라인 센스 앰프를 액티베이션 시키는 것은 비트 라인 센스 앰프들의 PMOS 트랜지스터들을 구동시키는 단계; 및 이어서 선택된 비트 라인 센스 앰프들의 NMOS 트랜지스터들을 구동시키는 단계를 구비한다.

다른 실시예에 따르면, 상기 제2 단계는 다수의 비트 라인 센스 앰프들을 동일한 컬럼 라인에 대응되는 것들끼리 동일한 그룹에 속하도록 비트 라인 센스 앰프들을 분할한다.

상기 다른 목적을 달성하기 위하여, 본 발명에 따른 반도체 메모리 장치의 리프레시 회로는 복수의 불력들을 구비하는 것으로, 각 불력들은 다수의 비트 라인과 다수의 워드 라인 및 비트 라인과 워드 라인의 교차점에 형성되어 있는 다수의 메모리 셀들로 이루어져 있는 반도체 메모리 장치에 있어서, 외부에서 리프레시 모드를 나타내는 리프레시 모드 신호(PSR)를 발생하는 리프레시 제어 회로; 상기 리프레시 모드 신호(PSR)가 액티브인 기간에 로우 액티브를 나타내는 로우 액티브 신호(PR)를 일정 주기로 발생하는 로우 액티브 신호 발생부; 상기 리프레시 모드 신호(PSR)가 액티브인 기간에 로우 어드레스를 발생하는 카운터; 상기 리프레시 모드 신호(PSR)가 액티브인 기간에 복수의 불력 선택 신호들을 발생하는 것으로, 복수의 불력 선택 신호들이 적어도 2개 이상이 한꺼번에 액티브되도록 발생하는 불력 선택 신호 발생부; 상기 불력들에 대응되어 형성되어 있는 복수의 비트 라인 센스 앰프부들; 상기 리프레시 모드 신호(PSR)가 액티브인 기간에 액티베이션 되고, 상기 로우 액티브 신호(PR)에 응답하여 복수의 비트 라인 센스 앰프 인에이블 신호들( $PS_0, PS_1, \dots, PSD_0, PSD_1, \dots$ )을 발생하는 것으로, 복수의 비트 라인 센스 앰프 인에이블 신호들이 소정 기간 지연되면서 순차적으로 액티브되도록 발생하는 비트 라인 센스 앰프 인에이블 신호 발생부; 및 상기 대응되는 비트 라인 센스 앰프 인에이블 신호들 및 대응되는 불력 선택 신호에 따라 대응되는 상기 비트 라인 센스 앰프들을 구동하는 복수의 비트 라인 센스 앰프 구동부들을 구비하여, 비트 라인 센스 앰프가 액티브될 때 발생하는 피크 전류의 크기가 감소되는 것을 특징으로 한다.

실시예에 있어서, 상기 다수의 비트 라인 센스 앰프들은 인접된 불력들에 의하여 공유된다. 상기 반도체 메모리 장치는 8개의 불력들(블럭 0 내지 블럭 7) 및 9개의 공유 비트 라인 센스 앰프부들(SA 0 내지 SA 8)을 포함할 때, 상기 불력 선택 신호 발생부는 제1 불력 리프레시 사이클에서는 블럭 0 및 블럭 4가 선택하고 제2 불력 리프레시 사이클에서는 블럭 1 및 블럭 5가 선택하고 제3 불력 리프레시 사이클에서는 블럭 2 및 블럭 6이 선택하며 제4 불력 리프레시 사이클에서는 블럭 3 및 블럭 7이 선택하도록 8개의 불력 선택 신호들(BLK\_0 내지 BLK\_7)을 발생하며; 상기 비트 라인 센스 앰프 인에이블 신호 발생부는 액티브되는 시점들이 서로 다른 비트 라인 센스 앰프 인에이블 신호 ( $PS_0, PSD_0$ ) 및 비트 라인 센스 앰프 인에이블 신호( $PS_1, PSD_1$ )를 발생하며; 상기 비트 라인 센스 앰프 구동부들은 상기 비트 라인 센스 앰프 인에이블 신호( $PS_0, PSD_0$ )에 따라 상기 비트 라인 센스 앰프부들(SA 0 내지 SA 3)의 액티브 시점들을 제어하고, 상기 비트 라인 센스 앰프 인에이블 신호( $PS_1, PSD_1$ )에 따라 상기 비트 라인 센스 앰프부들(SA 5 내지 SA 8)의 액티브 시점들을 제어하고, 상기 불력 3이 선택된 경우에는 상기 비트 라인 센스 앰프부(SA 4)의 액티브 시점을 상기 비트 라인 센스 앰프 인에이블 신호( $PS_0, PSD_0$ )에 따라 제어하고 상기 불력 4가 선택된 경우에는 상기 비트 라인 센스 앰프부(SA 4)의 액티브 시점을 상기 비트 라인 센스 앰프 인에이블 신호( $PS_1, PSD_1$ )에 따라 제어한다.

상기 리프레시 회로에는 상기 로우 액티브 신호(PR)에 응답하여 타이밍 제어 신호(PSE)를 발생하는 타이밍 제어 신호 발생부가 제공되며, 상기 비트 라인 센스 앰프 인에이블 신호 발생부는 상기 타이밍 제어 신호(PSE)를 지연 및 버퍼링하여 비트 라인 센스 앰프 인에이블 신호( $PS_0$ )를 발생하는 제1 버퍼링 수단(710 내지 713); 상기 비트 라인 센스 앰프 인에이블 신호( $PS_0$ )를 지연하여 비트 라인 센스 앰프 인에이블 신호( $PSD_0$ )를 발생하는 제1 지연부(714); 상기 리프레시 모드 신호(PSR)가 액티브인 경우에 상기 타이밍 제어 신호(PSE)를 지연하여 출력하는 분산 지연부(700); 상기 리프레시 모드 신호(PSR)가 논액티브인 경우에는 상기 타이밍 제어 신호(PSE)를 지연 및 버퍼링하여 비트 라인 센스 앰프 인에이블 신호( $PS_1$ )를 출력하고 상기 리프레시 모드 신호(PSR)가 액티브인 경우에는 상기 분산 지연부의 출력을 지연 및 버퍼링하여 비트 라인 센스 앰프 인에이블 신호( $PS_1$ )를 출력하는 제2 버퍼링 수단(710, 715, 716, 717); 및 상기 비트 라인 센스 앰프 인에이블 신호( $PS_1$ )를 지연하여 비트 라인 센스 앰프 인에이블 신호( $PSD_1$ )를 출력하는 제2 지연부를 구비한다.

이어서, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다.

도 5는 본 발명에 따른 반도체 메모리 장치의 리프레시 방법에서의 신호 파형들을 나타낸 것으로, 특히 2

개의 워드 라인에 대한 리프레쉬 동작이 동시에 수행되는 경우에 신호 파형들을 나타낸 것이다.

리프레쉬 사이클이 수행되기 전에 비트 라인들 및 반전 비트 라인들을 VBL 레벨로 프리차지되어 있다. 복수의 블럭들중 적어도 2개 이상의 블럭이 선택되고, 선택된 블럭마다 하나씩의 워드 라인(WL<sub>0\_0</sub>, WL<sub>4\_0</sub>)이 선택되어 하이 레벨로 액티브된다. 워드 라인이 액티브되면 차지 웨어링 동작이 수행되어, 비트 라인 및 반전 비트 라인들은 메모리 셀에 저장되어 있던 데이터에 따라 전압 레벨이 달라지게 된다.

이어서, 워드 라인(WL<sub>0\_0</sub>)에 대응되는 비트 라인 센스 앰프 인에이블 신호들(PS<sub>0</sub>, PSD<sub>0</sub>)이 순차적으로 하이 레벨로 액티브되고, 일정 시간(t<sub>D</sub>; 이하 분산 지연 시간이라 하기로 한다)이 경과된 후 워드 라인(WL<sub>4\_0</sub>)에 대응되는 비트 라인 센스 앰프 인에이블 신호들(PS<sub>1</sub>, PSD<sub>1</sub>)이 순차적으로 하이 레벨로 액티브된다. 도 4에서와는 달리, 선택된 워드 라인들에 대응되는 비트 라인 센스 앰프들은 동일한 비트 라인 센스 앰프 인에이블 신호들에 의하여 제어되는 것이 아니라, 액티브되는 시점이 서로 다른 비트 라인 센스 앰프 인에이블 신호들에 의하여 제어된다. 그리하여 도 5에 도시한 바와 같이, 비트 라인 센스 앰프 개시 시점들이 각 워드 라인별로 분산되고, 그에 따라 전원 전류(I<sub>CC</sub>) 및 접지 전류(I<sub>SS</sub>)에서의 피크 전류의 크기가 달라지게 된다. 즉, 비트 라인 센스 앰프 개시에 관련되어 나타나는 피크 전류가 여러 개로 분산되어 그 최고치가 낮아지게 되는 것이다.

도 5에서는 복수의 워드 라인들(WL<sub>0\_0</sub>, WL<sub>4\_0</sub>)이 액티브되는 시점을 동일하게 하였으나, 서로 다르게 하는 것도 또한 가능하다. 즉, 워드 라인(WL<sub>0\_0</sub>)을 먼저 하이 레벨로 액티브시키고 일정 시간 지연 후 워드 라인(WL<sub>4\_0</sub>)을 하이 레벨로 액티브시키는 것이다. 여기서, 지연되는 시간은 본질적으로 분산 지연 시간(t<sub>D</sub>)과 같도록 할 필요가 있다. 비트 라인 센스 앰프 개시 시점을 여러 개로 분산시킴과 아울러 워드 라인들을 액티브이션 시키는 시점들을 여러 개로 분산시키는 것이다. 워드 라인을 액티브시킨 시점에서 비트 라인 센스 앰프가 구동되기 전까지의 기간이 지나치게 길게 되면, 알파 입자에 의한 SER(soft error rate)이 증가하게 되어 오동작이 발생하게 되는 문제점이 있을 수 있다. 따라서, 복수의 워드 라인을 도 5에 도시한 바와 같이 한꺼번에 액티브시키는 것보다는, 비트 라인 센스 앰프 구동 개시 시점과 마찬가지로 순차적으로 액티브되도록 하는 것이 바람직하다.

그러나, 워드 라인 액티브 시점을 분산시키기 위해서는 별도의 회로가 요구되므로, 워드 라인(WL<sub>4\_0</sub>)이 액티브되는 시점에서 비트 라인 센스 앰프 인에이블 신호(PS<sub>1</sub>)가 액티브되는 시점까지의 기간(t<sub>1</sub>)이 그리 길지 않는 경우에는 도 5에서와 같이 복수의 워드 라인들을 동시에 액티브시키도록 한다.

도 6a 및 도 6b는 동시에 4개의 블럭에 대한 리프레쉬 동작이 수행되는 경우를 나타낸 것이다. 반도체 메모리 어레이가 8개의 블럭들로 구성되어 있을 때, 블럭 0, 블럭 2, 블럭 4 및 블럭 6에 대한 리프레쉬 동작이 동시에 수행되고, 블럭 1, 블럭 3, 블럭 5 및 블럭 7에 대한 리프레쉬 동작이 동시에 수행된다. 이와 같은 구동 방법에서는 한꺼번에 선택되는 워드 라인들의 수는 4가 된다.

도 7은 본 발명에 따른 리프레쉬 방법에서의 비트 라인 센스 앰프 인에이블 신호들을 나타낸 것으로, 특히 도 6a 및 도 6b에 도시된 바와 같이 한꺼번에 각각 서로 다른 블럭에 속하는 4개의 워드 라인이 액티브되는 경우의 비트 라인 센스 앰프 인에이블 신호들의 액티브 시점들이 분산되어 있음을 나타낸 것이다.

이와 같이 액티브 시점들이 분산된 비트 라인 센스 앰프 인에이블 신호들(PS<sub>0</sub>, PSD<sub>0</sub>, PS<sub>1</sub>, PSD<sub>1</sub>, PS<sub>2</sub>, PSD<sub>2</sub>, PS<sub>3</sub>, PSD<sub>3</sub>)은 도 8에 도시한 바와 같이 대응되는 비트 라인 센스 앰프부들(401a 내지 401h)로 인가된다. 즉, 비트 라인 센스 앰프 인에이블 신호들(PS<sub>0</sub>, PSD<sub>0</sub>)은 블럭 0 및 블럭 1에 대응되는 비트 라인 센스 앰프부들(401a, 401b)을 제어하기 위한 신호들이고, 비트 라인 센스 앰프 인에이블 신호들(PS<sub>1</sub>, PSD<sub>1</sub>)은 블럭 2 및 블럭 3에 대응되는 비트 라인 센스 앰프부들(401c, 401d)을 제어하기 위한 신호들이고, 비트 라인 센스 앰프 인에이블 신호들(PS<sub>2</sub>, PSD<sub>2</sub>)은 블럭 4 및 블럭 5에 대응되는 비트 라인 센스 앰프부들(401e, 401f)을 제어하기 위한 신호들이고, 비트 라인 센스 앰프 인에이블 신호들(PS<sub>3</sub>, PSD<sub>3</sub>)은 블럭 6 및 블럭 7에 대응되는 비트 라인 센스 앰프부들(401g, 401h)을 제어하기 위한 신호들이다. 즉, 한꺼번에 액티브되는 워드 라인들에 대응되는 비트 라인 센스 앰프부들이 액티브되는 시점이 분산되는 것이다. 여기서, 비트 라인 센스 앰프 인에이블 신호들이 액티브되는 시점들간의 시간 차이는 t<sub>D</sub>이다. 또한, 각 비트 라인 센스 앰프부들은 일반적으로 다수의 비트 라인 센스 앰프들로 구성된 다.

도 9는 도 6a 및 도 6b에 도시된 바와 같이 4개의 워드 라인에 대한 리프레쉬가 동시에 수행되는 경우에, 본 발명에 따른 리프레쉬 방법에서의 신호 파형을 나타낸 것으로, 특히 워드 라인 액티브 시점들을 분산시킨 것을 나타낸 것이다. 참조 부호 WL<sub>0\_i</sub> 내지 WL<sub>7\_i</sub>는 각각 블럭 0 내지 블럭 7에 속하는 워드 라인들을 나타낸다. 도 9에서는 워드 라인 액티브 시점들의 분산에 사용되는 지연 시간(t<sub>w</sub>)과 비트 라인 센스 앰프 액티브 시점들의 분산에 사용되는 지연 시간(t<sub>D</sub>)이 동일하게 되어 있으나 다르게 하는 것도 가능하다.

도 10은 본 발명의 이해를 돕기 위하여, 블럭의 구조 및 그에 대응되는 비트 라인 센스 앰프부를 간략하게 나타낸 것이다. 도 10을 참조하여 하나의 블럭에 대한 리프레쉬 동작을 살펴보면, 한 블럭에 속하는 다수의 워드 라인들(WL<sub>0</sub>, WL<sub>1</sub>, WL<sub>2</sub>, WL<sub>3</sub>, WL<sub>4</sub>, ...) 중에서 어느 하나만이 선택되어 액티브된다. 예를 들어 워드 라인(WL<sub>0</sub>)이 하이 레벨로 액티브되면, 워드 라인(WL<sub>0</sub>)에 결합되어 있는 메모리 셀들(301a, 301b, 301c, 301d, ...)에 포함되는 액세스 트랜지스터들이 턴-온된다. 그리하여, 비트 라인(BL<sub>0</sub>) 및 반전 비트 라인(/BL<sub>0</sub>)은 메모리 셀(301a)에 저장되어 있던 데이터에 따라 전압 레벨이 달라지게 되고, 비트 라인(BL<sub>1</sub>) 및 반전 비트 라인(/BL<sub>1</sub>)은 메모리 셀(301b)에 저장되어 있던 데이터에 따라 전압 레벨이 달라지게 되고, 나머지 비트 라인들도 이와 같은 방식으로 전압 레벨이 달라지게 된다. 즉, 각 메모리 셀에 저장되어 있는 전하들이 웨어링되어 비트 라인들 및 반전 비트 라인들의 전압 레벨이 데이터에 따라 달라지게 된다. 이어서, 비트 라인 센스 앰프부(303)에 속하는 다수의 비트 라인 센스 앰프들(303a, 303b, 303c, 303d, ...)이 액티브이션 되어, 비트 라인과 반전 비트 라인들의 전압 차이를 증폭시킨다. 그리하여, 메모리 셀들(301a, 301b, 301c, 301d, ...)의 캐패시터들에는 누설되기 이전의 전하량이 복구되어 축적된다. 그런 다음, 선택되었던 워드 라인(WL<sub>0</sub>)이 로우 레벨로 논액티브되고 뒤를 이어 비트 라인 센스 앰프들(303a, 303b, 303c, 303d, ...)이 논액티브이션된다. 이와 같은 방법으로 하나의 워드 라인에 대한 리프레쉬 동작이 완료된다. 다음에 워드 라인(WL<sub>1</sub>)에 결합되어 있는 메모리 셀들에

대한 리프레쉬 동작을 수행하려면, 위에서 설명했던 과정을 반복적으로 수행하면 된다. 도 9에서 알 수 있는 바와 같이, 하나의 워드 라인을 액티브시킴으로써 다수의 메모리 셀들이 동시에 리프레쉬됨을 알 수 있다. 예를 들어, 하나의 워드 라인에 결합된 메모리 셀이 2048 이면, 하나의 워드 라인을 액티브시킬 때마다 2048개의 메모리 셀에 대한 리프레쉬가 수행되며, 이를 위해서는 2048개의 비트 라인 센스 앰프들이 동시에 액티브이션된다.

이와 같은 블록 구조에서, 한 블록 내에서 2개 이상의 워드 라인이 동시에 액티브이션되어 리프레쉬 동작을 수행하는 것은 불가능하다. 예를 들어, 워드 라인(WL<sub>0</sub>) 및 워드 라인(WL<sub>1</sub>)이 동시에 액티브이션되면, 비트 라인(BL<sub>0</sub>) 및 반전 비트 라인(/BL<sub>0</sub>)은 메모리 셀(301a) 및 메모리 셀(302a)에 저장되어 있던 전하량들이 동시에 차지 스위칭 되므로 원래 저장되었던 데이터를 잃어버리게 된다. 따라서, 도 9와 같은 블록 구조에서는 한 블록 내에서 동시에 2개 이상의 워드 라인을 액티브시킬 수 없다. 따라서, 각각도 10에 도시된 바와 같은 블록 구조를 가지는 복수의 블록들로 구성되는 반도체 메모리 장치에서, 리프레쉬에서 한꺼번에 액티브되는 복수의 워드 라인들은 서로 다른 블록에 속하게 된다.

이상에서 설명한 비트 라인 센스 앰프의 액티브 시점을 분산시키는 방법은 블록별로 액티브 시점을 다르게 하도록 한 것이다. 이와는 달리, 동일 블록을 위한 비트 라인 센스 앰프부들 2개 이상으로 나누어 액티브 시점을 분산시키는 것이 또한 가능하다. 이를 도 11 내지 도 13을 이용하여 설명하기로 한다.

도 11을 참조하면, 반도체 메모리 장치는 8개의 블록들(블록 0 내지 블록 7)로 구성되어 있으며, 각 블록들에는 그에 대응되는 비트 라인 센스 앰프부들이 형성되어 있다. 블록 0에 속하는 워드 라인이 액티브 되면 비트 라인 센스 앰프부(310a)가 액티브이션되고 블록 1에 속하는 워드 라인이 액티브되면 비트 라인 센스 앰프부(310b)가 액티브이션되고 블록 7에 속하는 워드 라인이 액티브되면 비트 라인 센스 앰프부(310c)가 액티브이션되며, 나머지도 이와 같다.

도 11에서는 도 8에서와는 달리, 비트 라인 센스 앰프부에 속하는 다수의 비트 라인 센스 앰프들은 2개의 그룹으로 나누어진다. 예를 들면, 비트 라인 센스 앰프부(310a)에 속하는 다수의 비트 라인 센스 앰프들은 2개의 그룹(311a, 312a)으로 나뉘어져 그 하나(311a)가 먼저 액티브이션시키고 소정 기간 경과 후 나머지(312a)가 액티브이션된다. 나머지 블록들에 대응되는 비트 라인 센스 앰프부들에 속하는 다수의 비트 라인 센스 앰프들도 이와 마찬가지로 2개의 그룹으로 나누어 그 하나(311b, 311c)가 먼저 액티브이션되고 소정 기간 경과 후 나머지(312b, 312c)가 액티브이션된다. 도 11에서, 비트 라인 센스 앰프 그룹들(311a, 311b, ..., 311c)은 비트 라인 센스 앰프 인에이블 신호(PS0, PSD0)에 의하여 액티브이션되며, 비트 라인 센스 앰프 그룹들(312a, 312b, ..., 312c)은 비트 라인 센스 앰프 인에이블 신호(PS0, PSD0)에 의하여 액티브이션되며, 이에 인가되는 비트 라인 센스 앰프 인에이블 신호들의 파형은 도 13에 도시한 바와 같다. 도 12는 도 11에서 하나의 비트 라인 센스 앰프부를 2개의 그룹으로 분할하는 것을 보다 구체적으로 도시한 것이다. 즉, 다수의 비트 라인 센스 앰프부들에 속하는 다수의 비트 라인 센스 앰프들을 동일한 컬럼 라인에 대응되는 것들끼리 동일한 그룹에 속하도록 분할하여, 각 그룹별로 액티브되는 시점들이 달라지도록 액티브 시점을 분산시킨 것이다.

도 14a 내지 도 14d는 각각 서로 다른 블록에 속하는 3개의 워드 라인에 대한 리프레쉬가 동시에 수행되는 것을 나타내는 도면이다. 도 14a 내지 도 14d를 참조하면, 반도체 메모리 장치의 셀 어레이는 12개의 블록으로 구성되어 있으며, 4회의 블록 리프레쉬 사이클이 필요하다. 하나의 블록에 512 워드 라인이 포함되어 있다면, 1 블록 리프레쉬 사이클은 512 리프레쉬 사이클에 해당되며, 전체 리프레쉬 사이클은 4×512가 된다. 제1 블록 리프레쉬 사이클에서는 도 14a에 도시된 바와 같이 블록 0, 블록 4 및 블록 8에 대한 리프레쉬가 수행되고, 제2 블록 리프레쉬 사이클에서는 도 14b에 도시된 바와 같이 블록 1, 블록 5 및 블록 9에 대한 리프레쉬가 수행되며, 제3 블록 리프레쉬 사이클에서는 도 14c에 도시된 바와 같이 블록 2, 블록 6 및 블록 10에 대한 리프레쉬가 수행되고, 제4 블록 리프레쉬 사이클에서는 도 14d에 도시된 바와 같이 블록 3, 블록 7 및 블록 11에 대한 리프레쉬가 수행된다. 이와 같은 리프레쉬 동작은 자동/셀프 리프레쉬 모드가 정지될 때까지 반복적으로 수행된다.

이와 같이, 한꺼번에 3개의 워드 라인에 결합되어 있는 메모리 셀들에 대하여 리프레쉬를 수행하는 경우에 비트 라인 센스 앰프들의 액티브 시점들을 분산시키는 구조를 도 15a에 도시하였고 그에 대응되는 비트 라인 센스 앰프 인에이블 신호들을 도 15b에 도시하였다. 도 15a를 참조하면, 복수의 블록들(블록 0 내지 블록 11)에 대응되어 2개의 복수의 비트 라인 센스 앰프부들(320 내지 331)이 형성되어 있다. 비트 라인 센스 앰프부들(320, 321, 322, 323)은 비트 라인 센스 앰프 인에이블 신호들(PS0, PSD0)에 의하여 제어되고, 비트 라인 센스 앰프부들(324, 325, 326, 327)은 비트 라인 센스 앰프 인에이블 신호들(PS1, PSD1)에 의하여 제어되고, 비트 라인 센스 앰프부들(328, 329, 330, 331)은 비트 라인 센스 앰프 인에이블 신호들(PS2, PSD2)에 의하여 제어된다. 따라서, 하나의 리프레쉬 사이클 동안 서로 다른 블록에 속하는 3개의 워드 라인에 대한 리프레쉬가 동시에 수행되더라도, 대응되는 비트 라인 센스 앰프부들이 액티브되는 시점이 분산되어 피크 전류의 크기가 작아지게 된다. 도 15b에서 분산 지연 시간들(tD1, tD2)은 일정하게 설정되어 있으나, 다르게 설정하는 것도 가능하다. 또한, 비트 라인 센스 앰프들의 액티브 시점을 분산시키는 것에 대응되는 워드 라인들의 액티브 시점들을 분산하는 것도 가능하다.

도 16은 공유 비트 라인 센스 앰프(shared bit line sense amplifier)를 가지는 반도체 메모리 장치를 간략하게 나타낸 것으로, 비트 라인 센스 앰프들은 인접되어 있는 2개의 블록에 의하여 공유되어 있다. 예를 들면, 비트 라인 센스 앰프(351)는 블록(340) 및 블록(341)에 의하여 공유되어 있다. 가장자리에 위치하는 비트 라인 센스 앰프들(350, 358)은 각각 하나의 블록(340, 347)만을 위한 것들이다. 이와 같은 구조에서 인접되어 있는 2개의 블록을 동시에 액세스 하게 되면, 데이터가 혼합(mix-up)되어 오동작을 유발하게 된다. 따라서, 인접되어 있는 2개의 블록은 동시에 액세스될 수 없다. 공유 비트 라인 센스 앰프를 포함하는 반도체 메모리 장치에서 리프레쉬 동작시 비트 라인 센스 앰프들의 액티브 시점에 대한 분산 스킴(scheme)을 설명하기에 앞서 일반적인 리프레쉬 동작을 설명하기로 한다.

블록(340)에서 워드 라인(WL<sub>0\_0</sub>)에 결합되어 있는 메모리 셀들에 대한 리프레쉬 동작을 살펴보기로 한다. 블록(340)이 액세스되는 경우에는 고립 게이트들(360a, 360b)은 턴-온되고 고립 게이트(360c)는 턴-오프되어야 한다. 먼저, 워드 라인(WL<sub>0\_0</sub>)이 하이 레벨로 액티브하여 그에 결합되어 있는 메모리 셀들의 액세스 트랜지스터들을 턴-온시키고 차지 스위칭이 일어나도록 한다. 차지 스위칭된 후, 비트 라인 센스

앰프들(350, 351)을 액티브시키어 비트 라인 및 반전 비트 라인들의 전압 차이를 증폭시키어 저장되어 있던 데이터가 액티브 리스토어되도록 한다. 그런 다음, 워드 라인(WL0\_0)을 로우 레벨로 논액티브시킨다. 이어서 비트 라인 센스 앰프들을 논액티브시키고 등화기들(370a, 370b)을 액티브시키어 비트 라인 및 반전 비트 라인들을 등화시킨다. 즉, 공유 비트 라인 센스 앰프를 가지는 경우에는, 어느 한 블록에 대한 리프레쉬 동작을 위하여, 블록에 인접되어 있는 2개의 비트 라인 센스 앰프부들이 구동되어야 하는 것이다. 도 16에서 참조 부호 WL0\_0 내지 WL0\_511은 블록(340)에서의 워드 라인들을 나타내고 참조 부호 WL1\_0 내지 WL1\_511은 블록(341)에서의 워드 라인들을 나타내고 참조 부호 WL7\_0 내지 WL7\_511은 블록(347)에서의 워드 라인들을 나타낸다.

도 16과 같은 공유 비트 라인 센스 앰프들을 가지는 반도체 메모리 장치에서의 복수 워드 라인 리프레쉬 방법과 그에 따른 비트 라인 센스 앰프의 액티브 시점을 분산시키는 스킴을 도 17a 내지 도 17d 및 도 18에 나타내었다. 도 17a 내지 도 17d는 각각 제1 내지 제4 블록 리프레쉬 사이클을 나타내는 것으로, 빗금으로 나타낸 블록들이 리프레쉬되는 블록들이다. 한 블록 리프레쉬 사이클마다 2개의 블록이 액티브되며, 액티브되어야 할 복수의 비트 라인 센스 앰프들은 액티브되는 시점이 2개로 분산되어 있다. 도 18은 도 17a 내지 도 17d에 도시된 비트 라인 센스 앰프 인에이블 신호들 및 그와 관련된 신호들의 파형이 도시되어 있다. 도 18에서는 비트 라인 센스 앰프 인에이블 신호들의 액티브 시점들만이 분산되어 있고 그 신호들의 논액티브 시점은 일치되어 있다. 그러나, 비트 라인 센스 앰프 인에이블 신호들의 논액티브 시점들도 같은 방식으로 분산시키는 것이 가능하다. 그리하여, 비트 라인 센스 앰프 인에이블 신호의 논액티브 시점에서 발생하는 피크 전류를 줄이는 것이 가능하게 된다. 도 18에서는 동시에 액티브되는 워드 라인들의 액티브 시점들도 또한 분산되어 있다. 이러한 워드 라인 액티브 시점들의 분산은 소프트 에러 레이트를 줄이는 효과를 가진다. 도 18에서는 워드 라인의 논액티브 시점들이 동일하나, 이와는 달리 워드 라인들의 논액티브 시점을 분산시키는 것이 또한 가능하다.

도 19는 도 17a 내지 도 17d 및 도 18에 따른 리프레쉬 방법을 수행할 수 있는 반도체 메모리 장치의 개략적인 블록도이다.

도 19를 참조하면, 반도체 메모리 장치는 메모리 셀 어레이(520), 로우 디코더/어레이 제어 회로(510), 로우 어드레스 버퍼(410), 프리디코더(420), 카운터(430), 리프레쉬 제어 회로(440), 컬럼 어드레스 스트로브 버퍼(450), 로우 어드레스 스트로브 버퍼(470), 모드 신호 발생부(460), 로우 액티브 신호 발생부(480), 타이밍 제어 신호 발생부(490) 및 비트 라인 센스 앰프 인에이블 신호 발생부(500)를 포함하여 구성된다.

컬럼 어드레스 스트로브 버퍼(450) 및 로우 어드레스 스트로브 버퍼(470)는 반도체 메모리 장치의 외부에서 인가되는 로우 어드레스 스트로브 신호(/RAS) 및 컬럼 어드레스 스트로브 신호(/CAS)를 버퍼링하여 출력한다. 모드 신호 발생부(460)는 컬럼 어드레스 스트로브 버퍼(450)의 출력 및 로우 어드레스 스트로브 버퍼(470)의 출력을 입력하여 컬럼 어드레스 스트로브 신호(/CAS)가 먼저 로우 레벨로 액티브되고 이어서 로우 어드레스 스트로브 신호(/RAS)가 로우 레벨이 되는 경우에 하이 레벨이 되는 모드 신호(PCBR: CAS Before RAS)를 발생한다. 리프레쉬 제어 회로(440)는 모드 신호(PCBR)가 하이 레벨로 액티브되면 소정 기간 경과 후 하이 레벨로 액티브되는 리프레쉬 모드 신호(PSR)를 발생한다. 리프레쉬 모드 신호(PSR)는 리프레쉬 모드인지 아닌지를 나타내는 신호이다. 리프레쉬 제어 회로(440)는 또한 카운터(430)에 결합되어 그 동작을 제어한다. 카운터(430)는 리프레쉬 모드에서 액티베이션되어 어드레스를 발생한다. 로우 어드레스 버퍼(410)는 리프레쉬 모드인 경우에는 카운터(430)의 출력을 입력/버퍼링하여 이를 로우 어드레스로서 출력하고 리프레쉬 모드가 아닌 경우에는 반도체 메모리 장치의 외부에서 인가되는 어드레스(A)를 입력/버퍼링하여 이를 로우 어드레스로서 출력한다. 프리디코더(420)는 로우 어드레스(RA)를 프리디코딩하여 출력하여 로우 디코더/어레이 제어 회로(510)로 인가한다. 로우 액티브 신호 발생부(480) 및 타이밍 제어 신호 발생부(490)은 로우 액티브에 관련된 동작들의 타이밍을 제어하기 위하여 로우 액티브 신호(PR) 및 타이밍 제어 신호(PSE)를 발생한다. 로우 액티브 신호 발생부(480)는 정상 모드에서는 로우 어드레스 스트로브 버퍼(470)으로부터 출력에 응답하여 로우 액티브 신호(PR)를 발생시키고 리프레쉬 모드에서는 로우 어드레스 스트로브 신호(/RAS)에 관계없이 일정한 주기를 가지는 로우 액티브 신호(PR)를 자체적으로 발생시킨다.

비트 라인 센스 앰프 인에이블 신호 발생부(500)는 타이밍 제어 신호(PSE)에 응답하여 비트 라인 센스 앰프 인에이블 신호들(PS0, PSD0, PS1, PSD1)을 발생한다. 비트 라인 센스 앰프 인에이블 신호 발생부(500)에서 발생하는 신호들의 파형은 리프레쉬 모드 신호(PSR)에 따라 달라진다. 정상 모드에서의 비트 라인 센스 앰프 인에이블 신호들(PS0, PSD0, PS1, PSD1)의 파형은 도 23a에 도시되어 있고, 리프레쉬 모드에서의 비트 라인 센스 앰프 인에이블 신호들(PS0, PSD0, PS1, PSD1)의 파형은 도 23b에 도시되어 있다. 도 23a 및 도 23b에서 알 수 있는 바와 같이 정상 모드에서는 비트 라인 센스 앰프의 액티브 시점이 분산되지 않으나, 리프레쉬 모드에서는 비트 라인 센스 앰프의 액티브 시점이 분산된다.

로우 어드레스 디코딩에 대하여 보다 구체적으로 살펴보기로 하자. 로우 어드레스는 다수의 워드 라인들 중 어느 하나를 선택하기 위한 정보를 가지고 있는 신호이다. 따라서, 로우 어드레스의 구성은 메모리 계층 구조와 매우 밀접한 관련을 가지고 있다. 예를 들어, 메모리 셀 어레이(520)가 8개의 블록으로 구성되어 있고, 각 블록마다 512개의 워드 라인들을 포함하고 있다면, 로우 어드레스는 블록 정보 3 비트와 서브 어드레스 정보 9 비트를 합하여 총 12비트로 구성된다.

정상 모드에서 로우 어드레스는 반도체 메모리 장치의 외부에서 인가되어야 한다. 반면에, 리프레쉬 모드인 경우에는 로우 어드레스가 내부적으로 발생된다. 그런데, 본 발명에 따른 리프레쉬 방법에서와 같이 한꺼번에 2개 이상의 워드 라인에 대한 액세스가 수행되어야 하는 경우에는 단지 로우 어드레스의 입력 경로만을 바꾸는 것으로 충분히 그 기능을 달성하기 어려우며, 블록 정보를 디코딩 하여 다수의 블록 선택 신호를 발생하는 블록 선택 신호 발생부가 리프레쉬 모드 신호(PSR)에 따라 다르게 동작하도록 구성되어야 한다. 블록 선택 신호 발생부는 정상 모드인 경우에는 로우 어드레스 중 블록 정보를 디코딩 하여 다수의 블록 선택 신호를 발생하도록 하고, 리프레쉬 모드인 경우에는 미리 정해진 리프레쉬 스킴(도 2a 내지 도 2d, 도 6a 및 도 6b, 도 14a 내지 도 14d 참조)에 2개 이상이 액티브되는 다수의 블록 선택 신호들을 발생하도록 한다. 따라서, 블록 선택 신호는 정상 동작 모드에서는 어느 하나만이 선택적으로 액티

브되지만 리프레쉬 모드인 경우에는 2개 이상이 선택적으로 액티브된다. 이와 같이 발생된 블럭 선택 신호들은 로우 디코더에서 워드 라인 선택에 사용될 뿐만 아니라 비트 라인 센스 앰프, 고립 게이트들 등의 동작을 제어하는 데에도 사용된다. 블럭 선택 신호 발생부는 일반적으로 프리디코더(420)에 포함되나 로우 어드레스 디코딩 스킴(scheme)에 따라 달라질 수 있다.

도 20은 공유 비트 라인 센스 앰프부 및 그에 인접된 회로 구성의 일 실시예를 구체적으로 나타낸 것으로, 비트 라인 센스 앰프(600)는 크로스 커플된 2개의 PMOS 트랜지스터들(601, 602) 및 크로스 커플된 2개의 NMOS 트랜지스터들(603, 604)을 포함하며, 하나의 비트 라인 센스 앰프부에는 비트 라인 센스 앰프(600)가 (비트 라인 수)/2 만큼 포함된다. 비트 라인 센스 앰프부(610)에는 또한 드라이버 역할을 하는 PMOS 트랜지스터(611) 및 NMOS 트랜지스터(612)가 포함되어 있다. 제어 신호(LAPG)가 로우 레벨로 액티브되면 PMOS 트랜지스터(611)가 턴-온되어 노드(LA)가 전원 전압(VCC) 레벨이 된다. 그리하여 비트 라인 센스 앰프(600)에 포함된 PMOS 트랜지스터들(601, 602)에 의한 비트 라인 센스 증폭이 수행된다. 제어 신호(LANG)가 하이 레벨로 액티브되면 NMOS 트랜지스터(612)가 턴-온되어 노드(LAB)가 접지 전압(VSS) 레벨이 된다. 그리하여 비트 라인 센스 앰프(600)에 포함되는 NMOS 트랜지스터들(603, 604)에 의한 비트 라인 센스 증폭이 수행된다. 비트 라인 센스 앰프부(610)는 블럭(620a) 및 블럭(620b)에 의하여 공유되어 있다. NMOS 트랜지스터들(631, 632, 633)은 등화기이며, NMOS 트랜지스터들(641 내지 644)은 고립 게이트들이다.

도 21은 본 발명에 따른 리프레쉬 방법을 수행할 수 있는 비트 라인 센스 앰프부들의 제어 회로를 도시한 것이다. 도 21에서 비트 라인 센스 앰프부들은 도 20에 도시된 바와 같은 공유 비트 라인 센스 앰프 구조를 가진다. 즉 비트 라인 센스 앰프부들(661 내지 667)은 인접되어 있는 2개의 블럭에 의하여 공유되어 있으며, 비트 라인 센스 앰프부들(660, 668)은 인접되어 있는 1개의 블럭만을 위한 것이다. 도 21에 도시된 회로는 특히 도 17a 내지 도 17d에 도시된 바와 같은 복수 워드 라인 리프레쉬 스킴을 수행하는 것이다.

복수의 비트 라인 센스 앰프부들(660 내지 668)에 대응되어 복수의 비트 라인 센스 앰프 구동부들(650 내지 658)이 제공된다. 비트 라인 센스 앰프 구동부들(650 내지 658)은 각각 대응되는 블럭 선택 신호들(BLK\_0 내지 BLK\_7)과 비트 라인 센스 앰프 인에이블 신호들(PS0, PSD0, PS1, PSD1)을 입력하여 대응되는 비트 라인 센스 앰프 구동 신호들(LANG0 내지 LANG8, LAPG0 내지 LAPG8)을 발생한다. 비트 라인 센스 앰프 구동부들(650 내지 658)의 구체적인 구성의 일 실시예들은 도 24a 내지 도 24i에 각각 도시되어 있다.

블럭 선택 신호 발생부(630)는 정상 모드에서는 반도체 메모리 장치의 외부에서 인가되는 로우 어드레스 중 블럭 정보를 디코딩 하여 8개의 블럭 선택 신호들을 출력한다. 따라서, 정상 모드에서는 8개의 블럭 선택 신호들 중 어느 하나만이 선택적으로 액티브된다. 이에 반하여, 리프레쉬 모드에서는 블럭 선택 신호들 중 2개가 선택적으로 액티브된다. 즉, 제1 블럭 리프레쉬 사이클에서는 블럭 선택 신호(BLK\_0) 및 블럭 선택 신호(BLK\_4)가 액티브되고, 제2 블럭 리프레쉬 사이클에서는 블럭 선택 신호(BLK\_1) 및 블럭 선택 신호(BLK\_5)가 액티브되며, 제3 블럭 리프레쉬 사이클에서는 블럭 선택 신호(BLK\_2) 및 블럭 선택 신호(BLK\_6)가 액티브되고, 제4 블럭 리프레쉬 사이클에서는 블럭 선택 신호(BLK\_3) 및 블럭 선택 신호(BLK\_7)가 액티브되며, 이와 같은 동작은 리프레쉬 모드 동안 반복적으로 수행된다.

비트 라인 센스 앰프 인에이블 신호 발생부(500)는 PS0, PSD0 신호 발생부(641) 및 PS1, PSD1 신호 발생부(642)로 구성된다. 비트 라인 센스 앰프 인에이블 신호(PS0, PSD0)는 비트 라인 센스 앰프 구동부들(650 내지 654)로 인가되고 비트 라인 센스 앰프 인에이블 신호(PS1, PSD1)는 비트 라인 센스 앰프 구동부들(654 내지 658)로 인가된다. PS0 신호 및 PS1 신호는 비트 라인 센스 앰프에 포함되는 NMOS 트랜지스터들의 액티브 시점을 제어하기 위한 것이며, PSD0 신호 및 PSD1 신호는 비트 라인 센스 앰프에 포함되는 PMOS 트랜지스터들의 액티브 시점을 제어하기 위한 것이다.

도 21에서 블럭 선택 신호 발생부(630)는 도 21의 프리디코더에 포함되며, 비트 라인 센스 앰프 구동부들(650 내지 658)은 어레이 제어 회로에 포함되는 부분이다.

도 22는 도 19 및 도 21에 도시되어 있는 비트 라인 센스 앰프 인에이블 신호 발생부(500)의 구체적인 회로의 일 실시예를 나타낸 것이다.

도 22를 참조하면, 타이밍 제어 신호(PSE)는 로우 액티브 신호(PR)가 액티브되는 것에 트리거되어 액티브되는 신호로서 비트 라인 센싱 타이밍을 제어하는 신호이다. 인버터들(710, 711, 712, 713)은 타이밍 제어 신호(PSE)를 지연 및 버퍼링하여 비트 라인 센스 앰프 인에이블 신호(PS0)를 출력한다. 지연부(714)는 인버터들 및 NAND 게이트로 구성된 것으로 비트 라인 센스 앰프 인에이블 신호(PS0)를 지연하여 비트 라인 센스 앰프 인에이블 신호(PSD0)를 출력한다.

NOR 게이트(715)는 인버터(710)의 출력 및 리프레쉬 모드 신호(PSR)를 입력한다. 따라서, NOR 게이트(715)의 출력은 리프레쉬 모드인 경우에는 로우 레벨로 마스크되고, 정상 모드인 경우에는 타이밍 제어 신호(PSE)의 위상 변화를 추종하게 된다.

분산 지연부(700)는 NAND 게이트, 다수의 인버터들, MOS 캐패시터들 및 저항들로 구성되어 RC 지연(저항-캐패시턴스 지연) 기능을 수행한다. 분산 지연부(700)는 리프레쉬 모드 신호(PSR)가 하이 레벨인 경우에 타이밍 제어 신호(PSE)를 소정 기간 지연하여 출력하고, 리프레쉬 모드 신호(PSR)가 로우 레벨인 경우에는 그 출력이 항상 로우 레벨로 마스크된다.

NOR 게이트(716)는 NOR 게이트(715)의 출력 및 분산 지연부(700)의 출력을 입력한다. 따라서, NOR 게이트(716)의 출력은 리프레쉬 모드인 경우에는 분산 지연부(700)의 출력이 반전되어 나타나고 정상 모드인 경우에는 NOR 게이트(715)의 출력이 반전되어 나타난다. 인버터(717)는 NOR 게이트(716)의 출력을 반전하여 비트 라인 센스 앰프 인에이블 신호(PS1)를 출력하며, 지연부(718)는 비트 라인 센스 앰프 인에이블 신호(PS1)를 지연하여 비트 라인 센스 앰프 인에이블 신호(PSD1)를 출력한다. 인버터들(710, 711, 712, 713)에 의한 지연 시간을  $t_1$  이라 하고, 분산 지연부(700), NOR 게이트(716) 및 인버터(717)에 의한 지연 시간을  $t_2$  라고 하면, 분산 지연 시간( $t_d$ )은  $t_2 - t_1$  이 된다.

도 24a는 도 21에 도시되어 있는 비트 라인 센스 앰프 구동부(650)의 구체적인 회로의 일 실시예를 나타낸 것이다. 비트 라인 센스 앰프 구동 신호(LANGO)는 불럭 선택 신호(BLK\_0)가 하이 레벨로 액티브이고 비트 라인 센스 앰프 인에이블 신호(PS0)가 하이 레벨로 액티브된 경우에 하이 레벨로 액티브된다. 비트 라인 센스 앰프 구동 신호(LAPG0)는 불럭 선택 신호(BLK\_0)가 하이 레벨이고 비트 라인 센스 앰프 인에이블 신호(PSD0)가 하이 레벨인 경우에 로우 레벨로 액티브된다. 즉, 불럭 0 이 선택된 경우에 비트 라인 센스 앰프 인에이블 신호들(PS0, PSD0)에 따라 비트 라인 센스 앰프 구동 신호들(LANGO, LAPG0)이 각각 액티브된다.

도 24b는 도 21에 도시되어 있는 비트 라인 센스 앰프 구동부(651)의 구체적인 회로의 일 실시예를 나타낸 것이다. 비트 라인 센스 앰프 구동 신호들(LANG1, LAPG1)은 불럭 선택 신호(BLK\_0)가 하이 레벨로 액티브이거나 불럭 선택 신호(BLK\_1)가 하이 레벨로 액티브일 때, 비트 라인 센스 앰프 인에이블 신호들(PS0, PSD0)에 따라 각각 액티브된다. 도 24c 및 도 24d는 각각 도 21에 도시되어 있는 비트 라인 센스 앰프 구동부들(652, 653)의 구체적인 회로의 일 실시예를 나타낸 것으로, 도 24b와 동일한 구성을 가지고 있다. 비트 라인 센스 앰프 구동부들(652, 653)은 각각 대응되는 불럭 선택 신호들 중 어느 하나가 하이 레벨로 액티브인 경우에 비트 라인 센스 앰프 인에이블 신호(PS0, PSD0)에 따라 각각 액티브되는 비트 라인 센스 앰프 구동 신호들을 발생한다.

도 24e는 도 21에 도시되어 있는 비트 라인 센스 앰프 구동부(654)의 구체적인 회로의 일 실시예를 나타낸 것으로, 비트 라인 센스 앰프 인에이블 신호(PS0, PSD0)뿐만 아니라 비트 라인 센스 앰프 인에이블 신호(PS1, PSD1)가 모두 입력된다. 비트 라인 센스 앰프 구동 신호들(LANG4, LAPG4)은 불럭 선택 신호(BLK\_3)가 하이 레벨로 액티브된 경우에는 비트 라인 센스 앰프 인에이블 신호(PS0, PSD0)에 따라 각각 액티브되고, 불럭 선택 신호(BLK\_4)가 하이 레벨로 액티브된 경우에는 비트 라인 센스 앰프 인에이블 신호(PS1, PSD1)에 따라 각각 액티브된다. 비트 라인 센스 앰프 구동 신호(LANG4)는 하이 레벨 액티브이고, 비트 라인 센스 앰프 구동 신호(LAPG4)는 로우 레벨 액티브이다.

도 24f 내지 도 24h는 각각 도 21에 도시되어 있는 비트 라인 센스 앰프 구동부들(655, 656, 657)의 구체적인 회로의 일 실시예를 나타낸 것으로, 도 24b와 동일한 구성을 가진다. 비트 라인 센스 앰프 구동부들(655, 656, 657)은 각각 대응되는 불럭 선택 신호들 중 어느 하나가 하이 레벨로 액티브인 경우에 비트 라인 센스 앰프 인에이블 신호(PS1, PSD1)에 따라 각각 액티브되는 비트 라인 센스 앰프 구동 신호들을 발생한다.

도 24i는 도 21에 도시되어 있는 비트 라인 센스 앰프 구동부(658)의 구체적인 회로의 일 실시예를 나타낸 것으로, 도 24a와 동일한 구성을 가지고 있다. 비트 라인 센스 앰프 구동부(658)는 불럭 선택 신호(BLK\_7)가 하이 레벨로 액티브인 경우에 비트 라인 센스 앰프 인에이블 신호(PS1, PSD1)에 따라 각각 액티브되는 비트 라인 센스 앰프 구동 신호들(LANG8, LAPG8)을 발생한다.

도 25는 도 19 내지 도 24i에 도시된 반도체 메모리 장치에서 리프레쉬 동작을 수행하는 경우에 신호들의 파형들을 도시한 것이다.

도 25를 참조하면, 컬럼 어드레스 스트로브 신호(/CAS)가 로우 레벨로 액티브되고 그 후에 로우 어드레스 스트로브 신호(/RAS)가 로우 레벨로 액티브되고 소정 기간(예를 들면, 100[ $\mu$ s])이 경과하면 리프레쉬 모드 신호(PSR)가 하이 레벨로 액티브되어 리프레쉬 모드가 세트된다.

리프레쉬 모드가 세트되면 일정 주기를 가지는 로우 액티브 신호(PR)가 발생된다. 로우 액티브 신호(PR)가 액티브되는 것에 응답하여 로우 어드레스 버퍼(410)는 로우 어드레스(RAi)를 출력한다. 로우 어드레스 버퍼(410)에서 출력되는 로우 어드레스(RAi)는 카운터(430)의 출력이 버퍼링된 것이다. 로우 어드레스(RAi)는 프리디코더에서 디코딩된다. 신호(DRAij)는 프리디코더의 출력을 나타낸다. 프리디코더의 출력은 로우 어드레스가 불럭 정보 및 서브 어드레스로 구성되어 있다고 할 때, 불럭 선택 신호들 및 디코딩된 서브 어드레스들로 구성된다. 불럭 선택 신호들 및 디코딩된 서브 어드레스에 따라 선택된 워드 라인들(WLi)이 하이 레벨로 액티브된다. 한편, 타이밍 제어 신호(PSE)는 로우 액티브 신호(PR)가 하이 레벨로 액티브된 후 소정 기간 경과 후 하이 레벨로 액티브되며, 타이밍 제어 신호(PSE)에 응답하여 액티브 시점들이 서로 다른 다수의 비트 라인 센스 앰프 인에이블 신호들(PS0, PSD0, PS1, PSD1)이 발생된다. 비트 라인(BL0\_i) 및 반전 비트 라인(/BL0\_i)의 비트 라인 센스 앰프는 비트 라인 센스 앰프 인에이블 신호(PS0, PSD0)에 의하여 제어되고, 비트 라인(BL4\_i) 및 반전 비트 라인(/BL4\_i)의 비트 라인 센스 앰프는 비트 라인 센스 앰프 인에이블 신호(PS1, PSD1)에 의하여 제어된다. 따라서, 비트 라인 센스 앰프가 액티브되는 시점에 발생하는 피크 전류가 2개로 분산되어 그 최고치가 낮아지게 된다. 도 25에서는 선택된 워드 라인들의 액티브 시점들 및 논액티브 시점들을 분산시키는 스킴 및 비트 라인 센스 앰프 논액티브 시점들을 분산시키는 스킴들이 도시되어 있지 않으나, 이는 비트 라인 센스 앰프 액티브 시점들의 분산 스킴과 유사한 방법으로 당업자가 용이하게 실시할 수 있다.

또한, 본 발명은 각 신호들의 하이 레벨 액티브 또는 로우 레벨 액티브로 한정하여 설명하였으나, 그 반대로 설계하는 것은 반도체 메모리 설계 분야에서 통상의 지식을 가진 자에게 매우 자명한 것이다. 비트 라인 센스 앰프의 액티브 시점들을 분산시키는 스킴도 불럭별로 분산시키는 방법 외에도 한 불럭 내에 속하는 다수의 비트 라인 센스 앰프들을 여러 개의 그룹으로 나누어 서로 다른 시점에서 액티브되도록 할 수 있다. 또한, 복수의 불럭들을 선택하는 순서도 순차적으로 하지 아니하고 스크램블시킬 수 있다.

이와 같이 본 발명은 상기 실시예들에 한정되지 않으며, 많은 변형이 본 발명의 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 물론이다.

### 발명의 효과

본 발명은 반도체 메모리 장치에서 리프레쉬 동작에서 복수의 워드 라인을 동시에 액세스하는 경우에 발생할 수 있는 피크 전류의 크기를 줄이는 효과가 있다. 피크 전류는 밧데리에 의하여 전원이 공급되는 시스템에서 밧데리가 손상을 입는 주요 원인이 되기 때문에, 피크 전류의 크기를 줄임으로써 밧데리 배이스 시스템의 안정적인 동작을 보장할 수 있게 된다. 또한, 복수의 워드 라인을 동시에 액세스함으로써,

리프레시 모드에서의 평균 전력 소모를 줄일 수 있고 리프레시 사이클을 수행할 수 있는 기간이 증가되기 때문에 안정적인 리프레시 동작을 지원하는 이점이 있다.

### (57) 청구의 범위

#### 청구항 1

복수의 블럭들을 구비하고, 각 블럭들은 다수의 비트 라인과 다수의 워드 라인 및 비트 라인과 워드 라인의 교차점에 형성되어 있는 다수의 메모리 셀들로 이루어져 있는 반도체 메모리 장치에서 각 메모리 셀에 저장되어 있는 데이터를 리프레시시키는 방법에 있어서,

적어도 2 이상의 워드 라인들을 선택하여 액티브시킴으로써 대응되는 비트 라인들 및 반전 비트 라인들의 전압 레벨이 차지 셰어링 동작에 의하여 변환되도록 하는 제1 단계;

선택된 워드 라인들에 대응되는 다수의 비트 라인 센스 앰프들을 2 이상의 그룹으로 분할하는 제2 단계;

차지 셰어링 동작 후 상기 다수의 비트 라인 센스 앰프들을 그룹별로 서로 다른 시점에서 액티브시키는 제3 단계;

비트 라인 센스 앰프 동작에 의하여 선택된 메모리 셀들의 데이터를 리스토어 시키는 제4 단계;

선택된 워드 라인들을 논액티브시키는 제5 단계; 및

선택된 비트 라인 센스 앰프들을 논액티브시키는 제6 단계를 구비하여,

비트 라인 센스 앰프가 액티브되는 경우에 발생하는 피크 전류의 크기가 감소되는 것을 특징으로 하는 반도체 메모리 장치의 리프레시 방법.

#### 청구항 2

제1항에 있어서, 상기 제1 단계는

리프레시시키고자 하는 블럭을 적어도 2개 이상 선택하는 단계; 및

선택된 블럭마다 워드 라인을 하나씩 선택하여 대응되는 비트 라인들 및 반전 비트 라인들의 전압 레벨이 차지 셰어링 동작에 의하여 변환되도록 하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 리프레시 방법.

#### 청구항 3

제2항에 있어서, 상기 제2 단계는 같은 블럭에 대응되는 비트 라인 센스 앰프들이 동일한 그룹에 속하도록 다수의 비트 라인 센스 앰프들을 분할하는 것을 특징으로 하는 반도체 메모리 장치의 리프레시 방법.

#### 청구항 4

제1항에 있어서, 상기 비트 라인들 및 반전 비트 라인들을 이퀄라이징시키는 제7 단계를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치의 리프레시 방법.

#### 청구항 5

제1항에 있어서, 상기 제1 단계는 선택된 복수의 워드 라인들의 액티브 시점들이 서로 다른 것을 특징으로 하는 반도체 메모리 장치의 리프레시 방법.

#### 청구항 6

제5항에 있어서, 복수의 워드 라인들의 액티브 시점들을 각각  $tW_0, tW_1, \dots$ 이라고 하고 대응되는 비트 라인 센스 앰프 그룹들의 액티브 시점들을 각각  $tB_0, tB_1, \dots$ 이라고 할 때,

$tW_1 - tW_0$  및  $tB_1 - tB_0$  가 동일하도록 하고,  $tB_0 - tW_0$  기간은 소프트 에러 발생이 일어나지 않을 정도의 기간이 되도록 액티브 시점들을 조절하는 것을 특징으로 하는 반도체 메모리 장치의 리프레시 방법.

#### 청구항 7

제1항에 있어서, 상기 제3 단계는

상기 2 이상의 비트 라인 센스 앰프 그룹들 중 어느 한 그룹을 선택하여 액티베이션하는 (3-1) 단계;

분산 지연 시간( $t_D$ ) 경과 후 나머지 그룹 중 어느 한 그룹을 선택하여 액티베이션시키는 (3-2) 단계; 및

모든 그룹이 선택될 때까지 상기 (3-2) 단계를 반복적으로 수행하는 제(3-3) 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 리프레시 방법.

#### 청구항 8

제1항에 있어서, 상기 제5 단계는 선택된 워드 라인들의 논액티브 시점들이 분산되도록 하는 것을 특징으로 하는 반도체 메모리 장치의 리프레시 방법.

#### 청구항 9

제1항에 있어서, 상기 제6 단계는 선택된 비트 라인 센스 앰프들의 논액티브 시점이 그룹별로 서로 다른 것을 특징으로 하는 반도체 메모리 장치의 리프레시 방법.

**청구항 10**

제1항에 있어서, 상기 제2 단계는 다수의 비트 라인 센스 앰프들을 동일한 컬럼 라인에 대응되는 것들끼리 동일한 그룹에 속하도록 비트 라인 센스 앰프들을 분할하는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 방법.

**청구항 11**

제1항에 있어서, 상기 반도체 메모리 장치는 8개의 블록을 가지는 경우에,

상기 제1 단계는 8개의 블록 중 2개의 블록을 선택하고 선택된 블록마다 하나씩의 워드 라인을 선택하여 액티브시킴으로써 대응되는 비트 라인들의 전압 레벨이 차지 셰어링 동작에 의하여 변환되도록 하며,

상기 제2 단계는 선택된 워드 라인들에 대응되는 다수의 비트 라인 센스 앰프들을 선택된 블록별 2개의 그룹으로 분할하도록 하는 것임을 특징으로 하는 반도체 메모리 장치의 리프레쉬 방법.

**청구항 12**

제11항에 있어서, 상기 8개의 블록들을 블록 0 내지 블록 7이라고 할 때, 상기 블록 선택 단계는

제1 블록 리프레쉬 사이클에서는 블록 0 및 블록 4가 선택되고;

제2 블록 리프레쉬 사이클에서는 블록 1 및 블록 5가 선택되고;

제3 블록 리프레쉬 사이클에서는 블록 2 및 블록 6이 선택되고;

제4 블록 리프레쉬 사이클에서는 블록 3 및 블록 7이 선택되며;

리프레쉬 모드 기간에 이를 반복적으로 수행하게 되는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 방법.

**청구항 13**

제1항에 있어서, 상기 비트 라인 센스 앰프들이 각각 크로스 커플된 한쌍의 PMOS 트랜지스터들 및 한 쌍의 NMOS 트랜지스터들로 구성되어 있는 경우에,

상기 제3 단계에서 비트 라인 센스 앰프를 액티베이션시키는 것은

비트 라인 센스 앰프들의 NMOS 트랜지스터들을 구동시키는 단계; 및

이어서 선택된 비트 라인 센스 앰프들의 PMOS 트랜지스터들을 구동시키는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 방법.

**청구항 14**

복수의 블록들을 구비하는 것으로, 각 블록들은 다수의 비트 라인과 다수의 워드 라인 및 비트 라인과 워드 라인의 교차점에 형성되어 있는 다수의 메모리 셀들로 이루어져 있는 반도체 메모리 장치에 있어서,

외부에서 리프레쉬 모드를 나타내는 리프레쉬 모드 신호(PSR)를 발생하는 리프레쉬 제어 회로;

상기 리프레쉬 모드 신호(PSR)가 액티브인 기간에 로우 액티브를 나타내는 로우 액티브 신호(PR)를 일정 주기로 발생하는 로우 액티브 신호 발생부;

상기 리프레쉬 모드 신호(PSR)가 액티브인 기간에 로우 어드레스를 발생하는 카운터;

상기 리프레쉬 모드 신호(PSR)가 액티브인 기간에 복수의 블록 선택 신호들을 발생하는 것으로, 복수의 블록 선택 신호들이 적어도 2개 이상이 한꺼번에 액티브되도록 발생하는 블록 선택 신호 발생부;

상기 블록들에 대응되어 형성되어 있는 복수의 비트 라인 센스 앰프부들;

상기 리프레쉬 모드 신호(PSR)가 액티브인 기간에 액티베이션되고, 상기 로우 액티브 신호(PR)에 응답하여 복수의 비트 라인 센스 앰프 인에이블 신호들(PS0, PS1, ..., PSD0, PSD1, ...)을 발생하는 것으로, 복수의 비트 라인 센스 앰프 인에이블 신호들이 소정 기간 지연되면서 순차적으로 액티브되도록 발생하는 비트 라인 센스 앰프 인에이블 신호 발생부; 및

상기 대응되는 비트 라인 센스 앰프 인에이블 신호들 및 대응되는 블록 선택 신호에 따라 대응되는 상기 비트 라인 센스 앰프들을 구동하는 복수의 비트 라인 센스 앰프 구동부들을 구비하여,

비트 라인 센스 앰프가 액티브될 때 발생하는 피크 전류의 크기가 감소되는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 회로.

**청구항 15**

제14항에 있어서, 상기 다수의 비트 라인 센스 앰프들은 인접된 블록들에 의하여 공유되는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 회로.

**청구항 16**

제15항에 있어서, 상기 반도체 메모리 장치는 8개의 블록들(블록 0 내지 블록 7) 및 9개의 공유 비트 라인 센스 앰프부들(SA 0 내지 SA 8)을 포함할 때,

상기 블록 선택 신호 발생부는 제1 블록 리프레쉬 사이클에서는 제1 블록 리프레쉬 사이클에서는 블록 0 및 블록 4가 선택하고 제2 블록 리프레쉬 사이클에서는 블록 1 및 블록 5가 선택하고 제3 블록 리프레쉬

사이클에서는 블록 2 및 블록 6이 선택하며 제4 블록 리프레쉬 사이클에서는 블록 3 및 블록 7이 선택하도록 8개의 블록 선택 신호들(BLK\_0 내지 BLK\_7)을 발생하며;

상기 비트 라인 센스 앰프 인에이블 신호 발생부는 액티브되는 시점들이 서로 다른 비트 라인 센스 앰프 인에이블 신호 (PS0, PSD0) 및 비트 라인 센스 앰프 인에이블 신호(PS1, PSD1)를 발생하며;

상기 비트 라인 센스 앰프 구동부들은 상기 비트 라인 센스 앰프 인에이블 신호(PS0, PSD0)에 따라 상기 비트 라인 센스 앰프부들(SA0 내지 SA3)의 액티브 시점들을 제어하고, 상기 비트 라인 센스 앰프 인에이블 신호(PS1, PSD1)에 따라 상기 비트 라인 센스 앰프부들(SA5 내지 SA8)의 액티브 시점들을 제어하고, 상기 블록 3이 선택된 경우에는 상기 비트 라인 센스 앰프부(SA4)의 액티브 시점을 상기 비트 라인 센스 앰프 인에이블 신호(PS0, PSD0)에 따라 제어하고 상기 블록 4가 선택된 경우에는 상기 비트 라인 센스 앰프부(SA4)의 액티브 시점을 상기 비트 라인 센스 앰프 인에이블 신호(PS1, PSD1)에 따라 제어하는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 회로.

#### 청구항 17

제14항에 있어서, 상기 로우 액티브 신호(PR)에 응답하여 타이밍 제어 신호(PSE)를 발생하는 타이밍 제어 신호 발생부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 회로.

#### 청구항 18

제17항에 있어서, 상기 비트 라인 센스 앰프 인에이블 신호 발생부는

상기 타이밍 제어 신호(PSE)를 지연 및 버퍼링하여 비트 라인 센스 앰프 인에이블 신호(PS0)를 발생하는 제1 버퍼링 수단(710 내지 713);

상기 비트 라인 센스 앰프 인에이블 신호(PS0)를 지연하여 비트 라인 센스 앰프 인에이블 신호(PSD0)를 발생하는 제1 지연부(714);

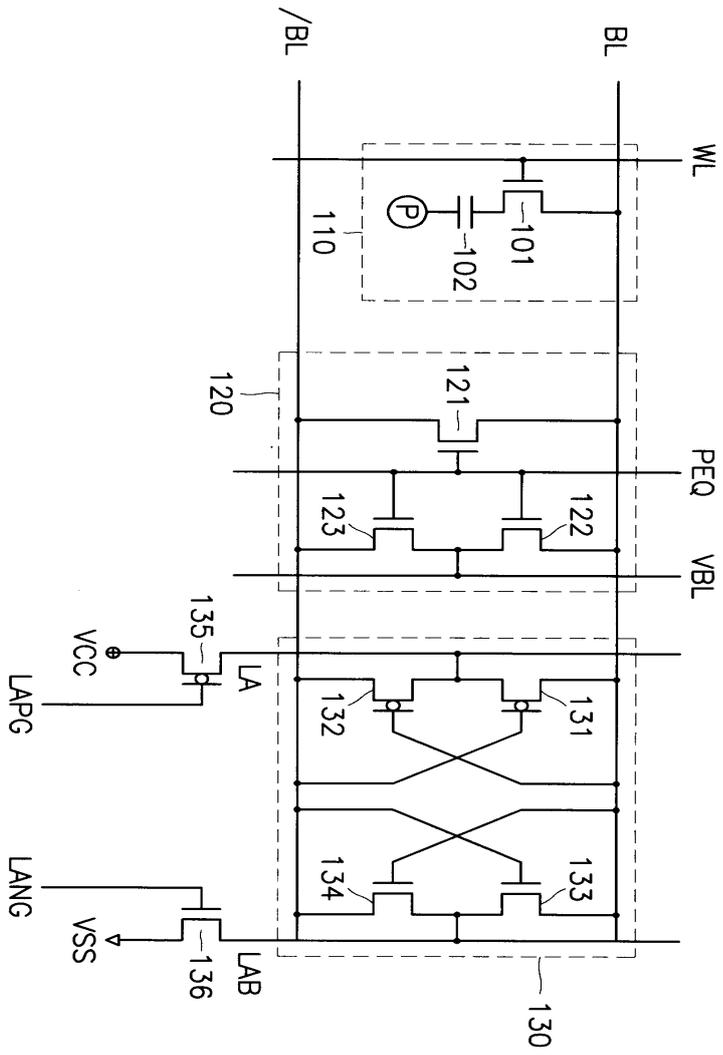
상기 리프레쉬 모드 신호(PSR)가 액티브인 경우에 상기 타이밍 제어 신호(PSE)를 지연하여 출력하는 분산 지연부(700);

상기 리프레쉬 모드 신호(PSR)가 논액티브인 경우에는 상기 타이밍 제어 신호(PSE)를 지연 및 버퍼링하여 비트 라인 센스 앰프 인에이블 신호(PS1)를 출력하고 상기 리프레쉬 모드 신호(PSR)가 액티브인 경우에는 상기 분산 지연부의 출력을 지연 및 버퍼링하여 비트 라인 센스 앰프 인에이블 신호(PS1)를 출력하는 제2 버퍼링 수단(710, 715, 716, 717); 및

상기 비트 라인 센스 앰프 인에이블 신호(PS1)를 지연하여 비트 라인 센스 앰프 인에이블 신호(PSD1)를 출력하는 제2 지연부를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 회로.

#### 도면

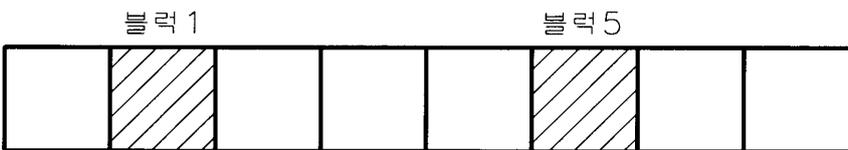
도면1



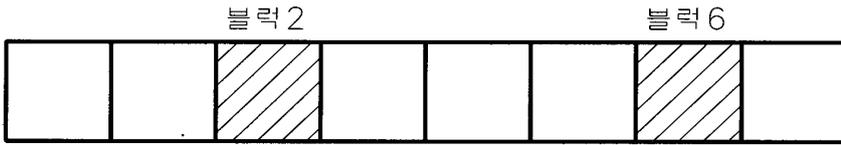
도면2a



도면2b



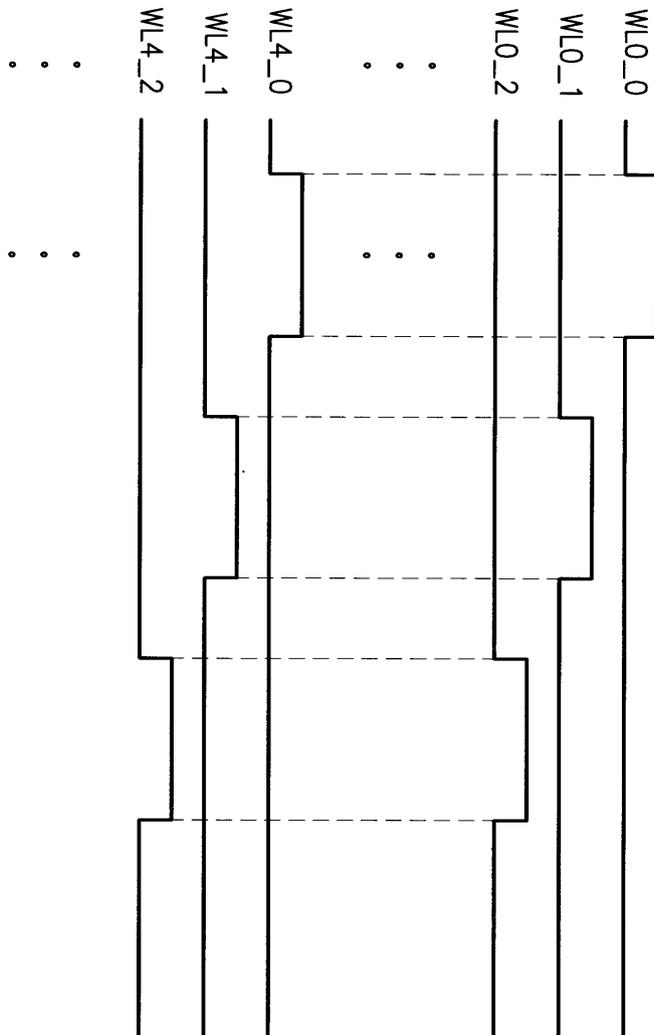
도면2c



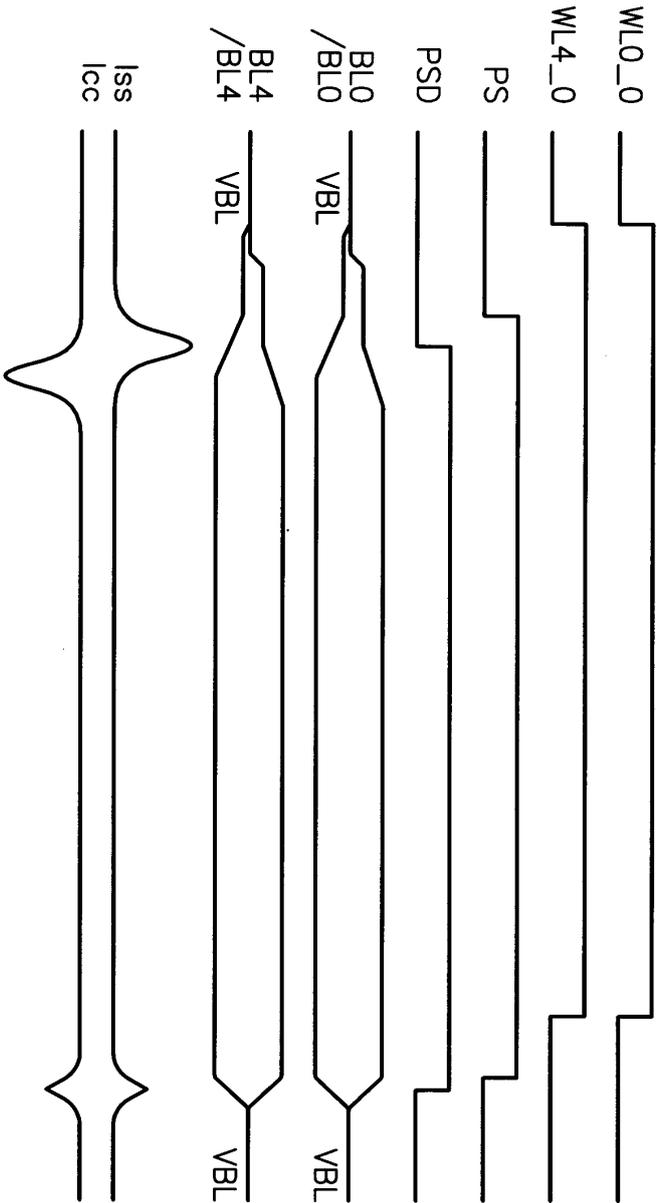
도면2d



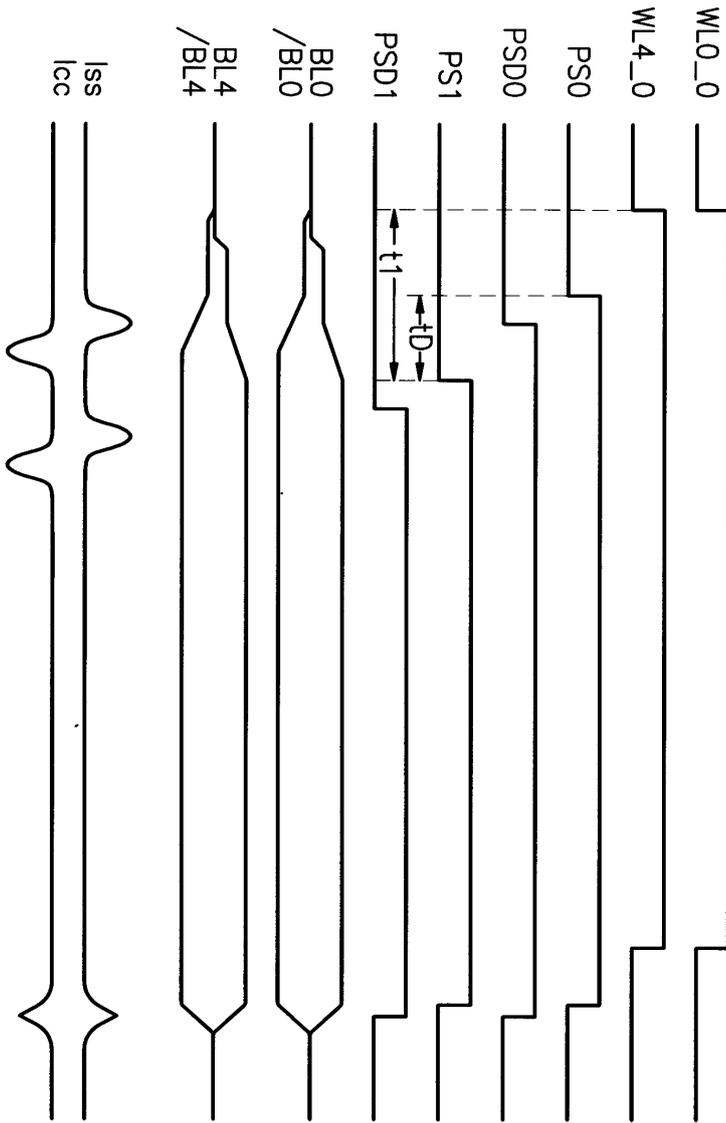
도면3



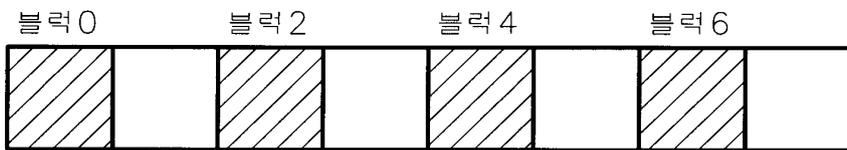
도면4



도면5



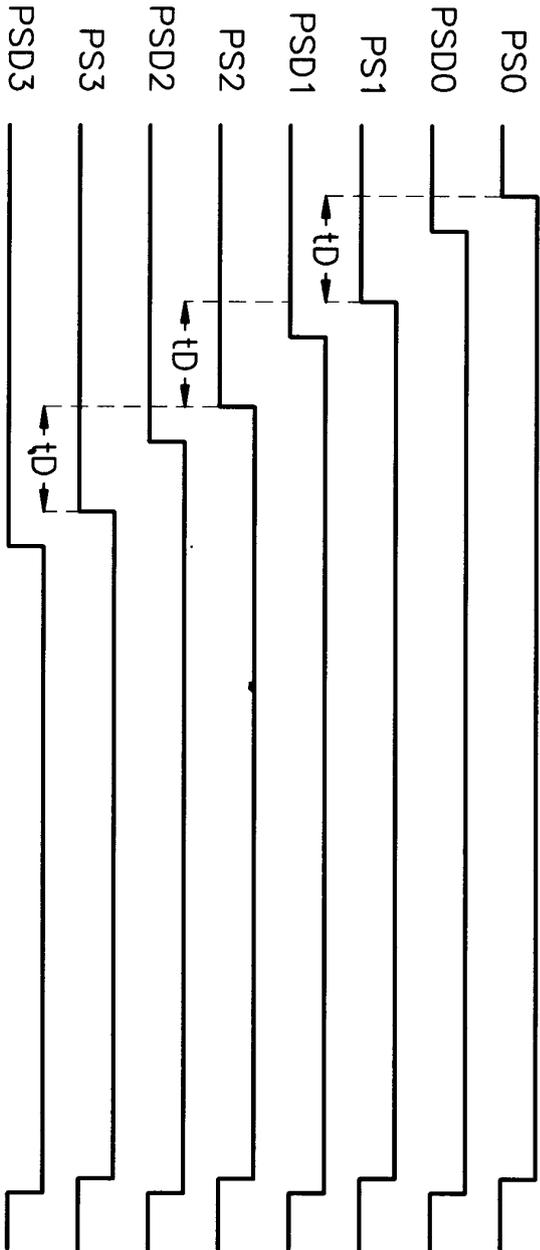
도면6a



도면6b



도면7



도면8

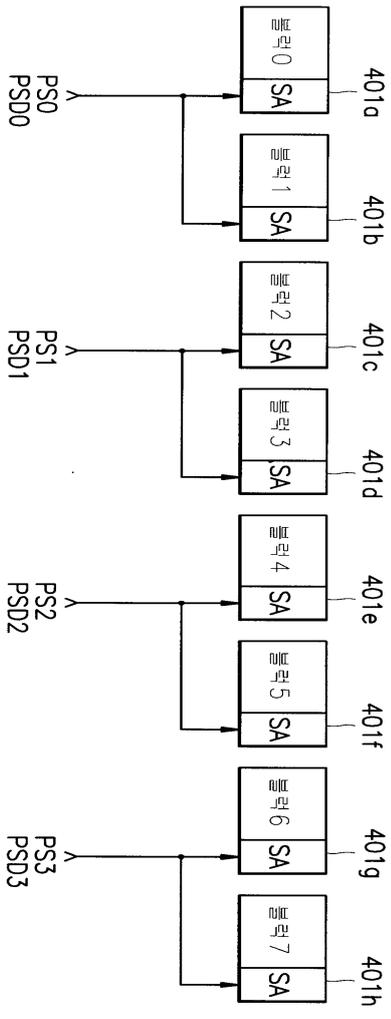
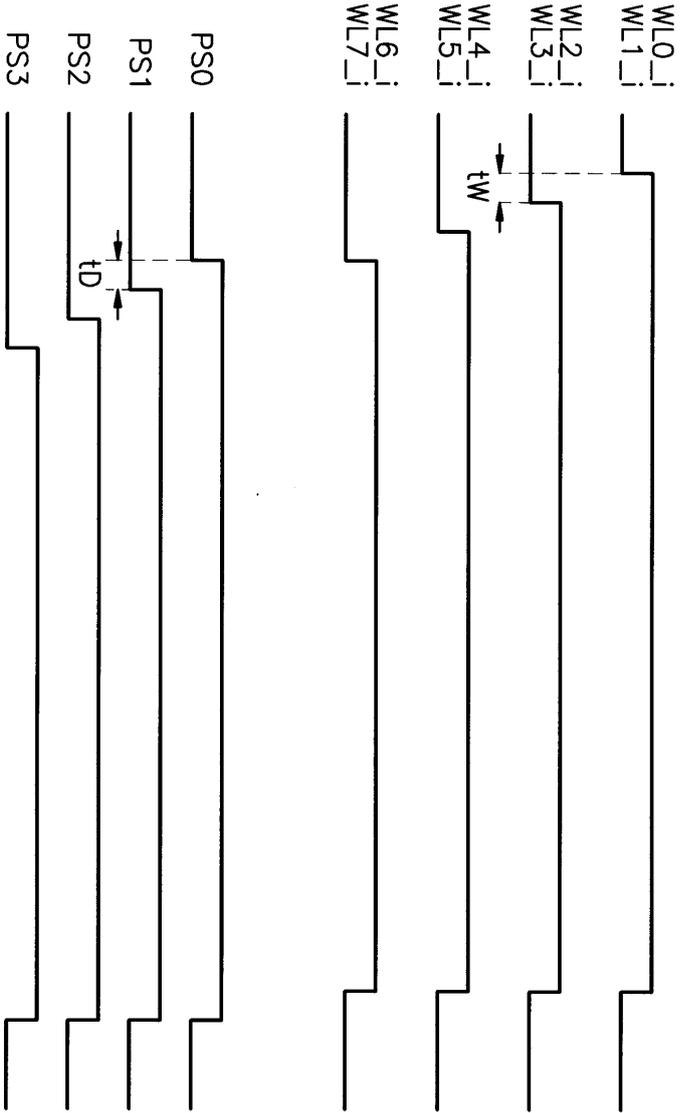
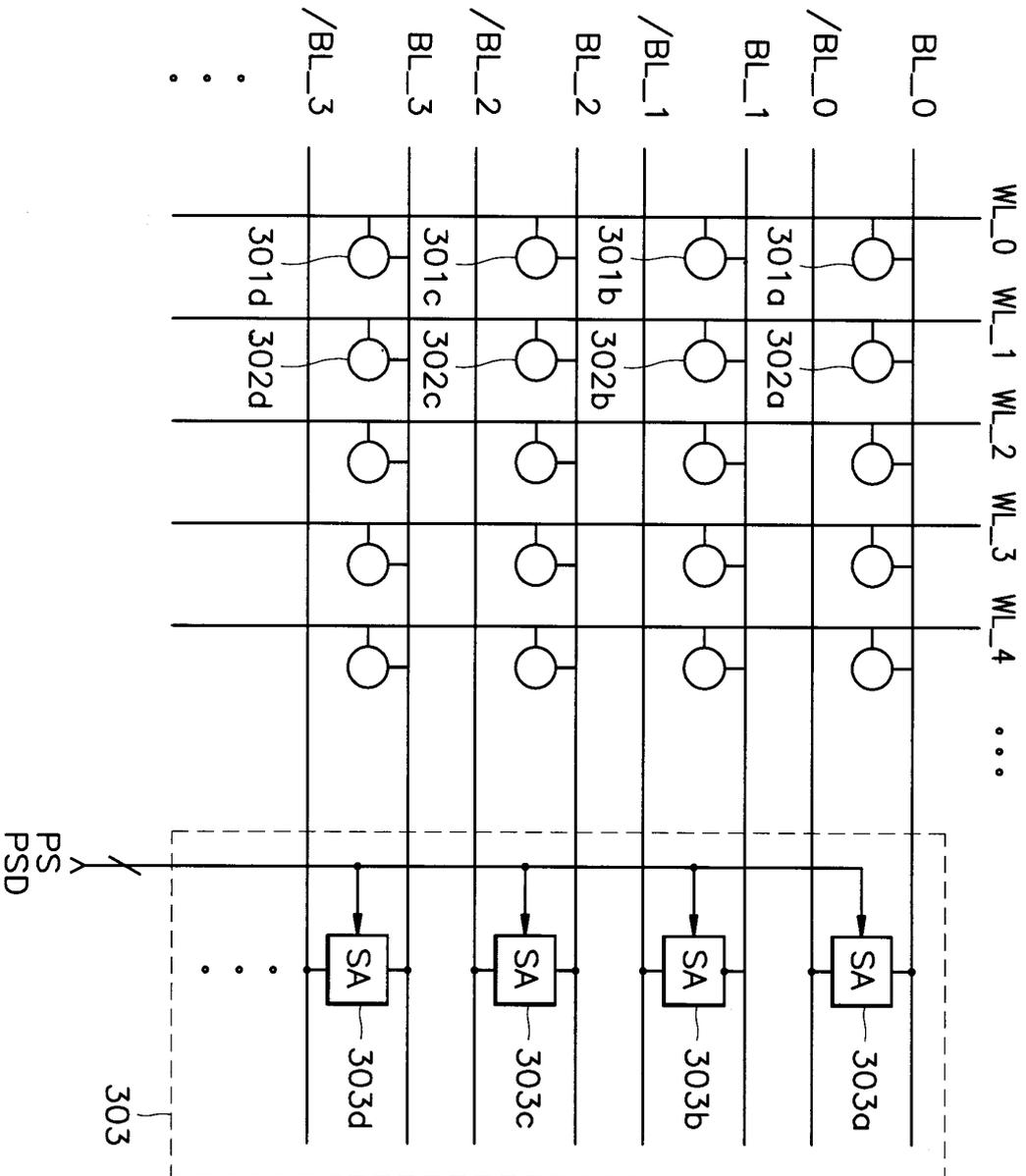


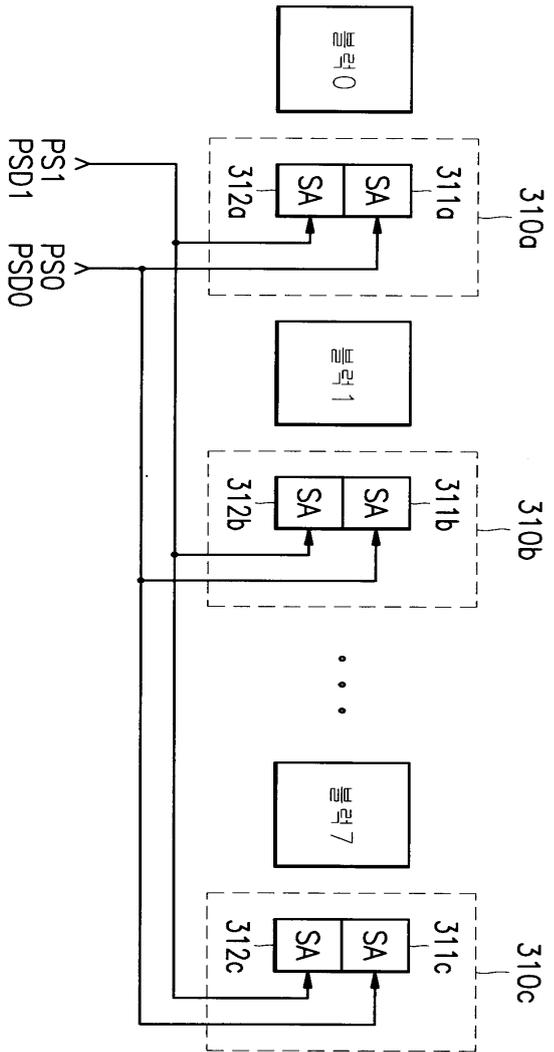
图 9



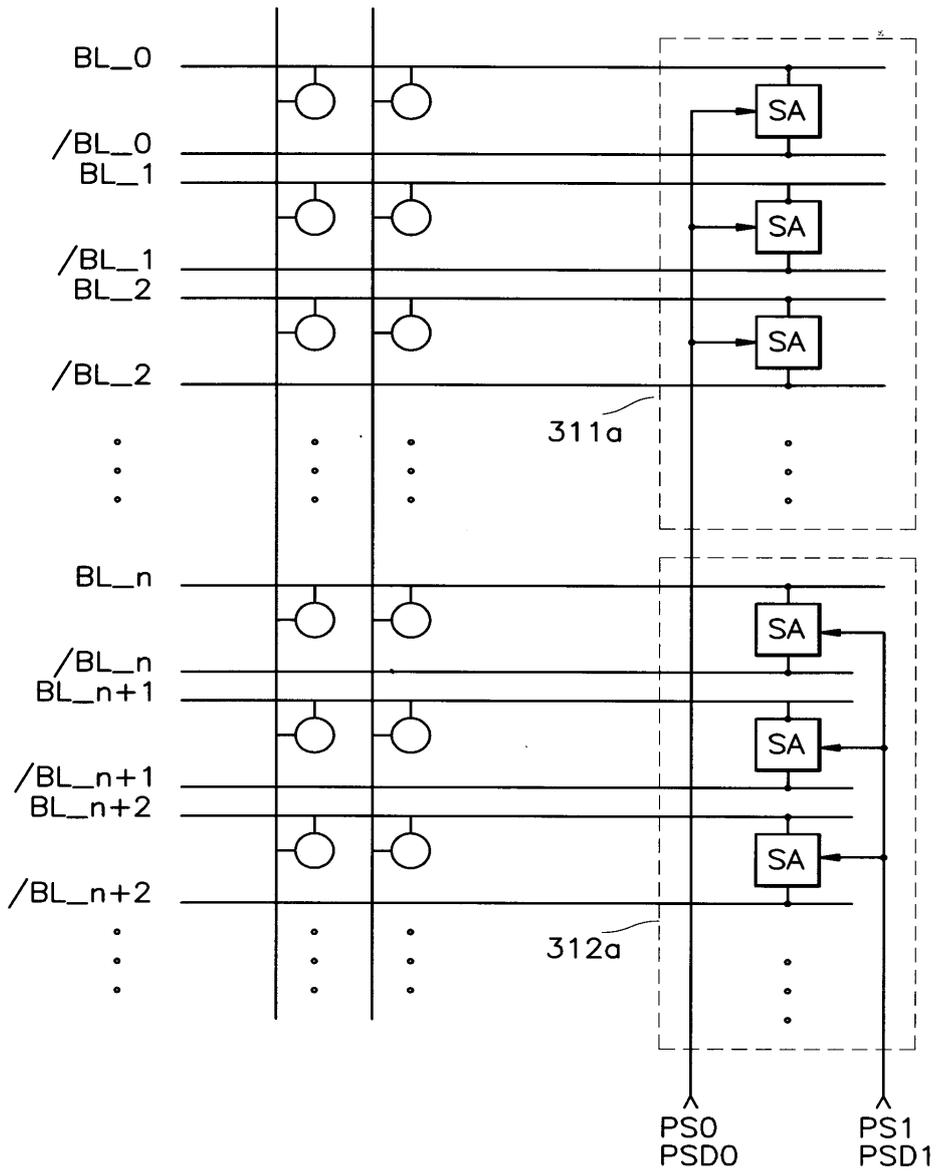
도면10



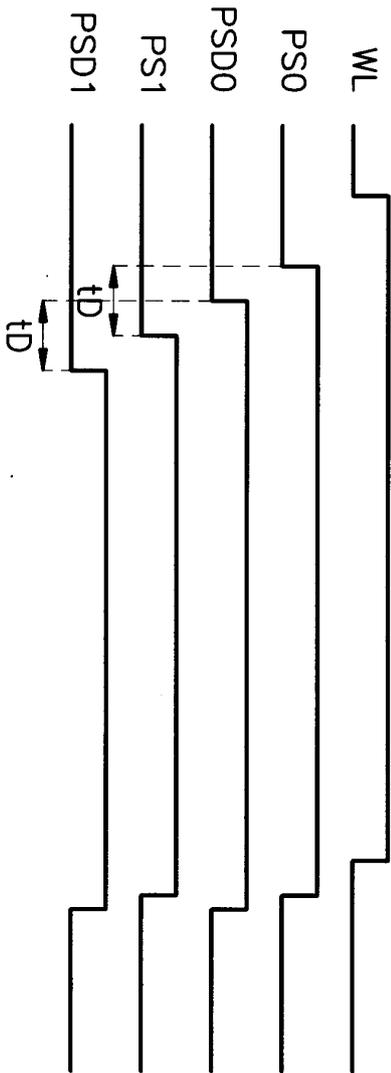
도면11



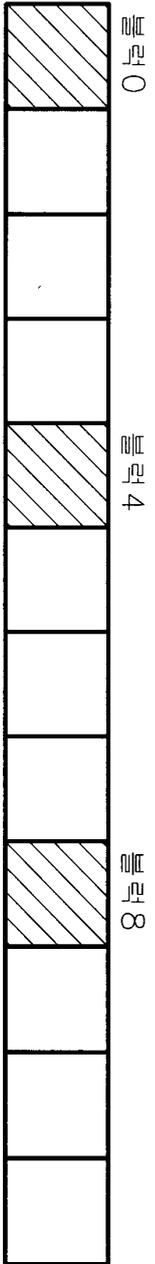
도면12



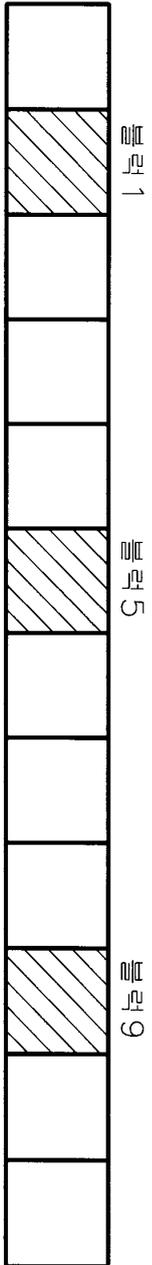
도면 13



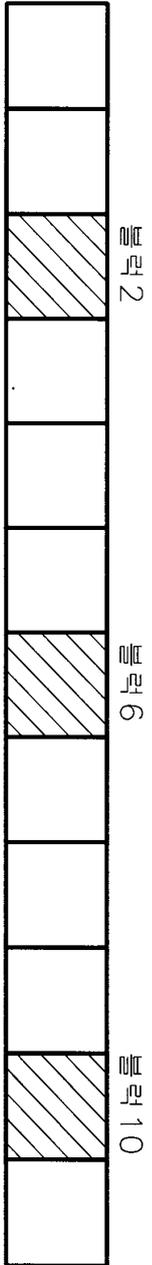
도면 14a



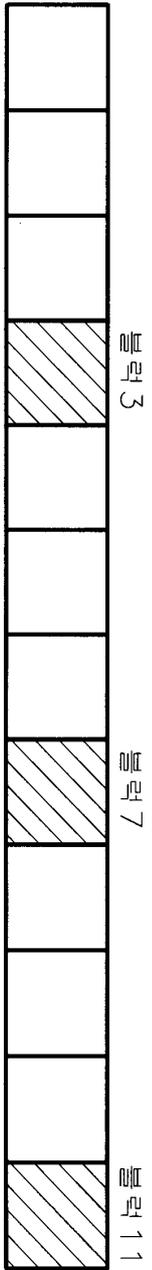
도면 14b



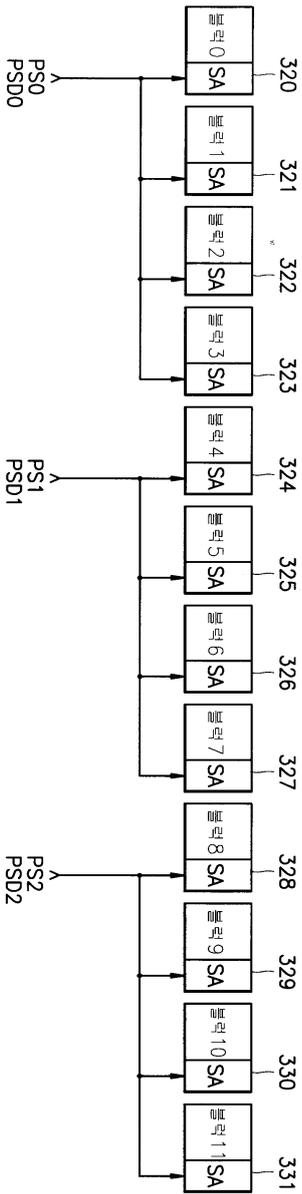
도면 14c



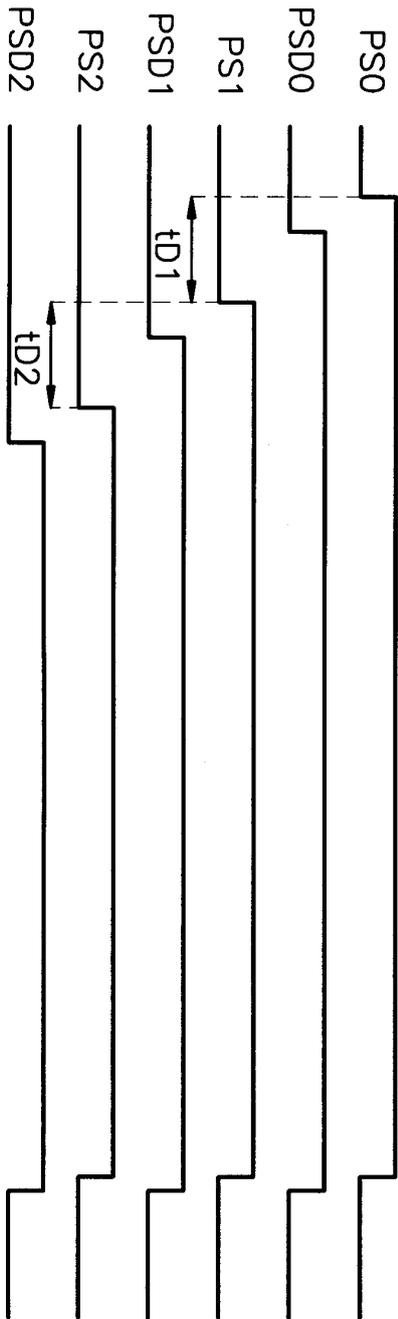
도면 14d



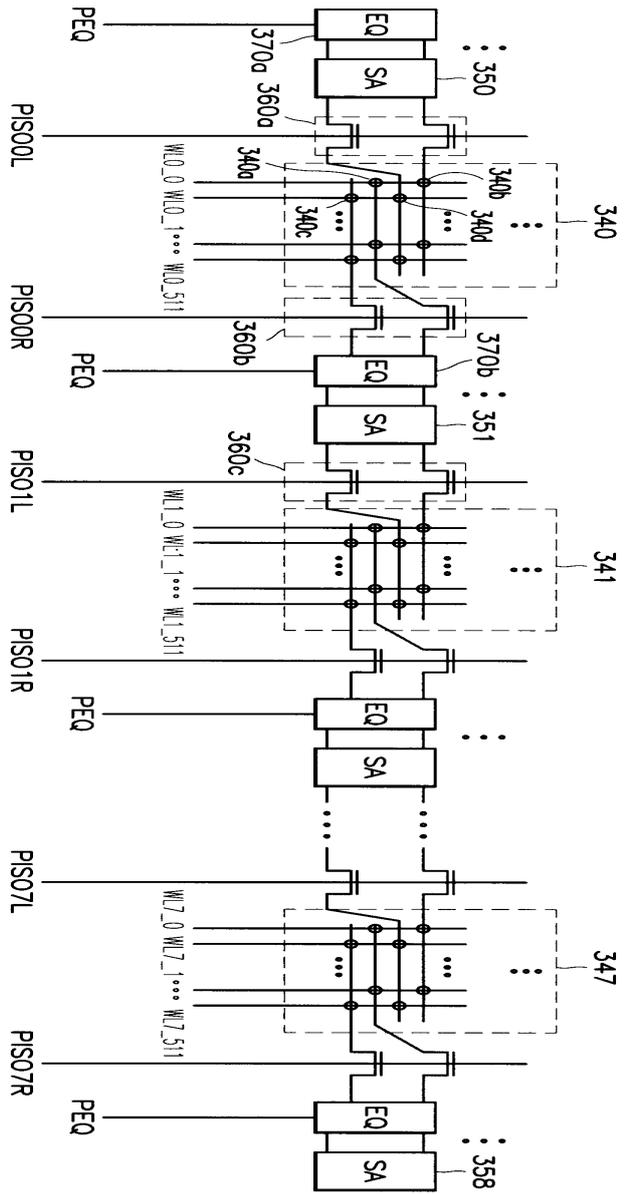
도면 15a



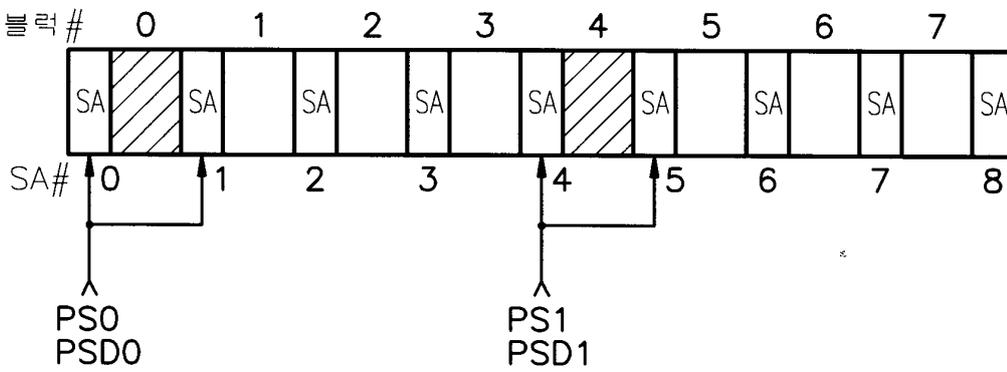
도면 15b



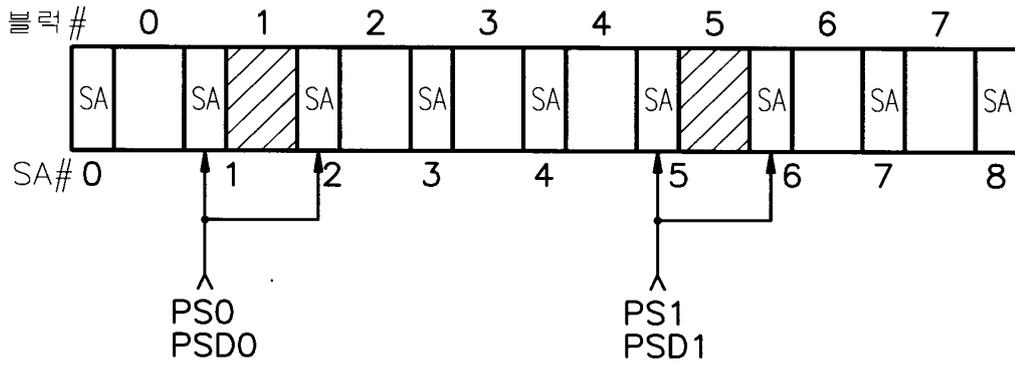
도면16



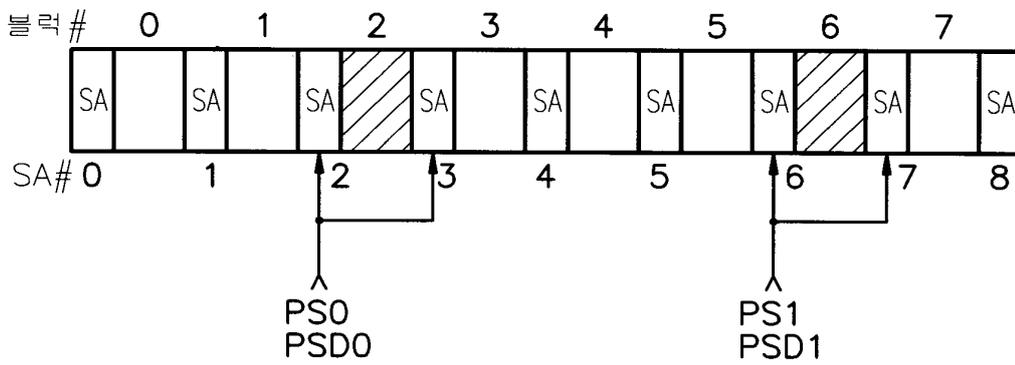
도면17a



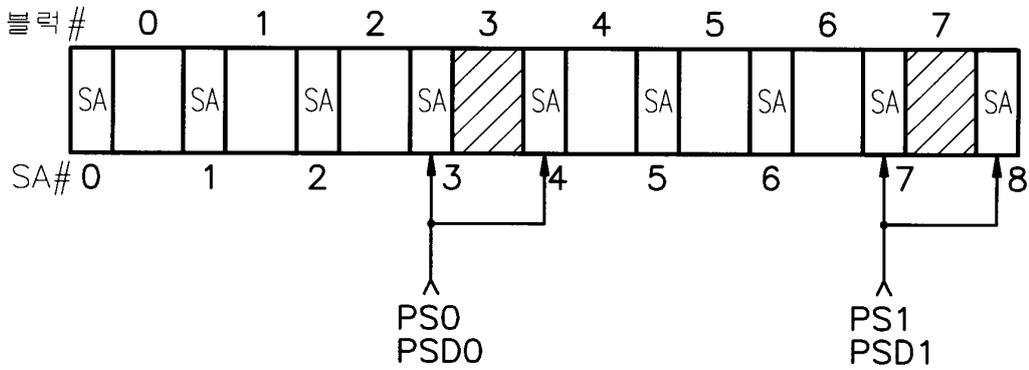
도면17b



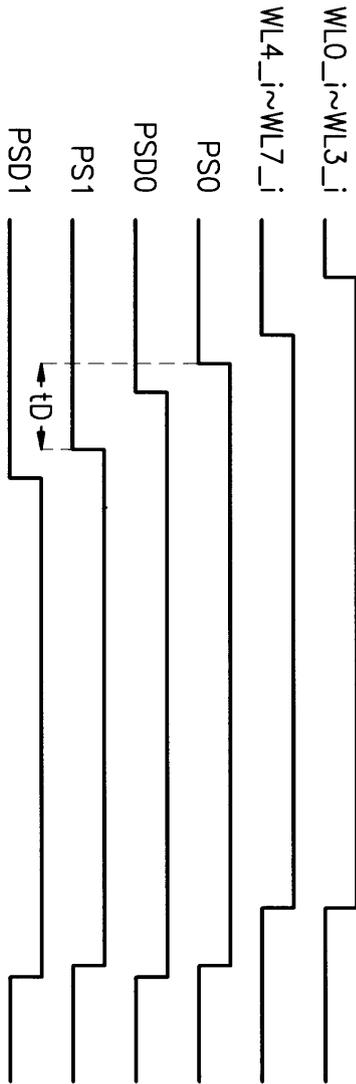
도면17c



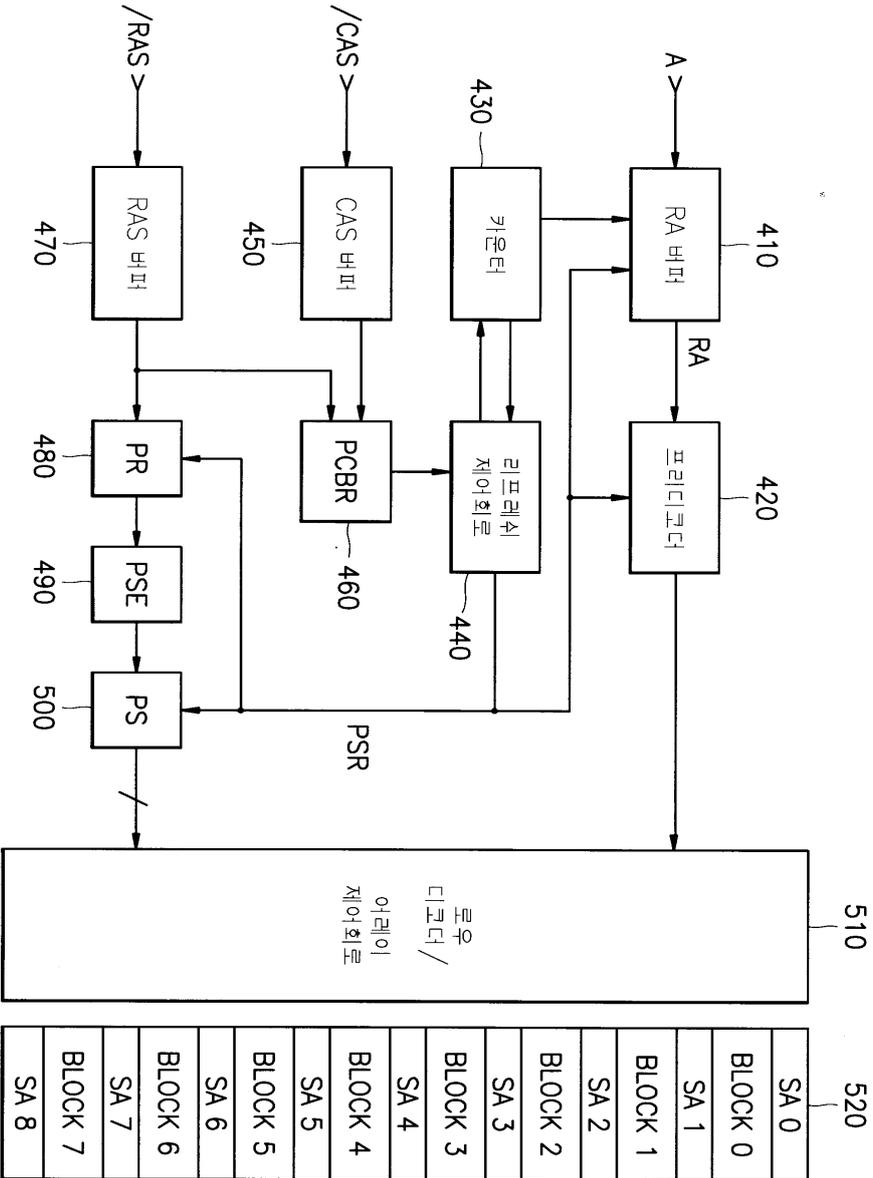
도면17d



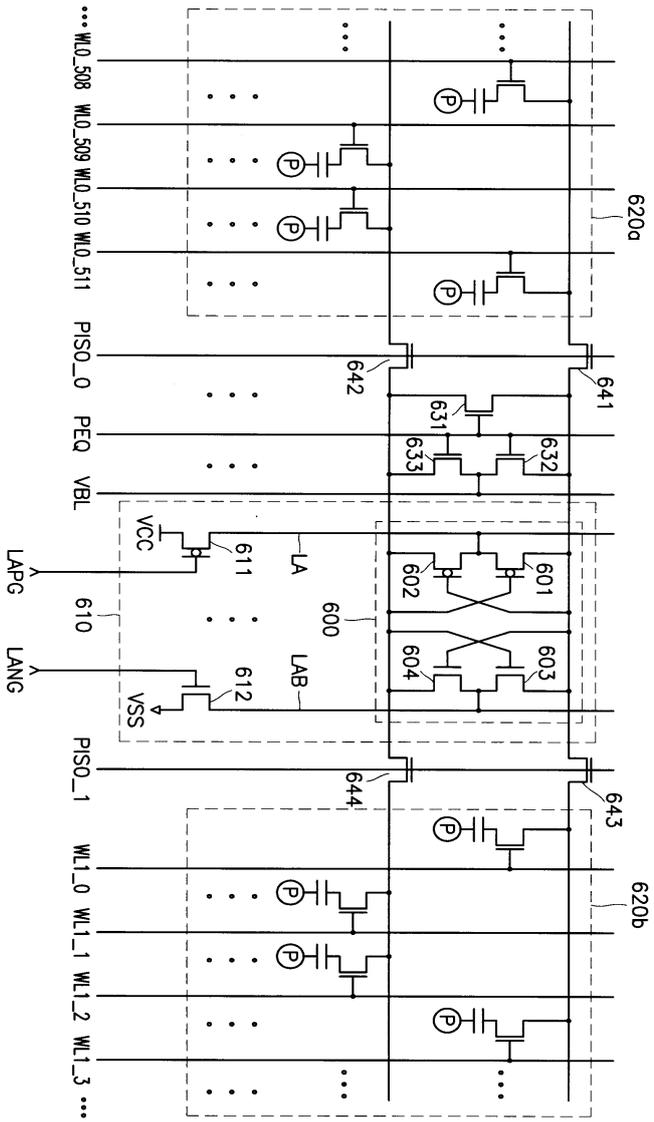
도면 18



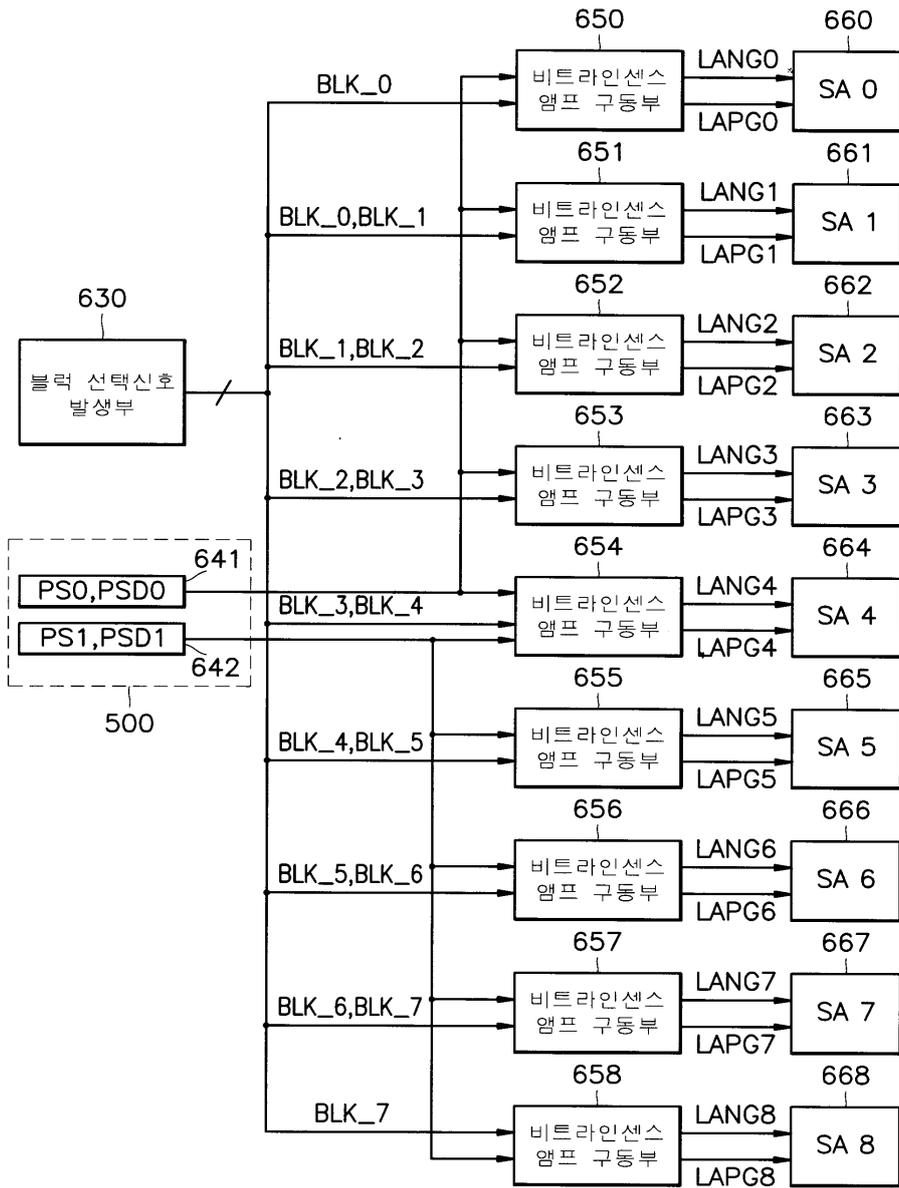
도면 19



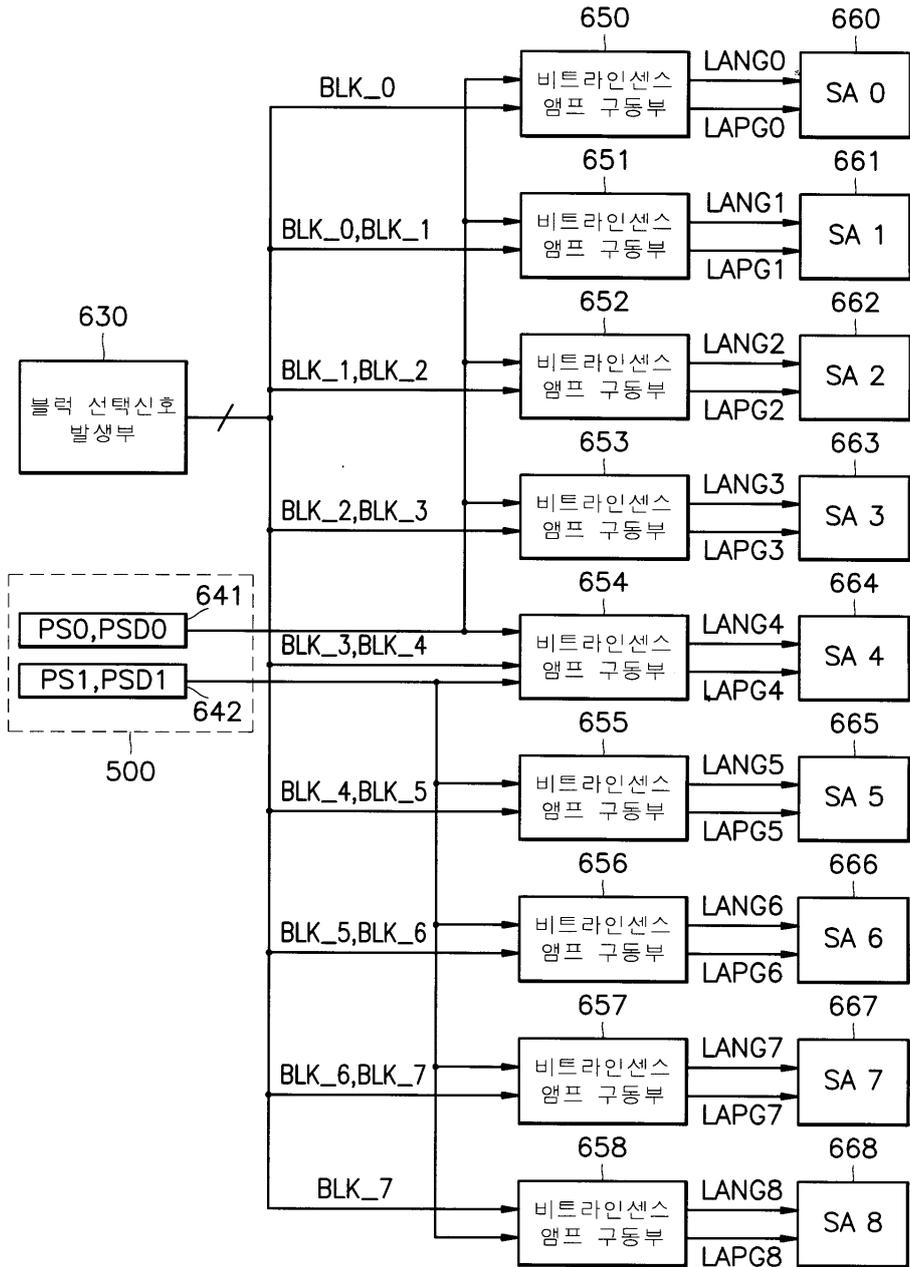
도면20



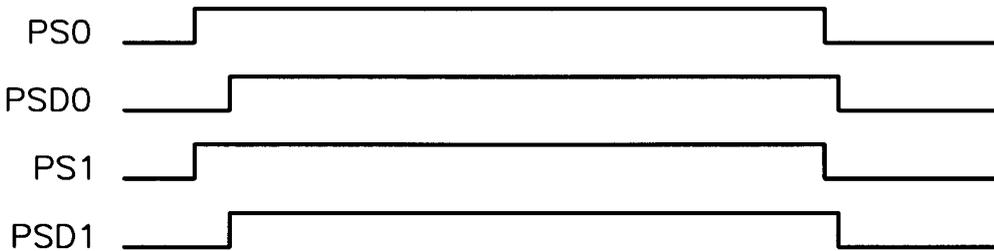
도면21



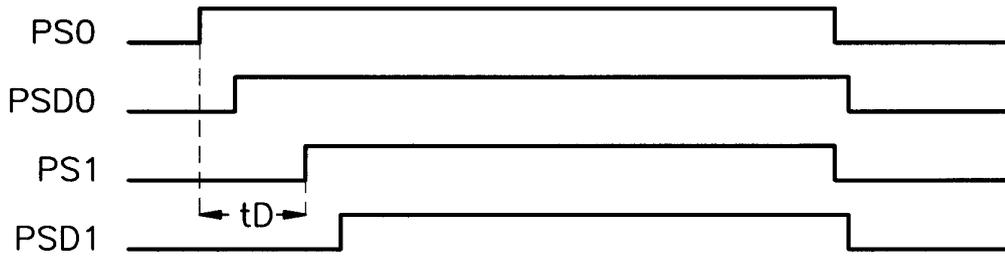
도면22



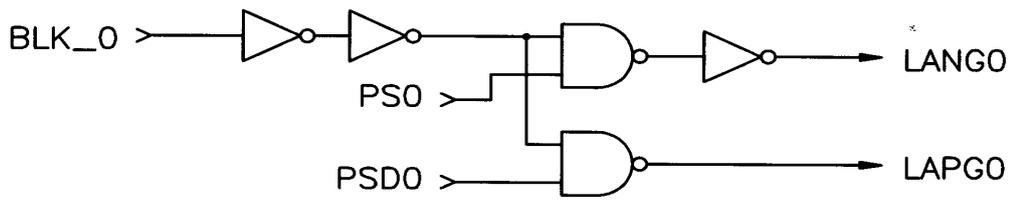
도면23a



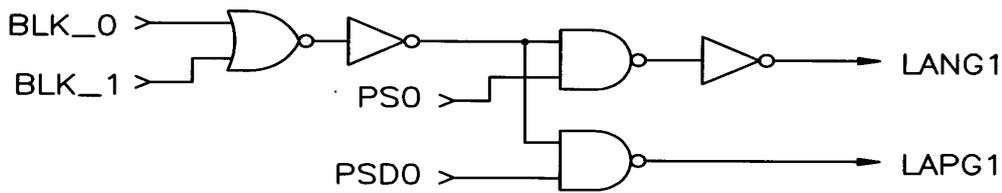
도면23b



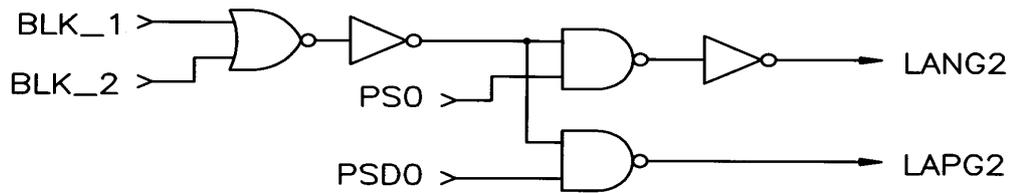
도면24a



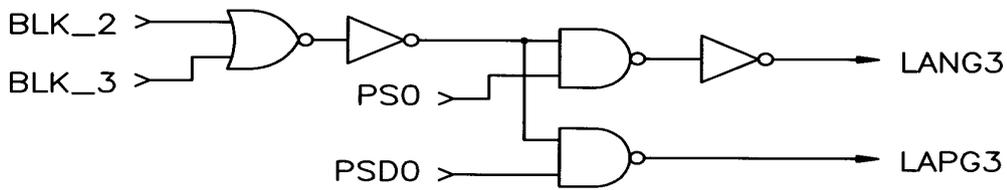
도면24b



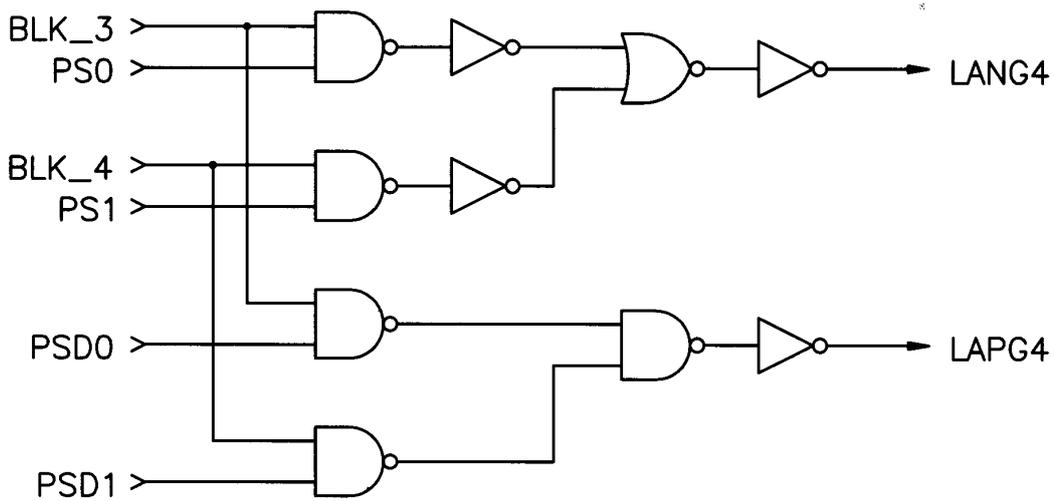
도면24c



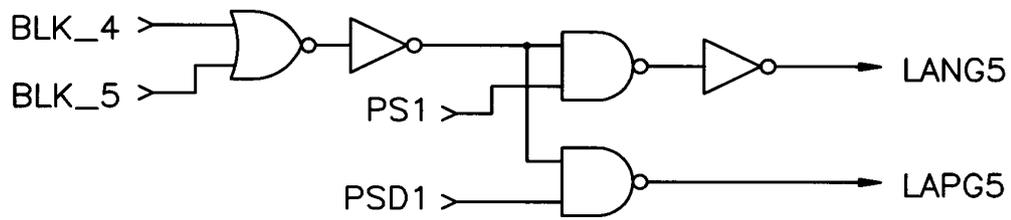
도면24d



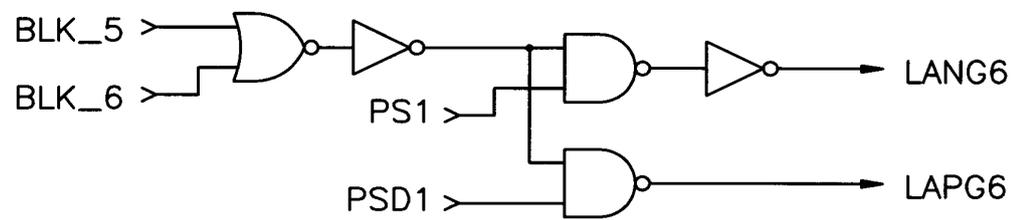
도면24e



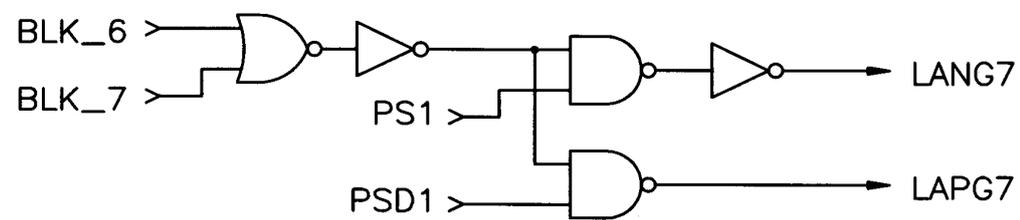
도면24f



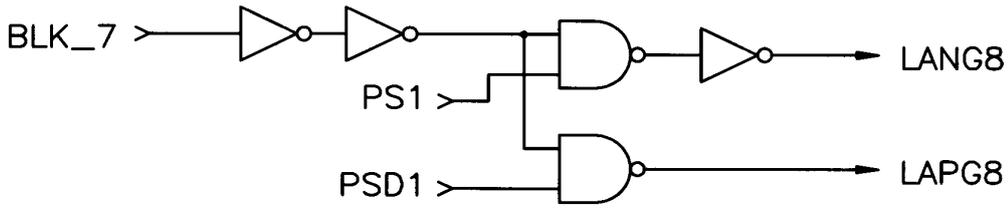
도면24g



도면24h



도면24i



도면25

