

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-178854
(P2006-178854A)

(43) 公開日 平成18年7月6日(2006.7.6)

(51) Int. Cl.		F I		テーマコード (参考)
G06F 1/32	(2006.01)	G06F 1/00	332Z	5B011
G06F 1/04	(2006.01)	G06F 1/04	301C	5B079

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2004-373406 (P2004-373406)
(22) 出願日 平成16年12月24日 (2004.12.24)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 110000235
特許業務法人 天城国際特許事務所
(72) 発明者 加納 徳治
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
Fターム(参考) 5B011 DC01 EA04 EA05 EA09 EB01
KK00 LL02 LL11
5B079 BA01 BB04 BC01 DD08

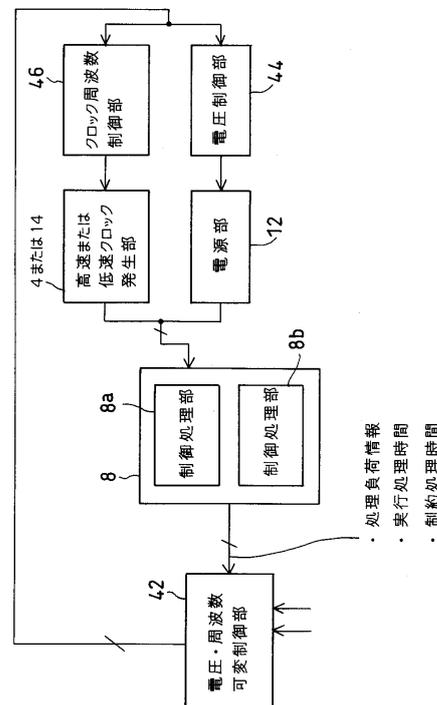
(54) 【発明の名称】 電子回路

(57) 【要約】

【課題】 電子回路の省電力化を図る。

【解決手段】 電圧・周波数可変制御部42は、少なくとも制御処理部8aまたは制御処理部8bが供給する使用状況に応じて活性化されたリアルタイムに変化する処理負荷情報、実行処理時間、制約処理時間をもとに、電圧設定値、高速クロックまたは低速クロックの周波数設定値を生成する。電圧設定値は、電圧制御回路44に供給される。電圧制御回路44は、電圧設定値に基づき、電源部12が出力する電圧値を変化させる。周波数設定値は、クロック周波数制御回路46に供給される。クロック周波数制御回路46は、周波数設定値に基づき、高速クロック発生部4が発生する高速クロックまたは低速クロック発生部14が発生する低速クロックの周波数値を変化させる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

使用状況に応じて活性化されたリアルタイムに変化する処理負荷情報、実行処理時間情報、制約処理時間情報のうち少なくとも1つの情報を出力する制御処理部と、

前記少なくとも1つの情報をもとに、電圧設定値、クロックの周波数設定値を生成する電圧・周波数可変制御部と、

前記電圧設定値に基き、前記電源の出力電圧を制御する電圧制御回路と、

前記周波数設定値に基き、前記クロックの周波数を変化させるクロック周波数制御回路と、を具備したことを特徴とする電子回路。

【請求項 2】

使用状況に応じて活性化されたリアルタイムに変化する処理負荷情報、実行処理時間情報、制約処理時間情報を出力する制御処理部と、

前記使用状況に応じて活性化されたリアルタイムに変化する処理負荷情報、実行処理時間情報、制約処理時間情報を順次記憶すると共に順次出力する情報蓄積器と、

前記情報蓄積器より読み出された前記処理負荷情報から前記実行処理時間情報、制約処理時間情報に関連して、所望の処理負荷情報を算出する所望負荷算出回路と、

前記情報蓄積器からの前記実行処理時間情報と前記制約処理時間情報と前記所望負荷算出回路からの処理負荷情報が入力される負荷最適化スケジューリング部と、

電圧状態値と周波数状態値により総負荷量を算出する負荷算出回路と、

前記負荷算出回路の出力から推定負荷量を算出し、この推定負荷量を、前記負荷最適化スケジューリング部に供給する推定負荷量算出回路と、

上限値と下限値の電圧を、前記負荷最適化スケジューリング部に供給する電圧部と、上限値と下限値の周波数を、前記負荷最適化スケジューリング部に供給する周波数部と、

比較・参照情報を、前記負荷最適化スケジューリング部に供給する動作負荷マスクパターン部と、

前記負荷最適化スケジューリング部は、前記処理負荷情報、前記実行処理時間情報、前記制約処理時間情報、前記推定負荷量、前記上限値と下限値の電圧、前記上限値と下限値の周波数、前記比較・参照により、電圧設定値と周波数設定値を生成し、

前記電圧設定値に基き、前記電源の出力電圧値を制御する電圧制御回路と、

前記周波数設定値に基き、クロックの周波数値を制御するクロック周波数制御回路と、を具備したことを特徴とする電子回路。

【請求項 3】

電源部と、

高速システムクロックを発生する高速クロック発生部と、

低速クロックを発生する低速クロック発生部と、を更に備え、

前記クロックは、前記高速クロック発生部および前記低速クロック発生部の少なくとも一方から発生されたクロックであることを特徴とする請求項 1 または 2 に記載の電子回路。

【請求項 4】

高速クロックを発生する高速クロック発生部と、

低速クロックを発生する低速クロック発生部と、

前記低速クロック発生部からの前記低速クロックにより動作する時計機能とシステム基本機能を備える電源部と、

前記高速クロック発生部からの前記高速クロックにより動作するモデムと通信機能と、

前記低速クロック部からの前記低速クロックにより動作する演算回路とシステム基本機能と I/O および制御部を備える制御処理部と、を具備したことを特徴とする電子回路。

【請求項 5】

前記高速クロックにより動作する無線部と、

前記高速クロックにより動作するモデムと通信機能と音声機能と、前記低速クロックに

10

20

30

40

50

より動作するI/Oおよび制御部を備えるアナログ部と、

前記低速クロックにより動作するI/Oおよび制御部を備えるアプリケーションと、を更に具備したことを特徴とする請求項3または4に記載の電子回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子回路、例えば移動端末に含まれるチップ・セットに関する。

【背景技術】

【0002】

従来、移動端末に含まれるチップ・セットには、高速なクロックと低速なクロックの2種類が引き回されていた。このうち高速クロックは、RF部(無線部)をはじめ、通信機能・モデムに加えて制御処理部、そして外部デバイスを含む各アプリケーション部にて使用されていた。

【0003】

一方、低速クロックは、時計機能をはじめシステム基本機能および待ち受け時の処理を実行するために該当のハードウェア回路に供給され使用されていた。

【0004】

そして制御処理部を含む高速動作を行う回路には、高速クロックが供給され、これを元に通倍される更なる高速クロックなどが生成され使用されていた。

【0005】

またクロックの周波数に応じて電源電圧を変える技術がある。例えば、処理回路からの選択信号により、動作クロック信号の周波数が高い場合には2つの電池を直列接続させて得られる高い電池電圧を電源電圧として選択され、一方、選択信号は、動作クロック信号の周波数が低い場合には2つの電池を並列接続させて得られる低い電池電圧を電源電圧として選択されるというものである(例えば、特許文献1参照)。

【0006】

更に、画像処理装置内のCPUが、指定された動作モードと解像度およびフレームレートにより、この装置が動作可能な最低限の電源電圧、クロック信号の周波数を、ROMに格納された設定値を基に決定し、これら各コントローラにクロック信号や電源電圧を供給する各クロック発生器、各レギュレータの出力するクロック信号の周波数、レギュレータの出力するクロック信号の周波数、電圧値を制御することが従来行われていた(例えば、特許文献2参照)。

【特許文献1】特開平5-119876号

【特許文献2】特開2001-238190号

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述したような従来移動端末に含まれるチップ・セットは、通常、高速クロックにより動作する構成要素の消費電力は大きく、高速クロックを要する通信機能・モデム等、構成要素が多いため、消費電力が全体でなお大きくなる。

【0008】

従来、アナログ部やアプリケーション部には高速クロックが供給されていて、その内部にある高速クロックを必要としないI/O部にも高速クロックが使用され、消費電力の無駄があった。

【0009】

そこで、本発明は、消費電力を低く抑えることが出来る電子回路を提供することを目的とする。

【課題を解決するための手段】

【0010】

10

20

30

40

50

本発明の一態様によれば、使用状況に応じて活性化されたリアルタイムに変化する処理負荷情報、実行処理時間情報、制約処理時間情報のうち少なくとも1つの情報を出力する制御処理部と、前記少なくとも1つの情報をもとに、電圧設定値、クロックの周波数設定値を生成する電圧・周波数可変制御部と、前記電圧設定値に基づき、前記電源の出力電圧を制御する電圧制御回路と、前記周波数設定値に基づき、前記クロックの周波数を変化させるクロック周波数制御回路と、を具備した電子回路が提供される。

【0011】

また本発明の別の一態様によれば、使用状況に応じて活性化されたリアルタイムに変化する処理負荷情報、実行処理時間情報、制約処理時間情報を出力する制御処理部と、前記使用状況に応じて活性化されたリアルタイムに変化する処理負荷情報、実行処理時間情報、制約処理時間情報を順次記憶すると共に順次出力する情報蓄積器と、前記情報蓄積器より読み出された前記処理負荷情報から前記実行処理時間情報、制約処理時間情報に関連して、所望の処理負荷情報を算出する所望負荷算出回路と、前記情報蓄積器からの前記実行処理時間情報と前記制約処理時間情報と前記所望負荷算出回路からの処理負荷情報が入力される負荷最適化スケジューリング部と、電圧状態値と周波数状態値により総負荷量を算出する負荷算出回路と、前記負荷算出回路の出力から推定負荷量を算出し、この推定負荷量を、前記負荷最適化スケジューリング部に供給する推定負荷量算出回路と、上限値と下限値の電圧を、前記負荷最適化スケジューリング部に供給する電圧部と、上限値と下限値の周波数を、前記負荷最適化スケジューリング部に供給する周波数部と、比較・参照情報を、前記負荷最適化スケジューリング部に供給する動作負荷マスクパターン部と、前記負荷最適化スケジュール部は、前記処理負荷情報、前記実行処理時間情報、前記制約処理時間情報、前記推定負荷量、前記上限値と下限値の電圧、前記上限値と下限値の周波数、前記比較・参照により、電圧設定値と周波数設定値を生成し、前記電圧設定値に基づき、前記電源の出力電圧値を制御する電圧制御回路と、前記周波数設定値に基づき、クロックの周波数値を制御するクロック周波数制御回路と、を具備した電子回路が提供される。

【0012】

また本発明の別の一態様によれば、高速クロックを発生する高速クロック発生部と、低速クロックを発生する低速クロック発生部と、前記低速クロック発生部からの前記低速クロックにより動作する時計機能とシステム基本機能を備える電源部と、前記高速クロック発生部からの前記高速クロックにより動作するモデムと通信機能と、前記低速クロック部からの前記低速クロックにより動作する演算回路とシステム基本機能とI/Oおよび制御部を備える制御処理部と、を具備した電子回路が提供される。

【発明の効果】**【0013】**

本発明の電子回路によれば、消費電力を低く抑えることが出来る。

【発明を実施するための最良の形態】**【0014】**

本発明の一実施例に係る電子回路、例えば移動端末に含まれるチップ・セットは、図1のようなブロック図で示される。

【0015】

高速クロック発生部4から、高速クロックが、RF部(無線部)2、アナログ部6、制御処理部8、例えば画像表示処理などを行うアプリケーション部10等の各ブロックに供給される。

【0016】

高速クロック発生部4からの高速クロックは、モデム動作に使われる。一方、低速クロック発生部14からの低速クロックは、時計機能およびシステム基本機能に使われる。

【0017】

RF部2は無線通信を行う高周波で動作する回路であり、高速クロック発生部4からの高速クロックにより動作する。

【0018】

10

20

30

40

50

アナログ部 6 は、モデム 6 1、通信機能 6 2、音声機能 6 3、I/O および制御部 6 4 を具備する。モデム 6 1、通信機能 6 2、音声機能 6 3 は、高速クロックでしか動作しないのに対して、I/O および制御部 6 4 は、低速クロック部 1 4 からの低速クロックにより動作する。

【0019】

アナログ部 6 は、具体的には、ベースバンド帯域での通信と音声処理いわゆるマイクとスピーカへの入出力する回路部である。モデム 6 1 は、ベースバンド帯域での A/D・D/A と変復調処理する回路部である。通信機能 6 2 は、モデム 6 1 の制御と送受信データとインタフェースする回路部である。音声機能 6 3 は、音声インタフェースいわゆるマイク・スピーカへのデジタル処理データまたはアナログ信号を伝達する回路部である。I/O および制御部 6 4 は、制御処理部 8 と制御データおよび情報データを伝達する回路部である。

10

【0020】

制御処理部 8 は、チップ・セットおよびシステムを制御するソフトウェアによる処理動作を有する回路部である。そして制御処理部 8 は、モデム 8 1、通信機能 8 2、演算回路 8 5、システム基本機能 8 6、I/O および制御部 8 4 を具備する。

【0021】

モデム 8 1、通信機能 8 2 は、高速クロックでしか動作しないのに対して、演算回路 8 5、システム基本機能 8 6、I/O および制御部 8 4 は、低速クロック発生部 1 4 からの低速クロックにより動作する。尚、制御処理部 8 は、同様の機能を持つ処理部が複数あってもよい。

20

【0022】

具体的には、モデム 8 1 は、デジタル信号での信号処理および演算処理する回路部である。通信機能 8 2 は、送信・受信したデータをプロトコル・ソフトウェアにしたがってデータ通信処理する回路部である。演算回路 8 5 は、CPU などを使用してのソフトウェア処理動作およびハードウェアにより演算する回路部である。システム基本機能 8 6 は、タイマ動作・割込み・起動/停止・リセットなどの動作を実行する回路部である。I/O および制御部 8 4 は、他チップ または / および他のブロックへ信号・状態の伝達をする回路部である。

【0023】

アプリケーション部 1 0 は、例えば画像処理表示処理を行う回路部であり、I/O および制御部 1 0 4 を具備する。I/O および制御部 1 0 4 は、低速クロック発生部 1 4 からの低速クロックにより動作する。I/O および制御部 1 0 4 は、他チップ または / および他のブロックへ信号・状態の伝達をする回路部である。

30

【0024】

電源部 1 2 は、チップ・セットおよびシステム内の他機能が必要とする電源を発生する機能に加えて、システム内で常に動作している機能を含む回路部である。電源部 1 2 は、システム基本機能 1 2 6 と時計機能 1 2 7 とを具備する。システム基本機能 1 2 6 と時計機能 1 2 7 は、低速クロック発生部 1 4 からの低速クロックにより動作する。

【0025】

具体的には、システム基本機能 1 2 6 は、タイマ動作・割込み・起動/停止・リセットなどの動作を実行する回路部である。時計機能 1 2 7 は、時間をカウントしてシステム基準時間を発生する回路部である。

40

【0026】

電源部 1 2 は、RF 部 2、アナログ部 6、制御処理部 8、アプリケーション部 1 0 等に電圧を供給する。

【0027】

なお、上記チップ・セットが動作中では、システム基本機能 8 6、1 2 6 は、常に動作している。

【0028】

50

一般に、低速クロックにより動作する構成要素の消費電力は、高速クロックにより動作する構成要素の消費電力より小さいが、本実施例では、高速クロックで動作する構成要素と低速クロックで動作する構成要素とを選択的に振り分けているので、高速クロックで動作する構成要素は、極力限られている。このため、移動端末に含まれるチップ・セットの消費電力は小さくなる。

【0029】

図2に、図1の制御処理部8および電源部12に関する電子回路を示す。制御処理部8aと制御処理部8bは、チップ・セットおよびシステムを制御するソフトウェアによる処理動作を持ち制御処理する回路部であり、同様の処理を行うことが可能な回路系である。ここでは、制御処理部8が、制御処理部8a、制御処理部8bと2つある場合を示す。

10

【0030】

電源部12は、第1の電圧・クロック制御回路24と第2の電圧・クロック制御回路34を備え、それぞれ異なる動作周波数および電圧の特性を持つ電子回路を有している。

【0031】

第1の電圧・クロック制御回路24は、制御処理部8aの動作周波数および電圧の特性に準拠した第1の電圧26とクロック周波数の第1のクロック28を供給することが出来る。つまり、第1の制御入力端子22から入力した情報に基づいて、クロック周波数を決め、そのクロック28の周波数で、制御処理部8aが動作するに必要な十分な電圧26を制御処理部8aへ供給する。

【0032】

第2の電圧・クロック制御回路34は、制御処理部8bの動作周波数および電圧の特性に準拠した第2の電圧36とクロック周波数の第2のクロック38を供給することが出来る。つまり、第2の制御入力端子32から入力した情報に基づいて、クロック周波数を決め、そのクロック38の周波数で、制御処理部8bが動作するに必要な十分な電圧36を制御処理部8bへ供給する。

20

【0033】

入出力端子には、他機能とのインタフェースの信号が入力し、他機能とのインタフェースの信号が出力する。

【0034】

次に、動作例を説明する。

30

【0035】

所定の処理を行う場合に必要な第1の制御処理部8aのクロック周波数を100MHz、制御処理部8bのクロック周波数を50MHzとする。この時、第1の電圧・クロック制御回路24は、制御処理部8aへ5Vの電圧を、第2の電圧・クロック制御回路34は、制御処理部8bへ5.5Vの電圧を提供する。

【0036】

別の所定の処理を行う場合に必要な制御処理部8aのクロック周波数を200MHz、制御処理部8bのクロック周波数を100MHzとする。この時、第1の電圧・クロック制御回路24は、制御処理部8aへ5.5Vの電圧を、第2の電圧・クロック制御回路34は、制御処理部8bへ5.8Vの電圧を提供する。

40

【0037】

したがって、それぞれの処理に必要な動作周波数と電圧を提供することにより、最適化された処理負荷を配置することができる。

【0038】

図3に、図1の電源部12が出力する電圧値と高速クロック部4が発生する高速クロックの周波数値または低速クロック部14が発生する低速クロックの周波数値を制御する電子回路を示す。

【0039】

電圧・周波数可変制御部42は、少なくとも制御処理部8aまたは制御処理部8bが供給する使用状況に応じて活性化されたリアルタイムに変化する処理負荷情報、実行処理時

50

間情報、制約処理時間情報の少なくとも1つの情報をもとに、電圧設定値、高速クロックまたは低速クロックの周波数設定値を生成する。なお、処理負荷情報、実行処理時間情報、制約処理時間情報は、リアルタイムに変化するので、ROM化は無理であり、後述する処理により、電圧設定値や周波数設定値を構成する。

【0040】

電圧設定値は、電圧制御回路44に供給される。電圧制御回路44は、電圧設定値に基づき、電源部12が出力する電圧値を変化させる。

【0041】

周波数設定値は、クロック周波数制御回路46に供給される。クロック周波数制御回路46は、周波数設定値に基づき、高速クロック発生部4が発生する高速クロックまたは低速クロック発生部14が発生する低速クロックの周波数値を変化させる。

10

【0042】

使用状況に応じて活性化されたリアルタイムに変化する処理負荷情報、実行処理時間情報、制約処理時間情報の少なくとも1つの情報をもとに、電圧設定値、高速クロックまたは低速クロックの周波数設定値を生成することが可能となるので、電源の省電力化が可能となる。

【0043】

図4は、図3に示した電圧・周波数可変制御部42の構成および動作を詳細に示した一具体例である。図4を参照しながら構成と動作を説明する。

【0044】

まず、制御処理部8aまたは8bから、書き換え可能なメモリ等による情報蓄積器50に、使用状況に応じて活性化されたリアルタイムに変化する情報、例えば、処理負荷情報、実行処理時間情報、制約処理時間情報が供給される。

20

【0045】

処理負荷情報とは、処理により消費する回路規模・処理に必要な動作周波数・電源電圧を含む情報である。実行処理時間情報とは、処理を行うにかかる時間の情報である。制約処理時間情報とは、決められた時間内および/または決められた開始・終了処理時間の情報である。処理負荷情報、実行処理時間情報、制約処理時間情報の少なくとも1つの情報をもとに電圧設定値、クロック(周波数)設定値を生成することも可能であるが、本実施例では、上記3つの情報をもとに電圧設定値、クロック(周波数)設定値を生成することにより、より精度の高い処理を行うことができ、更なる低消費電力化が可能となる。

30

【0046】

処理負荷情報、実行処理時間情報、制約処理時間情報は、順次読み出され、実行処理時間情報、制約処理時間情報は、負荷最適化スケジューリング部57に供給される。

【0047】

ここで、処理負荷情報、実行処理時間情報、制約処理時間情報に関して、個々にはROM(実動作中に更新されないメモリ)に格納できる情報である。

【0048】

しかし、実動作上での掛かる負荷は、個々の情報ではなく、各処理の組み合わせでの負荷となり、また常時更新される状態である。従って、複雑で多々ある各処理の組み合わせ状態を事前にROM化して格納しておくことは実際上ありえない。限られた使用用途の機器動作であれば可能な場合もあるが、本実施例は、携帯端末を想定する機器である。即ち、常時処理を行うシステム処理・通信処理(通信状態により処理負荷が変動する)・アプリケーション処理(MMI使用頻度・動作速度に変動)と処理が多重・多様であることから、全ての状態をROM化して、つまり事前に格納した情報を使用することができない。

40

【0049】

よって、使用状況に応じて活性化されたリアルタイムの処理負荷情報、実行処理時間情報、制約処理時間情報の各情報を使用して電源の省電力化を図ることを狙いとしている。

【0050】

次に、処理負荷情報は、所望負荷算出回路51に供給される。所望負荷算出回路51は

50

、処理負荷情報から実行処理時間情報、制約処理時間情報に関連して、複数実行する同一時間上で重複したさまざまな処理情報から所望の処理負荷情報を算出し、負荷最適化スケジューリング部57に供給する。「処理負荷情報から実行処理時間、制約処理時間に関連して」とは、例えば、同一時間上で重複する各処理すべてを加算するという動作である。

【0051】

一方、電圧状態値と周波数状態値が、負荷算出回路52に供給される。電圧状態値とは、現在動作中の電源電圧の状態の値であり、電源設定(監視)機能から供給される。周波数状態値とは、現在動作中の周波数の状態の値であり、周波数設定(監視)機能から供給される。電源設定(監視)機能や周波数設定(監視)機能は、制御処理部内、または、それぞれ電源部やクロック発生部に設けられる。

10

【0052】

負荷算出回路52は、電圧状態値と周波数状態値に基き、後述する図5(a)の総処理時間(処理1A)と一番高い処理負荷(処理1B0の負荷+処理1B1の負荷)の積である四角形の負荷(実行可能負荷量=現在の電源・周波数設定また状態で実行できる処理負荷の最大量)を算出する。そして、負荷算出回路52の出力に基き、推定負荷量算出回路53は、四角形の推定負荷量(実行可能負荷量)を生成し、負荷最適化スケジューリング部57に供給する。

【0053】

負荷最適化スケジュール部57には、上記以外に、電圧(上限値・下限値)部54から上限値と下限値の電圧、周波数(上限値・下限値)部55から上限値と下限値の周波数、動作負荷マスクパターン部56からの比較・参照情報等が供給される。

20

【0054】

電圧の上限値・下限値は、構成する電源部にて発生する電源仕様の回路特性により決められる。周波数の上限値・下限値は実装する回路の動作仕様および/または特性により決められる。また、動作負荷マスクパターンはチップ・セットに対して要求する動作特性、例えば、常に一定負荷、短い時間で動作長い時間で処理なし、などにより決められる。

【0055】

負荷最適化スケジュール部57は、以上の情報により、上記電圧設定値、周波数設定値を生成する。電圧設定値、周波数設定値は、電圧・周波数設定値出力回路58を介して、それぞれ図3に示される電圧制御回路44とクロック周波数制御回路46に供給される。

30

【0056】

電圧制御回路44は、電圧設定値に基き、電源部12が出力する電圧値を制御する。クロック周波数制御回路46は、周波数設定値に基き、高速クロック発生部4が発生する高速クロックの周波数値または低速クロック部14が発生する低速クロックの周波数値を制御する。

【0057】

図5(a)(b)に、図1の移動端末に含まれるチップ・セットの動作の一例を示す。横軸は、時間経過を示し、縦軸は、負荷を示す。図5(c)は、電圧・周波数可変制御動作を示す。上向矢印は、実行処理の指示(制御)タイミングを示し、下向矢印は、同一時間上での全処理からの負荷情報の流れ(入力)を示す。

40

【0058】

第1の実施例として、図5(a)において、処理1Aは、システム基本機能の動作を示す処理である。処理1B0は、通信機能の動作を示す処理である。処理1B1は、音声機能の動作を示す処理である。処理1C0は、アプリケーション処理を示す。処理1D0は、マンマシンインターフェース処理を示す。

図5(b)において、処理2Aは、システム基本機能の動作を示す処理である。処理2B0は、通信機能の動作を示す処理である。処理2B1は、音声機能の動作を示す処理である。処理2C0は、アプリケーション処理を示す。処理2D0は、マンマシンインターフェース処理を示す。

【0059】

50

実行する同一時間上のすべての処理情報を最適にスケジューリングするために処理負荷情報を事前に収集して処理負荷の最適化を得ておく。またこのとき、制約処理時間情報も併せて既知の情報として得ることができる。これにより(c)ではすべての処理負荷情報を事前に(a)および(b)より得ることとなり次回の処理を実行する直前に電圧・周波数を変化することができる。

【0060】

処理1B0, 処理1B1, 処理2B0, 処理2B1は、決められた時間内で処理できなければならない。処理1D0, 処理2D0は、決められた時間からスタートしなければならない処理である。

【0061】

処理1C0, 処理2C0は、時間に拘束されない処理である。処理2C0と処理2D0の間に時間的余裕があるため、処理2C0を延長することによって、それだけ負荷を減少出来る。

10

【0062】

なお、図5(a)において点線で示した四角形は、いわゆる実行できる処理の最大範囲であり、従来例は、この範囲で何のスケジューリング(周波数制御・電圧制御)をせずに処理していたことを示すものである。

【0063】

第2の実施例として、図5(a)は、処理の初期状態または一例を示す。図5(b)は、本願の図4のような処理を行った後の状態または一例を示す。

20

【0064】

図5(a)(b)は、どちらもスケジューリングされた動作でもよい。

【0065】

同じ処理負荷を持つ処理に対して、高速周波数で処理を実行することにより処理時間が短くなり、低速周波数で処理を実行することにより処理時間が長くなる。同時に低速周波数動作時には高い電圧を必要とせず回路が動作することから電圧を低く設定することができる。つまり、周波数・電圧を可変することにより負荷量を持つ処理の実行時間が変化される。これらを単一の処理でなく重複した処理(負荷)にて適用し動作させる。

【0066】

以上述べた実施形態は全て本発明を例示的に示すものであって限定的に示すものではなく、本発明は他の種々の変形態様及び変更態様で実施することができる。従って本発明の範囲は特許請求の範囲及びその均等範囲によってのみ規定されるものである。

30

【産業上の利用可能性】

【0067】

本願は、電子回路、例えば例えば移動端末に含まれるチップ・セットに利用可能である。

【図面の簡単な説明】

【0068】

【図1】電子回路、例えば移動端末に含まれるチップ・セットの一実施例を示すブロック図である。

40

【図2】図1の制御処理器8a、制御処理器8bまたは電源部12に関する電子回路を示すブロック図である。

【図3】図1の電源部12が出力する電圧値と高速クロック部4が発生する高速システムクロックの周波数値または低速クロック部14が発生する低速クロックの周波数値を制御する電子回路を示すブロック図である。

【図4】図3に示した電圧・周波数可変制御部の構成および動作を詳細に示した一具体例のブロック図である。

【図5】図1の移動端末を含むチップ・セットの動作を示す図である。

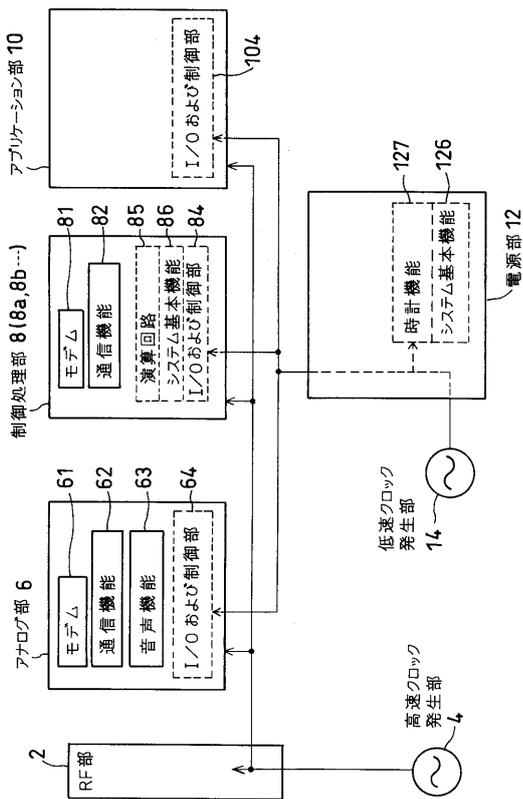
【符号の説明】

【0069】

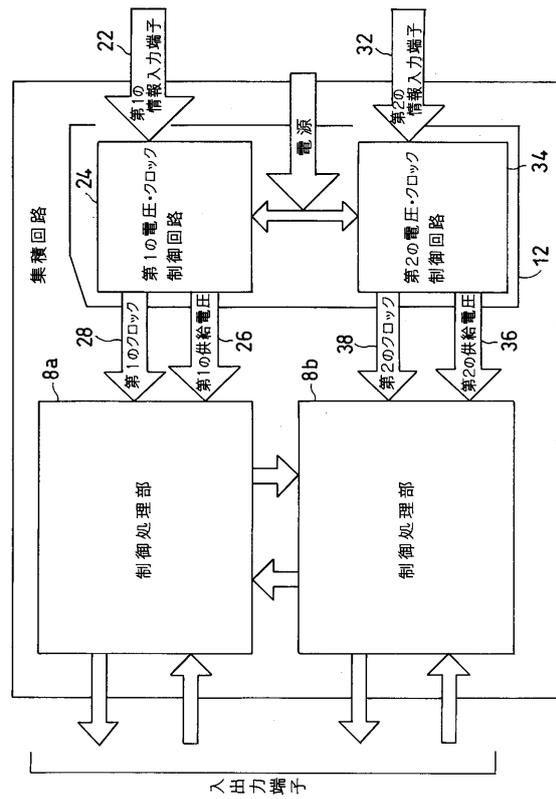
50

- 2・・・RF部(無線部)
- 4・・・高速クロック発生部
- 6・・・アナログ部
- 8(8a、8b)・・・制御処理部
- 10・・・アプリケーション部
- 12・・・電源部
- 14・・・低速クロック発生部
- 42・・・電圧・周波数可変制御部
- 44・・・電圧制御部
- 46・・・クロック周波数制御部

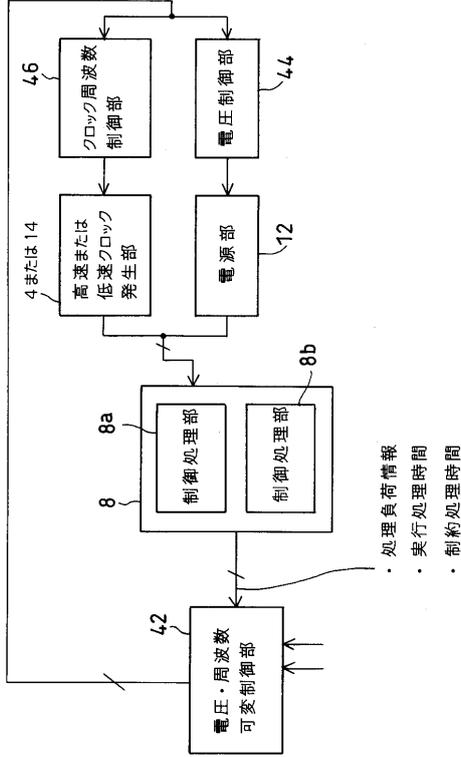
【図1】



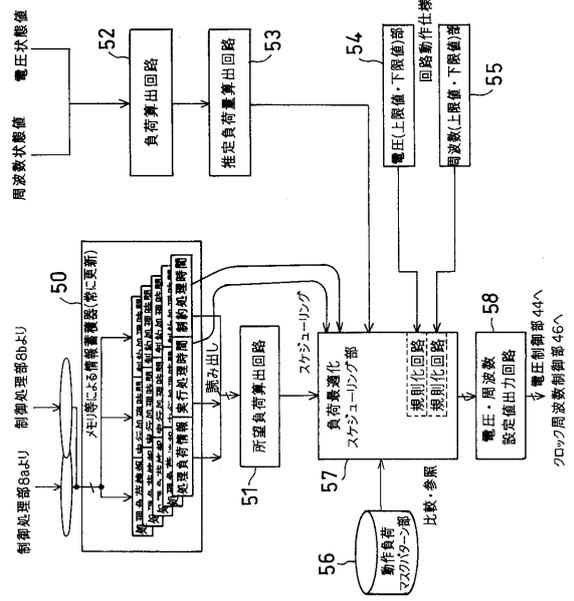
【図2】



【図 3】



【図 4】



【図 5】

