



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년12월21일
 (11) 등록번호 10-1810608
 (24) 등록일자 2017년12월13일

(51) 국제특허분류(Int. Cl.)
 G06F 3/042 (2006.01) G06F 3/041 (2006.01)
 G09G 3/20 (2006.01)
 (21) 출원번호 10-2011-0060797
 (22) 출원일자 2011년06월22일
 심사청구일자 2016년06월22일
 (65) 공개번호 10-2013-0000220
 (43) 공개일자 2013년01월02일
 (56) 선행기술조사문헌
 KR1020010098495 A*
 KR1020110065859 A*
 KR1020090067396 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 전상훈
 서울특별시 서초구 사임당로 169, 우성2차 아파트
 18동 907호 (서초동)
 송이현
 경기도 성남시 분당구 수내로 174 203동 1901호
 (수내동, 푸른마을벽산신성아파트)
 (뒷면에 계속)
 (74) 대리인
 리엔특허법인

전체 청구항 수 : 총 24 항

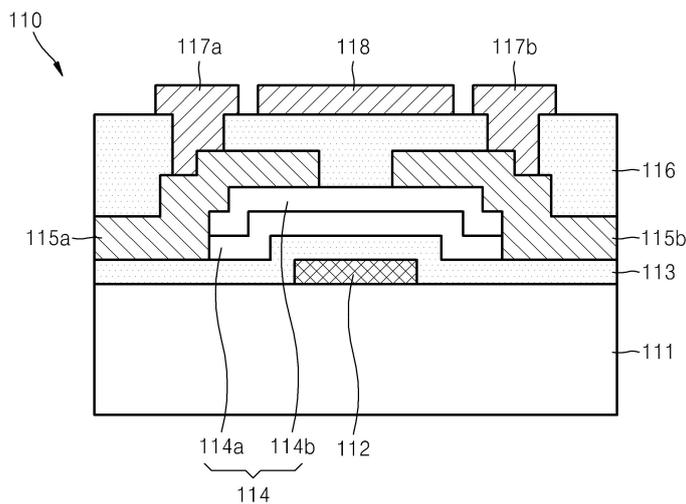
심사관 : 김상택

(54) 발명의 명칭 **광센싱 장치 및 그 구동 방법, 광센싱 장치를 포함하는 광터치 스크린 장치**

(57) 요약

광센싱 화소 내의 광센서 트랜지스터와 스위치 트랜지스터가 산화물 반도체 트랜지스터로 이루어지는 광센싱 장치 및 상기 광센싱 장치의 동작 신뢰성을 향상시킬 수 있는 구동 방법, 그리고 상기 광센싱 장치를 포함하는 광터치 스크린 장치가 개시된다. 개시된 광센싱 장치에 따르면, 광센싱 화소 내의 광센서 트랜지스터와 스위치 트랜지스터는 하나의 기판 위에서 인접하여 형성되며, 스위치 트랜지스터는 상대적으로 광에 민감하지 않고 안정적인 채널 재료를 포함하며, 광센서 트랜지스터는 상대적으로 광에 민감한 채널 재료를 포함한다. 광센서 트랜지스터는 또한 채널의 상부에 투명한 상부 전극을 가지며, 상부 전극에는 음의 전압이 인가되어 문턱 전압의 음 방향 시프트를 방지할 수 있다.

대표도 - 도1



(72) 발명자

안승연

경기도 화성시 동탄숲속로 103 802동 1301호 (능동, 동탄숲속마을자연환경남아너스빌아파트)

김창정

경기도 용인시 수지구 정평로 61, 성지아파트 504동 1102호 (풍덕천동)

김영

경기도 용인시 수지구 수풍로 90, 삼성4차아파트 108동 501호 (풍덕천동)

명세서

청구범위

청구항 1

기관;

상기 기관 위에 배치된 것으로, 광을 감지하기 위한 광센서 트랜지스터;

상기 기관 위에 배치된 것으로, 상기 광센서 트랜지스터로부터 데이터를 출력하기 위한 스위치 트랜지스터; 및

상기 광센서 트랜지스터의 상부에 배치된 것으로, 상기 광센서 트랜지스터에 음의 바이어스 전압을 인가하기 위한 투명한 상부 전극;을 포함하며,

상기 광센서 트랜지스터는 산화물 반도체를 채널의 재료로서 사용하는 산화물 반도체 트랜지스터이고,

상기 상부 전극에 지속적으로 음의 바이어스 전압이 인가되는 광센싱 장치.

청구항 2

제 1 항에 있어서,

상기 광센서 트랜지스터는:

상기 기관 위에 부분적으로 형성된 제 1 게이트 전극;

상기 기관과 제 1 게이트 전극 위에 전체적으로 도포된 게이트 절연막;

상기 제 1 게이트 전극과 대향하도록 상기 게이트 절연막 상에 형성된 제 1 채널막;

상기 제 1 채널막의 일측에 형성된 제 1 소스/드레인 전극;

상기 제 1 채널막의 타측에 형성된 제 2 소스/드레인 전극; 및

상기 제 1 및 제 2 소스/드레인 전극과 제 1 채널막 위에 전체적으로 형성된 투명한 패시베이션층;을 포함하는 광센싱 장치.

청구항 3

제 2 항에 있어서,

상기 상부 전극은 상기 제 1 채널막에 대향하도록 상기 패시베이션층 상에 부분적으로 형성되어 있는 광센싱 장치.

청구항 4

제 2 항에 있어서,

상기 제 1 채널막은 산화물 반도체 재료로 이루어지는 광센싱 장치.

청구항 5

제 4 항에 있어서,

상기 산화물 반도체 재료는 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO를 포함하는 산화물 반도체 재료이거나, 또는 상기 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO에 Hf, Zr, Ti, Ta, Ga, Nb, V, Al, Ga 및 Sn 중에서 적어도 하나의 재료가 더 포함된 산화물 반도체 재료인 광센싱 장치.

청구항 6

제 4 항에 있어서,

상기 제 1 채널막은 상기 게이트 절연막 상에 배치된 하부 채널막 및 상기 하부 채널막 위에 배치된 상부 채널

막을 포함하며, 상기 하부 채널막은 상대적으로 빛에 덜 민감한 $XZnO$, $XInO$, $XSnO$, $XInZnO$, $XZnSnO$ 또는 $XInSnO$ (여기서, X는 Hf, Zr, Ti, Ta, Ga, Nb, V, Al 중에서 적어도 하나)을 포함하고, 상기 상부 채널막은 상대적으로 빛에 민감한 ZnO , InO , SnO , $InZnO$, $ZnSnO$ 또는 $InSnO$ 을 포함하는 광센싱 장치.

청구항 7

제 2 항에 있어서,

상기 스위치 트랜지스터는:

상기 기판 위에 부분적으로 형성된 제 2 게이트 전극;

상기 기판과 제 2 게이트 전극 위에 전체적으로 도포된 상기 게이트 절연막;

상기 제 2 게이트 전극과 대향하도록 상기 게이트 절연막 상에 형성된 제 2 채널막;

상기 제 2 채널막의 일측에 형성된 상기 제 2 소스/드레인 전극;

상기 제 2 채널막의 타측에 형성된 제 3 소스/드레인 전극; 및

상기 제 2 및 제 3 소스/드레인 전극과 제 2 채널막 위에 전체적으로 형성된 상기 투명한 패시베이션층;을 포함하며,

상기 제 2 소스/드레인 전극은 상기 제 1 채널막과 제 2 채널막 사이에 걸쳐 형성되어 있는 광센싱 장치.

청구항 8

제 7 항에 있어서,

상기 제 2 채널막은 산화물 반도체 재료로 이루어지는 광센싱 장치.

청구항 9

제 8 항에 있어서,

상기 산화물 반도체 재료는 ZnO , InO , SnO , $InZnO$, $ZnSnO$ 또는 $InSnO$ 에 Hf, Zr, Ti, Ta, Ga, Nb, V, Al, Ga 및 Sn 중에서 적어도 하나의 재료가 더 포함된 산화물 반도체 재료인 광센싱 장치.

청구항 10

제 1 항에 있어서,

상기 스위치 트랜지스터에 게이트 신호를 제공하는 제 1 게이트 드라이버;

상기 광센서 트랜지스터에 리셋 신호와 음의 바이어스 전압을 제공하는 제 2 게이트 드라이버; 및

상기 스위치 트랜지스터로부터 광센싱 신호를 받아 출력하기 위한 신호 출력부;를 더 포함하는 광센싱 장치.

청구항 11

제 10 항에 있어서,

상기 제 1 게이트 드라이버는 상기 스위치 트랜지스터의 게이트 전극에 연결되어 게이트 신호를 제공하는 게이트 라인을 포함하는 광센싱 장치.

청구항 12

제 10 항에 있어서,

상기 제 2 게이트 드라이버는, 상기 광센서 트랜지스터의 게이트 전극에 연결되어 리셋 신호를 제공하는 리셋 라인, 및 상기 상부 전극에 연결되어 음의 바이어스 전압을 제공하는 바이어스 라인을 포함하는 광센싱 장치.

청구항 13

제 10 항에 있어서,

상기 신호 출력부는 상기 스위치 트랜지스터의 소스/드레인 전극에 연결되어 광센싱 신호를 받는 센싱 라인을 포함하는 광센싱 장치.

청구항 14

제 1 항에 있어서,

상기 광센서 트랜지스터와 상기 스위치 트랜지스터는 각각의 소스/드레인 전극을 통해 서로 직렬로 연결되어 있는 광센싱 장치.

청구항 15

영상을 디스플레이 하기 위한 디스플레이 화소부와 입사광을 감지하기 위한 광센싱 화소부를 각각 포함하며,

상기 디스플레이 화소부는 디스플레이 셀 및 상기 디스플레이 셀의 온/오프를 제어하기 위한 제 1 스위치 트랜지스터를 포함하고,

상기 광센싱 화소부는 입사광을 감지하기 위한 광센서 트랜지스터, 상기 광센서 트랜지스터로부터 데이터를 출력하기 위한 제 2 스위치 트랜지스터, 및 상기 광센서 트랜지스터의 상부에 배치되어 상기 광센서 트랜지스터에 음의 바이어스 전압을 인가하기 위한 투명한 상부 전극을 포함하고,

상기 광센서 트랜지스터는 산화물 반도체를 채널의 재료로서 사용하는 산화물 반도체 트랜지스터이며,

상기 상부 전극에 지속적으로 음의 바이어스 전압이 인가되는 광터치 스크린 장치.

청구항 16

제 15 항에 있어서,

상기 제 1 및 제 2 스위치 트랜지스터의 게이트 전극에 동시에 연결되어 게이트 신호를 제공하는 게이트 라인;

상기 제 1 스위치 트랜지스터의 한 소스/드레인 전극에 연결된 영상 데이터 라인;

상기 제 2 스위치 트랜지스터의 한 소스/드레인 전극에 연결되어 광센싱 신호를 출력하는 센싱 라인;

상기 광센서 트랜지스터의 게이트 전극에 연결되어 리셋 신호를 제공하는 리셋 라인; 및

상기 상부 전극에 연결되어 음의 바이어스 전압을 제공하는 바이어스 라인을 더 포함하는 광터치 스크린 장치.

청구항 17

제 15 항에 있어서,

투명한 제 1 기판을 더 포함하고,

상기 광센서 트랜지스터와 제 1 및 제 2 스위치 트랜지스터는 모두 상기 제 1 기판 위에 배치되어 있으며, 채널 막으로서 산화물 반도체 재료를 사용하는 산화물 반도체 트랜지스터인 광터치 스크린 장치.

청구항 18

제 17 항에 있어서,

상기 광센서 트랜지스터는:

상기 제 1 기판 위에 부분적으로 형성된 제 1 게이트 전극;

상기 제 1 기판과 제 1 게이트 전극 위에 전체적으로 도포된 게이트 절연막;

상기 제 1 게이트 전극과 대향하도록 상기 게이트 절연막 상에 형성된 제 1 채널막;

상기 제 1 채널막의 일측에 형성된 제 1 소스/드레인 전극;

상기 제 1 채널막의 타측에 형성된 제 2 소스/드레인 전극; 및

상기 제 1 및 제 2 소스/드레인 전극과 제 1 채널막 위에 전체적으로 형성된 투명한 패시베이션층;을 포함하는 광터치 스크린 장치.

청구항 19

제 18 항에 있어서,

상기 상부 전극은 상기 제 1 채널막에 대향하도록 상기 패시베이션층 상에 부분적으로 형성되어 있는 광터치 스크린 장치.

청구항 20

제 18 항에 있어서,

상기 제 2 스위치 트랜지스터는:

상기 제 1 기판 위에 부분적으로 형성된 제 2 게이트 전극;

상기 제 1 기판과 제 2 게이트 전극 위에 전체적으로 도포된 상기 게이트 절연막;

상기 제 2 게이트 전극과 대향하도록 상기 게이트 절연막 상에 형성된 제 2 채널막;

상기 제 2 채널막의 일측에 형성된 상기 제 2 소스/드레인 전극;

상기 제 2 채널막의 타측에 형성된 제 3 소스/드레인 전극; 및

상기 제 2 및 제 3 소스/드레인 전극과 제 2 채널막 위에 전체적으로 형성된 상기 투명한 패시베이션층;을 포함하며,

상기 제 2 소스/드레인 전극은 상기 제 1 채널막과 제 2 채널막 사이에 걸쳐 형성되어 있는 광터치 스크린 장치.

청구항 21

제 20 항에 있어서,

상기 제 1 스위치 트랜지스터는:

상기 제 1 기판 위에 부분적으로 형성된 제 3 게이트 전극;

상기 제 1 기판과 제 3 게이트 전극 위에 전체적으로 도포된 상기 게이트 절연막;

상기 제 3 게이트 전극과 대향하도록 상기 게이트 절연막 상에 형성된 제 3 채널막;

상기 제 3 채널막의 일측에 형성된 제 4 소스/드레인 전극;

상기 제 3 채널막의 타측에 형성된 제 5 소스/드레인 전극; 및

상기 제 4 및 제 5 소스/드레인 전극과 제 3 채널막 위에 전체적으로 형성된 상기 투명한 패시베이션층;을 포함하는 광터치 스크린 장치.

청구항 22

제 21 항에 있어서,

상기 제 1 채널막은 상대적으로 빛에 민감한 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO를 포함하며, 상기 제 2 및 제 3 채널막은 상대적으로 빛에 덜 민감한 XZnO, XInO, XSnO, XInZnO, XZnSnO 또는 XInSnO(여기서, X는 Hf, Zr, Ti, Ta, Ga, Nb, V, Al 중에서 적어도 하나)을 포함하는 광터치 스크린 장치.

청구항 23

제 17 항에 있어서,

상기 제 1 기판과 마주하여 배치된 투명한 제 2 기판; 및

상기 제 1 및 제 2 스위치 트랜지스터를 가리도록 상기 제 2 기판의 표면에 배치된 블랙 매트릭스;를 더 포함하는 광터치 스크린 장치.

청구항 24

광을 감지하기 위한 광센서 트랜지스터에 직렬로 연결되어 있는 스위치 트랜지스터의 게이트 전극에 게이트 신호를 인가하여 광센싱 신호를 출력하는 단계;

상기 광센서 트랜지스터의 게이트 전극에 리셋 신호를 인가하여 상기 광센서 트랜지스터를 리셋시키는 단계; 및
상기 광센서 트랜지스터의 상부에 배치된 투명한 상부 전극에 음의 바이어스 전압을 인가하는 단계;를 포함하며,

상기 광센서 트랜지스터는 산화물 반도체를 채널의 재료로서 사용하는 산화물 반도체 트랜지스터이고,

상기 상부 전극에 지속적으로 음의 바이어스 전압이 인가되는 광센싱 장치의 구동 방법.

청구항 25

삭제

청구항 26

삭제

발명의 설명

기술 분야

[0001] 광센싱 장치 및 그 구동 방법, 상기 광센싱 장치를 포함하는 광터치 스크린 장치를 개시한다. 더욱 상세하게는, 광센싱 화소 내의 광센서 트랜지스터가 빛을 감지할 수 있는 산화물 반도체 트랜지스터로 이루어지는 광센싱 장치 및 상기 광센싱 장치의 동작 신뢰성을 향상시킬 수 있는 구동 방법을 개시한다.

배경 기술

[0002] 산화물 반도체 트랜지스터는 채널의 재료로서 산화물 반도체를 사용하는 트랜지스터이다. 예를 들어, 산화물 반도체 트랜지스터는 기판, 기판 위에 배치된 게이트, 게이트의 주위를 덮도록 기판과 게이트 위에 배치된 게이트 절연막, 게이트 절연막 위로 배치된 산화물 반도체 채널층, 및 상기 채널층의 양측을 덮도록 배치된 소스와 드레인을 포함할 수 있다. 이러한 산화물 반도체 트랜지스터는, 채널층으로서 사용되는 산화물 반도체의 재료에 따라 빛에 민감한 특성을 가질 수 있다. 예를 들어, 빛에 민감한 산화물 반도체 재료로서 ZnO 계열의 산화물 반도체, 예컨대 ZnO, TaZnO, InZnO(IZO), GaInZnO(GIZO) 등을 들 수 있다. 이러한 산화물 반도체 재료를 채널층으로서 사용할 경우, 산화물 반도체 트랜지스터는 입사광의 파장이나 광량에 따라 문턱 전압 및 드레인 전류가 변하는 특성이 있기 때문에, 광센싱 소자로서 활용될 수 있다.

[0003] 상술한 특성으로 인하여, 산화물 반도체 트랜지스터는 현재 광센싱 소자로서 널리 사용되고 있는 PN 접합 구조의 포토다이오드를 대체하는 것이 가능하다. 특히, 산화물 반도체 트랜지스터는 포토다이오드보다 큰 광전류를 발생시킬 수 있기 때문에, 산화물 반도체 트랜지스터를 광센싱 소자로서 사용할 경우, 광전류로 인해 발생한 전하를 일정 시간 동안 축적하기 위하여 광센싱 화소 내에서 일반적으로 사용되는 커패시터를 생략할 수 있다. 예를 들어, 광센싱 화소는 광을 감지하기 위한 산화물 반도체 트랜지스터와 데이터를 출력을 위한 스위치 트랜지스터만으로도 간단히 구성될 수 있다. 따라서 산화물 반도체 트랜지스터는, 빛을 감지하는 다양한 기기들, 예를 들어 촬상 장치나 또는 광터치 스크린 패널 등에서 유용하게 사용될 수 있다.

[0004] 그런데, 채널의 재료로서 산화물 반도체를 사용하는 산화물 반도체 트랜지스터에서는, 빛과 전기로 인한 스트레스로 인하여 시간이 흐름에 따라 문턱 전압이 점차 음의 방향으로 이동하는 현상이 발생할 수 있다. 특히, 채널 재료의 빛에 대한 감도가 높을수록 문턱 전압의 음 방향 시프트가 더 커지는 경향이 있다. 이렇게 산화물 반도체 트랜지스터의 문턱 전압이 음 방향으로 이동하면, 산화물 반도체 트랜지스터의 정상적인 ON/OFF 동작이 어렵게 된다. 이는 산화물 반도체 트랜지스터를 사용하는 장치의 동작 신뢰성을 저하시킬 수 있다.

발명의 내용

해결하려는 과제

- [0005] 동작 신뢰성이 향상된 산화물 반도체 트랜지스터를 이용하는 광센싱 장치를 제공한다.
- [0006] 또한, 상기 광센싱 장치의 동작 신뢰성을 향상시킬 수 있는 구동 방법을 제공한다.
- [0007] 또한, 상기 광센싱 장치를 포함하는 광터치 스크린 장치를 제공한다.

과제의 해결 수단

- [0008] 일 유형에 따르면, 기관; 상기 기관 위에 배치된 것으로, 광을 감지하기 위한 광센서 트랜지스터; 상기 기관 위에 배치된 것으로, 상기 광센서 트랜지스터로부터 데이터를 출력하기 위한 스위치 트랜지스터; 및 상기 광센서 트랜지스터의 상부에 배치된 것으로, 상기 광센서 트랜지스터에 음의 바이어스 전압을 인가하기 위한 투명한 상부 전극;을 포함하는 광센싱 장치가 제공된다.
- [0009] 일 실시예에서, 상기 광센서 트랜지스터는, 상기 기관 위에 부분적으로 형성된 제 1 게이트 전극; 상기 기관과 제 1 게이트 전극 위에 전체적으로 도포된 게이트 절연막; 상기 제 1 게이트 전극과 대향하도록 상기 게이트 절연막 상에 형성된 제 1 채널막; 상기 제 1 채널막의 일측에 형성된 제 1 소스/드레인 전극; 상기 제 1 채널막의 타측에 형성된 제 2 소스/드레인 전극; 및 상기 제 1 및 제 2 소스/드레인 전극과 제 1 채널막 위에 전체적으로 형성된 투명한 패시베이션층;을 포함할 수 있다.
- [0010] 상기 상부 전극은 상기 제 1 채널막에 대향하도록 상기 패시베이션층 상에 부분적으로 형성될 수 있다.
- [0011] 예를 들어, 상기 제 1 채널막은 산화물 반도체 재료로 이루어질 수 있다.
- [0012] 예컨대, 상기 산화물 반도체 재료는 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO를 포함하는 산화물 반도체 재료이거나, 또는 상기 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO에 Hf, Zr, Ti, Ta, Ga, Nb, V, Al, Ga 및 Sn 중에서 적어도 하나의 재료가 더 포함된 산화물 반도체 재료일 수 있다.
- [0013] 일 실시예에 따르면, 상기 제 1 채널막은 상기 게이트 절연막 상에 배치된 하부 채널막 및 상기 하부 채널막 위에 배치된 상부 채널막을 포함하며, 상기 하부 채널막은 상대적으로 빛에 덜 민감한 XZnO, XInO, XSnO, XInZnO, XZnSnO 또는 XInSnO(여기서, X는 Hf, Zr, Ti, Ta, Ga, Nb, V, Al 중에서 적어도 하나)을 포함하고, 상기 상부 채널막은 상대적으로 빛에 민감한 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO를 포함할 수 있다.
- [0014] 또한, 일 실시예에서, 상기 스위치 트랜지스터는, 상기 기관 위에 부분적으로 형성된 제 2 게이트 전극; 상기 기관과 제 2 게이트 전극 위에 전체적으로 도포된 상기 게이트 절연막; 상기 제 2 게이트 전극과 대향하도록 상기 게이트 절연막 상에 형성된 제 2 채널막; 상기 제 2 채널막의 일측에 형성된 상기 제 2 소스/드레인 전극; 상기 제 2 채널막의 타측에 형성된 제 3 소스/드레인 전극; 및 상기 제 2 및 제 3 소스/드레인 전극과 제 2 채널막 위에 전체적으로 형성된 상기 투명한 패시베이션층;을 포함할 수 있다.
- [0015] 여기서, 상기 제 2 소스/드레인 전극은 상기 제 1 채널막과 제 2 채널막 사이에 걸쳐 형성될 수 있다.
- [0016] 예를 들어, 상기 제 2 채널막은 산화물 반도체 재료로 이루어질 수 있다.
- [0017] 예컨대, 상기 산화물 반도체 재료는 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO에 Hf, Zr, Ti, Ta, Ga, Nb, V, Al, Ga 및 Sn 중에서 적어도 하나의 재료가 더 포함된 산화물 반도체 재료일 수 있다.
- [0018] 상기 광센싱 장치는, 상기 스위치 트랜지스터에 게이트 신호를 제공하는 제 1 게이트 드라이버; 상기 광센서 트랜지스터에 리셋 신호와 음의 바이어스 전압을 제공하는 제 2 게이트 드라이버; 및 상기 스위치 트랜지스터로부터 광센싱 신호를 받아 출력하기 위한 신호 출력부;를 더 포함할 수 있다.
- [0019] 일 실시예에서, 상기 제 1 게이트 드라이버는 상기 스위치 트랜지스터의 게이트 전극에 연결되어 게이트 신호를 제공하는 게이트 라인을 포함할 수 있다.
- [0020] 일 실시예에서, 상기 제 2 게이트 드라이버는, 상기 광센서 트랜지스터의 게이트 전극에 연결되어 리셋 신호를 제공하는 리셋 라인, 및 상기 상부 전극에 연결되어 음의 바이어스 전압을 제공하는 바이어스 라인을 포함할 수 있다.
- [0021] 일 실시예에서, 상기 신호 출력부는 상기 스위치 트랜지스터의 소스/드레인 전극에 연결되어 광센싱 신호를 받는 센싱 라인을 포함할 수 있다.
- [0022] 상기 광센서 트랜지스터와 상기 스위치 트랜지스터는 각각의 소스/드레인 전극을 통해 서로 직렬로 연결될 수

있다.

- [0023] 다른 유형에 따르면, 영상을 디스플레이 하기 위한 디스플레이 화소부와 입사광을 감지하기 위한 광센싱 화소부를 각각 포함하는 광터치 스크린 장치가 제공된다.
- [0024] 일 실시예에서, 상기 디스플레이 화소부는 디스플레이 셀 및 상기 디스플레이 셀의 온/오프를 제어하기 위한 제 1 스위치 트랜지스터를 포함하고, 상기 광센싱 화소부는 입사광을 감지하기 위한 광센서 트랜지스터, 상기 광센서 트랜지스터로부터 데이터를 출력하기 위한 제 2 스위치 트랜지스터, 및 상기 광센서 트랜지스터의 상부에 배치되어 상기 광센서 트랜지스터에 음의 바이어스 전압을 인가하기 위한 투명한 상부 전극을 포함할 수 있다.
- [0025] 상기 광터치 스크린 장치는, 상기 제 1 및 제 2 스위치 트랜지스터의 게이트 전극에 동시에 연결되어 게이트 신호를 제공하는 게이트 라인; 상기 제 1 스위치 트랜지스터의 한 소스/드레인 전극에 연결된 영상 데이터 라인; 상기 제 2 스위치 트랜지스터의 한 소스/드레인 전극에 연결되어 광센싱 신호를 출력하는 센싱 라인; 상기 광센서 트랜지스터의 게이트 전극에 연결되어 리셋 신호를 제공하는 리셋 라인; 및 상기 상부 전극에 연결되어 음의 바이어스 전압을 제공하는 바이어스 라인을 더 포함할 수 있다.
- [0026] 상기 광터치 스크린 장치는 투명한 제 1 기판을 더 포함할 수 있고, 상기 광센서 트랜지스터와 제 1 및 제 2 스위치 트랜지스터는 모두 상기 제 1 기판 위에 배치되어 있으며, 채널막으로서 산화물 반도체 재료를 사용하는 산화물 반도체 트랜지스터일 수 있다.
- [0027] 일 실시예에서, 상기 광센서 트랜지스터는, 상기 제 1 기판 위에 부분적으로 형성된 제 1 게이트 전극; 상기 제 1 기판과 제 1 게이트 전극 위에 전체적으로 도포된 게이트 절연막; 상기 제 1 게이트 전극과 대향하도록 상기 게이트 절연막 상에 형성된 제 1 채널막; 상기 제 1 채널막의 일측에 형성된 제 1 소스/드레인 전극; 상기 제 1 채널막의 타측에 형성된 제 2 소스/드레인 전극; 및 상기 제 1 및 제 2 소스/드레인 전극과 제 1 채널막 위에 전체적으로 형성된 투명한 패시베이션층;을 포함할 수 있다.
- [0028] 또한, 상기 제 2 스위치 트랜지스터는, 상기 제 1 기판 위에 부분적으로 형성된 제 2 게이트 전극; 상기 제 1 기판과 제 2 게이트 전극 위에 전체적으로 도포된 상기 게이트 절연막; 상기 제 2 게이트 전극과 대향하도록 상기 게이트 절연막 상에 형성된 제 2 채널막; 상기 제 2 채널막의 일측에 형성된 상기 제 2 소스/드레인 전극; 상기 제 2 채널막의 타측에 형성된 제 3 소스/드레인 전극; 및 상기 제 2 및 제 3 소스/드레인 전극과 제 2 채널막 위에 전체적으로 형성된 상기 투명한 패시베이션층;을 포함할 수 있다.
- [0029] 여기서, 상기 제 2 소스/드레인 전극은 상기 제 1 채널막과 제 2 채널막 사이에 걸쳐 형성될 수 있다.
- [0030] 또한, 상기 제 1 스위치 트랜지스터는, 상기 제 1 기판 위에 부분적으로 형성된 제 3 게이트 전극; 상기 제 1 기판과 제 3 게이트 전극 위에 전체적으로 도포된 상기 게이트 절연막; 상기 제 3 게이트 전극과 대향하도록 상기 게이트 절연막 상에 형성된 제 3 채널막; 상기 제 3 채널막의 일측에 형성된 상기 제 4 소스/드레인 전극; 상기 제 3 채널막의 타측에 형성된 제 5 소스/드레인 전극; 및 상기 제 4 및 제 5 소스/드레인 전극과 제 3 채널막 위에 전체적으로 형성된 상기 투명한 패시베이션층;을 포함할 수 있다.
- [0031] 예를 들어, 상기 제 1 채널막은 상대적으로 빛에 민감한 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO를 포함하며, 상기 제 2 및 제 3 채널막은 상대적으로 빛에 덜 민감한 XZnO, XInO, XSnO, XInZnO, XZnSnO 또는 XInSnO(여기서, X는 Hf, Zr, Ti, Ta, Ga, Nb, V, Al 중에서 적어도 하나)을 포함할 수 있다.
- [0032] 또한, 상기 광터치 스크린 장치는, 상기 제 1 기판과 마주하여 배치된 투명한 제 2 기판; 및 상기 제 1 및 제 2 스위치 트랜지스터를 가리도록 상기 제 2 기판의 표면에 배치된 블랙 매트릭스;를 더 포함할 수 있다.
- [0033] 또 다른 유형에 따르면, 광을 감지하기 위한 광센서 트랜지스터에 직렬로 연결되어 있는 스위치 트랜지스터의 게이트 전극에 게이트 신호를 인가하여 광센싱 신호를 출력하는 단계; 상기 광센서 트랜지스터의 게이트 전극에 리셋 신호를 인가하여 상기 광센서 트랜지스터를 리셋시키는 단계; 및 상기 광센서 트랜지스터의 상부에 배치된 투명한 상부 전극에 음의 바이어스 전압을 인가하는 단계;를 포함하는 광센싱 장치의 구동 방법이 제공될 수 있다.
- [0034] 일 실시예에서, 상기 광센서 트랜지스터에 리셋 신호가 인가되는 동안에는 상기 상부 전극에 대한 음의 바이어스 전압의 인가가 중단될 수 있다.
- [0035] 다른 실시예에서, 상기 광센싱 장치가 동작하는 동안 상기 상부 전극에 지속적으로 음의 바이어스 전압이 인가될 수도 있다.

발명의 효과

[0036] 개시된 광센싱 장치에서, 광센서 역할을 하는 산화물 반도체 트랜지스터는 빛에 대한 높은 감도를 유지하면서 문턱 전압의 음 방향 시프트를 방지할 수 있는 개선된 구조를 갖는다. 또한, 개시된 광센싱 장치에서, 스위치의 역할을 하는 산화물 반도체 트랜지스터는 상대적으로 빛에 대해 낮은 감도를 가지면서 안정적인 채널 재료로 구성될 수 있다. 따라서, 광센싱 장치의 동작 신뢰성이 향상될 수 있다. 또한, 개시된 광센싱 장치의 구동 방법에 따르면, 빛에 민감한 산화물 반도체 트랜지스터에서 발생할 수 있는 문턱 전압의 음 방향 시프트 현상을 간단하게 방지할 수 있다.

도면의 간단한 설명

[0037] 도 1은 일 실시예에 따른 광센서 트랜지스터의 구조를 개략적으로 보이는 단면도이다.
 도 2는 도 1에 도시된 광센서 트랜지스터의 동작 특성을 보이는 그래프이다.
 도 3은 도 1에 도시된 광센서 트랜지스터를 포함하는 광센싱 장치의 하나의 광센싱 화소에 대한 회로도들 개략적으로 도시한다.
 도 4는 도 3에 도시된 광센싱 장치의 일 실시예에 따른 구동 방법을 보이는 타이밍도이다.
 도 5는 도 3에 도시된 광센싱 장치의 다른 실시예에 따른 구동 방법을 보이는 타이밍도이다.
 도 6은 일 실시예에 따른 광센싱 장치의 개략적인 구성을 예시적으로 보이는 블록도이다.
 도 7은 일 실시예에 따른 광터치 스크린 장치의 한 화소의 예시적인 구조를 도시하는 회로도이다.
 도 8은 일 실시예에 따른 광터치 스크린 장치의 한 화소의 예시적인 구조를 도시하는 단면도이다.
 도 9는 일 실시예에 따른 광터치 스크린 장치의 트랜지스터 구조를 보이는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0038] 이하, 첨부된 도면들을 참조하여, 광센싱 장치 및 그 구동 방법, 상기 광센싱 장치를 포함하는 광터치 스크린 장치에 대해 상세하게 설명한다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다.

[0039] 도 1은 일 실시예에 따른 광센서 트랜지스터(110)의 개략적인 구조를 예시적으로 보이는 단면도이다. 도 1을 참조하면, 광센서 트랜지스터(110)는 기판(111), 기판(111) 위에 부분적으로 형성된 게이트 전극(112), 상기 기판(111)과 게이트 전극(112) 위에 전체적으로 도포된 게이트 절연막(113), 게이트 전극(112)과 대향하도록 게이트 절연막(113) 상에 형성된 채널막(114), 채널막(114)의 양측에 각각 형성된 제 1 및 제 2 소스/드레인 전극(115a, 115b), 제 1 및 제 2 소스/드레인 전극(115a, 115b)과 채널막(114) 위에 전체적으로 형성된 투명한 패시베이션층(116), 패시베이션층(116)을 관통하여 제 1 소스/드레인 전극(115a)에 연결된 제 1 배선(117a), 패시베이션층(116)을 관통하여 제 2 소스/드레인 전극(115b)에 연결된 제 2 배선(117b), 채널막(114)에 대향하도록 패시베이션층(116) 상에 부분적으로 형성된 투명한 상부 전극(118)을 포함할 수 있다. 도 1에 도시된 바와 같이, 제 1 소스/드레인 전극(115a)은 채널막(114)의 좌측 일부 영역과 채널막(114)의 좌측에 있는 게이트 절연막(113)을 덮도록 형성될 수 있다. 또한, 상기 제 2 소스/드레인 전극(115b)은 채널막(114)의 우측 일부 영역과 채널막(114)의 우측에 있는 게이트 절연막(113)을 덮도록 형성될 수 있다.

[0040] 기판(111)과 게이트 절연막(113)은 절연성 재료로 이루어 질 수 있다. 예를 들어, 기판(111)은 유리로 이루어질 수 있으며, 게이트 절연막(113)은 SiO₂나 SiN_x와 같은 투명한 절연성 재료로 이루어질 수 있다. 또한, 게이트 전극(112)과 제 1 및 제 2 소스/드레인 전극(115a, 115b)은 예를 들어 몰리브덴(Mo)과 같은 도전성 금속이나 또는 ITO와 같은 투명한 도전성 금속 산화물 재료로 이루어질 수 있다. 투명한 패시베이션층(116)은 예를 들어 SiO₂나 SiN_x와 같은 투명한 절연성 재료로 이루어질 수 있다. 또한, 제 1 및 제 2 배선(117a, 117b)은 도전성을 갖는 금속이나 금속 산화물 재료로 이루어질 수 있다. 또한, 패시베이션층(116) 상에 형성된 투명한 상부 전극(118)은 빛이 투과하여 채널막(114)이 도달할 수 있도록 투명한 전도성 재료, 예를 들어, ITO(Indium Tin Oxide), AZO(Aluminium Zinc Oxide) 또는 IZO(Indium Zinc Oxide)이나 그래핀(graphene)으로 이루어질 수 있다.

- [0041] 한편, 채널막(114)은 빛에 민감한 산화물 반도체 재료로 이루어질 수 있다. 예컨대, 그러한 산화물 반도체 채널 재료로서 ZnO, InO, SnO, InZnO, ZnSnO, InSnO 등과 같은 산화물 반도체 재료를 사용하거나, 또는 전술한 산화물 반도체 재료에 Hf, Zr, Ti, Ta, Ga, Nb, V, Al, Ga, Sn 등의 재료가 하나 이상 추가적으로 혼합된 재료를 사용할 수 있다. 채널막(114)은 단일한 하나의 산화물 반도체층으로 이루어질 수도 있지만, 도 1에 도시된 바와 같이, 다층 구조로 이루어질 수도 있다. 예로서, 도 1에는 채널막(114)이 하부 채널막(114a)과 상기 하부 채널막(114a) 위에 형성된 상부 채널막(114b)을 포함하는 2층 구조로 이루어진 예를 도시하고 있다.
- [0042] 예를 들면, 빛이 직접 입사하는 상부 채널막(114b)은 빛에 대한 민감도가 가장 높은 ZnO, InO, SnO, InZnO, ZnSnO 또는 InSnO로 이루어질 수 있다. 그리고, 상부 채널막(114b) 하부의 하부 채널막(114a)은 광센서 트랜지스터(110)의 문턱 전압이 지나치게 낮아지는 것을 방지하기 위하여, 상대적으로 빛에는 덜 민감하지만 안정적인 재료로 이루어질 수 있다. 예를 들어, 하부 채널막(114a)은 XZnO, XInO, XSnO, XInZnO, XZnSnO 또는 XInSnO(여기서, X는 Hf, Zr, Ti, Ta, Ga, Nb, V, Al 중에서 적어도 하나)로 이루어질 수 있다. 광센서 트랜지스터(110)의 문턱 전압은 하부 채널막(114a)의 재료 및 두께에 따라 0V에 가깝게 조절될 수 있다. 그러나, 도 1에 도시된 2층 구조는 단지 예일 뿐이며, 채널막(114)은 3층 또는 그 이상의 다층 구조로 이루어질 수도 있다.
- [0043] 그런데, 상부 채널막(114b)의 재료로서 사용하는 빛에 민감한 산화물 반도체 재료는, 빛과 전기로 인한 스트레스로 인하여, 시간이 흐름에 따라 광센서 트랜지스터(110)의 문턱 전압을 점차 음의 방향으로 시프트시킬 수 있다. 이는 광센서 트랜지스터(110)의 동작 신뢰성을 저하시키는 원인이 된다. 특히, 본 실시예에 따른 광센서 트랜지스터(110)가 광터치 스크린 패널로서 사용되는 경우, 디스플레이 패널로부터 입사하는 광(예를 들어, 액정 디스플레이 패널의 경우, 백라이트 광)으로 인해 이러한 문턱 전압의 음 방향 시프트 현상이 가속화될 수 있다. 따라서, 광센서 트랜지스터(110)의 문턱 전압이 음의 방향으로 시프트하는 것을 방지하기 위하여, 투명한 상부 전극(118)에 음(-)의 바이어스 전압을 인가할 수 있다. 도 1의 단면도를 참조할 때, 게이트 전극(112)의 위쪽에 음 전위가 형성되면, 에너지 밴드 이론에 따라 광센서 트랜지스터(110)를 ON 시키기 위해 게이트 전극(112)에 인가되어야 하는 전압이 증가하여야 하기 때문이다.
- [0044] 도 2는 투명한 상부 전극(118)에 음의 바이어스 전압을 인가하였을 때 광센서 트랜지스터(110)의 문턱 전압이 양(+)의 방향으로 시프트되는 현상을 예시적으로 보이는 그래프이다. 도 2의 그래프는 하부 채널막(114a)이 HfInZnO(HIZO)로 이루어지고, 상부 채널막(114b)이 InZnO이며, 투명한 상부 전극(118)이 IZO일 때, 광센서 트랜지스터(110)에 450nm 파장의 빛이 입사하는 경우에 대한 것이다. 또한, 광센서 트랜지스터(110)의 제 1 소스/드레인 전극(115a)과 제 2 소스/드레인 전극(115b) 간에는 $V_b = 10V$ 의 전압을 인가하였다. 도 2의 그래프를 참조하면, 빛이 입사하지 않는 동안 상부 전극(118)에 인가되는 전압을 2V, 0V, -2V, -4V로 변화시키면, 광센서 트랜지스터(110)의 문턱 전압은 각각 대략적으로 -7V, -4V, 0V, 4V로 변하게 된다. 즉, 상부 전극(118)에 음의 바이어스 전압을 인가하였을 때 광센서 트랜지스터(110)의 문턱 전압이 양의 방향으로 이동하고, 양의 바이어스 전압을 인가하였을 때는 문턱 전압이 음의 방향으로 이동한다는 것을 알 수 있다. 따라서, 광센서 트랜지스터(110)의 문턱 전압이 시간의 흐름에 따라 음의 방향으로 시프트되는 만큼 상부 전극(118)에 인가되는 음의 바이어스 전압을 증가시키면, 문턱 전압의 음 방향 이동을 상쇄시킬 수 있다. 결과적으로, 상부 전극(118)에 음의 바이어스 전압을 인가함으로써, 광센서 트랜지스터(110)의 문턱 전압이 고정될 수 있다. 한편, 광센서 트랜지스터(110)에 빛이 입사하면, 광센서 트랜지스터(110)의 문턱 전압은 음의 방향으로 크게 이동하게 된다. 따라서, 빛이 입사할 때 광센서 트랜지스터(110)의 문턱 전압이 이동하는 정도로부터 빛의 입사 여부 및 입사량을 측정할 수 있다.
- [0045] 도 3은 도 1에 도시된 광센서 트랜지스터(110)를 포함하는 광센싱 장치의 하나의 광센싱 화소(100)에 대한 회로도를 개략적으로 도시하고 있다. 도 3을 참조하면, 광센싱 화소(100)는 서로 직렬로 연결된 광센서 트랜지스터(110)와 스위치 트랜지스터(120)를 포함할 수 있다. 예를 들어, 광센서 트랜지스터(110)와 스위치 트랜지스터(120)는 각각의 소스/드레인 전극을 통해 서로 연결될 수 있다. 광센서 트랜지스터(110)는 입사광을 감지하기 위한 광센싱 소자의 역할을 하며, 스위치 트랜지스터(120)는 광센싱 신호를 출력시키기 위한 스위치의 역할을 한다. 또한, 도 3에 도시된 바와 같이, 광센싱 화소(100)는 스위치 트랜지스터(120)의 게이트 전극에 연결되는 게이트 라인(Gate), 스위치 트랜지스터(120)의 소스/드레인 전극에 연결되는 센싱 라인(Sensing Line), 광센서 트랜지스터(110)의 소스/드레인 전극에 연결되는 구동 전압 라인(Vdd) 및 광센서 트랜지스터(110)의 게이트 전극에 연결되는 리셋 라인(Vreset)을 더 포함할 수 있다. 또한, 광센서 트랜지스터(110)의 문턱 전압 시프트 현상을 방지하기 위하여, 광센싱 화소(100)는 광센서 트랜지스터(110)의 상부 전극(118)에 음의 바이어스 전압을 인가하기 위한 바이어스 라인(Vbias)을 더 포함할 수 있다.

- [0046] 이러한 광센싱 화소(100)의 구조에서, 게이트 라인(Gate)을 통해 스위치 트랜지스터(120)에 게이트 신호가 인가되면, 스위치 트랜지스터(120)가 ON 상태가 된다. 그러면, 스위치 트랜지스터(120)를 통해 광센서 트랜지스터(110)로부터 센싱 라인으로 전류가 흐르게 된다. 이때, 광센서 트랜지스터(110)로부터 센싱 라인으로 흐르는 전류의 양은 광센서 트랜지스터(110)에 입사하는 빛의 세기에 따라 변화하게 된다. 따라서, 센싱 라인을 통해 흐르는 전류의 양을 측정하면 광센서 트랜지스터(110)에 입사하는 빛의 세기를 계산할 수 있다. 반면, 스위치 트랜지스터(120)에 게이트 신호가 인가되지 않는 동안에는, 스위치 트랜지스터(120)가 OFF 상태가 되므로 센싱 라인에 전류가 흐르지 않게 된다. 따라서, 스위치 트랜지스터(120)를 ON 또는 OFF시킴으로써, 특정 광센싱 화소(100)로부터 광센싱 신호를 출력할 수 있다.
- [0047] 상술한 구조의 광센싱 화소(100)를 갖는 광센싱 장치에서, 광센서 트랜지스터(110)의 상부 전극(118)에 음의 바이어스 전압을 인가하는 방식은 두 가지 방식이 있을 수 있다. 예를 들어, 도 4를 참조하면, 광센싱 화소(100)로부터 광센싱 데이터를 읽어들이기 위하여, 먼저 광센싱 화소(100)의 게이트 라인(Gate)을 통해 스위치 트랜지스터(120)에 양의 게이트 신호가 소정의 시간동안 인가된다. 광센싱 화소(100)로부터 광센싱 데이터를 읽어들이고 후에는, 도 4에 도시된 바와 같이, 리셋 라인(Vreset)을 통해 광센서 트랜지스터(110)의 게이트 전극에 양의 리셋 신호를 인가한다. 리셋 신호는 빛에 노출된 동안 광센서 트랜지스터(110)의 채널막의 경계면에 축적된 전하들을 제거함으로써 광센서 트랜지스터(110)를 초기화하기 위한 신호이다. 리셋 신호에 의해 광센서 트랜지스터(110)는 빛을 받기 전의 초기 상태로 되돌아갈 수 있다. 한편, 광센서 트랜지스터(110)에 리셋 신호가 인가되지 않는 동안에는, 도 4에 도시된 바와 같이, 광센서 트랜지스터(110)의 상부 전극(118)에 음의 바이어스 전압을 인가함으로써, 광센서 트랜지스터(110)의 문턱 전압이 음의 방향으로 시프트되지 않도록 한다. 그리고, 도 4에 도시된 바와 같이, 광센서 트랜지스터(110)에 리셋 신호가 인가되는 동안에만, 상부 전극(118)에 음의 바이어스 전압의 인가를 중단한다. 광센서 트랜지스터(110)에 리셋 신호의 인가가 중단되면, 상부 전극(118)에 다시 음의 바이어스 전압을 인가한다.
- [0048] 또 다른 방식으로, 도 5에 도시된 바와 같이, 광센싱 장치가 동작하는 동안 상부 전극(118)에 지속적으로 음의 바이어스 전압이 인가될 수도 있다. 도 5를 참조하면, 스위치 트랜지스터(120)와 광센서 트랜지스터(110)에 각각 게이트 신호와 리셋 신호를 인가하는 방식은 도 4에서 설명한 방식과 동일하다. 그러나, 도 5에 도시된 방식은, 광센서 트랜지스터(110)에 대한 리셋 신호의 인가 여부와 관계 없이 항상 광센서 트랜지스터(110)의 상부 전극(118)에 음의 바이어스 전압이 지속적으로 인가된다는 점에서 도 4에 도시된 방식과 차이가 있다.
- [0049] 한편, 광센싱 장치는 다수의 상술한 광센싱 화소(100)들의 어레이와 상기 다수의 광센싱 화소(100)들을 각각 구동시키기 위한 구동 회로들을 포함할 수 있다. 도 6은 일 실시예에 따른 광센싱 장치(200)의 개략적인 구성을 예시적으로 보이는 블록도이다. 도 6을 참조하면, 광센싱 장치(200)는, 입사광을 감지하는 다수의 광센싱 화소(100)들의 어레이, 다수의 광센싱 화소(100)들에 게이트 신호를 각각 순차적으로 제공하기 위한 스위치 게이트 드라이버(210), 다수의 광센싱 화소(100)들에 리셋 신호와 음의 바이어스 전압을 각각 순차적으로 제공하기 위한 센서 게이트 드라이버(220) 및 각각의 광센싱 화소(100)로부터 광센싱 데이터를 받아서 출력하기 위한 신호 출력부(230)를 포함할 수 있다.
- [0050] 도 6에 도시된 바와 같이, 도 3에 예시적으로 도시된 구조를 갖는 다수의 광센싱 화소(100)들은 다수의 열(column)과 행(row)으로 배열될 수 있다. 예를 들어, 다수의 광센싱 화소(100)들은 n개의 행과 m개의 열을 갖는 매트릭스 어레이의 형태로 배열될 수 있다. 스위치 게이트 드라이버(210)는 각각의 광센싱 화소(100)들을 개별적으로 활성화시켜 각각의 광센싱 화소(100)로부터 광센싱 데이터가 출력되도록 제어하는 역할을 한다. 이를 위하여, 스위치 게이트 드라이버(210)는 행 방향을 따라 배열된 다수의 게이트 라인을 포함할 수 있다. 각각의 게이트 라인은 동일한 행을 따라 배열되어 있는 모든 광센싱 화소(100)들, 특히 광센싱 화소(100) 내의 스위치 트랜지스터(120)의 게이트 전극에 연결될 수 있다.
- [0051] 또한, 센서 게이트 드라이버(220)는 각각의 광센싱 화소(100)들로부터 광센싱 데이터를 읽어들이고 후에 광센싱 화소(100) 내의 광센서 트랜지스터(110)를 초기화시키는 역할을 한다. 이를 위하여, 센서 게이트 드라이버(220)는 행 방향을 따라 배열된 다수의 리셋 라인을 포함할 수 있다. 각각의 리셋 라인은 동일한 행을 따라 배열되어 있는 모든 광센싱 화소(100)들, 특히 광센싱 화소(100) 내의 광센서 트랜지스터(110)의 게이트 전극에 연결된다. 또한, 센서 게이트 드라이버(220)는 광센서 트랜지스터(110)의 문턱 전압 시프트를 방지하기 위하여 음의 바이어스 전압을 각각의 광센싱 화소(100)에 제공하는 역할을 한다. 이를 위하여, 센서 게이트 드라이버(220)는 행 방향을 따라 배열된 다수의 바이어스 라인을 포함할 수 있다. 각각의 바이어스 라인은 동일한 행을 따라 배열되어 있는 광센싱 화소(100)들, 특히 광센싱 화소(100) 내의 광센서 트랜지스터(110)의 상부 전극(118)에 연

결된다.

- [0052] 그리고, 신호 출력부(230)는 각각의 광센싱 화소(100)들로부터 발생하는 광센싱 데이터를 받아 신호를 출력하는 역할을 한다. 이를 위하여, 신호 출력부(230)는 열 방향을 따라 배열된 다수의 센싱 라인(Sensing Line)들을 포함할 수 있다. 각각의 센싱 라인은 동일한 열을 따라 배열되어 있는 모든 광센싱 화소(100)들, 특히 광센싱 화소(100) 내의 스위치 트랜지스터(120)의 소스/드레인 전극에 연결될 수 있다.
- [0053] 이러한 광센싱 장치(200)의 구조에서, 스위치 게이트 드라이버(210)는 다수의 게이트 라인을 통해 광센싱 화소(100)들에 한 행씩 순차적으로 게이트 신호를 제공한다. 예컨대, 스위치 게이트 드라이버(210)는 n 번째 행의 광센싱 화소(100)들에 게이트 신호를 제공한 후에, n+1 번째 행의 광센싱 화소(100)들에 게이트 신호를 제공한다. 한편, 센서 게이트 드라이버(220)는, 스위치 게이트 드라이버(210)가 n+1 번째 행의 광센싱 화소(100)들에 게이트 신호를 제공하는 동안, n 번째 행의 광센싱 화소(100)들에 리셋 신호를 제공할 수 있다. 또한, 센서 게이트 드라이버(220)는 도 4에 도시된 펄스 형태의 바이어스 전압 또는 도 5에 도시된 연속적인 바이어스 전압을 광센싱 화소(100)들에 제공할 수 있다.
- [0054] 상술한 광센싱 화소(100)와 광센싱 장치(200)는, 예를 들어, CCD나 CMOS와 같은 기존의 이미지 센서를 대신한 새로운 이미지 센서로서 활용될 수 있다. 또한, 상술한 광센싱 화소(100)와 광센싱 장치(200)는, 손이나 펜의 터치를 이용하는 기존의 접촉식 터치 스크린 장치 대신에 광을 이용한 원격식 광터치 스크린 장치에도 적용될 수 있다. 특히, 본 실시예에 따른 광센싱 화소(100)와 광센싱 장치(200)는 단지 두 개의 박막 트랜지스터만으로 간단히 구성될 수 있기 때문에, 디스플레이 화소와 광센싱 화소가 하나로 통합되어 있는 인-셀(In-cell) 방식의 광터치 스크린 장치를 용이하게 구현하게 할 수 있다.
- [0055] 도 7은 일 실시예에 따른 인-셀 방식의 광터치 스크린 장치(300)의 한 화소의 예시적인 구조를 도시하는 회로도이다. 도 7을 참조하면, 인-셀 방식의 광터치 스크린 장치(300)의 한 화소는 디스플레이 화소부(300d)와 광센싱 화소부(300s)를 포함할 수 있다. 디스플레이 화소부(300d)는 디스플레이 셀(예컨대 LCD의 경우, 액정 셀)(140) 및 상기 디스플레이 셀(140)의 온/오프를 제어하기 위한 제 1 스위치 트랜지스터(130)를 포함할 수 있다. 또한, 광센싱 화소부(300s)는 입사광을 감지하기 위한 광센서 트랜지스터(110)와 상기 광센서 트랜지스터(110)로부터 광센싱 신호를 출력하기 위한 제 2 스위치 트랜지스터(120)를 포함할 수 있다. 구체적으로, 제 1 및 제 2 스위치 트랜지스터(130, 120)의 게이트 전극은 하나의 게이트 라인(Gate)에 연결될 수 있다. 제 1 스위치 트랜지스터(130)의 한 소스/드레인 전극은 영상 데이터 라인(LCD-Data)에 연결되어 있으며, 다른 소스/드레인 전극은 디스플레이 셀(140)에 연결될 수 있다. 또한, 제 2 스위치 트랜지스터(120)의 한 소스/드레인 전극은 센싱 라인(Sensing Line)에 연결되어 있으며, 다른 소스/드레인 전극은 광센서 트랜지스터(110)의 한 소스/드레인 전극과 연결될 수 있다. 그리고, 광센서 트랜지스터(110)의 다른 소스/드레인 전극은 구동 전압 라인(Vdd)에 연결되어 있으며, 게이트 전극은 리셋 라인(Vreset)에 연결되어 있다. 또한, 광센서 트랜지스터(110)의 상부 전극(118)은 음의 바이어스 전압을 인가하기 위한 바이어스 라인(Vbias)에 연결되어 있다.
- [0056] 이러한 인-셀 방식의 광터치 스크린 장치(300)에서, 광센서 트랜지스터(110)의 상부 전극(118)은 디스플레이 셀(140)의 전극과 동시에 형성될 수 있기 때문에, 상부 전극(118)을 형성하기 위한 별도의 추가적인 공정이 요구되지 않는다. 예를 들어, 도 8은 이러한 장점을 보이기 위한 광터치 스크린 장치(300)의 한 화소의 개략적인 구조를 도시하는 단면도이다. 도 8을 참조하면, 광터치 스크린 장치(300)는 서로 마주하여 배치된 투명한 배면 기판(301)과 투명한 전면 기판(310), 상기 배면 기판(301)과 전면 기판(310) 사이에 채워진 액정층(320), 및 인접한 두 화소를 분리하기 위한 격막(330)을 포함할 수 있다. 또한, 배면 기판(301)의 상부 표면에는 광터치 스크린 장치(300)의 동작을 위한 다수의 박막 트랜지스터, 전극, 및 기타 다양한 층들이 배치될 수 있으며, 전면 기판(310)의 하부 표면에는 다수의 컬러 필터, 전극, 및 기타 다양한 층들이 배치될 수 있다. 다수의 박막 트랜지스터는 상술한 광센서 트랜지스터(110)와 제 1 및 제 2 스위치 트랜지스터(130, 120)를 포함할 수 있으나, 도 8에는 설명의 편의상 광센서 트랜지스터(110)만을 개략적으로 도시하고 있으며, 제 1 및 제 2 스위치 트랜지스터(130, 120)는 생략되어 있다.
- [0057] 구체적으로, 배면 기판(301) 위에 게이트 전극(302)이 부분적으로 형성되어 있으며, 게이트 전극(302)과 배면 기판(301) 위에 전체적으로 게이트 절연막(303)이 도포되어 있다. 게이트 절연막(303) 상에서, 게이트 전극(302)과 대향하는 부분에는 채널막(304)이 부분적으로 형성되어 있으며, 채널막(304)의 양측에 제 1 및 제 2 소스/드레인 전극(305a, 305b)이 각각 부분적으로 형성되어 있다. 그리고, 제 1 및 제 2 소스/드레인 전극(305a, 305b), 채널막(304) 및 게이트 절연막(303)을 덮도록 투명한 패시베이션층(306)이 전체적으로 도포되어 있다. 패시베이션층(306) 위에는 제 1 투명 전극(307)이 부분적으로 형성되어 있다. 제 1 투명 전극(307)은, 예를 들

어, 패시베이션층(306)을 관통하여 제 2 소스/드레인 전극(305b)과 연결될 수 있다. 또한, 패시베이션층(306) 상에서 채널막(304)과 대향하는 위치에 투명한 상부 전극(308)이 부분적으로 형성되어 있다. 그리고, 패시베이션층(306), 제 1 투명 전극(307), 및 상부 전극(308) 위에는 폴리이미드층(309)이 전체적으로 형성될 수 있다. 폴리이미드층(309)은 액정(320)의 계면 특성 및 배향 특성을 향상시키는 역할을 할 수 있다.

[0058] 도 8에서, 게이트 전극(302), 게이트 절연막(303), 채널막(304), 제 1 및 제 2 소스/드레인 전극(305a, 305b), 패시베이션층(306), 및 상부 전극(308)은 광센서 트랜지스터(110)를 구성할 수 있다. 상술한 바와 같이, 상부 전극(308)은 바이어스 라인(Vbias)에 연결되어 광센서 트랜지스터(110)에 음의 바이어스 전압을 제공할 수 있다. 여기서, 상부 전극(308)은 제 1 투명 전극(307)과 동일한 재료로 형성될 수 있으며, 제 1 투명 전극(307)과 동시에 형성될 수 있다. 제 1 투명 전극(307)을 형성하는 과정에서 상부 전극(308)도 함께 형성될 수 있기 때문에, 광센서 트랜지스터(110)의 상부 전극(308)을 형성하기 위하여 별도의 추가적인 공정 및 추가적인 마스크가 요구되지 않는다. 따라서, 인-셀 방식의 광터치 스크린 장치(300)의 경우에, 제조비용 및 제조시간의 증가 없이 상부 전극(308)을 형성하는 것이 가능하다.

[0059] 한편, 전면 기관(310)의 하부 표면에는 출사되는 광의 색을 한정하기 위한 컬러 필터(311)와 구동 회로를 가리기 위한 블랙 매트릭스(312)가 부분적으로 형성되어 있다. 블랙 매트릭스(312)는 예를 들어, 도 8에 도시되지 않은 제 1 및 제 2 스위치 트랜지스터(130, 120) 및 나머지 회로 장치를 가리도록 배치된다. 다만, 외부의 빛이 광센서 트랜지스터(110)에 입사할 수 있도록, 광센서 트랜지스터(110)와 대향하는 부분에는 블랙 매트릭스(312)와 컬러 필터(311)가 형성되어 있지 않다. 그리고, 블랙 매트릭스(312)와 컬러 필터(311)를 덮도록 패시베이션층(313)이 전체적으로 도포되어 있으며, 패시베이션층(313) 위에는 제 2 투명 전극(314)이 형성되어 있다. 또한, 제 2 투명 전극(314)의 표면에는 액정(320)의 계면 특성 및 배향 특성을 향상시키기 위한 폴리이미드층(315)이 전체적으로 도포되어 있다.

[0060] 도 8에는 배면 기관(301) 위에 광센서 트랜지스터(110)만이 편의상 도시되어 있지만, 제 1 및 제 2 스위치 트랜지스터(130, 120)도 역시 배면 기관(301) 위에 함께 형성될 수 있다. 도 9는 광센서 트랜지스터(110)와 제 1 및 제 2 스위치 트랜지스터(130, 120)를 포함하는 광터치 스크린 장치(300)의 트랜지스터 구조를 전체적으로 보이는 개략적인 단면도이다. 도 9를 참조하면, 배면 기관(301)의 표면 위에 제 1 내지 제 3 게이트 전극(302a, 302b, 302c)이 부분적으로 형성되어 있다. 제 1 게이트 전극(302a)은 광센서 트랜지스터(110)의 게이트 전극으로서 도 7에 도시된 리셋 라인(Vreset)과 연결될 수 있다. 제 2 게이트 전극(302b)은 제 2 스위치 트랜지스터(120)의 게이트 전극이고, 제 3 게이트 전극(302c)은 제 1 스위치 트랜지스터(130)의 게이트 전극이다. 제 2 및 제 3 게이트 전극(302b, 302c)은 예를 들어 도 7에 도시된 게이트 라인(Gate)에 함께 연결될 수 있다. 그리고, 제 1 내지 제 3 게이트 전극(302a, 302b, 302c)을 덮도록 배면 기관(301) 위에 게이트 절연막(303)이 전체적으로 도포될 수 있다. 상기 게이트 절연막(303) 상에서, 제 1 게이트 전극(302a)과 대향하는 부분에는 제 1 채널막(304)이 부분적으로 형성되어 있으며, 제 2 게이트 전극(302b)과 대향하는 부분에는 제 2 채널막(324)이 부분적으로 형성되어 있고, 제 3 게이트 전극(302c)과 대향하는 부분에는 제 3 채널막(334)이 부분적으로 형성되어 있다.

[0061] 도 9에 도시된 바와 같이, 제 1 채널막(304)은 하부 채널막(304a), 중심 채널막(304b) 및 상부 채널막(304c)을 포함하는 3층 구조로 이루어질 수 있다. 그러나, 도 1과 관련하여 앞서 설명한 바와 같이, 제 1 채널막(304)은 2층 구조로 이루어질 수도 있고 또는 단층 구조로 이루어질 수도 있다. 제 1 채널막(304)이 3층 구조로 이루어지는 경우, 예컨대 하부 채널막(304a)은 HfInZnO, 중심 채널막(304b)은 InZnO, 상부 채널막(304c)은 GaInZnO로 이루어질 수 있다. 이 경우, 상기 상부 채널막(304c)은 중심 채널막(304b)을 보호하기 위한 보호막의 역할을 할 수 있다. 제 2 및 제 3 채널막(324, 334)은 제 1 채널막(304)에 비해 상대적으로 빛에 민감하지 않은 산화물 재료로 이루어질 수 있다. 제 2 및 제 3 채널막(324, 334)은 하나의 층으로만 이루어질 수도 있지만, 도 9에 도시된 바와 같이, 2층 구조로 이루어질 수도 있다. 2층 구조로 이루어지는 경우, 제 2 채널막(324)은 예컨대 HfInZnO로 이루어진 하부 채널막(324a)과 GaInZnO로 이루어진 상부 채널막(324b)을 포함할 수 있다. 제 2 채널막(324)과 마찬가지로, 제 3 채널막(334)은 예컨대 HfInZnO로 이루어진 하부 채널막(334a)과 GaInZnO로 이루어진 상부 채널막(334b)을 포함할 수 있다. 단일 층으로 이루어지는 경우, 제 2 및 제 3 채널막(324, 334)은 GaInZnO 또는 HfInZnO로만 이루어질 수도 있다. 이러한 산화물 재료로 이루어진 제 2 및 제 3 채널막(324, 334)은 빛에 덜 민감하고 안정적이어서, 트랜지스터의 문턱 전압이 음의 방향으로 시프트되는 현상이 거의 발생하지 않을 수 있다.

[0062] 제 1 내지 제 3 채널막(304, 324, 334)의 양측에는 소스/드레인 전극(305a, 305b, 305c, 305d, 305e)들이 각각 형성될 수 있다. 예를 들어, 제 1 채널막(304)의 좌측에 제 1 소스/드레인 전극(305a)이 형성되어 있으며, 제 1

채널막(304)의 우측과 제 2 채널막(324)의 좌측 사이에 제 2 소스/드레인 전극(305b)이 형성되어 있고, 제 2 채널막(324)의 우측에 제 3 소스/드레인 전극(305c)이 형성되어 있다. 제 2 소스/드레인 전극(305b)은 제 1 채널막(304)과 제 2 채널막(324) 사이에 연결되어, 광센서 트랜지스터(110)과 제 2 스위치 트랜지스터(120)를 직렬로 연결시키는 역할을 한다. 또한, 제 3 채널막(334)의 양측에는 제 4 소스/드레인 전극(305d)과 제 5 소스/드레인 전극(305e)이 형성될 수 있다.

[0063] 그리고, 상기 제 1 내지 제 3 채널막(304, 324, 334)과 제 1 내지 제 5 소스/드레인 전극(305a, 305b, 305c, 305d, 305e)을 덮도록 투명한 패시베이션층(306)이 전체적으로 도포되어 있다. 패시베이션층(306) 상에서 제 1 채널막(304)과 대향하는 위치에는 투명한 상부 전극(308)이 부분적으로 형성될 수 있다. 또한, 패시베이션층(306)을 관통하여 제 1 소스/드레인 전극(305a)에 연결되는 제 1 배선(318a)과 패시베이션층(306)을 관통하여 제 3 소스/드레인 전극(305c)에 연결되는 제 2 배선(318b)이 형성될 수 있다. 제 1 배선(318a)은 예를 들어 도 7에 도시된 구동 전압 라인(Vdd)에 연결될 수 있으며, 제 2 배선(318b)은 센싱 라인(Sensing Line)에 연결될 수 있다. 또한, 상기 패시베이션층(306)을 관통하여 제 4 소스/드레인 전극(305d)에 연결되는 제 3 배선(318c)과 패시베이션층(306)을 관통하여 제 5 소스/드레인 전극(305e)에 연결되는 제 4 배선(318d)이 형성될 수 있다. 예를 들어, 제 3 배선(318c)은 도 7에 도시된 영상 데이터 라인(LCD-Data)에 연결될 수 있으며, 제 4 배선(318d)은 디스플레이 셀(140)에 연결될 수 있다.

[0064] 도 9에 도시된 바와 같이, 도 7에 도시된 광센서 트랜지스터(110)와 제 1 및 제 2 스위치 트랜지스터(130, 120)는 모두 하나의 기판(301) 위에 함께 형성될 수 있으며, 동일한 구조의 산화물 반도체 트랜지스터로 이루어질 수 있다. 따라서, 광센서 트랜지스터(110)와 제 1 및 제 2 스위치 트랜지스터(130, 120)는 공정수의 증가를 최소화하면서 동시에 형성되는 것이 가능하다. 다만, 광센서 트랜지스터(110)는 상대적으로 광에 민감한 채널막(304)을 갖는 반면, 제 1 및 제 2 스위치 트랜지스터(130, 120)는 상대적으로 광에 민감하지 않으면서 안정된 채널막(324, 334)을 갖는다. 따라서, 문턱 전압의 음 방향 시프트를 방지하기 위한 상부 전극(308)은 광센서 트랜지스터(110)에만 형성되어도 무방하다. 광센서 트랜지스터(110)의 채널막(304)보다는 빛에 덜 민감하지만, 제 1 및 제 2 스위치 트랜지스터(130, 120)의 채널막(324, 334)도 어느 정도 빛에 반응할 수 있다. 따라서, 제 1 및 제 2 스위치 트랜지스터(130, 120)는 도 8에 도시된 블랙 매트릭스(312)로 가려질 수 있다.

[0065] 지금까지, 본 발명의 이해를 돕기 위하여 광센싱 장치 및 그 구동 방법, 상기 광센싱 장치를 포함하는 광터치 스크린 장치에 대한 예시적인 실시예가 설명되고 첨부된 도면에 도시되었다. 그러나, 이러한 실시예는 단지 본 발명을 예시하기 위한 것이고 이를 제한하지 않는다는 점이 이해되어야 할 것이다. 그리고 본 발명은 도시되고 설명된 설명에 국한되지 않는다는 점이 이해되어야 할 것이다. 이는 다양한 다른 변형이 본 기술분야에서 통상의 지식을 가진 자에게 일어날 수 있기 때문이다.

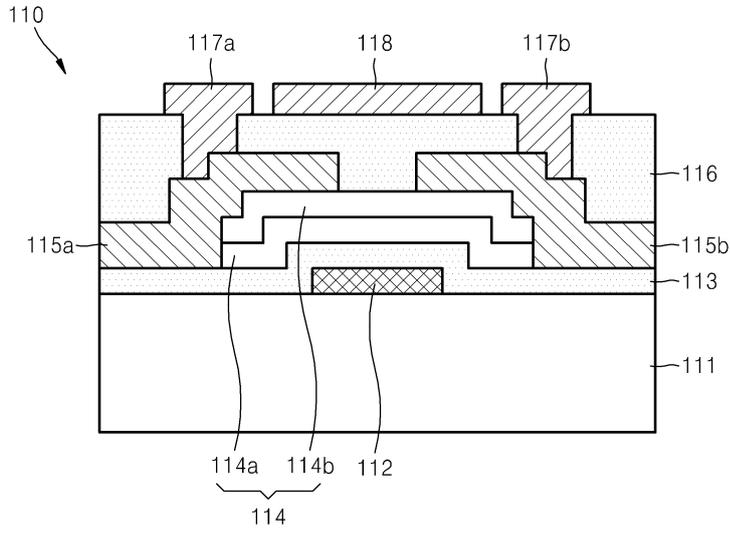
부호의 설명

- | | |
|--|----------------------------|
| [0066] 100.....광센싱 화소 | 110.....광센서 트랜지스터 |
| 111, 301, 310.....기판 | 112, 302.....게이트 전극 |
| 113, 303.....게이트 절연막 | 114, 304, 324, 334.....채널막 |
| 115a, 115b, 305a, 305b, 305c, 305d, 305e.....소스/드레인 전극 | |
| 116, 306, 313.....패시베이션층 | |
| 117a, 117b, 318a, 318b, 318c, 318d.....배선 | |
| 118, 308.....상부 전극 | 120, 130.....스위치 트랜지스터 |
| 140.....디스플레이 셀 | 200.....광센싱 장치 |
| 210, 220.....게이트 드라이버 | 230.....신호 출력부 |
| 300.....광터치 스크린 장치 | 300d.....디스플레이 화소부 |
| 300s.....광센싱 화소부 | 307, 314.....투명 전극 |
| 309, 315.....폴리이미드층 | 311.....컬러 필터 |
| 312.....블랙 매트릭스 | 320.....액정층 |

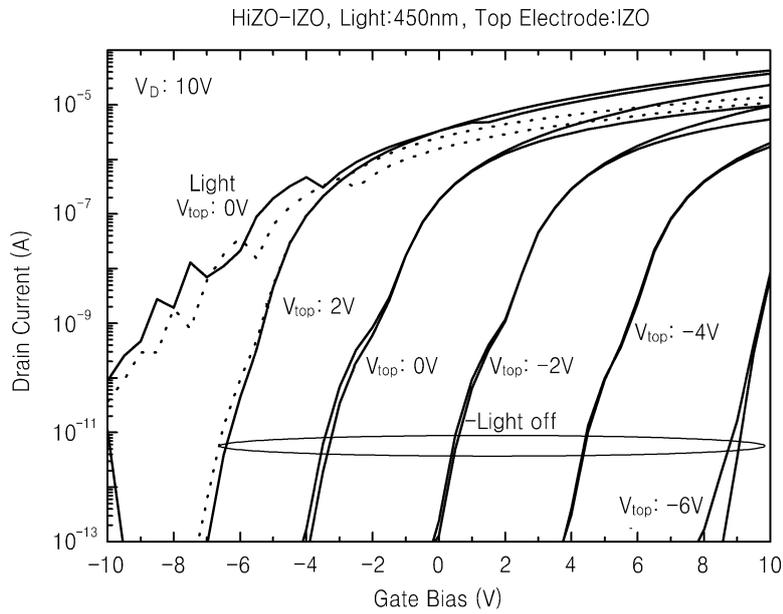
330.....격막

도면

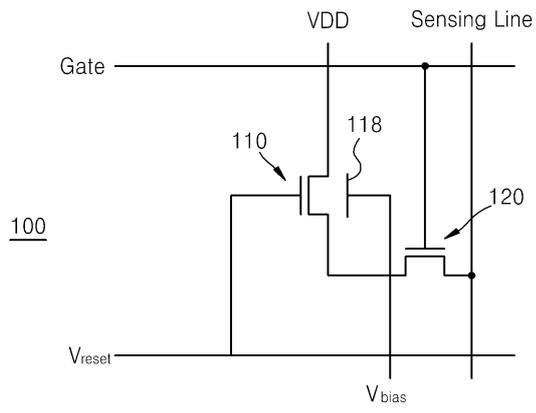
도면1



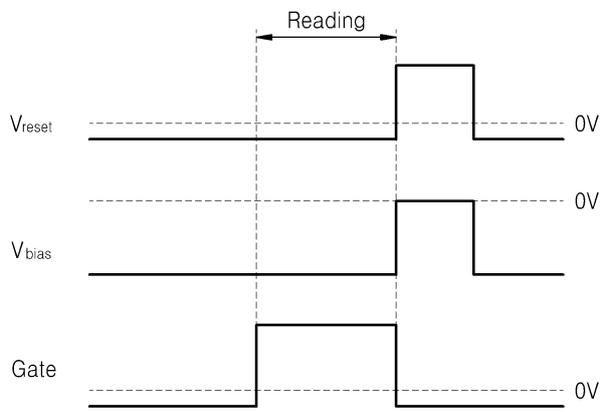
도면2



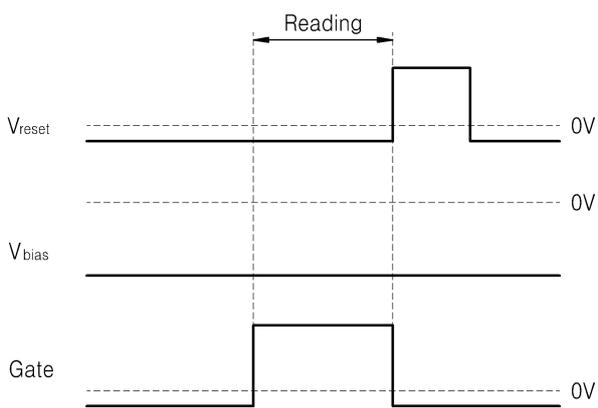
도면3



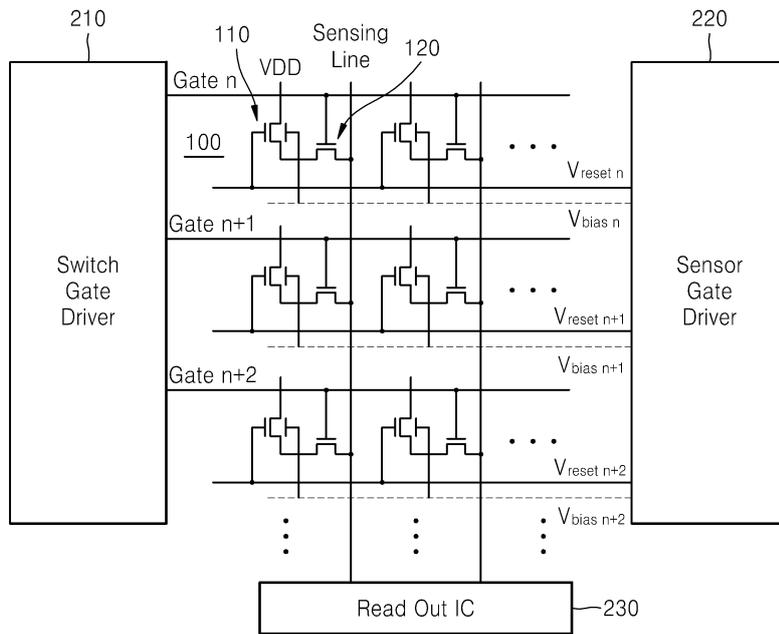
도면4



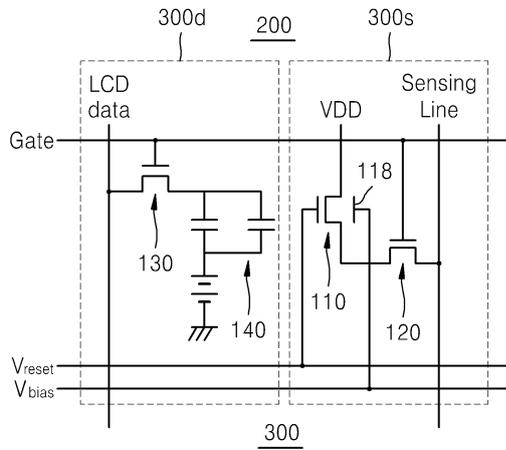
도면5



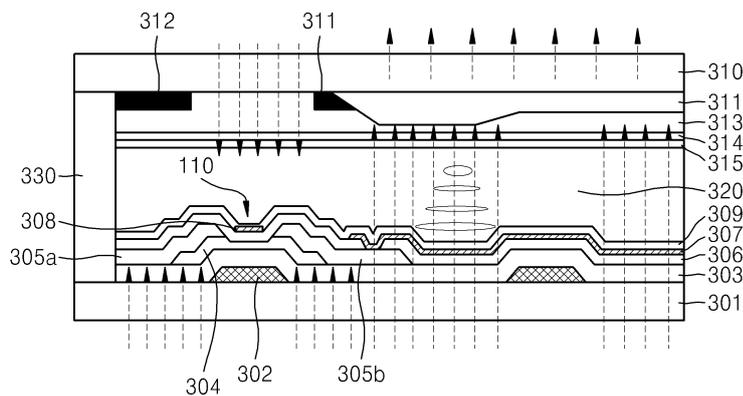
도면6



도면7



도면8



도면9

