



(12)发明专利申请

(10)申请公布号 CN 107331413 A

(43)申请公布日 2017. 11. 07

(21)申请号 201710523980.7

(22)申请日 2017.06.30

(71)申请人 上海芯火半导体有限公司

地址 201210 上海市浦东新区张衡路666弄
B座415室

(72)发明人 朱金桥 刘明 孙柏杨

(74)专利代理机构 上海信好专利代理事务所
(普通合伙) 31249

代理人 朱成之

(51) Int. Cl.

G11C 7/12(2006.01)

G11C 7/24(2006.01)

G11C 16/24(2006.01)

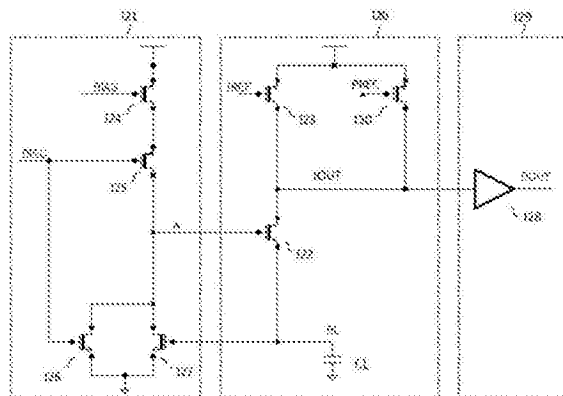
权利要求书3页 说明书6页 附图3页

(54)发明名称

一种反馈型防过充电流敏感放大器及其控制方法

(57)摘要

本发明公开了一种反馈型防过充电流敏感放大器及其控制方法,包含:反馈级电路,共栅放大器与放大输出级;所述反馈级的输出端A点与共栅放大器的输入端连接,所述共栅放大器的输出端与所述放大输出级的输入端连接;所述放大输出器的输出端为所述电流敏感放大器的数据输出端。本发明具有对位线的平滑充电和防过冲保护,提高读取数据的速度,和提升电路的稳定性,同时由于对位线充电电压的精确控制,减少了不必要的充电电荷,使总体功耗降低的优点。



1. 一种反馈型防过充电流敏感放大器,其特征在于,包含:

反馈级电路I21,共栅放大器I20与放大输出级I29;所述反馈级I21的输出端A与共栅放大器I20的输入端连接,所述共栅放大器I20的输出端与所述放大输出级I29的输入端连接;所述放大输出器I29的输出端为所述电流敏感放大器的数据输出端;

在预放电阶段,放电使能信号DISC输入至所述反馈级电路I21,使所述反馈级电路I21的输出端A点与所述共栅放大器I20设有的存储单元的位线BL复位到“0”电平状态;

在预充电阶段,预充电信号PREC输入至所述共栅放大器I20,在所述预充电信号PREC有效期间,通过所述反馈级电路I21对共栅放大器I20进行预充电,直到所述反馈级电路I21的输出端A点电压与所述共栅放大器I20设有的存储单元的位线BL电压平滑上升至稳定态;

在放大读出阶段,所述共栅放大器I20对共栅放大器I20设有的负载CL的导通电流信号IOUT与存储单元的位线BL上的电压进行放大并输出DOUT信号;

所述放大输出器I29对所述DOUT信号放大并输出。

2. 如权利要求1所述一种反馈型防过充电流敏感放大器,其特征在于,

所述反馈级电路I21进一步包含:偏置电流源I24,第一放电使能MOS管I25,第二放电使能MOS管I26与反馈晶体管I27;

所述偏置电流源I24的栅极接入BIAS信号;所述偏置电流源I24的漏极与所述第一放电使能MOS管I25的源极连接;

所述第一放电使能MOS管I25与第二放电使能MOS管I26的栅极接入放电使能信号DISC;

所述第一放电使能MOS管I25的漏极与所述第二放电使能MOS管I26和反馈晶体管I27的漏极连接;

所述第二放电使能MOS管I26和反馈晶体管I27的源极接地。

3. 如权利要求2所述一种反馈型防过充电流敏感放大器,其特征在于,

在预放电阶段,放电使能信号DISC通过所述第一放电使能MOS管I25、第二放电使能MOS管I26将反馈级电路I21输出端A点复位到“0”电平状态,同时,存储器单元的位线BL泄放到“0”电平状态。

4. 如权利要求1所述一种反馈型防过充电流敏感放大器,其特征在于,

所述共栅放大器I20进一步包含:共栅放大管I22,参考电流源负载管I23,放大输出级I30;

所述共栅放大管I22的源极与存储器单元的位线BL连接;

所述负载CL一端与所述存储器单元的位线BL连接,其另一端接地;

所述共栅放大管I22的栅极与所述反馈级电路I21的输出端A点连接;

所述共栅放大管I22的漏极与所述参考电流源负载管I23的漏极和所述预充电MOS管I30的漏极连接;

所述参考电流源负载管I23的源极和所述预充电MOS管I30的源极连接;

所述参考电流源负载管I23的栅极接入IREF信号;所述预充电MOS管I30的栅极接入预充电信号PREC;

所述共栅放大器I20的存储单元的位线BL与反馈级电路I21的反馈晶体管I27的栅极连接;

所述共栅放大管I22的源极为所述电流敏感放大器的输入端。

5. 如权利要求4所述一种反馈型防过充电流敏感放大器,其特征在于,

在预充电信号PREC期间,所述反馈级电路I21输出端A点的电位由“0”电位逐渐上升,使共栅放大管I22的栅极打开并对电流敏感放大器的输入端充电,直至充电到所述反馈输出级电路I21中的反馈晶体管I27打开,产生负反馈,使共栅放大管I22的栅极电压稳定在 $V_{GS} \times 2$ 电位,所述电流敏感放大器的输入端的电压稳定在 V_{GS} ;

预充电结束后,所述负载CL的导通电流信号IOUT通过所述共栅放大器I20放大。

6. 如权利要求1所述一种反馈型防过充电流敏感放大器,其特征在于,

所述放大输出级I29进一步包含:放大器I28;所述放大器I28的输入端与所述共栅放大器I20的输出端连接;所述放大器I28的输出端为所述电流敏感放大器的数据输出端;

所述放大输出级I29用于将所述共栅放大器I20输出的电流信号IOUT与共栅放大器I20输出的参考电流比对并放大输出。

7. 如权利要求3所述一种反馈型防过充电流敏感放大器,其特征在于,所述共栅放大器I20进一步包含:前馈电容I31,所述前馈电容I31的一端与所述共栅放大管I22的栅极连接;所述前馈电容I31的另一端与所述存储单元的位线BL连接;所述前馈电容I31用于对反馈级电路I21输出端A点与存储单元的位线BL之间的电流进行前馈耦合,加快所述存储单元的位线BL电平的上升。

8. 一种如权利要求1~7中任意一项所述反馈型防过充电流敏感放大器的控制方法,其特征在于,包含以下过程:对于任意一次数据的读取,在进行读操作时,

在预放电阶段,放电使能信号DISC输入至所述反馈级电路I21,使所述反馈级电路I21的输出端A点与所述共栅放大器I20设有的存储单元的位线BL复位到“0”电平状态;

在预充电阶段,预充电信号PREC输入至所述共栅放大器I20,在所述预充电信号PREC有效期间,通过所述反馈级电路I21对共栅放大器I20进行预充电;使所述共栅放大器I20的栅极电压稳定在 $V_{GS} \times 2$ 电位,所述存储单元的位线BL稳定在 V_{GS} 电位;

在放大读出阶段,所述共栅放大器I20对IOUT信号与存储单元的位线BL上的电压进行放大并输出DOUT信号;所述放大输出器I29对所述DOUT信号放大并输出。

9. 如权利要求8所述一种反馈型防过充电流敏感放大器的控制方法,其特征在于,

预放电阶段,将所述存储器单元的位线BL和所述共栅放大管I22的栅极接地;放电使能信号DISC通过所述第一放电使能MOS管I25、第二放电使能MOS管I26将反馈级电路I21输出端A点复位到“0”电平状态,同时,所述存储器单元的位线BL也被泄放到“0”电平状态;

预充电阶段,通过反馈级电路I21对共栅放大管I22的栅极和电流敏感放大器的输入端充电,在预充电信号PREC有效期间,反馈级电路I21输出端A点由“0”电平电位通过所述偏置电流源I24逐渐充电至稳定态,在此过程中,所述存储器单元的位线BL则通过所述共栅放大管I22及预充电MOS管I30由“0”电平电位逐渐充电并钳位到1V附近;

放大读出阶段,预充电结束后,所述负载CL的导通电流信号IOUT通过所述共栅放大器I20放大;

之后通过所述放大输出级I29将所述共栅放大器I20输出的电流信号DOUT与共栅放大器I20输出的参考电流比对并放大输出。

10. 如权利要求8所述一种反馈型防过充电流敏感放大器的控制方法,其特征在于,所述反馈输出级的上拉电流与反馈晶体管I27尺寸满足如下匹配关系:定义反馈输出级上拉

电流为*iBias*,电路进入反馈平衡状态时,反馈晶体管I27的电流值与反馈输出级上拉电流相等,

则反馈晶体管I27的尺寸满足

$$\frac{1}{2} \times (\mu_n \times C_{ox}) \times \frac{W}{L} \times (V_{gs} - V_{th})^2 = iBias$$

式中, $V_{gs}=1V$, μ_n 为反馈晶体管的沟道迁移率, C_{ox} 为反馈晶体管沟道单位电容, V_{th} 为反馈晶体管的阈值, W 为反馈晶体管的沟道宽度, L 为反馈晶体管的沟道长度。

一种反馈型防过充电流敏感放大器及其控制方法

技术领域

[0001] 本发明涉及集成电路领域,特别涉及一种反馈型防过充电流敏感放大器及其控制方法。

背景技术

[0002] 随着存储器工艺不断升级更新,存储单元结构不断是缩进,对识别其微小电流差异的放大器的电路的要求也随之提高。由此各种类型的读出放大器结构应运而生,本文针对的便是应用十分普遍的电流型放大器进行发明改进。

[0003] 传统电流放大器有着结构简单易于实现等优点,但也存在一些弊端,如过冲现象:在每次对位线读操作时,位线接入放大器,放大器则根据时序对位线进行充电,由于反馈级振铃效应,位线常出现过冲现象,从而降低了数据读取速度,甚至读出数据错误。

[0004] 现有技术中,如图1与2所示,图1为一个典型的传统电流型放大器的结构示意图,图2为一个典型的传统电流型放大器的仿真波形示意图。在现有技术中的放大器的反馈级采用简单的推挽结构。

[0005] 从图2的仿真结果可见由于负反馈使得位线出现过冲振铃,因此需要更多的预充电时间来建立位线电平使之保持稳定,之后再通过共栅放大级对存储单元微的小电流进行放大,最终在输出端读出数据。增加预充电时间也就意味着读速的下降。对于动态变化的位线负载此结构所产生的过充将尤为明显。

发明内容

[0006] 本发明的目的是提供一种反馈型防过充电流敏感放大器及其控制方法。具体为在存储器领域提供一种用于非挥发性存储器单元阵列读出数据所需的放大器结构。通过采用电流负载反馈级结构,实现对位线的平滑充电和防过冲保护,进而提高读取数据的速度和提升电路的稳定性的目的。以及同时实现对位线充电电压的精确控制,减少不必要的充电电荷,使总体功耗降低的目的。

[0007] 为了实现以上目的,本发明通过以下技术方案实现:

[0008] 一种反馈型防过充电流敏感放大器,包含:反馈级电路I21,共栅放大器I20与放大输出级I29;所述反馈级I21的输出端A与共栅放大器I20的输入端连接,所述共栅放大器I20的输出端与所述放大输出级I29的输入端连接;所述放大输出器I29的输出端为所述电流敏感放大器的数据输出端。在预放电阶段,放电使能信号DISC输入至所述反馈级电路I21,使所述反馈级电路I21的输出端A点与所述共栅放大器I20设有的存储单元的位线BL复位到“0”电平状态。在预充电阶段,预充电信号PREC输入至所述共栅放大器I20,在所述预充电信号PREC有效期间,通过所述反馈级电路I21对共栅放大器I20进行预充电,直到所述反馈级电路I21的输出端A点电压与所述共栅放大器I20设有的存储单元的位线BL电压平滑上升至稳定态。在放大读出阶段,所述共栅放大器I20对共栅放大器I20设有的负载CL的导通电流信号IOUT与存储单元的位线BL上的电压进行放大并输出DOUT信号;所述放大输出器I29对

所述DOUT信号放大并输出。

[0009] 优选地,所述反馈级电路I21进一步包含:偏置电流源I24,第一放电使能MOS管I25,第二放电使能MOS管I26与反馈晶体管I27。所述偏置电流源I24的栅极接入BIAS信号;所述偏置电流源I24的漏极与所述第一放电使能MOS管I25的源极连接。所述第一放电使能MOS管I25与第二放电使能MOS管I26的栅极接入放电使能信号DISC。所述第一放电使能MOS管I25的漏极与所述第二放电使能MOS管I26和反馈晶体管I27的漏极连接。所述第二放电使能MOS管I26和反馈晶体管I27的源极接地。

[0010] 优选地,在预放电阶段,放电使能信号DISC通过所述第一放电使能MOS管I25、第二放电使能MOS管I26将反馈级电路I21输出端A点复位到“0”电平状态,同时,存储器单元的位线BL泄放到“0”电平状态。

[0011] 优选地,所述共栅放大器I20进一步包含:共栅放大管I22,参考电流源负载管I23,放大输出级I30。所述共栅放大管I22的源极与存储器单元的位线BL连接。所述负载CL一端与所述存储器单元的位线BL连接,其另一端接地。所述共栅放大管I22的栅极与所述反馈级电路I21的输出端A连接。所述共栅放大管I22的漏极与所述参考电流源负载管I23的漏极和所述预充电MOS管I30的漏极连接。所述参考电流源负载管I23的源极和所述预充电MOS管I30的源极连接。所述参考电流源负载管I23的栅极接入IREF信号;所述预充电MOS管I30的栅极接入预充电信号PREC。所述共栅放大器I20的存储单元的位线BL与反馈级电路I21的反馈晶体管I27的栅极连接。所述共栅放大管I22的源极为所述电流敏感放大器的输入端。

[0012] 优选地,在预充电信号PREC期间,所述反馈级电路I21输出端A点的电位由“0”电位逐渐上升,使共栅放大管I22的栅极打开并对电流敏感放大器的输入端充电,直至充电到所述反馈输出级电路I21中的反馈晶体管I27打开,产生负反馈,使共栅放大管I22的栅极电压稳定在 $V_{GS} \times 2$ 电位,所述电流敏感放大器的输入端的电压稳定在 V_{GS} ;

[0013] 预充电结束后,所述负载CL的导通电流信号IOUT通过所述共栅放大器I20放大。

[0014] 优选地,所述放大输出级I29进一步包含:放大器I28;所述放大器I28的输入端与所述共栅放大器I20的输出端连接;所述放大器I28的输出端为所述电流敏感放大器的数据输出端。所述放大输出级I29用于将所述共栅放大器I20输出的电流信号IOUT与共栅放大器I20输出的参考电流比对并放大输出。

[0015] 优选地,所述共栅放大器I20进一步包含:前馈电容I31,所述前馈电容I31的一端与所述共栅放大管I22的栅极连接;所述前馈电容I31的另一端与所述存储单元的位线BL连接;所述前馈电容I31用于对反馈级电路I21输出端A点与存储单元的位线BL之间的电流进行前馈耦合,加快所述存储单元的位线BL电平的上升。

[0016] 本发明的另一个技术方案为一种基于上述反馈型防过充电流敏感放大器的控制方法,包含以下过程:对于任意一次数据的读取,在进行读操作时,在预放电阶段,放电使能信号DISC输入至所述反馈级电路I21,使所述反馈级电路I21的输出端A点与所述共栅放大器I20设有的存储单元的位线BL复位到“0”电平状态;

[0017] 在预充电阶段,预充电信号PREC输入至所述共栅放大器I20,在所述预充电信号PREC有效期间,通过所述反馈级电路I21对共栅放大器I20进行预充电;使所述共栅放大器I20的栅极电压稳定在 $V_{GS} \times 2$ 电位,所述存储单元的位线BL稳定在 V_{GS} 电位;

[0018] 在放大读出阶段,所述共栅放大器I20对IOUT信号与存储单元的位线BL上的电压

进行放大并输出DOUT信号;所述放大输出器I29对所述DOUT信号放大并输出。

[0019] 优选地,预放电阶段,将所述存储器单元的位线BL和所述共栅放大管I22的栅极接地;放电使能信号DISC通过所述第一放电使能MOS管I25、第二放电使能MOS管I26将反馈级电路I21输出端A点复位到“0”电平状态,同时,所述存储器单元的位线BL也被泄放到“0”电平状态。

[0020] 预充电阶段,通过反馈级电路I21对共栅放大管I22的栅极和电流敏感放大器的输入端充电,在预充电信号PREC有效期间,反馈级电路I21输出端A点由“0”电平电位通过所述偏置电流源I24逐渐充电至稳定态,在此过程中,所述存储器单元的位线BL则通过所述共栅放大管I22及预充电MOS管I30由“0”电平电位逐渐充电并钳位到1V附近。

[0021] 放大读出阶段,预充电结束后,所述负载CL的导通电流信号IOUT通过所述共栅放大器I20放大;之后通过所述放大输出级I29将所述共栅放大器I20输出的电流信号DOUT与共栅放大器I20输出的参考电流比对并放大输出。

[0022] 优选地,所述反馈输出级的上拉电流与反馈晶体管I27尺寸满足如下匹配关系:定义反馈输出级上拉电流为*iBias*,电路进入反馈平衡状态时,反馈晶体管I27的电流值与反馈输出级上拉电流相等,

[0023] 则反馈晶体管I27的尺寸满足

$$[0024] \quad \frac{1}{2} \times (U_n \times C_{ox}) \times \frac{W}{L} \times (V_{gs} - V_{th})^2 = iBias$$

[0025] 式中, $V_{gs}=1V$, U_n 为反馈晶体管的沟道迁移率, C_{ox} 为反馈晶体管沟道单位电容, V_{th} 为反馈晶体管的阈值, W 为反馈晶体管的沟道宽度, L 为反馈晶体管的沟道长度。

[0026] 本发明与现有技术相比具有以下优点:

[0027] 通过采用电流负载反馈级结构,实现对位线的平滑充电和防过冲保护,进而提高读取数据的速度和提升电路的稳定性。同时由于对位线充电电压的精确控制,减少了不必要的充电电荷,使总体功耗降低的优点。

[0028] 在本发明的基础上,通过在共栅放大器的栅极和位线之间增加一个前馈电容,这样可以有效的去除栅极电压和位线上的微小过冲,这种结构适用于高精度,高速度的敏感放大器电路应用。根据应用需求有选择的使用前馈电容的技术。

附图说明

[0029] 图1为现有技术中电流型放大器的结构示意图;

[0030] 图2为现有技术中电流型放大器的仿真波形示意图;

[0031] 图3为本发明一种反馈型防过充电流敏感放大器的结构示意图;

[0032] 图4为本发明一种反馈型防过充电流敏感放大器的仿真波形示意图;

[0033] 图5为本发明一种反馈型防过充电流敏感放大器的一个实施例的结构示意图;

[0034] 图6为本发明一种反馈型防过充电流敏感放大器的一个实施例的仿真波形示意图。

具体实施方式

[0035] 以下结合附图,通过详细说明一个较佳的具体实施例,对本发明做进一步阐述。

[0036] 如图3所示,本发明一种反馈型防过充电流敏感放大器,包含:反馈级电路I21,共栅放大器I20与放大输出级I29;所述反馈级I21为由可复位的电流负载共源放大器组成的。所述反馈级I21的输出端A与共栅放大器I20的输入端连接,所述共栅放大器I20的输出端与所述放大输出级I29的输入端连接。所述放大输出器I29的输出端就是本发明电流敏感放大器的数据输出端。

[0037] 所述反馈级电路I21进一步包含:偏置电流源I24,第一放电使能MOS管I25,第二放电使能MOS管I26与反馈晶体管I27。

[0038] 所述偏置电流源I24的栅极接入BIAS信号;所述偏置电流源I24的漏极与所述第一放电使能MOS管I25的源极连接。

[0039] 所述第一放电使能MOS管I25与第二放电使能MOS管I26的栅极接入放电使能信号DISC。

[0040] 所述第一放电使能MOS管I25的漏极与所述第二放电使能MOS管I26和反馈晶体管I27的漏极连接。

[0041] 所述第二放电使能MOS管I26和反馈晶体管I27的源极接地。

[0042] 所述反馈晶体管I27的栅极与所述共栅放大器I20的存储单元的位线BL连接。

[0043] 所述共栅放大器I20进一步包含:共栅放大管I22,参考电流源负载管I23,放大输出级I30与存储单元的位线BL与负载CL。

[0044] 所述共栅放大管I22的源极作为本发明电流敏感放大器的输入端,并且所述共栅放大管I22的源极与存储器单元的位线BL连接;所述共栅放大管I22的栅极与所述反馈级电路I21的输出端A连接;所述共栅放大管I22的漏极与所述参考电流源负载管I23的漏极和所述预充电MOS管I30的漏极连接;所述参考电流源负载管I23的源极和所述预充电MOS管I30的源极连接;所述参考电流源负载管I23的栅极接入IREF信号;所述预充电MOS管I30的栅极接入预充电信号PREC。所述负载CL一端与所述存储器单元的位线BL连接,其另一端接地。

[0045] 所述放大输出级I29进一步包含:放大器I28;所述放大器I28的输入端与所述共栅放大管I22、参考电流源负载管I23和所述预充电MOS管I30的漏极连接;所述放大器I28的输出端为所述放大输出级I29的输出端,即为本发明电流敏感放大器的数据输出端。

[0046] 结合图3与图4所示,在上述一种反馈型防过充电流敏感放大器的基础上,本发明还公开了一种反馈型防过充电流敏感放大器的控制方法,包含以下过程:本发明电流敏感放大器的一次数据读取动作包含三个阶段,第一阶段为预放电阶段,将电流敏感放大器的输入端即所述存储器单元的位线BL和所述共栅放大管I22的栅极都强制到地。

[0047] 在进行读操作时,首先是预放电;具体的预放电过程如下,放电使能信号DISC通过所述第一放电使能MOS管I25、第二放电使能MOS管I26将反馈级电路I21输出端A点复位到“0”电平状态,与此同时存储器单元的位线BL也被泄放到“0”电平状态。

[0048] 第二阶段为预充电阶段,通过反馈级电路I21对共栅放大管I22的栅极和电流敏感放大器的输入端充电,并且在预充电阶段期间,反馈级电路I21的输出端A与存储单元的位线BL这两个充电节点都平滑的上升到期望值,没有出现振铃和过充现象。

[0049] 所述预充电阶段具体过程如下,在预充电信号PREC有效期间,反馈级电路I21输出端A点由“0”电平电位通过所述偏置电流源I24逐渐充电至稳定态,在此过程中,所述存储器单元的位线BL则通过所述共栅放大管I22及预充电MOS管I30由“0”电平电位逐渐充电并钳

位到1V左右。

[0050] 由于共栅放大器I20的栅极与反馈级电路I21输出端A点为可控的充电斜率,在此过程中,存储单元的位线BL从上升过程平滑过渡到稳定态,并且由于反馈晶体管I27的存在,所述反馈级电路I21输出端A点的电压及时的被反馈钳位,有效的防止了负反馈闭环链路引起的震荡振铃,从而缩短了存储单元的位线BL的预充电建立时间,进而有效的提高了读出数据的速度,同时也大大减小了共栅放大器I20对存储单元的位线BL负载CL变化的敏感性,简化位线译码的设计难度。

[0051] 第三阶段为放大读出阶段,DOUT信号通过所述共栅放大管I22的放大,迅速的将存储单元的位线BL上的电压放大,实现数据输出。

[0052] 上述数据的放大读出阶段具体过程如下,在所述共栅放大器I20的作用下,IOUT信号被放大,并且通过放大输出级I29进一步放大并且读出。

[0053] 综上所述,通过在反馈级电路I21电路中引入的第一放电使能MOS管I25、第二放电使能MOS管I26及偏置电流源I24实现了对共栅放大器I20栅极与反馈级电路I21输出端A点可控的电压上升斜率,并通过反馈晶体管I27使得电路不存在过充现象。本发明能有效减小由共栅放大器对位线负载变化引起的振铃现象,对位线负载变化低敏感性。

[0054] 本发明的另一个实施例为如图5所示,在本发明的反馈型防过充电流敏感放大器的基础上增加了前馈电容I31,具体的工作原理与本发明相同。

[0055] 所述前馈电容I31的一端与所述共栅放大管I22的栅极连接;所述前馈电容I31的另一端与所述存储单元的位线BL连接。

[0056] 结合图5与图6所示,增加前馈电容I31后,由于反馈级电路I21输出端A点与存储单元的位线BL之间前馈耦合,使所述存储单元的位线BL电平电位的上升加快,可以完全消除反馈级电路I21输出端A点和存储单元的位线BL上的微小过冲,适用高精度、高速度的敏感放大器电路应用。

[0057] 综上所述,本发明所提及的电流放大器为对反馈级进行复位设置初态,并采用偏置电流源作为反馈级负载,使位线在每次读取数据时均从“0”电位逐渐充电至稳定态,有效的防止了传统电流放大器经常出现的过冲现象,实现对数据稳定和快速的读取。同时由于偏置电流源负载的引入,能使位线的负载在动态变化情况下均能使位线达到稳定预充。

[0058] 在进行读操作时,先通过放电脉冲将反馈级输出端复位到“0”状态,电流敏感放大器输入端也复位到“0”电位,在预充电信号期间,反馈输出级由“0”电位逐渐上升,使共栅放大器打开并对电流敏感放大器的输入端充电,一旦充电到上述反馈输出级中的反馈N型场效应管打开,产生负反馈的效果,致使共栅放大器的栅极电压稳定在VGS*2电位,敏感放大器的输入端稳定在VGS。预充电结束后,存储单元的导通电流通过共栅放大器实现放大并在输出级与参考电流比对,从而实现电流-电压转换。

[0059] 反馈输出级由“0”电位逐渐充电至稳定态,进而实现位线从“0”电位逐渐充电并钳位到1V左右,从而防止由于位线由于振铃现象和电压过充而导致的读出速度变慢,和对存储器单元的电压冲击,既保证了电路的读速度性能,也提高了存储器的可靠性,同时由于对位线充电电压的精确控制,减少了不必要的充电电荷,使总体功耗降低。

[0060] 由于位线的电压需要控制在1V左右,所以反馈输出级的上拉电流与反馈晶体管尺寸需要满足一定匹配关系。若定义反馈输出级上拉电流为*i*BIAS,而电路进入反馈平衡状态

时 $i_{BIAS} = i_{I27}$, 则反馈晶体管 I27 的尺寸需要满足 $1/2 * (U_n C_{ox}) W/L * (V_{gs} - V_{th})^2 = i_{Bias}$, 其中 $V_{gs} = 1V$, U_n 为反馈晶体管的沟道迁移率, C_{ox} 为反馈晶体管沟道单位电容, V_{th} 为反馈晶体管的阈值, W 为反馈晶体管的沟道宽度, L 为反馈晶体管的沟道长度。

[0061] 在实际应用中, 随着反馈晶体管尺寸和电流选择的不同, 共栅放大器的栅极电压和位线电压有可能出现较小的过冲, 在一般情况下, 不影响敏感放大器的工作。另一方面可以通过在共栅放大器的栅极和位线之间增加一个前馈电容, 这样可以有效的去除栅极电压和位线上的微小过冲, 这种结构适用于高精度, 高速度的敏感放大器电路应用。根据应用需求可以有选择的使用前馈电容的技术。

[0062] 尽管本发明的内容已经通过上述优选实施例作了详细介绍, 但应当认识到上述的描述不应被认为是对本发明的限制。在本领域技术人员阅读了上述内容后, 对于本发明的多种修改和替代都将是显而易见的。因此, 本发明的保护范围应由所附的权利要求来限定。

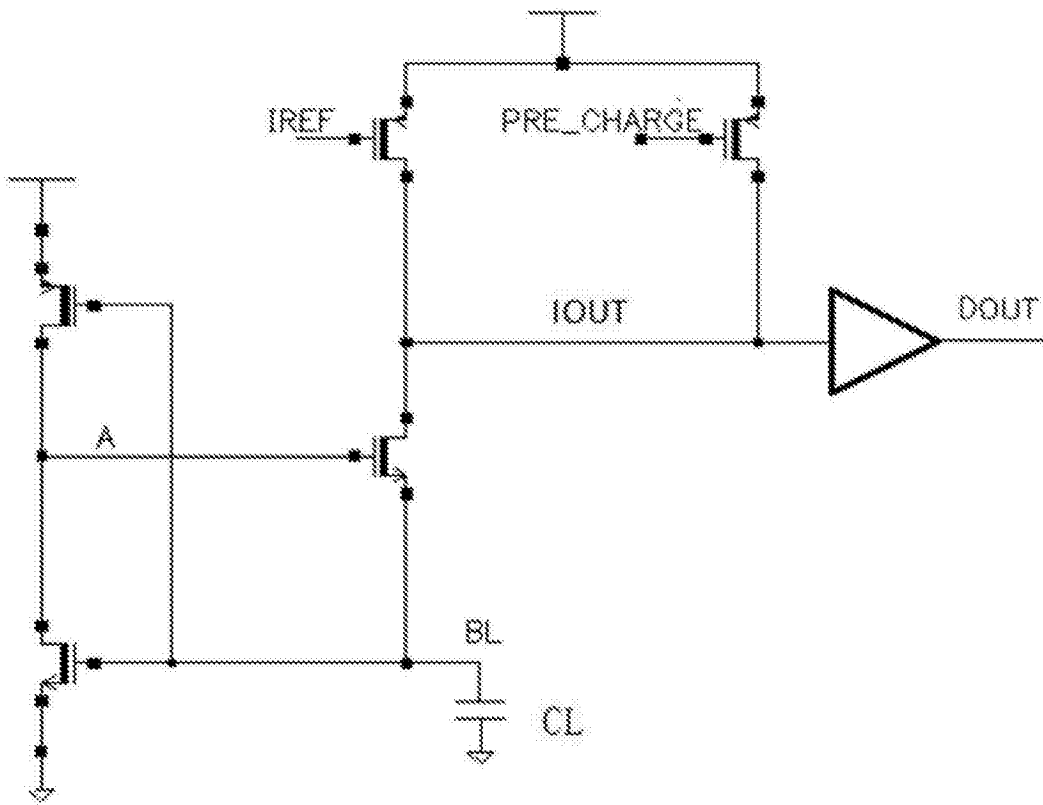


图1

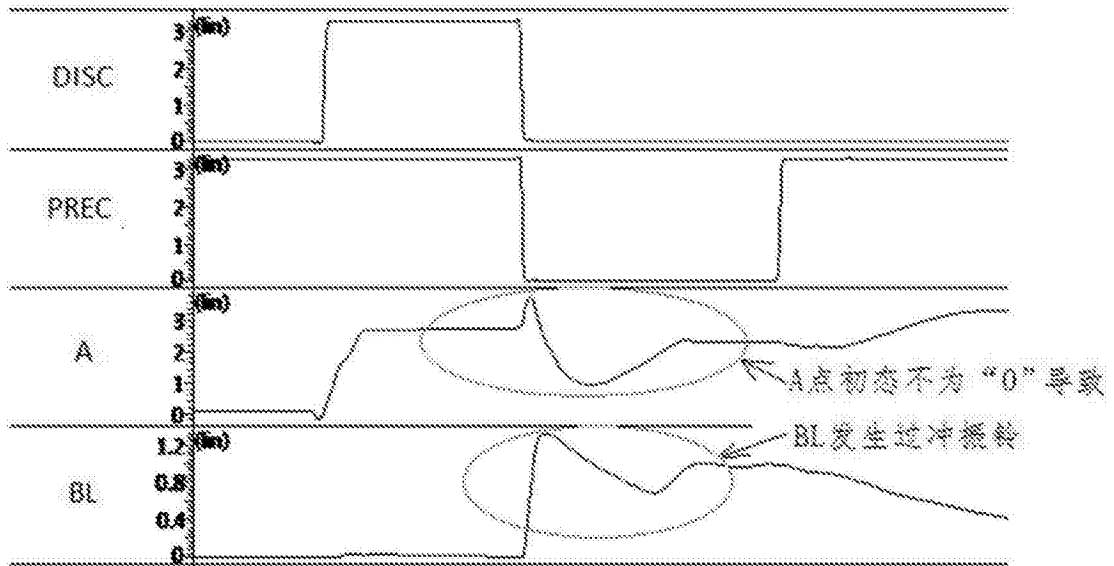


图2

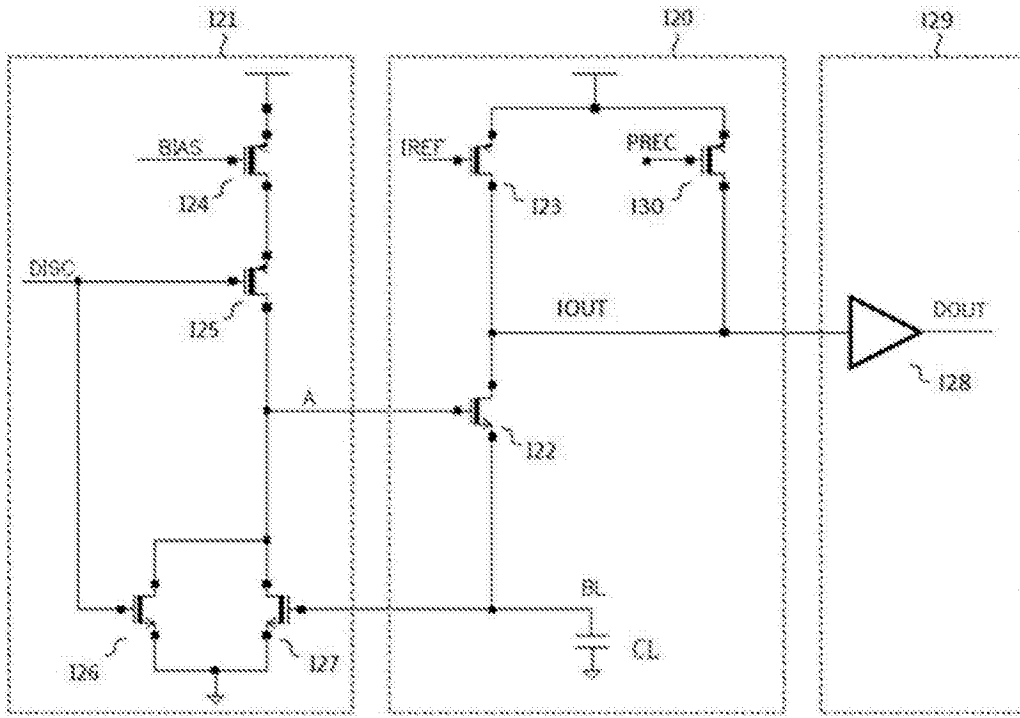


图3

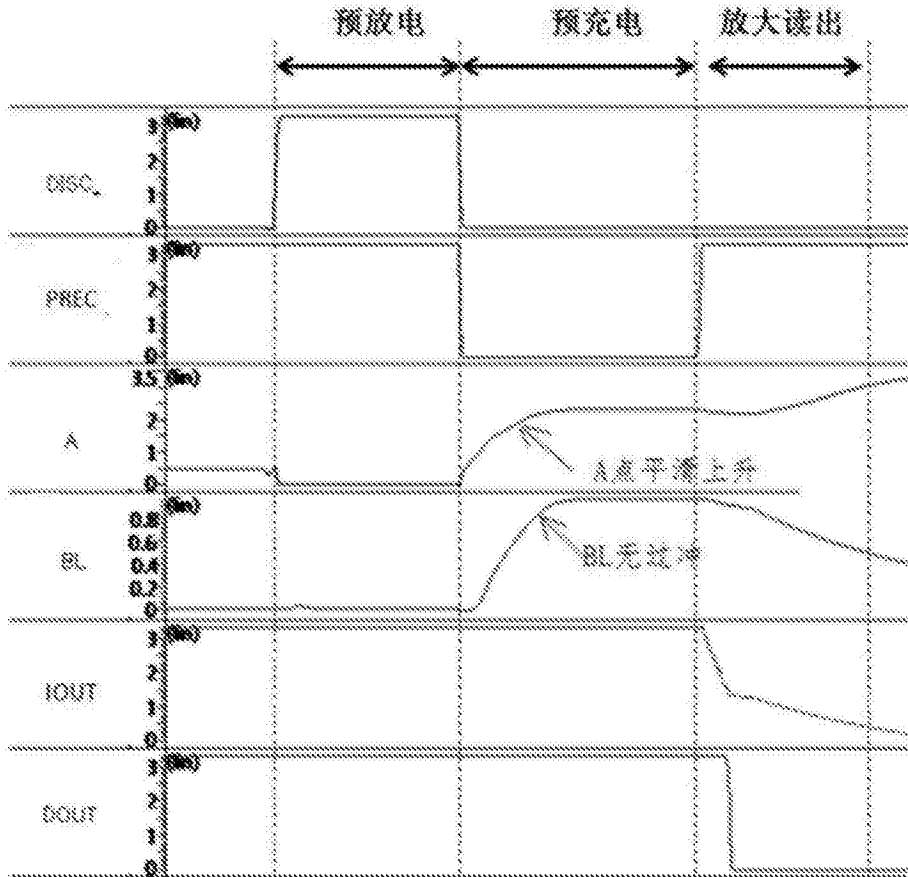


图4

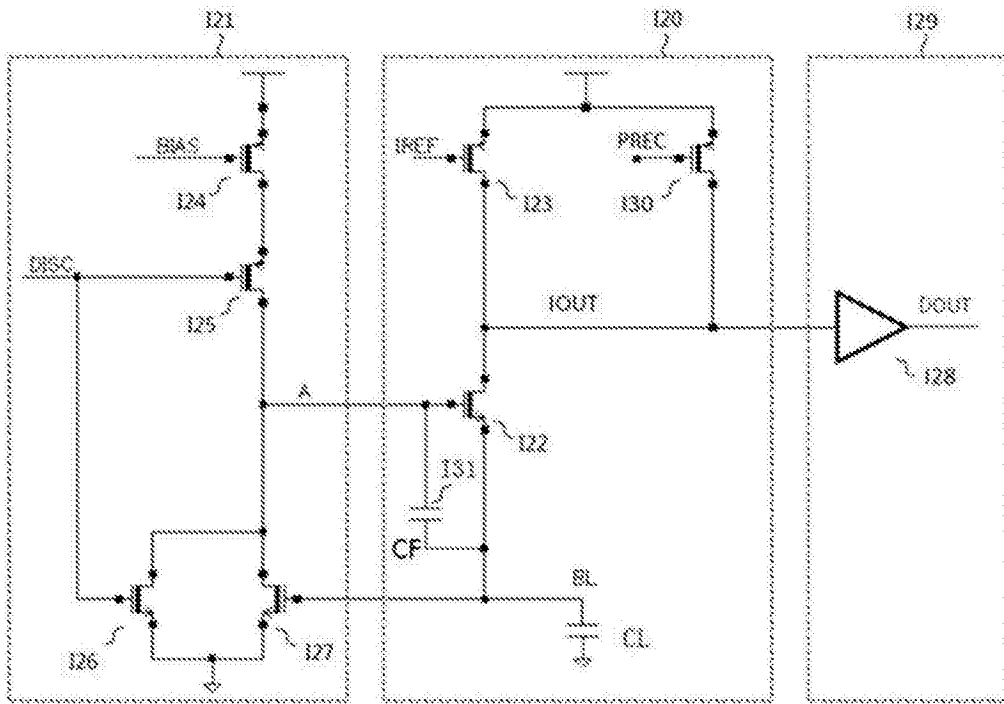


图5

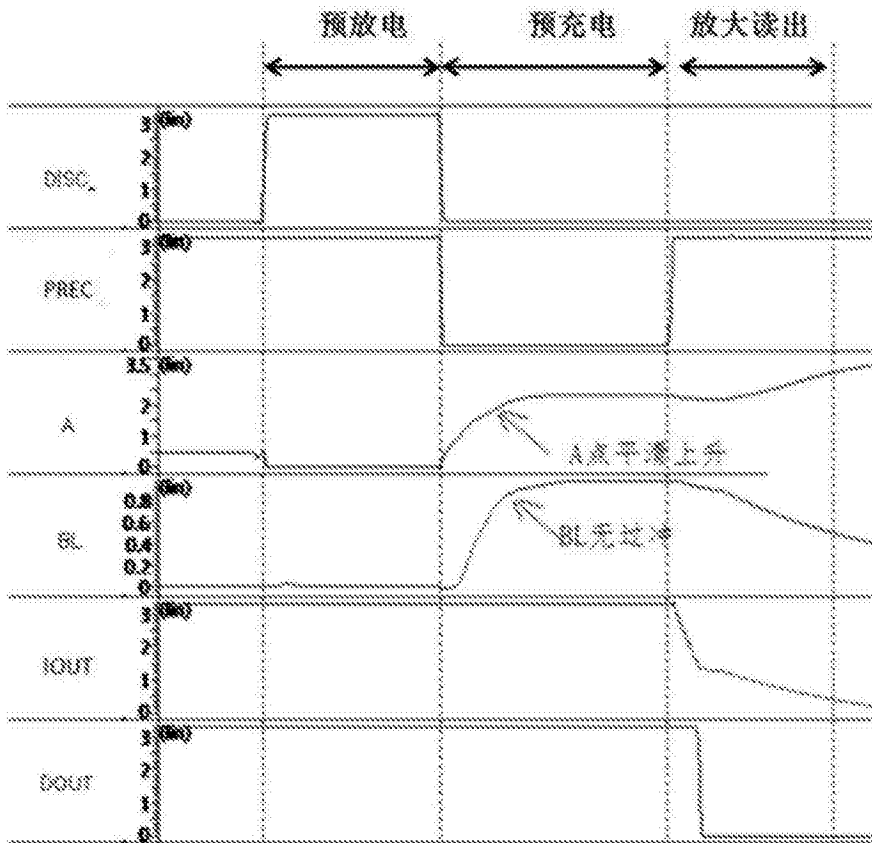


图6