



(12)发明专利申请

(10)申请公布号 CN 107210305 A

(43)申请公布日 2017.09.26

(21)申请号 201580001562.0
 (22)申请日 2015.02.13
 (85)PCT国际申请进入国家阶段日
 2016.02.05
 (86)PCT国际申请的申请数据
 PCT/JP2015/053997 2015.02.13
 (87)PCT国际申请的公布数据
 W02016/129109 JA 2016.08.18
 (71)申请人 瑞萨电子株式会社
 地址 日本东京都
 (72)发明人 关川宏昭
 (74)专利代理机构 北京市金杜律师事务所
 11256
 代理人 陈伟

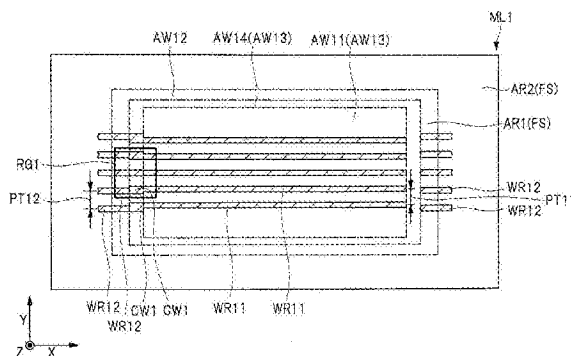
(51)Int.Cl.
H01L 27/14(2006.01)
H01L 21/3205(2006.01)
H01L 21/768(2006.01)
H01L 21/82(2006.01)
H01L 23/522(2006.01)
H04N 5/369(2006.01)

权利要求书5页 说明书34页 附图47页

(54)发明名称
 半导体器件及其制造方法

(57)摘要

半导体器件具有:彼此同层地形成在半导体衬底的上方的多个布线(WR11);以及分别与多个布线(WR11)同层地形成的多个布线(WR12)。多个布线(WR11)在俯视时分别沿X轴方向延伸、且沿与X轴方向交叉的Y轴方向以间距(PT11)排列,多个布线(WR12)在俯视时分别沿X轴方向延伸、且沿Y轴方向以间距(PT12)排列。多个布线(WR11)分别与多个布线(WR12)的每一个电连接,间距(PT11)比间距(PT12)小。



1. 一种半导体器件,其特征在于,具有:
半导体衬底;
多个光电转换元件,其在所述半导体衬底的主面的第一区域中形成于所述半导体衬底的所述主面;
多个第一布线,其在所述第一区域中彼此同层地形成在所述半导体衬底的所述主面的上方;以及
多个第二布线,其在所述半导体衬底的所述主面的第二区域中分别与所述多个第一布线同层地形成,
所述第二区域是在俯视时配置在第一方向上的所述第一区域的第一侧的区域,
所述多个第一布线在俯视时分别沿所述第一方向延伸,并且沿与所述第一方向交叉的第二方向以第一间距排列,
所述多个第二布线在俯视时分别沿所述第一方向延伸,并且沿所述第二方向以第二间距排列,
所述多个第一布线分别与所述多个第二布线的每一个电连接,
所述第一间距比所述第二间距小。
2. 如权利要求1所述的半导体器件,其特征在于,
具有在所述第一区域及所述第二区域中形成在所述半导体衬底的所述主面的上方的多个布线层,
所述多个布线层中的与最上层的布线层相比位于下层的布线层包含所述多个第一布线和所述多个第二布线。
3. 如权利要求1所述的半导体器件,其特征在于,
所述多个第一布线各自在所述第二方向上的第一宽度比所述多个第二布线各自在所述第二方向上的第二宽度窄。
4. 如权利要求1所述的半导体器件,其特征在于,
具有分别与所述多个第一布线同层地形成的多个连接布线,
所述多个第一布线分别经由所述多个连接布线的每一个与所述多个第二布线的每一个连接。
5. 如权利要求4所述的半导体器件,其特征在于,
所述多个连接布线各自在所述第二方向上的第三宽度,比所述多个第一布线各自的所述第二区域侧的第一端部在所述第二方向上的第四宽度宽,并且所述第三宽度为所述多个第二布线各自的所述第一区域侧的第二端部在所述第二方向上的第五宽度以上。
6. 如权利要求1所述的半导体器件,其特征在于,
所述多个第一布线中的某一个第一布线配置成,在俯视时与所述多个第二布线中的和所述某一个第一布线连接的第二布线相比更向所述第二方向上的第二侧偏移。
7. 如权利要求6所述的半导体器件,其特征在于,
所述某一个第一布线的所述第二区域侧的第三端部中的在所述第二方向上与所述第二侧相反一侧的部分,与和所述某一个第一布线连接的第二布线的所述第一区域侧的第四端部中的在所述第二方向上的所述第二侧的部分接触。
8. 如权利要求5所述的半导体器件,其特征在于,

所述多个连接布线中的第一连接布线与所述多个第一布线中的某一个第一布线连接，并且与所述多个第二布线中的某一个第二布线连接，

所述第一连接布线在所述第二方向上的第三侧的第一侧面、和所述某一个第一布线的所述第一端部在所述第二方向上的所述第三侧的第二侧面形成同一面，

所述第一连接布线在所述第二方向上的与所述第三侧相反一侧的第三侧面、和所述某一个第二布线的所述第二端部在所述第二方向上的与所述第三侧相反一侧的第四侧面形成同一面。

9. 如权利要求8所述的半导体器件，其特征在于，

所述某一个第一布线的所述第一端部在所述第二方向上的与所述第三侧相反一侧的第五侧面配置成，在俯视时与所述某一个第二布线的所述第二端部在所述第二方向上的所述第三侧的第六侧面相比更靠向所述第二方向上的所述第三侧。

10. 如权利要求4所述的半导体器件，其特征在于，

所述多个连接布线中的第二连接布线与所述多个第一布线中的某一个第一布线连接，并且与所述多个第二布线中的某一个第二布线连接，

所述某一个第一布线的所述第二区域侧的第三端部在所述第二方向上的第四侧的第七侧面配置成，在俯视时比所述某一个第二布线的所述第一区域侧的第四端部在所述第二方向上的与所述第四侧相反一侧的第八侧面更靠向所述第二方向上的所述第四侧，

所述第二连接布线在所述第二方向上的与所述第四侧相反一侧的第九侧面和所述第八侧面形成同一面，

所述第二连接布线在所述第二方向上的所述第四侧的第十侧面和所述第七侧面形成同一面。

11. 如权利要求4所述的半导体器件，其特征在于，

在彼此连接的所述第一布线、所述连接布线及所述第二布线的组中，所述连接布线在所述第二方向上的第五侧的第十一侧面，与所述第一布线在所述第二方向上的所述第五侧的第十二侧面及所述第二布线在所述第二方向上的所述第五侧的第十三侧面均连续，

在所述组中，所述连接布线在所述第二方向上的与所述第五侧相反一侧的第十四侧面，与所述第一布线在所述第二方向上的与所述第五侧相反一侧的第十五侧面及所述第二布线在所述第二方向上的与所述第五侧相反一侧的第十六侧面均连续。

12. 如权利要求1所述的半导体器件，其特征在于，

具有分别形成在与所述多个第一布线不同的层上的多个连接布线，

所述多个第一布线分别经由所述多个连接布线的每一个与所述多个第二布线的每一个电连接。

13. 如权利要求12所述的半导体器件，其特征在于，

所述多个连接布线各自与所述多个第一布线相比形成在更下层。

14. 如权利要求12所述的半导体器件，其特征在于，

具有：

多个第一电极，其形成在所述多个第一布线和所述多个连接布线之间的层；以及

多个第二电极，其形成在所述多个第二布线和所述多个连接布线之间的层，

所述多个第一布线分别经由所述多个第一电极的每一个与所述多个连接布线的每一

个电连接，

所述多个第二布线分别经由所述多个第二电极的每一个与所述多个连接布线的每一个电连接，

所述多个第一电极在俯视时沿所述第二方向以第三间距排列，

所述多个第二电极在俯视时沿所述第二方向以所述第二间距排列，

所述第三间距比所述第二间距小。

15. 如权利要求12所述的半导体器件，其特征在于，

所述多个连接布线各自与所述多个第一布线相比形成在更上层。

16. 如权利要求14所述的半导体器件，其特征在于，

具有在所述第一区域中分别与所述多个第一布线同层地形成的多个第一端子部，

所述多个第一端子部分别与所述多个第一布线的每一个电连接，并且分别经由所述多个第一电极的每一个与所述多个连接布线的每一个电连接，

在彼此电连接的所述第一布线、所述第一端子部、所述第一电极及所述连接布线的组中，所述第一端子部包含：比所述第一布线更向所述第二方向上的第六侧突出的第一突出部；以及比所述第一布线更向所述第二方向上的与所述第六侧相反一侧突出的第二突出部，

在所述组中，所述第一端子部在俯视时与所述连接布线重叠，

在所述组中，所述第一电极在俯视时内置于与所述连接布线重叠的部分的所述第一端子部。

17. 如权利要求14所述的半导体器件，其特征在于，

具有在所述第一区域中分别与所述多个第一布线同层地形成的多个第二端子部，

所述多个第二端子部分别与所述多个第一布线的每一个电连接，并且分别经由所述多个第一电极的每一个与所述多个连接布线的每一个电连接，

在彼此电连接的所述第一布线、所述第二端子部、所述第一电极及所述连接布线的组中，所述第二端子部在俯视时与所述连接布线重叠，

在所述组中，所述第一电极在俯视时内置于与所述连接布线重叠的部分的所述第二端子部，

所述多个第二端子部中的、与在所述多个第一布线的排列的中央部配置的第一布线连接的第二端子部在所述第二方向上的第六宽度，比所述多个第二端子部中的、与在所述多个第一布线的排列的端部配置的第一布线连接的第二端子部在所述第二方向上的第七宽度窄。

18. 如权利要求12所述的半导体器件，其特征在于，

所述多个连接布线在俯视时沿所述第二方向以第四间距排列，

所述第四间距比所述第一间距大且比所述第二间距小。

19. 一种半导体器件，其特征在于，具有：

半导体衬底；

多个光电转换元件，其在所述半导体衬底的主面的第一区域中形成于所述半导体衬底的所述主面；

多个第一布线，其在所述第一区域中彼此同层地形成在所述半导体衬底的所述主面的

上方;以及

多个第二布线,其在所述半导体衬底的所述主面的第二区域中分别与所述多个第一布线同层地形成,

所述第二区域是在俯视时配置在第一方向上的所述第一区域的第一侧的区域,

所述多个第一布线在俯视时分别沿所述第一方向延伸,并且沿与所述第一方向交叉的第二方向排列,

所述多个第二布线在俯视时分别沿所述第一方向延伸,并且沿所述第二方向排列,

所述多个第一布线分别与所述多个第二布线的每一个电连接,

所述多个第一布线中的、在所述多个第一布线的排列的所述第二方向上的第二侧的端部配置的第一布线配置成,在俯视时与所述多个第二布线中的和所述第一布线连接的第二布线相比更向所述第二方向上的与所述第二侧相反一侧偏移。

20. 一种半导体器件的制造方法,其特征在于,具有:

(a) 准备半导体衬底的工序;

(b) 在所述半导体衬底的主面的第一区域中,在所述半导体衬底的所述主面上形成多个光电转换元件的工序;以及

(c) 在所述第一区域中,在所述半导体衬底的所述主面的上方彼此同层地形成多个第一布线,在所述半导体衬底的所述主面的第二区域中,分别与所述多个第一布线同层地形成多个第二布线的工序,

所述第二区域是在俯视时配置在第一方向上的所述第一区域的第一侧的区域,

所述(c)工序具有:

(d) 制造具有用于形成所述多个第一布线的的第一曝光用图案、和用于形成所述多个第二布线的第二曝光用图案在内的曝光用掩膜的工序;

(e) 在所述(b)工序之后,使用所述曝光用掩膜进行光刻工序,形成在俯视时分别沿所述第一方向延伸、且沿与所述第一方向交叉的第二方向以第一间距排列的多个第一布线,并形成在俯视时分别沿所述第一方向延伸、且沿所述第二方向以比所述第一间距小的第二间距排列的多个第二布线的工序,

所述多个第一布线分别与所述多个第二布线的每一个电连接,

所述(d)工序包括:

(d1) 创建第一图案数据的工序,所述第一图案数据具有:多个第一图案,其在第一平面的第三区域中,分别沿所述第一平面内的第三方向延伸、且沿第四方向以第三间距排列,所述第四方向为所述第一平面内的方向且与所述第三方向交叉的方向;以及多个第二图案,其在第四区域中,分别沿所述第三方向延伸、且沿所述第四方向以所述第三间距排列,所述第四区域为所述第一平面的区域且配置在所述第三方向上的所述第三区域的第一侧的区域;

(d2) 截出所述第一图案数据中的由配置在所述第三区域中的部分构成的第一部分图案数据的工序;

(d3) 针对被截出的所述第一部分图案数据进行缩小处理,创建具有分别沿所述第三方向延伸、且沿所述第四方向以比所述第三间距小的第四间距排列的多个第三图案在内的第二部分图案数据的工序;

(d4) 将所述第二部分图案数据粘贴在第五区域,形成具有在所述第五区域中配置的所述多个第三图案和在所述第四区域中配置的所述多个第二图案在内的第二图案数据的工序,所述第五区域为所述第一平面的所述第三区域内的区域且与所述第四区域分离的区域;以及

(d5) 制造具有基于所述第二图案数据的所述多个第三图案而形成的所述第一曝光用图案、和基于所述第二图案数据的所述多个第二图案而形成的所述第二曝光用图案在内的所述曝光用掩膜的工序。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件及其制造方法,例如为能够良好地用于包含固体成像元件在内的半导体器件及其制造方法。

背景技术

[0002] 作为数码相机等中使用的固体成像元件(以下,简称为“摄像元件”),正在发展使用CMOS(Complementary Metal Oxide Semiconductor:互补金属氧化物半导体)的CMOS图像传感器的开发。

[0003] 作为具有该CMOS图像传感器在内的半导体器件的摄像元件具有形成在半导体衬底的上表面上的多个像素。多个像素在俯视时以矩阵状排列,分别检测光。另外,在这些多个像素上分别形成有检测光并产生电荷的光电二极管等的光电转换元件。

[0004] 日本专利第2600250号公报(专利文献1)公开了在固体成像装置中在多个受光部上配置有聚光部的技术。日本专利第3478796号公报(专利文献2)公开了在固体成像装置中二维地排列光电转换区域的技术。日本专利第3551437号公报(专利文献3)公开了在固体成像装置中在衬底上设置有多个受光部、多个彩色滤光片和多个聚光部的技术。日本专利第4419658号公报(专利文献4)公开了在固体成像装置中设置有多个受光部和多个片上透镜的技术。日本专利第4004302号公报(专利文献5)公开了在摄像元件中由受光元件、彩色滤光片和微透镜构成的像素呈矩阵状地配置有多个的技术。日本特开2007-88851号公报(专利文献6)公开了在摄像装置中具备具有受光元件以及微透镜在内的摄像元件和摄像透镜的技术。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本专利第2600250号公报

[0008] 专利文献2:日本专利第3478796号公报

[0009] 专利文献3:日本专利第3551437号公报

[0010] 专利文献4:日本专利第4419658号公报

[0011] 专利文献5:日本专利第4004302号公报

[0012] 专利文献6:日本特开2007-88851号公报

发明内容

[0013] 作为这样的半导体器件的摄像元件具有形成在半导体衬底的上方的遮光膜。遮光膜为了将光恰当地入射到在多个像素各自形成的光电二极管而对不需要的光进行遮光。另一方面,遮光膜中的位于各光电二极管上的部分形成有开口部。

[0014] 这里,向配置在多个像素的排列的周边侧的像素入射的入射光是从相对于与半导体衬底的上表面垂直的方向倾斜的方向入射的。在这样的情况下,向各像素入射的光的一部分不入射到该像素所含有的光电二极管,由此,光电二极管PD的灵敏度降低,即产生阴影

(shading)。

[0015] 为了防止或抑制该阴影,考虑对于形成在遮光膜上的开口部实施以多个像素的排列的中心侧的位置为中心进行缩小的缩小处理即收缩处理,将开口部错开。但是,仅对于遮光膜的开口部进行收缩处理,入射到各像素的光被被半导体衬底的上方的布线层即与遮光膜不同层的布线层所含有的布线反射,因此,难以防止或抑制阴影。由此,CMOS图像传感器的灵敏度降低,半导体器件的性能降低。

[0016] 其他的课题和新的特征从本说明书的记载及附图明确。

[0017] 根据一实施方式,半导体器件具有:彼此同层地形成在半导体衬底的上方的多个第一布线;以及分别与多个第一布线同层地形成的第二布线。多个第一布线在俯视时分别沿第一方向延伸、且沿与第一方向交叉的第二方向以第一间距排列,多个第二布线在俯视时分别沿第一方向延伸、且沿第二方向以第二间距排列。多个第一布线分别与多个第二布线的每一个电连接,第一间距比第二间距小。

[0018] 发明的效果

[0019] 根据一实施方式,能够提高半导体器件的性能。

附图说明

[0020] 图1是表示实施方式1的半导体器件的结构的俯视图。

[0021] 图2是表示实施方式1的半导体器件的结构的剖视图。

[0022] 图3是表示实施方式1的半导体器件的结构的剖视图。

[0023] 图4是表示实施方式1中的第一层的布线层的布线布局的俯视图。

[0024] 图5是表示实施方式1中的第一层的布线层的布线布局的俯视图。

[0025] 图6是表示实施方式1中的最上层的布线层的布线布局数据的俯视图。

[0026] 图7是表示实施方式1中的最上层的布线层的布线布局数据的俯视图。

[0027] 图8是表示实施方式1中的最上层的布线层的布线布局数据的俯视图。

[0028] 图9是表示实施方式1中的最上层的布线层的布线布局数据的俯视图。

[0029] 图10是表示实施方式1中的最上层的布线层的布线布局数据的俯视图。

[0030] 图11是表示布线布局的设计工序及曝光用掩膜的制造工序的一部分的工艺流程图。

[0031] 图12是表示实施方式1中的第一层的布线层的布线布局数据的俯视图。

[0032] 图13是表示实施方式1中的第一层的布线层的布线布局数据的俯视图。

[0033] 图14是表示实施方式1中的第一层的布线层的布线布局数据的俯视图。

[0034] 图15是表示实施方式1中的第一层的布线层的布线布局数据的俯视图。

[0035] 图16是表示实施方式1中的第一层的布线层的布线布局数据的俯视图。

[0036] 图17是表示实施方式1中的第一层的布线层中的配置布局的另一例的俯视图。

[0037] 图18是表示实施方式1的半导体器件的制造工序的一部分的制造工艺流程图。

[0038] 图19是实施方式1的半导体器件的制造工序中的主要部分剖视图。

[0039] 图20是实施方式1的半导体器件的制造工序中的主要部分剖视图。

[0040] 图21是实施方式1的半导体器件的制造工序中的主要部分剖视图。

[0041] 图22是实施方式1的半导体器件的制造工序中的主要部分剖视图。

- [0042] 图23是实施方式1的半导体器件的制造工序中的主要部分剖视图。
- [0043] 图24是实施方式1的半导体器件的制造工序中的主要部分剖视图。
- [0044] 图25是表示比较例的半导体器件的结构剖视图。
- [0045] 图26是表示比较例中的第一层的布线层的布线布局的俯视图。
- [0046] 图27是表示实施方式1的第一变形例中的第一层的布线层的布线布局的第一变形例的俯视图。
- [0047] 图28是表示实施方式1的第一变形例中的第一层的布线层的布线布局的另一例的俯视图。
- [0048] 图29是表示实施方式1的第一变形例中的第一层的布线层的布线布局的另一例的俯视图。
- [0049] 图30是表示实施方式1的第一变形例中的第一层的布线层的布线布局的另一例的俯视图。
- [0050] 图31是表示实施方式1的第一变形例中的第一层的布线层的布线布局的又一例的俯视图。
- [0051] 图32是表示实施方式1的第二变形例中的第一层的布线层的布线布局的俯视图。
- [0052] 图33是表示实施方式1的第二变形例中的第一层的布线层的布线布局的另一例的俯视图。
- [0053] 图34是表示实施方式1的第三变形例中的第一层的布线层的布线布局的俯视图。
- [0054] 图35是表示实施方式1的第三变形例中的第一层的布线层的布线布局的另一例的俯视图。
- [0055] 图36是表示实施方式1的第三变形例中的第一层的布线层的布线布局的另一例的俯视图。
- [0056] 图37是表示实施方式1的第四变形例中的第一层的布线层的布线布局的俯视图。
- [0057] 图38是表示实施方式1的第四变形例中的第一层的布线层的布线布局的另一例的俯视图。
- [0058] 图39是表示实施方式2中的第二层的布线层的布线布局的俯视图。
- [0059] 图40是表示实施方式2中的第二层的布线层的布线布局的俯视图。
- [0060] 图41是表示实施方式2中的第二层的布线层的布线布局数据的俯视图。
- [0061] 图42是表示实施方式2中的第二层的布线层的布线布局数据的俯视图。
- [0062] 图43是表示实施方式2中的第二层的布线层的布线布局数据的俯视图。
- [0063] 图44是表示实施方式2中的第二层的布线层的布线布局数据的俯视图。
- [0064] 图45是表示实施方式2中的第二层的布线层的布线布局数据的俯视图。
- [0065] 图46是实施方式2中的使第二层的布线层的布线布局数据与第一层的布线层的布线布局数据重叠地表示的俯视图。
- [0066] 图47是表示实施方式2的第一变形例中的第二层的布线层的布线布局的俯视图。
- [0067] 图48是表示实施方式2的第一变形例中的第二层的布线层的布线布局的俯视图。
- [0068] 图49是实施方式2的第一变形例中的使第二层的布线层的布线布局数据与第一层的布线层的布线布局数据重叠地表示的俯视图。
- [0069] 图50是表示实施方式2的第一变形例中的第二层的布线层的布线布局的另一例的

俯视图。

[0070] 图51是表示实施方式2的第一变形例中的第二层的布线层的布线布局的另一例的俯视图。

[0071] 图52是实施方式2的第二变形例中的使第一层的布线层的布线布局与第二层的布线层的布线布局数据重叠地表示的俯视图。

[0072] 图53是表示实施方式2的第二变形例中的第一层的布线层的布线布局的俯视图。

[0073] 图54是表示实施方式2的第二变形例中的第一层的布线层的布线布局的俯视图。

[0074] 图55是表示实施方式2的第二变形例中的第一层的布线层的布线布局的另一例的俯视图。

[0075] 图56是表示实施方式2的第二变形例中的第一层的布线层的布线布局的另一例的俯视图。

[0076] 图57是表示实施方式2的第二变形例中的第一层的布线层的布线布局的另一例的俯视图。

[0077] 图58是表示实施方式2的第二变形例中的第一层的布线层的布线布局的另一例的俯视图。

[0078] 图59是表示实施方式2的第三变形例中的第二层的布线层的布线布局的俯视图。

[0079] 图60是表示实施方式2的第三变形例中的第二层的布线层的布线布局的俯视图。

[0080] 图61是表示实施方式2的第三变形例中的第二层的布线层的布线布局的另一例的俯视图。

[0081] 图62是表示实施方式2的第四变形例中的第二层的布线层的布线布局的俯视图。

[0082] 图63是表示实施方式2的第四变形例中的第二层的布线层的布线布局的俯视图。

具体实施方式

[0083] 在以下的实施方式中,为了方便,在必要时,分成多个段落或实施方式地进行说明,但除了特别明示的情况以外,它们之间相互并不是没有关系,处于一方是另一方的一部分或全部的变形例、详细、补充说明等的关系。

[0084] 另外,在以下的实施方式中,提及要素的数量等(包含个数、数值、量、范围等)的情况下,除了特别明示的情况及原理上明确地限定于特定的数量的情况等以外,不限于该特定的数量,也可以是特定的数量以上或以下。

[0085] 而且,在以下的实施方式中,该构成要素(也包含要件步骤等)除了特别明示的情况及原理上明确是必须的情况等以外,当然也不一定是必须的。同样,在以下的实施方式中,在提及构成要素等的形状、位置关系等时,除了特别明示的情况及原理上明确并不是这样的情况等以外,包含实质上与该形状等近似或类似的结构等。这关于上述数值及范围也是同样的。

[0086] 以下,基于附图详细说明具有代表性的实施方式。此外,在用于说明实施方式的全部附图中,对具有同一功能的部件标注同一附图标记,并省略其重复说明。另外,在以下的实施方式中,除了特别必要时以外,原则上不重复同一或同样的部分的说明。

[0087] 而且,在实施方式所使用的附图中,即使是剖视图,为了易于观察附图,也有省略阴影线的情况。另外,即使是俯视图,为了易于观察图面,也有标注阴影线的情况。

[0088] 另外,在剖视图及俯视图中,各部位的大小并不与实际设备对应,有时为了易于理解附图,相对大地显示特定的部位。另外,在俯视图和剖视图对应的情况下,有时也改变各部位的大小来显示。

[0089] (实施方式1)

[0090] 以下,参照附图详细说明本实施方式1的作为半导体器件的摄像元件的构造及制造工序。在本实施方式1中,针对作为半导体器件的摄像元件具有CMOS图像传感器的例子进行说明。

[0091] <半导体器件的结构>

[0092] 首先,说明实施方式1的作为半导体器件的摄像元件的结构。

[0093] 图1是表示实施方式1的半导体器件的结构的俯视图。图2及图3是表示实施方式1的半导体器件的结构的剖视图。图2是沿图1的A-A线的剖视图,图3是沿图1的B-B线的剖视图。

[0094] 如图1~图3所示,本实施方式1的半导体器件具有例如由单晶硅(Si)等构成的半导体衬底SB。半导体衬底SB具有:区域AR1,其为作为半导体衬底SB的主面的上表面的区域;以及区域AR2,其作为半导体衬底SB的主面的上表面的区域,为与区域AR1相比靠近半导体衬底SB的周边侧的区域。

[0095] 本实施方式1的半导体器件具有在区域AR1中形成在半导体衬底SB的上表面上的多个像素PU。即,区域AR1是形成有多个像素PU的像素区域。

[0096] 在作为半导体衬底SB的主面的上表面内,将相互交叉优选正交的2个方向设为X轴方向及Y轴方向。另外,将与作为半导体衬底SB的主面的上表面垂直的方向设为Z轴方向。此时,多个像素PU在俯视时沿X轴方向及Y轴方向以矩阵状排列。

[0097] 此外,在本申请说明书中,俯视是指从与作为半导体衬底SB的主面的上表面垂直的方向即Z轴方向观察的情况。

[0098] 虽然省略图示,但本实施方式1的作为半导体器件的摄像元件具有在区域AR2中形成在半导体衬底SB的上表面上的周边电路。即,区域AR2是形成有周边电路的周边电路区域。周边电路形成在半导体衬底SB的上表面上,具有例如用于多个像素PU的开关的多个晶体管、及形成在这些多个晶体管上的布线层等。

[0099] 多个像素PU分别具有光电二极管PD、传输用晶体管TX及放大用晶体管(未图示)等。另外,多个像素PU分别具有彩色滤光片CF及微透镜ML。而且,半导体器件具有遮光膜SF1。遮光膜SF1为了将光恰当地入射到多个像素PU各自含有的光电二极管PD而对不需要的的光进行遮光。另一方面,在遮光膜SF1中的位于各光电二极管PD上的部分形成有开口部OP1。彩色滤光片CF以将所期望的波长的光入射到光电二极管PD的方式,仅使该波长的光透射。微透镜ML以将光恰当地入射到光电二极管PD的方式对光进行聚光。

[0100] 光电二极管PD是接受入射光并转换成电荷的光电转换元件。传输用晶体管TX是用于对通过由光电二极管PD对入射光进行转换而生成的电荷进行传输的晶体管。光电二极管PD是在区域AR1中形成在半导体衬底SB的上表面上。

[0101] 在区域AR1中,在半导体衬底SB的上表面侧,形成有例如掺入了硼(B)等的p型杂质的p型半导体层PW。另一方面,在区域AR1中,在p型半导体层PW的上层部,形成有例如掺入了磷(P)或砷(As)等的n型杂质的n型半导体层NW。因此,在区域AR1中,p型半导体层PW形成在n

型半导体层NW的正下方。p型半导体层PW及n型半导体层NW形成pn结,构成了光电二极管PD。即,在区域AR1中,在半导体衬底SB的上表面上形成有多个光电二极管PD。

[0102] 在半导体衬底SB的上表面上,隔着由例如氧化硅(SiO₂)膜构成的栅极绝缘膜GI形成有由例如多晶硅膜构成的栅极电极GE。在栅极电极GE的侧面上,形成有由例如氧化硅膜构成的侧壁SW。栅极电极GE是传输用晶体管TX的栅极电极。另一方面,构成光电二极管PD的n型半导体层NW兼用作传输用晶体管TX的源极区域。

[0103] 此外,在图2及图3中,省略了传输用晶体管TX的漏极区域的图示。另外,光电二极管PD经由传输用晶体管TX与对光电二极管PD中输出的信号进行放大的放大用晶体管等的晶体管连接,但这里仅图示了传输用晶体管TX,省略了元件隔离区域等的图示。

[0104] 在区域AR1及区域AR2中,以覆盖光电二极管PD及传输用晶体管TX的方式,在半导体衬底SB的上表面上形成有由例如氧化硅膜构成的层间绝缘膜IL。另外,层间绝缘膜IL的上表面通过CMP(Chemical Mechanical Polishing:化学机械研磨)法等被平坦化。

[0105] 此外,也可以在光电二极管PD的上表面、栅极电极GE的上表面及形成在栅极电极GE的侧面上的侧壁SW的表面上,形成有由例如氮化硅膜构成的覆盖绝缘膜CAP。在这种情况下,层间绝缘膜IL隔着覆盖绝缘膜CAP形成在光电二极管PD上及传输用晶体管TX上。

[0106] 另外,在形成了层间绝缘膜IL之后,能够形成多个贯穿层间绝缘膜IL且到达半导体衬底SB的接触插塞(省略图示)。在该情况下,接触插塞的上表面及层间绝缘膜IL的上表面通过CMP法等被平坦化。

[0107] 在层间绝缘膜IL上形成有由例如氧化硅(SiO₂)膜构成的层间绝缘膜IL1。

[0108] 在层间绝缘膜IL1上形成有贯穿层间绝缘膜IL1的多个布线槽。通过将例如铜(Cu)膜埋入多个布线槽各自的内部,而在多个布线槽各自的内部形成有布线WR11。布线WR11经由上述接触插塞与形成在半导体衬底SB的上表面上的光电二极管PD或传输用晶体管TX等的半导体元件电连接。

[0109] 此外,层间绝缘膜IL1及布线WR11构成了第一层的布线层ML1。

[0110] 布线WR11配置在相邻的2个像素PU之间。由此,能够防止或抑制在光入射到多个像素PU各自所含有的光电二极管PD时入射光被布线WR11遮挡的情况。此外,布线WR11及层间绝缘膜IL1各自的上表面也可以通过CMP法等被平坦化。

[0111] 在层间绝缘膜IL1及布线WR11上形成有由例如含碳氧化硅(SiOC)膜等构成的层间绝缘膜IL2。

[0112] 在层间绝缘膜IL2的上表面形成有多个布线槽,而且,在这些布线槽的底面上,形成有贯穿层间绝缘膜IL2的多个过孔(省略图示)。通过将例如铜(Cu)膜埋入多个布线槽及多个过孔各自的内部,来在多个布线槽各自的内部形成布线WR21,在多个过孔各自的内部形成连接柱(via)(省略图示)。布线WR21经由上述连接柱与布线WR11电连接。

[0113] 此外,层间绝缘膜IL2、布线WR21及上述连接柱(省略图示)构成了第二层的布线层ML2。

[0114] 布线WR21配置在相邻的2个像素PU之间。由此,能够防止或抑制在光入射到多个像素PU各自所含有的光电二极管PD时入射光被布线WR21遮挡的情况。此外,布线WR21及层间绝缘膜IL2各自的上表面通过CMP法等被平坦化。

[0115] 在层间绝缘膜IL2及布线WR21上形成有由例如含碳氧化硅(SiOC)膜等构成的层间

绝缘膜IL3。

[0116] 在层间绝缘膜IL3的上表面形成有多个布线槽。通过将例如铜(Cu)膜埋入多个布线槽各自的内部,在多个布线槽各自的内部形成有遮光膜SF1。

[0117] 此外,在区域AR2中,在布线槽TR3的内部,与遮光膜同层地形成有布线WR3。另外,层间绝缘膜IL3、遮光膜SF1及布线WR3构成了第三层的布线层ML3。

[0118] 遮光膜SF1配置在相邻的2个像素PU之间。由此,能够防止或抑制在光入射到多个像素PU各自所含有的光电二极管PD时入射光被遮光膜SF1遮挡的情况。此外,遮光膜SF1及层间绝缘膜IL3各自的上表面通过CMP法等被平坦化。

[0119] 此外,如图1所示,遮光膜SF1在区域AR1中一体地形成。因此,在遮光膜SF1上,多个开口部OP1沿X轴方向及Y轴方向以矩阵状形成,在多个开口部OP1上分别形成有像素PU。

[0120] 像这样,本实施方式1的半导体器件在区域AR1及AR2中,具有形成在半导体衬底SB的上表面的上方的多个布线层ML1、ML2及ML3。另外,布线WR11包含于比最上层的布线层ML3更靠下层的布线层ML1,布线WR21包含于比最上层的布线层ML3更靠下层的布线层ML2。

[0121] 此外,遮光膜SF1也可以包含于比最上层的布线层更靠下层的布线层,布线WR11或布线WR21也可以包含于比遮光膜更靠上层的布线层。

[0122] 在层间绝缘膜IL3、遮光膜SF1及布线WR3上形成有由例如氮化硅膜构成的绝缘膜IL4。

[0123] 在相邻的2个像素PU之间,在绝缘膜IL4上形成有由例如氧化硅膜构成的隔壁BW。

[0124] 在相邻的隔壁BW彼此之间形成有彩色滤光片CF。彩色滤光片CF是使例如红(R)、绿(G)或蓝(B)等的特定颜色的光透射而使其他颜色的光不透射的膜。

[0125] 作为本实施方式1的半导体器件的摄像元件通过各像素PU所含有的光电二极管PD将从半导体衬底SB的主面侧即上表面侧向各像素PU照射的光作为入射光来接受并转换成电荷,并将转换后的电荷作为信号信息读取,由此得到图像信息数据等。

[0126] 在彩色滤光片CF上,形成有上表面为凸曲面的微透镜ML。微透镜ML是上表面弯曲的凸透镜,由光能够透射的膜构成。微透镜ML将从半导体衬底SB的主面侧即上表面侧向各像素PU照射的光聚光到光电二极管PD。

[0127] 如图3所示,在本实施方式1中,在俯视时,各像素PU中的与多个像素PU的排列的中心侧的部分相邻的布线WR11相对于该像素PU所含有的光电二极管PD的相对位置,越靠近多个像素PU的排列的周边侧,越偏向多个像素PU的排列的中心侧。另外,在俯视时,各像素PU中的与多个像素PU的排列的中心侧的部分相邻的布线WR21相对于该像素PU所含有的光电二极管PD的相对位置,越靠近多个像素PU的排列的周边侧,越偏向多个像素PU的排列的中心侧。而且,在俯视时,各像素PU所含有的开口部OP1相对于该像素PU所含有的光电二极管PD的相对位置,越靠近多个像素PU的排列的周边侧,越偏向多个像素PU的排列的中心侧。而且,就同一像素PU而言,布线WR11的偏移量DS1、布线WR21的偏移量DS2、开口部OP1的偏移量DS3按照偏移量DS1、偏移量DS2、偏移量DS3的顺序变大。

[0128] (布线布局)

[0129] 以下,对布线层中的布线布局进行说明。以下,以第一层的布线层ML1中的布线布局为例进行说明,但关于例如第二层等第一层以外的层的布线层中的布线布局,也能够与第一层同样。

[0130] 图4及图5是表示实施方式1中的第一层的布线层的布线布局的俯视图。图5是图4的区域RG1的放大俯视图。

[0131] 如图4及图5所示,第一层的布线层ML1具有多个布线WR11和多个布线WR12。多个布线WR11在作为半导体衬底SB(参照图3)的主面的上表面的区域AW11中,彼此同层地形成于第一层的布线层ML1。多个布线WR12在作为半导体衬底SB(参照图3)的主面的上表面的区域AW12中,分别与多个布线WR11同层地形成。区域AW12在俯视时配置在X轴方向上的区域AW11的一侧的区域。另外,图4中省略了图示,但在区域AW11中形成有多个像素PU(参照图1),在区域AW12中形成有周边电路。

[0132] 多个布线WR11在区域AW11中在俯视时分别沿X轴方向延伸,并且沿Y轴方向以间距PT11排列。多个布线WR12在区域AW12中在俯视时分别沿X轴方向延伸,并且沿Y轴方向以间距PT12排列。

[0133] 在图4及图5所示的例子中,第一层的布线层ML1具有多个连接布线CW1。即,多个连接布线CW1分别与多个布线WR11同层地形成。多个布线WR11分别经由多个连接布线CW1与多个布线WR12连接。通过这样的配置,使得多个布线WR11分别与多个布线WR12的每一个电连接。

[0134] 多个布线WR12与周边电路所含有的例如晶体管等连接。因此,多个布线WR11分别经由多个布线WR12的每一个与周边电路连接。

[0135] 如图4及图5所示,间距PT11比间距PT12小。通过这样的配置,能够使形成有像素PU(参照图1)的区域AW11中的相邻的2个布线WR11之间的间隔比形成有周边电路的区域AW12中的相邻的2个布线WR12之间的间隔短。

[0136] 如图5所示,优选的是,各布线WR11的靠区域AW12侧的端部EP11的沿Y轴方向的宽度WD11比多个布线WR12中的与该各布线WR11连接的布线WR12的靠区域AW11侧的端部EP12的沿Y轴方向的宽度WD12窄。

[0137] 使用后述的图12~图16说明的那样,从具有区域AW12到区域AW13沿X轴方向延伸且沿Y轴方向排列的布线的掩膜数据DAT1中,截出配置在区域AW13的部分。而且,在针对截出的部分以被截出的部分内的位置(以下也称为“收缩中心位置”)CT11为中心进行缩小处理之后,再粘贴至原来的掩膜数据DAT1。由此,能够容易地创建具有多个布线WR11和多个布线WR12的掩膜数据DAT1a。

[0138] 另外,在这样的情况下,多个布线WR11中的某一个布线WR11在俯视时配置成比多个布线WR12中的与该某一个布线WR11连接的布线WR12更偏向Y轴方向上的收缩中心位置CT11侧。另外,多个布线WR11中的、在多个布线WR11的排列的在Y轴方向上的负侧的端部配置的布线WR11,在俯视时配置在比多个布线WR12中的与该布线WR11连接的布线WR12更偏向Y轴方向上的正侧。

[0139] 此外,在各布线WR11的宽度WD11彼此相等、且各布线WR12的宽度WD12彼此相等的情况下,各布线WR11的宽度WD11也可以比各布线WR12的宽度WD12窄。

[0140] 如图5所示,多个连接布线CW1的各连接布线CW1的Y轴方向上的宽度WC1比多个布线WR11中的与该各连接布线CW1连接的布线WR11的靠区域AW12侧的端部EP11的沿Y轴方向的宽度WD11宽。另外,各连接布线CW1的Y轴方向上的宽度WC1在多个布线WR12中的与该各连接布线CW1连接的布线WR12的靠区域AW11侧的端部EP12的沿Y轴方向的宽度WD12以上。

[0141] 由此,即使在彼此具有不同的Y轴方向上宽度的布线WR11和布线WR12在Y轴方向上错开地配置的情况下,也能够将布线WR11的端部EP11的X轴方向上的靠区域AW12侧的侧面整个面与连接布线CW1连接。另外,能够将布线WR12的端部EP12的X轴方向上的区域AW11侧的侧面整个面与连接布线CW1连接。

[0142] 如图5所示,多个连接布线CW1中的连接布线CW1a与多个布线WR11中的布线WR11a连接,并且与多个布线WR12中的布线WR12a连接。将连接布线CW1a的Y轴方向上的靠近收缩中心位置CT11侧的侧面作为侧面SC1,将连接布线CW1a的与Y轴方向上的靠近收缩中心位置CT11侧的相反一侧的侧面作为侧面SC2。另外,将布线WR11a的端部EP11的Y轴方向上的靠近收缩中心位置CT11侧的侧面作为侧面SW11,将布线WR11a的端部EP11的与Y轴方向上的靠近收缩中心位置CT11侧的相反一侧的侧面作为侧面SW12。而且,将布线WR12a的端部EP12的Y轴方向上的靠近收缩中心位置CT11侧的侧面作为侧面SW21,将布线WR12a的端部EP12的与Y轴方向上的靠近收缩中心位置CT11侧的相反一侧的侧面作为侧面SW22。

[0143] 此时,优选的是,侧面SC1和侧面SW11形成同一面,侧面SC2和侧面SW22形成同一面。由此,将布线WR11a的端部EP11的X轴方向上的靠区域AW12侧的侧面整个面与连接布线CW1a连接,将布线WR12a的端部EP12的X轴方向上的区域AW11侧的侧面整个面与连接布线CW1a连接,并且能够使连接布线CW1a的宽度WC1最窄。

[0144] (布线布局的设计方法)

[0145] 以下,将曝光用掩膜的制造方法包含在内地说明布线层中的布线布局的设计方法。以下,首先,在说明了最上层的布线层中的布线布局的设计方法之后,说明与最上层相比靠下层的布线层中的布线布局的设计方法。此外,布线层以外的各层的布局例如芯片布局也能够同样设计。

[0146] 图6~图10是表示实施方式1中的最上层的布线层的布线布局数据的俯视图。

[0147] 首先,创建芯片布局数据。在该工序中,创建用于创建作为半导体器件的摄像元件的各制造工序中使用的掩膜数据的芯片布局数据,来作为GDS2流数据。

[0148] 其次,如图6所示,创建掩膜数据。通过掩膜尺寸效应或光学邻近效应(Optical Proximity Effect),使得在形成在作为曝光用掩膜的光罩的表面上的曝光用图案、和形成在半导体衬底上的抗蚀图案之间产生形状差。因此,为了修正上述形状差,针对各层中的布局数据进行被称为所谓的OPC处理的修正处理等,来创建作为各层的图案数据的掩膜数据。此时,如图6所示,针对最上层的布线层ML3创建作为图案数据的掩膜数据DAT3。

[0149] 掩膜数据DAT3具有:平面FS的一部分的区域即区域AR1、以及平面FS的一部分的区域即区域AR2。区域AR1是将多个像素PU例如沿X轴方向及Y轴方向排列成矩阵状的区域,即像素区域。区域AR2是形成周边电路的区域,即周边电路区域。

[0150] 如图6所示,在掩膜数据DAT3中,在区域AR1中配置有遮光膜SF1,在区域AR2中配置有布线WR3。另外,在遮光膜SF1中的形成有像素PU的部分即入射了光的部分,为了使光入射到像素PU所含有的光电二极管PD(参照图2),而针对每个像素PU配置有开口部OP1。

[0151] 然后,如图7所示,截出部分掩膜数据。在该工序中,截出由最上层的布线层ML3的掩膜数据DAT3中的配置在区域AW33中的部分构成的、作为图案数据的部分掩膜数据DAT33。这里,区域AW33是区域AR1中的包含形成有多个像素PU的区域在内的区域。另外,将区域AR1及区域AR2中的区域AW33以外的区域作为区域AW32。

[0152] 将遮光膜SF1中的配置在区域AW33中的部分作为遮光膜SF11。另外,将遮光膜SF1中的配置在区域AW32的部分作为遮光膜SF12。

[0153] 然后,如图8所示,进行收缩处理。在该工序中,对于被截出的部分掩膜数据DAT33,以部分掩膜数据DAT33内的位置CT31为中心,进行以恒定的倍率缩小的缩小处理即收缩处理。由此,创建出具有形成有分别缩小的多个开口部OP1的遮光膜SF11的、作为图案数据的缩小部分掩膜数据DAT31。

[0154] 然后,如图9所示,粘贴缩小部分掩膜数据。在该工序中,为了使缩小部分掩膜数据DAT31内的位置CT31成为与区域AW33的中心侧的位置CT32(参照图7)处于相同坐标,将缩小部分掩膜数据DAT31粘贴在平面FS的区域AW33内的区域且从区域AW32分离的区域即区域AW31。此时,区域AW31和区域AW32之间的区域是没有创建掩膜数据的间隙区域AW34。

[0155] 然后,如图10所示,创建间隙部分掩膜数据。在该工序中,在间隙区域AW34中,形成作为图案数据的间隙部分掩膜数据DAT34,通过间隙部分掩膜数据DAT34将间隙区域AW34填埋。由此,创建具有缩小部分掩膜数据DAT31、间隙部分掩膜数据DAT34和掩膜数据DAT3的、作为图案数据的掩膜数据DAT3a。

[0156] 掩膜数据DAT3a是最上层的布线层ML3中的布线布局数据,因此,间隙部分掩膜数据DAT34由配置在间隙区域AW34整个面上的遮光膜SF13构成。由此,配置由遮光膜SF11、SF12及SF13构成的遮光膜SF1。

[0157] 接着,包含曝光用掩膜的制造方法在内地说明与最上层相比靠下层的布线层中的布线布局的设计方法。

[0158] 图11是表示布线布局的设计工序及曝光用掩膜的制造工序的一部分的工艺流程图。图12~图16是表示实施方式1中的第一层的布线层的布线布局数据的俯视图。

[0159] 此外,以下,例示并说明第一层的布线层ML1中的设计方法,但也能够适用于例如第二层的布线层ML2等第一层以外的布线层中的设计方法。另外,以下,省略与上述最上层的布线层ML3中的设计方法共同的部分的说明。

[0160] 首先,在创建芯片布局数据之后,如图12所示,创建掩膜数据(图11的步骤S1)。在该步骤S1中,针对第一层的布线层ML1中的布局数据进行被称为所谓的OPC处理的修正处理等,并准备第一层的布线层ML1的作为图案数据的掩膜数据DAT1。掩膜数据DAT1具有:平面FS的一部分的区域即区域AR1、以及平面FS的一部分的区域即区域AR2。虽然在图12中未图示,但多个像素PU(参照图6)配置在作为像素区域的区域AR1的一部分的区域即区域AW13内。另外,将区域AR1及区域AR2中的区域AW13以外的区域作为区域AW12。

[0161] 如图12所示,在掩膜数据DAT1中,从区域AR1到区域AR2,配置有多个布线(布线图案)WR13。多个布线WR13分别沿X轴方向延伸,并且沿Y轴方向以间距PT12排列。即,掩膜数据DAT1具有在区域AW13中分别沿X轴方向延伸并且沿Y方向以间距PT12排列的多个布线(布线图案)WR13、以及在区域AW12中分别沿X轴方向延伸并且沿Y轴方向以间距PT12排列的多个布线(布线图案)WR13。

[0162] 然后,如图13所示,截出部分掩膜数据(图11的步骤S2)。在该步骤S2中,截出第一层的布线层ML1的掩膜数据DAT1中由配置在区域AW13的部分构成的作为图案数据的部分掩膜数据DAT13。

[0163] 将布线WR13中的配置在区域AW13的部分作为布线(布线图案)WR11。另外,将布线

WR13中的配置在区域AW12的部分作为布线(布线图案)WR12。此时,多个布线WR11分别沿X轴方向延伸,并且沿Y轴方向以间距PT12排列。另外,多个布线WR12分别沿X轴方向延伸,并且沿Y轴方向以间距PT12排列。

[0164] 然后,如图14所示,进行收缩处理(图11的步骤S3)。在该步骤S3中,针对被截出的部分掩膜数据DAT13,以部分掩膜数据DAT13内的位置CT11为中心,进行以恒定的倍率缩小的缩小处理即收缩处理。由此,创建由分别被缩小的多个布线(布线图案)WR11构成的作为图案数据的缩小部分掩膜数据DAT11。多个布线WR11分别沿X轴方向延伸,并且沿Y轴方向以间距PT11排列。间距PT11比间距PT12小。

[0165] 然后,如图15所示,粘贴缩小部分掩膜数据(图11的步骤S4)。在该步骤S4中,为了使缩小部分掩膜数据DAT11内的位置CT11与区域AW13内的位置CT12(参照图13)处于相同坐标,将缩小部分掩膜数据DAT11粘贴在平面FS的区域AW13内的区域且与区域AW12分离的区域的区域AW11。此时,区域AW11和区域AW12之间的区域是没有创建掩膜数据的间隙区域AW14。

[0166] 然后,如图16所示,创建间隙部分掩膜数据(图11的步骤S5)。在该步骤S5中,在间隙区域AW14中,形成作为图案数据的间隙部分掩膜数据DAT14,通过间隙部分掩膜数据DAT14将间隙区域AW14填埋。由此,创建具有缩小部分掩膜数据DAT11、间隙部分掩膜数据DAT14和掩膜数据DAT1的、作为图案数据的掩膜数据DAT1a。

[0167] 间隙部分掩膜数据DAT14具有多个连接布线(布线图案)CW1。多个连接布线CW1分别将多个布线WR11的每一个与多个布线WR12的每一个连接。

[0168] 在图5所示的例子中,由布线WR12a的端部EP12的X轴方向上的正侧的侧面、和布线WR12a的端部EP12的Y轴方向上的正侧的侧面SW21形成的角部的坐标为 $(Xp1, Yp1)$ 。另外,由布线WR12a的端部EP12的X轴方向上的正侧的侧面、和布线WR12a的端部EP12的Y轴方向上的负侧的侧面SW22形成的角部的坐标为 $(Xp2, Yp2)$ 。另一方面,由布线WR11a的端部EP11的X轴方向上的负侧的侧面、和布线WR11a的端部EP11的Y轴方向上的正侧的侧面SW11形成的角部的坐标为 $(Xp3, Yp3)$ 。另外,由布线WR11a的端部EP11的X轴方向上的负侧的侧面、和布线WR11a的端部EP11的Y轴方向上的负侧的侧面SW12形成的角部的坐标为 $(Xp4, Yp4)$ 。

[0169] 这里,将考虑了第一层的布线层ML1的掩膜尺寸效应或OPC处理的最小线宽设为宽度W00,将第一层的布线层ML1中的收缩处理中的缩小倍率即收缩率设为 α 。此时,布线WR11配置成使布线WR11的宽度WD11在由下述式(1)定义的宽度W1以上。

[0170]
$$W1 = W00 + (1 - \alpha) \times |Yp2| \quad (1)$$

[0171] 在图5所示的例子中,产生如下的矩形形状:连接布线CW1的X轴方向上的负侧及Y轴方向上的正侧(图5中左上)的角部的坐标为 $(Xp1, Yp3)$,连接布线CW1的X轴方向上的正侧及Y轴方向上的负侧(图5中右下)的角部的坐标为 $(Xp4, Yp2)$ 。由此,能够容易地创建具有矩形形状的连接布线(布线图案)CW1。

[0172] 换言之,在图5所示的例子中,连接布线(布线图案)CW1是通过将配置在区域AW11的布线(布线图案)WR11和配置在区域AW11的布线(布线图案)WR12以彼此重叠的方式分别延长至间隙区域AW14而创建的。

[0173] 此时,Y轴方向上相邻的2个连接布线CW1之间的Y轴方向上的间隔宽度SP1在第一层的布线层ML1中的考虑了掩膜尺寸效应或OPC处理的最小间隔宽度以上。

[0174] 此外,布线WR11和布线WR12重叠的区域在X轴方向上的长度也可以比间隙区域AW14在X轴方向上的长度短,也可以比间隙区域AW14在X轴方向上的长度长。在这样的情况下,也能够得到与图5所示的情况同样的效果。

[0175] 然后,制造曝光用掩膜(图11的步骤S6)。在该步骤S6中,使用掩膜数据DAT1a制造曝光用掩膜MSK。

[0176] 如使用后述的图21说明的那样,曝光用掩膜MSK具有:基体BS;形成在基体BS的表面上的由例如金属膜等的遮光膜构成的曝光用图案PTN1;以及形成在基体的表面上的由例如金属膜等的遮光膜构成的曝光用图案PTN2。曝光用图案PTN1是基于掩膜数据DAT1a的多个布线图案形成的,用于形成多个布线WR11。另外,曝光用图案PTN2是基于掩膜数据DAT1a的多个布线图案形成的,用于形成多个布线WR12。

[0177] 在本实施方式1中,曝光用掩膜MSK具有形成在基体BS的表面上的由例如金属膜等的遮光膜构成的曝光用图案PTN3。曝光用图案PTN3是基于掩膜数据DAT1a的多个布线图案形成的,用于形成多个连接布线GW1。

[0178] 另外,布线WR11及布线WR12各自也可以在俯视时不具有矩形形状。这样的例子如图17所示。图17是表示实施方式1中的第一层的布线层中的配置布局的另一例的俯视图。

[0179] 如图17所示,布线WR11具有靠区域AR2侧的端部EP11和与端部EP11连接并沿X轴方向延伸的延伸部EX11,端部EP11的Y轴方向上的宽度WD11也可以在延伸部EX11的Y轴方向上的宽度WD13以上。另外,布线WR12具有靠区域AW11侧的端部EP12和与端部EP12连接并沿X轴方向延伸的延伸部EX12,端部EP12的Y轴方向上的宽度WD12也可以在延伸部EX12的Y轴方向上的宽度WD14以上。

[0180] 此时,在端部EP11与端部EP12相比偏向Y轴方向上的正侧的情况下,连接布线CW1的Y轴方向上的正侧的侧面SC1和端部EP11的Y轴方向上的正侧的侧面SW11形成同一面。另外,连接布线CW1的Y轴方向上的负侧的侧面SC2和端部EP12的Y轴方向上的负侧的侧面SW22形成同一面。

[0181] 即使在图17所示的情况下,关于端部EP11、端部EP12及连接布线CW1,通过与使用图11~图16说明的设计方法同样的设计方法,与图4所示的情况同样地,也能够容易地创建具有矩形形状的作为连接布线CW1的连接图案,能够得到与图5所示的情况同样的效果。

[0182] (半导体器件的制造方法)

[0183] 以下,关于本实施方式1的半导体器件的制造方法进行说明。图18是表示实施方式1的半导体器件的制造工序的一部分的制造工艺流程图。图19~图24是实施方式1的半导体器件的制造工序中的主要部分剖视图。此外,图19~图24表示与图3的剖视图对应的截面。

[0184] 首先,形成光电二极管PD(图18的步骤S11)。

[0185] 在该步骤S11中,首先,如图19所示,准备由例如单晶硅(Si)等构成的半导体衬底SB。

[0186] 其次,如图19所示,分别在形成有像素的像素区域即区域AR1(参照图1),形成构成各像素的光电二极管PD、传输用晶体管TX及放大用晶体管等。

[0187] 在区域AR1(参照图1)中,在半导体衬底SB的上表面侧,形成有掺入了例如硼(B)等的p型的杂质的p型半导体层PW。另一方面,在区域AR1中,在p型半导体层PW的上层部,形成有掺入了例如磷(P)或砷(As)等的n型的杂质的n型半导体层NW。因此,在区域AR1中,p型半

导体层PW形成在n型半导体层NW的正下方。p型半导体层PW及n型半导体层NW形成pn结,构成光电二极管PD。即,在区域AR1中,在半导体衬底SB的上表面上形成多个光电二极管PD。

[0188] 在区域AR1(参照图1)中,在半导体衬底SB的上表面上,隔着由例如氧化硅膜构成的栅极绝缘膜GI,形成有由例如多晶硅膜构成的栅极电极GE。在栅极电极GE的侧面上,形成有由例如氧化硅膜构成的侧壁SW。栅极电极GE是传输用晶体管TX的栅极电极。另一方面,构成光电二极管PD的n型半导体层NW兼用作传输用晶体管TX的源极区域。

[0189] 此外,在图19中,省略了传输用晶体管TX的漏极区域的图示。另外,光电二极管PD经由传输用晶体管TX与对光电二极管PD中输出的信号进行放大的放大用晶体管等的晶体管连接,但在这里,仅图示了传输用晶体管TX,省略了元件隔离区域等的图示。

[0190] 然后,形成层间绝缘膜IL(图18的步骤S12)。在该步骤S12中,如图20所示,在形成有各像素PU(参照图3)的区域中,以覆盖光电二极管PD及传输用晶体管TX等的半导体元件的方式,在半导体衬底SB的上表面上通过例如CVD(Chemical Vapor Deposition:化学沉积)法形成由例如氧化硅膜构成的层间绝缘膜IL。另外,通过CMP法等使层间绝缘膜IL的上表面平坦化。

[0191] 此外,也可以在光电二极管PD的上表面、栅极电极GE的上表面及形成在栅极电极GE的侧面上的侧壁SW的表面上形成由例如氮化硅膜构成的覆盖绝缘膜CAP。在这样的情况下,层间绝缘膜IL隔着覆盖绝缘膜CAP形成在光电二极管PD上及传输用晶体管TX上。

[0192] 另外,在形成了层间绝缘膜IL之后,形成了贯穿层间绝缘膜IL到达半导体衬底SB的接触孔(省略图示),通过利用金属膜埋埋所形成的接触孔内,能够形成多个由被埋入接触孔内的金属膜构成的接触插塞(省略图示)。在该情况下,通过CMP法等使接触插塞的上表面及层间绝缘膜IL的上表面平坦化。

[0193] 然后,如图21及图22所示,形成层间绝缘膜IL1及布线WR11(步骤S13)。

[0194] 在该步骤S13中,首先,在层间绝缘膜IL上,通过将例如四乙氧基硅烷(Tetraethyl orthosilicate;TEOS)气体作为原料气体的CVD法,形成由氧化硅(SiO_2)膜构成的层间绝缘膜IL1。

[0195] 接着,使用所谓的单镶嵌法,形成埋入至层间绝缘膜IL1的上表面的布线槽TR11的布线WR11。

[0196] 首先,进行光刻工序及蚀刻工序来对层间绝缘膜IL1进行图案化,由此,在形成有相邻的2个像素的区域之间的区域中,形成有贯穿层间绝缘膜IL1的多个布线槽TR11。

[0197] 在对该层间绝缘膜IL1进行图案化的工序中,首先,在层间绝缘膜IL1上形成抗蚀膜RF1。其次,使用曝光用掩膜MSK对抗蚀膜RF1进行图案曝光。

[0198] 曝光用掩膜MSK具有:基体BS;形成在基体BS的表面上由例如金属膜等的遮光膜构成的曝光用图案PTN1;以及形成在基体BS的表面上由例如金属膜等的遮光膜构成的曝光用图案PTN2。曝光用图案PTN1用于形成多个布线WR11(参照图22),曝光用图案PTN2用于形成多个布线WR12(参照图4)。另外,曝光用掩膜MSK具有形成在基体BS的表面上由例如金属膜等的遮光膜构成的曝光用图案PTN3。曝光用图案PTN3用于形成多个连接布线CW1(参照图4)。

[0199] 然后,通过对图案曝光的抗蚀膜RF1进行显影,如图21所示,在区域AW11(参照图4)中形成用于形成多个布线WR11的抗蚀图案RP1,在区域AW12(参照图4)中形成用于形成多个

布线WR12(参照图4)的抗蚀图案RP2。另外,在间隙区域AW14(参照图4)中形成用于形成多个连接布线CW1(参照图4)的抗蚀图案RP3。

[0200] 然后,将抗蚀图案RP1、RP2及RP3用作蚀刻用掩膜来蚀刻层间绝缘膜IL1。由此,形成了用于形成多个布线WR11的多个布线槽TR11、用于形成多个布线WR12的多个布线槽TR12、和用于形成多个连接布线CW1的多个布线槽TR13。在蚀刻该层间绝缘膜IL1的工序中,能够通过将例如包含氟化碳(氟碳)气体在内的气体作为蚀刻气体的干式蚀刻法对层间绝缘膜IL1进行蚀刻。

[0201] 然后,如图22所示,在多个布线槽TR11、多个布线槽TR12及多个布线槽TR13各自的内部,作为导电膜而埋入例如铜(Cu)膜。由此,在区域AW11(参照图4)中,在布线槽TR11内形成布线WR11,在区域AW12(参照图4)中,在布线槽TR12内与布线WR11同层地形成布线WR12,在间隙区域AW14(参照图4)中,在布线槽TR13内与布线WR11同层地形成连接布线CW1。布线WR11经由上述接触插塞与形成在半导体衬底SB的上表面上的光电二极管PD或传输用晶体管TX等的半导体元件电连接。

[0202] 布线WR11形成在形成有相邻的2个像素PU(参照图3)的区域之间的区域,由此,能够防止或抑制在光入射到多个像素PU各自的光电二极管PD时入射光被布线WR11遮挡的情况。布线WR11及层间绝缘膜IL1各自的上表面通过CMP法等被平坦化。

[0203] 此外,布线WR11不限于铜布线,也能够由铝(Al)布线形成。在这样的情况下,首先,在层间绝缘膜IL上形成由铝膜构成的导电膜,在导电膜上形成抗蚀膜。其次,使用曝光用掩膜对抗蚀膜进行图案曝光并显影,由此,在区域AW11(参照图4)中,形成用于形成多个布线WR11的第一抗蚀图案(未图示),在区域AW12(参照图4)中,形成用于形成多个布线WR12的第二抗蚀图案(未图示)。另外,在间隙区域AW14(参照图4)中,形成用于形成多个连接布线CW1的第三抗蚀图案(未图示)。

[0204] 然后,将第一抗蚀图案、第二抗蚀图案及第三抗蚀图案用作蚀刻用掩膜来蚀刻导电膜。由此,在区域AW11(参照图4)中,在半导体衬底SB的上方,彼此同层地形成由导电膜构成的多个布线WR11,在区域AW12(参照图4)中,分别与多个布线WR11同层地形成由导电膜构成的多个布线WR12。另外,在间隙区域AW14(参照图4)中,分别与多个布线WR11同层地形成由导电膜构成的多个连接布线CW1。

[0205] 即,在步骤S13中,使用曝光用掩膜进行光刻工序,由此,在区域AW11中,在半导体衬底SB的上方形成多个布线WR11,在区域AW12中,分别与多个布线WR11同层地形成多个布线WR12。

[0206] 然后,如图23所示,形成层间绝缘膜IL2及布线WR21(步骤S14)。在该步骤S14中,首先,在层间绝缘膜IL1上及布线WR11上,通过例如将三甲基硅烷($\text{SiH}(\text{CH}_3)_3$)气体和氧气(O_2)气体作为原料气体的CVD法,形成由含碳氧化硅(SiOC)膜构成的层间绝缘膜IL2。

[0207] 然后,使用所谓的双镶嵌法形成被埋入在层间绝缘膜IL2的上表面的布线槽TR2中的布线WR21、以及在布线WR21的正下方连接布线WR21及WR11的连接柱(省略图示)。

[0208] 首先,使用光刻技术及蚀刻法对层间绝缘膜IL2进行图案化。由此,在层间绝缘膜IL2的上表面上形成多个布线槽TR2,另外,在这些布线槽TR2的底面上,形成贯穿层间绝缘膜IL2的多个过孔(省略图示)。

[0209] 在对该层间绝缘膜IL2进行图案化的工序中,能够通过例如将包含氟化碳(氟碳)

气体在的气体作为蚀刻气体的干式蚀刻法来蚀刻层间绝缘膜IL2。

[0210] 然后,通过向多个布线槽TR2及多个过孔各自的内部埋入例如铜(Cu)膜,来形成各布线槽内的布线WR21和各过孔内的连接柱。布线WR21经由上述连接柱与布线WR11电连接。

[0211] 此外,层间绝缘膜IL2、布线WR21及上述连接柱(省略图示)构成了第二层的布线层ML2。

[0212] 布线WR21形成在形成有相邻的2个像素PU(参照图3)的区域之间的区域。由此,能够防止或抑制在光入射到像素PU各自含有的光电二极管PD时入射光被布线WR21遮挡的情况。此外,布线WR21及层间绝缘膜IL2各自的上表面通过CMP法等被平坦化。

[0213] 然后,如图24所示,形成层间绝缘膜IL3及遮光膜SF1(步骤S15)。在该步骤S15中,首先,在层间绝缘膜IL2上及布线WR21上,通过例如将三甲基硅烷($\text{SiH}(\text{CH}_3)_3$)气体和氧气(O_2)气体作为原料气体的CVD法,形成由含碳氧化硅(SiOC)膜构成的层间绝缘膜IL3。

[0214] 然后,使用所谓的双镶嵌法形成埋入在层间绝缘膜IL3的上表面的布线槽中的布线WR3、以及在布线WR3的正下方连接布线WR3及WR21的连接柱(省略图示)。

[0215] 首先,使用光刻技术及蚀刻法对层间绝缘膜IL3进行图案化。由此,在层间绝缘膜IL3的上表面上形成多个布线槽TR3。在对该层间绝缘膜IL3进行图案化的工序中,能够通过例如将包含氟化碳(氟碳)气体在的气体作为蚀刻气体的干式蚀刻法来蚀刻层间绝缘膜IL3。

[0216] 然后,通过向多个布线槽TR3各自的内部埋入例如铜(Cu)膜,来在各布线槽TR3内形成遮光膜SF1。

[0217] 此外,层间绝缘膜IL3及遮光膜SF1构成了最上层的布线层ML3。

[0218] 遮光膜SF1形成在形成有相邻的2个像素PU(参照图3)的区域之间的区域。由此,能够防止或抑制在光入射到多个像素PU各自含有的光电二极管PD时入射光被遮光膜SF1遮挡的情况。此外,遮光膜SF1及层间绝缘膜IL2各自的上表面通过CMP法等被平坦化。

[0219] 然后,如图3所示,形成绝缘膜IL4(图18的步骤S16)。在该步骤S16中,首先,在层间绝缘膜IL3上及遮光膜SF1上,形成由例如氮化硅膜构成的绝缘膜IL4。

[0220] 然后,如图3所示,形成隔壁BW及彩色滤光片CF(图18的步骤S17)。

[0221] 在该步骤S17中,首先,在绝缘膜IL4上,通过CVD法形成由例如氧化硅膜构成的膜,并使用光刻技术及蚀刻法进行图案化。由此,在形成有相邻的2个像素PU的区域之间的区域中,在绝缘膜IL4上形成由例如氧化硅膜构成的隔壁BW。

[0222] 在该步骤S17中,接着,在相邻的隔壁BW彼此之间,形成彩色滤光片CF。彩色滤光片CF由例如被着色成红(R)、绿(G)及蓝(B)各色的膜构成。

[0223] 然后,如图3所示,形成微透镜ML(图18的步骤S18)。在该步骤S18中,在彩色滤光片CF上形成微透镜ML。微透镜ML是上表面弯曲的凸透镜,由光能够透射的膜构成。微透镜ML将从半导体衬底SB的主面侧即上表面侧向各像素PU照射的光聚光到光电二极管PD。

[0224] 例如在隔壁BW上及彩色滤光片CF上形成了膜之后,对所形成的膜加热而使其熔融,使该膜的上表面的形状变圆,由此能够形成微透镜ML。

[0225] 以上,图3所示的本实施方式1的半导体器件完成。

[0226] (关于阴影)

[0227] 以下,关于阴影,一边与比较例的半导体器件进行比较一边进行说明。图25是表示

比较例的半导体器件的结构的剖视图。图26是表示比较例的第一层的布线层的布线布局的俯视图。图25是沿图1的B-B线的剖视图。此外,沿图1的A-A线的剖视图与图2同样。

[0228] 作为比较例的半导体器件的摄像元件也与实施方式1的半导体器件的摄像元件同样,具有CMOS图像传感器。

[0229] 作为比较例的半导体器件的摄像元件也在区域AR1中,具有形成在半导体衬底SB的上表面上的多个像素PU。多个像素PU在俯视时沿X轴方向及Y轴方向以矩阵状排列。多个像素PU分别具有光电二极管PD、传输用晶体管TX及放大用晶体管(未图示)等。光电二极管PD是接受入射光并转换成电荷的光电转换元件。

[0230] 在比较例的半导体器件中,也与实施方式1的半导体器件同样,多个像素PU分别具有彩色滤光片CF及微透镜ML。而且,比较例的半导体器件与实施方式1的半导体器件同样地具有遮光膜SF1。

[0231] 这里,入射到多个像素PU各自的入射光不限于从与半导体衬底SB的上表面垂直的方向入射。例如入射到以矩阵状配置的多个像素PU中的、配置在多个像素PU的排列的周边侧的像素PU的入射光,从相对于与半导体衬底SB的上表面垂直的方向倾斜的方向入射。在这样的情况下,入射到各像素PU的光的一部分不入射到该像素PU所含有的光电二极管PD,由此,光电二极管PD的灵敏度的降低,即产生阴影。

[0232] 为了防止或抑制该阴影,对微透镜ML、彩色滤光片CF及遮光膜SF1的开口部OP1,进行以多个像素PU的排列的中心位置为中心缩小的缩小处理即收缩处理,使微透镜ML、彩色滤光片CF及开口部OP1错开。

[0233] 在比较例的半导体器件中,关于遮光膜SF1的开口部OP1、彩色滤光片CF及微透镜ML,与实施方式1同样地,以配置有多个像素PU的区域AR1内的位置为中心进行收缩处理。即,在比较例的半导体器件中,对最上层的布线层ML3的掩膜数据进行收缩处理。但是,在比较例的半导体器件中,与实施方式1不同,针对第一层的布线层ML1及第二层的布线层ML2的掩膜数据不进行收缩处理。因此,如图26所示,配置有多个像素PU的区域AR1中的布线WR11的间距与配置有周边电路的区域AR2中的布线WR12的间距相等。

[0234] 如图25所示,在比较例的半导体器件中,向配置在多个像素PU的排列的周边侧的像素PU入射的入射光被与最上层的布线层ML3相比靠下层的第二层的布线层ML2或第一层的布线层ML1反射,因此不能恰当地入射到各像素PU所含有的光电二极管PD,依然会产生阴影。

[0235] 即,若仅对遮光膜SF1的开口部OP1进行收缩处理,则入射到各像素PU的光会被半导体衬底SB的上方的布线层即与遮光膜SF1不同的层的布线层所含有的布线反射,因此难以防止或抑制阴影。由此,CMOS图像传感器的灵敏度降低,半导体器件的性能降低。

[0236] 另外,近年来,多个像素PU各自伴随微型化或高功能化,为了使充分的光量的光入射到光电二极管PD,需要使各像素PU所含有的光电二极管PD的面积增加来使遮光膜SF1的开口部OP1的面积增加。另一方面,为了将多个像素PU各自高功能化,使第一层的布线层ML1所含有的布线的条数及第二层的布线层ML2所含有的布线的条数增加。在这样的情况下,在比较例的半导体器件中,基于第一层的布线层ML1及第二层的布线层ML2的对入射光的阴影的问题变大。

[0237] (本实施方式的主要特征和效果)

[0238] 在本实施方式1中,在创建最上层的布线层ML3以外的布线层的第一层的布线层ML1的掩膜数据时,以包含多个像素PU在内的区域AW13内的任意位置为中心进行收缩处理。因此,在作为最上层的布线层ML3以外的布线层的第一层的布线层ML1中,配置在区域AW13内的区域AW11的布线WR11的间距比配置在与区域AW13不同的区域的区域AW12的布线WR12的间距小。

[0239] 在本实施方式1中,对于第一层的布线层ML1的掩膜数据,以配置有多个像素PU的区域内的位置为中心进行收缩处理。由此,能够使布线WR11的间距比布线WR12的间距小,能够防止或抑制由第一层的布线层ML1导致的阴影。因此,能够提高CMOS图像传感器的灵敏度,提高半导体器件的性能。

[0240] 如使用图11~图16说明的那样,在例如进行收缩处理之前的第一层的布线层ML1的掩膜数据DAT1中,第一层的布线层ML1通过例如沿X轴方向延伸且沿Y轴方向排列的多个布线WR13形成。布线WR13从配置有多个像素PU(参照图3)的区域AW13延伸到配置有周边电路的区域AW12。

[0241] 在这样的情况下,被截出部分掩膜数据DAT13的区域AW13的外周横穿多个布线WR13。而且,在将对于部分掩膜数据DAT13进行收缩处理而创建的缩小部分掩膜数据DAT11粘贴到区域AW11之后,在区域AW11和区域AW12之间的间隙区域AW14中,没有创建掩膜数据。因此,在创建间隙部分掩膜数据DAT14时,在区域AW11和区域AW12之间,需要考虑收缩处理前后的布线WR11的间距差来连接布线WR11和布线WR12。

[0242] 另外,配置在区域AW11的布线WR11在进行创建间隙部分掩膜数据DAT14的工序(图11的步骤S5)时才开始与配置在区域AW12的布线WR12电连接。因此,仅在创建芯片布局数据时进行布线WR11是否与布线WR12连接的验证是不充分的,还需要在创建掩膜数据DAT1a之后进行。

[0243] 在本实施方式1中,通过使用配置在区域AW11的布线WR11的端部EP11的角部的坐标、和配置在区域AW12的布线WR12的端部EP12的角部的坐标的运算,能够容易地创建间隙部分掩膜数据DAT14所含有的连接布线CW1的角部的坐标。因此,能够简化对作为间隙部分掩膜数据DAT14所含有的连接布线CW1的图案的配置进行运算的运算处理。

[0244] 另外,通过运算自动创建作为连接布线CW1的图案,由此,能针对间隙部分掩膜数据DAT14,使用基于多个运算的比较验证等的方法,能够较简便地验证间隙部分掩膜数据DAT14是否发生数据的欠缺。

[0245] 此外,也可以对于第一层的布线层ML1以外的布线层进行收缩处理,也可以对于p型半导体层PW、n型半导体层NW或栅极电极GE进行收缩处理。另外,在被收缩处理的区域的部分中,收缩率 α 既能够采用同一值,也能够调整成不同的值。

[0246] 而且,在本实施方式1中,关于被截出的区域AW13为矩形形状,布线WR11和布线WR12通过区域AW11的X轴方向上的负侧的端部和区域AW12之间的部分的间隙区域AW14来连接的例子进行了说明。但是,被截出的区域AW13也可以不是矩形形状。或者,布线WR11和布线WR12也可以通过区域AW11的X轴方向上的正侧的端部和区域AW12之间的部分的间隙区域AW14来连接。或者,布线WR11和布线WR12也可以通过区域AW11的Y轴方向上的正侧或负侧的端部和区域AW12之间的部分的间隙区域AW14来连接。在任意的情况下,都能够得到与本实施方式1同样的效果。

[0247] 在本实施方式1中,创建作为连接布线CW1的图案的方法是使配置在区域AW11中的布线WR11向区域AW12侧延长、并使配置在区域AW12中的布线WR12向区域AW11侧延长的方法。由此,能够简便地创建具有连接布线CW1的间隙部分掩膜数据DAT14。另外,在间隙区域AW14中,通过使布线WR11延长的部分和布线WR12延长的部分重叠,来创建作为连接布线CW1的图案。由于重叠的部分即连接布线CW1的宽度WC1比第一层的布线层ML1的考虑了掩膜尺寸效应或OPC处理的宽度W00大,所以能够提高基于曝光的布线宽度相对于加工精度之比的曝光裕度(margin)。

[0248] 此外,在对于第一层的布线层ML1所含有的布线及第二层的布线层ML2所含有的布线进行收缩处理的情况下,还需要对连接第一层的布线层ML1和第二层的布线层ML2之间的连接柱进行收缩处理。在这样的情况下,通过收缩处理,连接柱的宽度(直径)变窄。例如,在收缩处理之前,连接柱的宽度为 $0.16\mu\text{m}$,在相对于连接柱的收缩率为0.95的情况下,在收缩处理后,连接柱的宽度变窄到 $0.152\mu\text{m}$ 。在这样的情况下,在半导体器件的制造工序中的形成有连接柱的过孔的光刻工序中,加工尺寸的相对于加工精度的裕度变小,会发生例如不能形成过孔等的不良情况。

[0249] 另一方面,根据本实施方式1,布线WR11经由与布线WR11同层地形成的连接布线CW1与布线WR12连接。因此,不需要对于连接柱进行收缩处理,因此在形成过孔的光刻工序中,能够确保加工尺寸的相对于加工精度的裕度,能够形状精度良好地形成过孔。

[0250] (布线布局及其设计方法的第一变形例)

[0251] 以下,关于布线层中的布线布局及其设计方法的第一变形例进行说明。

[0252] 图27是表示实施方式1的第一变形例中的第一层的布线层的布线布局的俯视图。图28~图30是表示实施方式1的第一变形例中的第一层的布线层的布线布局的另一例的俯视图。

[0253] 在本第一变形例中,区域AW11中的布线WR11及区域AW12中的布线WR12中的至少一方延长到间隙区域AW14,并与另一方连接。此外,配置在间隙区域AW14中的部分是连接布线CW1。

[0254] 在图27~图30的任意的例子中,多个连接布线CW1中的连接布线CW1a均与多个布线WR11中的布线WR11a连接,并且与多个布线WR12中的布线WR12a连接。另外,布线WR11a与布线WR12a相比更偏向Y轴方向上的收缩中心位置CT11侧。

[0255] 在图27所示的例子中,布线WR11的靠区域AW12侧的端部EP11延长到间隙区域AW14中的与区域AW12接触的部分,被延长的端部EP11与布线WR12的靠区域AW11侧的端部EP12接触。另外,延长的部分的端部EP11相当于连接布线CW1。此时,布线WR11a的靠区域AW12侧的端部EP11中的Y轴方向上的与收缩中心位置CT11侧相反一侧的部分,在俯视时与布线WR12a的靠区域AW11侧的端部EP12中的Y轴方向上的靠收缩中心位置CT11侧的部分接触。

[0256] 在图28所示的例子中,布线WR12的靠区域AW11侧的端部EP12延长到间隙区域AW14中的与区域AW11接触的部分,被延长的端部EP12与布线WR11的靠区域AW12侧的端部EP11接触。另外,延长的部分的端部EP12相当于连接布线CW1。此时,布线WR11a的靠区域AW12侧的端部EP11中的Y轴方向上的与收缩中心位置CT11侧相反一侧的部分,在俯视时与布线WR12a的靠区域AW11侧的端部EP12中的Y轴方向上的靠收缩中心位置CT11侧的部分接触。

[0257] 在图29所示的例子中,布线WR11的靠区域AW12侧的端部EP11延长到间隙区域AW14

的中央部,布线WR12的靠区域AW11侧的端部EP12延长到间隙区域AW14中的中央部,被延长的端部EP11与被延长的端部EP12接触。此时,由延长的部分的端部EP11和延长的部分的端部EP12形成了连接布线CW1。另外,布线WR11a的靠区域AW12侧的端部EP11中的Y轴方向上的与收缩中心位置CT11侧相反一侧的部分,在俯视时与布线WR12a的靠区域AW11侧的端部EP12中的Y轴方向上的靠收缩中心位置CT11侧的部分接触。

[0258] 此外,如图30所示,被延长的端部EP11也可以在X轴方向上与被延长的端部EP12重叠。

[0259] 在本第一变形例中,将间隔宽度SP1设为布线WR11a的端部EP11、和与特定布线WR11连接的布线WR12的端部EP12之间的、Y轴方向上的间隔宽度,其中,特定布线WR11是指,配置在布线WR11a的Y轴方向上的靠收缩中心位置CT11侧、且与布线WR11a相邻的布线WR11。此时,间隔宽度SP1为第一层的布线层ML1中的考虑了掩膜尺寸效应或OPC处理的最小间隔宽度以上。

[0260] 在本第一变形例中,除了具有与实施方式1同样的效果,还通过简单地使布线WR11及布线WR12的至少一方延长,来配置作为连接布线CW1的图案,与实施方式1相比,能够简便地创建作为连接布线CW1的图案。

[0261] 另外,在本第一变形例中,也与实施方式1同样地,布线WR11及布线WR12各自在俯视时也可以不具有矩形形状。这样的例子如图31所示。图31是表示实施方式1的第一变形例中的第一层的布线层的布线布局的又一例的俯视图。

[0262] 如图31所示,布线WR11具有靠区域AW12侧的端部EP11、以及与端部EP11连接并沿X轴方向延伸的延伸部EX11。端部EP11的Y轴方向上的宽度WD11也可以是延伸部EX11的Y轴方向上的宽度WD13以上。另外,布线WR12具有靠区域AW11侧的端部EP12、以及与端部EP12连接并沿X轴方向延伸的延伸部EX12。端部EP12的Y轴方向上的宽度WD12也可以为延伸部EX12的Y轴方向上的宽度WD14以上。

[0263] 在图31所示的情况下,也能够通过使端部EP11及端部EP12的至少一方延长,来连接端部EP11和端部EP12。因此,能够得到与图27~图30所示的情况同样的效果。

[0264] (布线布局及其设计方法的第二变形例)

[0265] 以下,关于布线层中的布线布局及其设计方法的第二变形例进行说明。

[0266] 图32是表示实施方式1的第二变形例中的第一层的布线层的布线布局的俯视图。

[0267] 如图32所示,在本第二变形例中,多个连接布线CW1中的连接布线CW1a也与多个布线WR11中的布线WR11a连接,并且与多个布线WR12中的布线WR12a连接。另外,布线WR11a与布线WR12a相比更偏向Y轴方向上的收缩中心位置CT11侧。

[0268] 在本第二变形例中,连接布线CW1a的Y轴方向上的宽度WC1比布线WR11a的Y轴方向上的宽度及布线WR12a的Y轴方向上的宽度都窄。

[0269] 此外,各布线WR11的Y轴方向上的宽度WD11彼此相等,各布线WR12的Y轴方向上的宽度WD12彼此相等,并且在宽度WD11比宽度WD12窄的情况下,各连接布线CW1的Y轴方向上的宽度WC1为宽度WD11以下。

[0270] 在图32所示的例子中,布线WR11的端部EP11在Y轴方向上的与收缩中心位置CT11侧相反一侧的侧面SW12,在俯视时与布线WR12的端部EP12的Y轴方向上的靠收缩中心位置CT11侧的侧面SW21相比,配置在更靠Y轴方向上的收缩中心位置CT11侧的相反一侧。另外,

连接布线CW1a的Y轴方向上的靠收缩中心位置CT11侧的侧面SC1和端部EP12的侧面SW21形成同一面,连接布线CW1a的Y轴方向上的与收缩中心位置CT11侧相反一侧的侧面SC2和端部EP11的侧面SW12形成同一面。

[0271] 在图32所示的例子中,将布线WR11a设为配置在比收缩中心位置CT11更靠Y轴方向上的负侧的布线WR11。由布线WR12a的端部EP12的X轴方向上的正侧的侧面和布线WR12a的端部EP12的Y轴方向上的正侧的侧面SW21形成的角部的坐标为 $(Xp1, Yp1)$ 。由布线WR12a的端部EP12的X轴方向上的正侧的侧面和布线WR12a的端部EP12的Y轴方向上的负侧的侧面SW22形成的角部的坐标为 $(Xp2, Yp2)$ 。由布线WR11a的端部EP11的X轴方向上的负侧的侧面和布线WR11a的端部EP11的Y轴方向上的正侧的侧面SW11形成的角部的坐标为 $(Xp3, Yp3)$ 。由布线WR11a的端部EP11的X轴方向上的负侧的侧面和布线WR11a的端部EP11的Y轴方向上的负侧的侧面SW12形成的角部的坐标为 $(Xp4, Yp4)$ 。

[0272] 这里,将第一层的布线层ML1的考虑了掩膜尺寸效应或OPC处理的最小线宽设为宽度W00,将第一层的布线层ML1中的收缩处理的缩小倍率即收缩率设为 α 。此时,布线WR11以布线WR11的宽度WD11配置成在由上述式(1)定义的宽度W1以上。

[0273] 在本第二变形例中,在创建间隙部分掩膜数据DAT14时,产生连接布线CW1的左上坐标成为 $(Xp1, Yp1)$ 、且右下的坐标成为 $(Xp4, Yp4)$ 这样的矩形形状。这里, $Yp1$ 及 $Yp4$ 用下述式(2)及下述式(3)表示。

$$[0274] \quad Yp1 = Yp2 + W1 = Yp2 + W00 + (1 - \alpha) \times |Yp2| \quad (2)$$

$$[0275] \quad Yp4 = \alpha \times Yp2 \quad (3)$$

[0276] 另外,若将连接布线CW1的宽度WC1的最小值设为宽度YW,则宽度YW用下述式(4)表示。

$$[0277] \quad YW = Yp1 - Yp4 = Yp2 + W00 + (1 - \alpha) \times |Yp2| - \alpha Yp2 = W00 + Yp2 + |Yp2| - \alpha |Yp2| - \alpha Yp2 \quad (4)$$

[0278] 这里,由于 $Yp2$ 为负值,所以 $Yp2$ 和 $|Yp2|$ 为相反的极性, $Yp2 + |Yp2|$ 及 $\alpha |Yp2| - \alpha Yp2$ 分别抵消,因此,最终宽度YW等于宽度W00。

[0279] 在本第二变形例中,也与实施方式1同样地,能够简便地进行用于创建作为连接布线CW1的图案的运算,具有与实施方式1同样的效果。

[0280] 此外,与后述的实施方式2的第三变形例同样地,也可以在被截出的区域AW13的整个区域中,考虑使端部EP11从端部EP12向Y轴方向偏移并突出的距离的最大值来决定宽度W1的最大值W1max。而且,配置在被切掉的区域AW13中的布线WR11的端部EP11的宽度WD11也可以是被决定的宽度W1的最大值W1max以上。该情况下,也能够得到与本第二变形例同样的效果。

[0281] 另外,在本第二变形例中,也与实施方式1同样地,布线WR11及布线WR12分别在俯视时也可以不具有矩形形状。这样的例子如图33所示。图33是表示实施方式1的第二变形例中的第一层的布线层的布线布局的另一例的俯视图。

[0282] 如图33所示,布线WR11具有:靠区域AW12侧的端部EP11;与端部EP11连接并沿X轴方向延伸的延伸部EX11,端部EP11的Y轴方向上的宽度WD11也可以是延伸部EX11的Y轴方向上的宽度WD13以上。另外,布线WR12具有靠区域AW11侧的端部EP12、以及与端部EP12连接并沿X轴方向延伸的延伸部EX12,端部EP12的Y轴方向上的宽度WD12也可以是延伸部EX12的Y轴方向上的宽度WD14以上。

[0283] 在图33所示的情况下,关于端部EP11、端部EP12及连接布线CW1,也能够通过与使用图11~图16说明的设计方法同样的设计方法,与图32所示的情况同样地,容易地创建具有矩形形状的作为连接布线CW1的图案,能够得到与图32所示的情况同样的效果。

[0284] (布线布局及其设计方法的第三变形例)

[0285] 以下,关于布线层中的布线布局及其设计方法的第三变形例进行说明。

[0286] 图34是表示实施方式1的第三变形例中的第一层的布线层的布线布局的俯视图。图35及图36是表示实施方式1的第三变形例中的第一层的布线层的布线布局的另一例的俯视图。

[0287] 在本第三变形例中,连接布线CW1包含延伸部CW11、延伸部CW12和连接部CW13。延伸部CW11与布线WR11的靠区域AW12侧的端部EP11连续地形成,并沿X轴方向延伸。延伸部CW12与布线WR12的靠区域AW11侧的端部EP12连续地形成,并沿X轴方向延伸。连接部CW13沿Y轴方向延伸,并与延伸部CW11及延伸部CW12均连接。

[0288] 多个连接布线CW1中的连接布线CW1a与多个布线WR11中的布线WR11a连接,并且与多个布线WR12中的布线WR12a连接。另外,布线WR11a以向Y轴方向上的收缩中心位置CT11侧与布线WR12a分离的方式配置。

[0289] 连接布线CW1a的延伸部CW11的Y轴方向上的靠收缩中心位置CT11侧的侧面SC11和布线WR11a的端部EP11的Y轴方向上的靠收缩中心位置CT11侧的侧面SW11形成同一面。另外,连接布线CW1a的延伸部CW11的Y轴方向上的与收缩中心位置CT11侧相反一侧的侧面SC12和布线WR11a的端部EP11的Y轴方向上的与收缩中心位置CT11侧相反一侧的侧面SW12形成同一面。

[0290] 连接布线CW1a的延伸部CW12的Y轴方向上的收缩中心位置CT11侧的侧面SC21和布线WR12a的端部EP12的Y轴方向上的收缩中心位置CT11侧的侧面SW21形成同一面。另外,连接布线CW1a的延伸部CW12的Y轴方向上的与收缩中心位置CT11侧相反一侧的侧面SC22和布线WR12a的端部EP12的Y轴方向上的与收缩中心位置CT11侧相反一侧的侧面SW22形成同一面。

[0291] 连接布线CW1a的连接部CW13的Y轴方向上的靠收缩中心位置CT11侧的侧面SC31和连接布线CW1a的延伸部CW11的侧面SC11形成同一面。另外,连接布线CW1a的连接部CW13的Y轴方向上的与收缩中心位置CT11侧相反一侧的侧面SC32和连接布线CW1a的延伸部CW12的侧面SC22形成同一面。

[0292] 但是,如上所述,布线WR11a以向Y轴方向上的收缩中心位置CT11侧与布线WR12a分离的方式配置。因此,布线WR11a的端部EP11的Y轴方向上的与收缩中心位置CT11侧相反一侧的侧面SW12与布线WR12a的端部EP12的Y轴方向上的靠收缩中心位置CT11侧的侧面SW21相比,配置在更靠Y轴方向上的收缩中心位置CT11侧。另外,连接布线CW1a的延伸部CW11的侧面SC12与连接布线CW1a的延伸部CW12的侧面SC21相比,配置在更靠Y轴方向上的收缩中心位置CT11侧。

[0293] 这里,若将第一层的布线层ML1的考虑了掩膜尺寸效应或OPC处理的最小线宽设为宽度W00,则能够将连接部CW13的X轴方向上的宽度设为宽度W00。此时,通过使布线WR11延长到间隙区域AW14,来创建作为延伸部CW11的图案,通过使布线WR12延长到间隙区域AW14,来创建作为延伸部CW12的图案。另外,能够通过实施方式1同样的运算来创建作为将延伸

部CW11和延伸部CW12连接的连接部CW13的图案。

[0294] 在本第二变形例中,也与实施方式1同样地,Y轴方向上相邻的2个连接布线CW1之间的间隔宽度SP1为第一层的布线层ML1中的考虑了掩膜尺寸效应或OPC处理的最小间隔宽度以上。

[0295] 在本第三变形例中,除了具有与实施方式1同样的效果以外,由于通过单纯将布线WR11及布线WR12的至少一方延长来配置作为连接布线CW1的图案,所以与实施方式1相比,还能够简便地创建作为连接布线CW1的图案。

[0296] 此外,如图35所示,连接部CW13的X轴方向上的位置也可以不是区域AW11和区域AW12之间的X轴方向上的中央位置。在这样的情况下,也具有与图34所示的例子同样的效果。

[0297] 或者,如图36所示,连接部CW13的X轴方向上的位置也可以在多个连接布线CW1之间不同。在这样的情况下,除了具有与图34所示的例子同样的效果以外,通过使连接部CW13的X轴方向上的位置在Y轴方向上相邻的2个连接布线CW1之间不同,使得这两个连接布线CW1之间的间隔部在Y轴方向上的两侧均不因连接部CW13而变窄。由此,能够提高基于曝光的布线宽度相对于加工精度之比即曝光裕度。

[0298] (布线布局及其设计方法的第四变形例)

[0299] 以下,关于布线层中的布线布局及其设计方法的第四变形例进行说明。

[0300] 图37是表示实施方式1的第四变形例中的第一层的布线层的布线布局的俯视图。图38是表示实施方式1的第四变形例中的第一层的布线层的布线布局的另一例的俯视图。

[0301] 在本第四变形例中,将布线WR11的靠区域AW12侧的端部EP11和布线WR12的靠区域AW11侧的端部EP12进行连接的连接布线CW1沿着例如相对于X轴方向倾斜的方向以一直线状延伸。而且,在相互连接的布线WR11、连接布线CW1及布线WR12的组中,连接布线CW1的Y轴方向上的正侧的侧面SG1与布线WR11的Y轴方向上的正侧的侧面SW11及布线WR12的Y轴方向上的正侧的侧面SW21都连续。另外,在相互连接的布线WR11、连接布线CW1及布线WR12的组中,连接布线CW1的Y轴方向上的负侧的侧面SC2与布线WR11的Y轴方向上的负侧的侧面SW12及布线WR12的Y轴方向上的负侧的侧面SW22都连续。

[0302] 在图37所示的例子中,由布线WR12的端部EP12的X轴方向上的正侧的侧面和布线WR12的端部EP12的Y轴方向上的正侧的侧面SW21形成的角部的坐标为 (X_{p1}, Y_{p1}) 。另外,布线WR12的端部EP12的X轴方向上的正侧的侧面和布线WR12的端部EP12的Y轴方向上的负侧的侧面SW22形成的角部的坐标为 (X_{p2}, Y_{p2}) 。另一方面,由布线WR11的端部EP11的X轴方向上的负侧的侧面和布线WR11的端部EP11的Y轴方向上的正侧的侧面SW11形成的角部的坐标为 (X_{p3}, Y_{p3}) 。另外,由布线WR11的端部EP11的X轴方向上的负侧的侧面和布线WR11的端部EP11的Y轴方向上的负侧的侧面SW12形成的角部的坐标为 (X_{p4}, Y_{p4}) 。

[0303] 在本第四变形例中,在创建间隙部分掩膜数据时,作为连接布线CW1的图案,而通过运算产生以由上述坐标 (X_{p1}, Y_{p1}) 、 (X_{p2}, Y_{p2}) 、 (X_{p3}, Y_{p3}) 及 (X_{p4}, Y_{p4}) 表示的4点为顶点的四边形构成的图案。由此,在本第四变形例中,与实施方式1不同,使用了4点的坐标,能够简便地进行用于创建作为连接布线CW1的图案的运算,具有与实施方式1大致同样的效果。

[0304] 如图38所示,连接布线CW1也可以包含延伸部CW11、延伸部CW12和连接部CW13。延伸部CW11与布线WR11的靠区域AW12侧的端部EP11连续地形成,并沿X轴方向延伸。延伸部

CW12与布线WR12的靠区域AW11侧的端部EP12连续地形成,并沿X轴方向延伸。对延伸部CW11的靠区域AW12侧的端部和延伸部CW12的靠区域AW11侧的端部进行连接的连接部CW13沿着例如相对于X轴方向倾斜的方向以一直线状延伸。

[0305] 此时,通过使布线WR11延长到间隙区域AW14,形成作为延伸部CW11的图案,通过使布线WR12延长到间隙区域AW14,形成作为延伸部CW12的图案。另外,能够通过与图37所示的例子同样的运算来创建作为连接部CW13的图案。因此,作为连接部CW13而创建以4点为顶点的四边形构成的图案这一点具有与图37所示的例子同样的效果。

[0306] 另外,图38所示的例子除了连接部CW13是否与Y轴平行这一点以外,具有与在实施方式1的第三变形例中图34所示的例子大致同样的结构,也具有图34所示的例子大致同样的效果。

[0307] (实施方式2)

[0308] 在实施方式1中,如图5所示,配置在进行了收缩处理的区域AW11中的布线WR11经由与布线WR11同层地形成的连接布线CW1,与在进行了收缩处理的区域AW11以外的区域AW12中同层地配置的布线WR12连接。另一方面,在实施方式2中,使用后述的图40说明的那样,配置在进行了收缩处理的区域AW21中的布线WR21经由形成在与布线WR21不同的层上的连接布线CW1,与在进行了收缩处理的区域AW21以外的区域AW22中同层地配置的布线WR22连接。

[0309] 关于本实施方式2的半导体器件的结构,与使用图1~图3说明的实施方式1的半导体器件的结构同样,省略其说明。另外,关于本实施方式2的半导体器件的制造方法,与使用图18~图24说明的实施方式1的半导体器件的制造方法同样,省略其说明。

[0310] (布线布局)

[0311] 以下,关于布线层中的布线布局进行说明。以下,例示并说明了第二层的布线层ML2的布线布局,但关于例如第一层等的第二层以外的层的布线层的布线布局,也能够同样地配置。

[0312] 图39及图40是表示实施方式2中的第二层的布线层的布线布局的俯视图。图40是图39的区域RG2的放大俯视图。

[0313] 如图39及图40所示,第二层的布线层ML2具有多个布线WR21和多个布线WR22。多个布线WR21在作为半导体衬底SB(参照图3)的主面的上表面的区域AW21中,彼此同层地形成在第二层的布线层ML2。多个布线WR22在作为半导体衬底SB(参照图3)的主面的上表面的区域AW22中,分别与多个布线WR21同层地形成。区域AW22是在俯视时X轴方向上的区域AW21的一侧的区域。另外,虽然图39中省略了图示,但在区域AW21中形成有多个像素PU(参照图1),在区域AW22中形成有周边电路。

[0314] 多个布线WR21在区域AW21中在俯视时分别沿X轴方向延伸,并且沿Y轴方向以间距PT21排列。多个布线WR22在区域AW22中在俯视时分别沿X轴方向延伸,并且沿Y轴方向以间距PT22排列。

[0315] 第一层的布线层ML1(参照图3)具有图40所示的多个连接布线CW1。多个布线WR21分别经由多个连接布线CW1的每一个与多个布线WR22连接。通过这样的配置,使多个布线WR21分别与多个布线WR22的每一个电连接。

[0316] 多个布线WR22与周边电路所含有的例如晶体管等连接。因此,多个布线WR21分别

经由多个布线WR22的每一个与周边电路连接。

[0317] 如图39及图40所示,间距PT21比间距PT22小。通过这样的配置,能够使形成有像素PU(参照图1)的区域AW21中的相邻的2个布线WR21之间的间隔比形成有周边电路的区域AW22中的相邻的2个布线WR22之间的间隔短。

[0318] 如图40所示,优选的是,各布线WR21的靠区域AW22侧的端部EP21的Y轴方向上的宽度WD21,比多个布线WR22中的、与该各布线WR21连接的布线WR22的靠区域AW21侧的端部EP22的Y轴方向上的宽度WD22窄。

[0319] 如使用后述的图41~图45说明的那样,截出掩膜数据DAT2中的配置在区域AW23的部分,在针对该被截出的部分以被截出的部分内的位置(收缩中心位置)CT21为中心进行缩小处理之后,再粘贴到原来的掩膜数据DAT2。由此,能够容易地创建具有多个布线WR21和多个布线WR22在内的掩膜数据DAT2a。

[0320] 另外,在这样的情况下,多个布线WR21中的某一个布线WR21在俯视时与多个布线WR22中的与该某一个布线WR21连接的布线WR22相比,更向Y轴方向上的收缩中心位置CT21侧偏移地配置。另外,多个布线WR21中的、在多个布线WR21的排列的Y轴方向上的负侧的端部上配置的布线WR21,在俯视时与多个布线WR22中的与该布线WR21连接的布线WR22相比,更向Y轴方向上的正侧偏移地配置。

[0321] 此外,在各布线WR21的宽度WD21彼此相等、且各布线WR22的宽度WD22彼此相等的情况下,各布线WR21的宽度WD21也可以比各布线WR22的宽度WD22窄。

[0322] 多个连接布线CW1形成在与多个布线WR21不同的层。在本实施方式2中,作为一例,多个连接布线CW1形成在与形成有多个布线WR21的第二层的布线层ML2相比更下层的第一层的布线层ML1。多个连接布线CW1在俯视时分别沿X轴方向延伸,并且沿Y轴方向以间距PT23排列。能够使间距PT23与例如间距PT22相等。

[0323] 在多个布线WR21和多个连接布线CW1之间的层中,彼此同层地形成有多个作为电极的连接柱VA1。在多个布线WR22和多个连接布线CW1之间的层中,彼此同层地形成有多个作为电极的连接柱VA2。多个布线WR21分别经由多个连接柱VA1与多个连接布线CW1电连接。多个布线WR22分别经由多个连接柱VA2与多个连接布线CW1的每一个电连接。

[0324] 多个连接柱VA1在俯视时沿Y轴方向以间距PTV1排列,多个连接柱VA2在俯视时沿Y轴方向以间距PTV2排列。间距PTV1及PTV2均能够与间距PT22相等。

[0325] 第二层的布线层ML2具有多个端子部PD2。多个端子部PD2各自在区域AW21中分别与多个布线WR21同层地形成。各端子部PD2与各布线WR21的靠区域AW22侧的端部EP21连接。

[0326] 各端子部PD2在俯视时与各连接布线CW1重叠,各连接柱VA1在俯视时内置于与各连接布线CW1重叠的部分的各端子部PD2中。由此,各端子部PD2能够经由各连接柱VA1可靠地与各连接布线CW1电连接。

[0327] 另外,多个端子部PD2中的、与在多个布线WR21的排列的中央部配置的布线WR21连接的端子部PD2的Y轴方向上的宽度,比多个端子部PD2中的、与配置在多个布线WR21的排列的端部上的布线WR21连接的端子部PD2的Y轴方向上的宽度窄。

[0328] (布线布局的设计方法)

[0329] 以下,包含曝光用掩膜的制造方法地说明布线层中的布线布局的设计方法。此外,能够通过实施实施方式1中说明的第一层的布线层ML1的布线布局的设计方法同样的方法来

设计第二层的布线层ML2的布线布局,因此,在本实施方式2中的布线布局的设计方法中,以与实施方式1中的布线布局的设计方法不同的部分为中心进行说明。另外,能够通过与实施方式1中的最上层的布线层ML3的布线布局的设计方法同样的方法来设计本实施方式2中的最上层的布线层ML3中的布线布局。另外,也能够与实施方式1中的曝光用掩膜同样地制造本实施方式2中的曝光用掩膜。

[0330] 图41~图45是表示实施方式2中的第二层的布线层的布线布局数据的俯视图。

[0331] 首先,在与实施方式1同样地创建芯片布局数据之后,进行与图11的步骤S1同样的工序,如图41及图42所示,创建掩膜数据。在该工序中,针对第二层的布线层ML2中的布局数据进行被称为所谓的OPC处理的修正处理等,准备作为第二层的布线层ML2的图案数据的掩膜数据DAT2。掩膜数据DAT2具有平面FS的一部分的区域即区域AR1、以及平面FS的一部分的区域即区域AR2。虽然在图41中未图示,但多个像素PU(参照图6)配置在作为像素区域的区域AR1的一部分的区域即区域AW23内。另外,将区域AR1及区域AR2中的区域AW23以外的区域作为区域AW22。

[0332] 图41表示在通过收缩处理创建图39的俯视图所示的布线布局之前的布线布局,图42表示在通过收缩处理创建图40的俯视图所示的布线布局之前的布线布局。

[0333] 如图41及图42所示,在掩膜数据DAT2中,在区域AR1中配置有多个布线(布线图案)WR21。多个布线WR21分别沿X轴方向延伸,并且沿Y轴方向以间距PT22排列。另外,在区域AR2中配置有多个布线(布线图案)WR22。多个布线WR22分别沿X轴方向延伸,并且沿Y轴方向以间距PT22排列。即,掩膜数据DAT2具有:在区域AW23中分别沿X轴方向延伸且沿Y方向以间距PT22排列的多个布线(布线图案)WR21;以及在区域AW22中分别沿X轴方向延伸且沿Y轴方向以间距PT22排列的多个布线(布线图案)WR22。

[0334] 然后,进行与图11的步骤S2同样的工序,如图43所示,截出部分掩膜数据。在该工序中,截出第二层的布线层ML2的掩膜数据DAT2中的、由配置在区域AW23的部分构成的作为图案数据的部分掩膜数据DAT23。

[0335] 然后,进行与图11的步骤S3同样的工序,如图44所示,进行收缩处理。在该工序中,针对被截出的部分掩膜数据DAT23以部分掩膜数据DAT23内的位置CT21为中心进行以一定的倍率缩小的缩小处理即收缩处理。由此,创建出分别由缩小后的布线(布线图案)WR21构成的作为图案数据的缩小部分掩膜数据DAT21。多个布线WR21分别沿X轴方向延伸,并且沿Y轴方向以间距PT21排列。间距PT21比间距PT22小。

[0336] 如图42所示,在进行收缩处理之前的端子部PD2相对于配置有连接柱VA1的区域,向X轴方向上的与收缩中心位置CT21侧相反一侧突出距离Xmargin。另外,在进行收缩处理之前的端子部PD2相对于配置有连接柱VA1的区域,向Y轴方向上的与收缩中心位置CT21侧相反一侧突出距离Ymargin。

[0337] 这里,将第二层的布线层ML2中的收缩处理的缩小倍率即收缩率设为 α ,连接柱VA1相对于收缩中心位置CT21的中心坐标为 (X_v, Y_v) 。另外,将连接柱VA1的X轴方向及Y轴方向上的宽度(在连接柱VA1呈圆形形状时为直径)设为宽度V1,连接柱VA1的位置相对于第二层的布线层ML2的能够允许的偏移量即偏移量的裕度为裕度 Δ 。此时,距离Xmargin及距离Ymargin由下述式(5)及下述式(6)定义。

[0338]
$$Xmargin = (1-\alpha) / \alpha \times (|X_v| + 0.5 \times V1 + \Delta) \quad (5)$$

[0339] $Ymargin = (1-\alpha) / \alpha \times (|Yv| + 0.5 \times V1 + \Delta)$ (6)

[0340] 另一方面,将第二层的布线层ML2的考虑了掩膜尺寸效应或OPC处理的最小线宽设为宽度W0。此时,在进行了收缩处理之后的端子部PD2(参照图40)的X轴方向上的长度为(W0 + $\alpha \times (Xmargin + \Delta)$)以上,Y轴方向上的宽度为(W0 + $\alpha \times (Ymargin + \Delta)$)以上。

[0341] 另外,在第二层的布线层ML2中,将最小线宽设为宽度W0,将最小间隔宽度设为间隔宽度S0。此时,在进行收缩处理之前的作为布线WR21的图案配置成以由下述式(7)定义的线宽Wshrink为最小线宽,以由下述式(8)定义的间隔宽度Sshrink为最小间隔宽度。

[0342] $Wshrink = 1/\alpha \times W0$ (7)

[0343] $Sshrink = 1/\alpha \times S0$ (8)

[0344] 然后,进行与图11的步骤S4同样的工序,如图45所示,粘贴缩小部分掩膜数据。在该工序中,以缩小部分掩膜数据DAT21内的位置CT21成为与区域AW23内的位置CT22(参照图43)相同的坐标的方式,将缩小部分掩膜数据DAT21粘贴在平面FS的区域AW23内的区域且与区域AW22分离的区域的区域AW21。此时,区域AW21和区域AW22之间的区域是没有创建掩膜数据的间隙区域AW24。

[0345] 由此,创建具有缩小部分掩膜数据DAT21和掩膜数据DAT2在内的作为图案数据的掩膜数据DAT2a。

[0346] 此外,在本实施方式2中,也可以与实施方式1不同,不进行与图11的步骤S5同样的工序。另外,在间隙区域AW24中,不形成连接布线。

[0347] 图46是实施方式2中的将第二层的布线层的布线布局数据与第一层的布线层的布线布局数据重叠地表示的俯视图。在图46所示的例子中,第一层的布线层ML1包含分别沿Y轴方向延伸且沿X轴方向排列的多个布线WR11。

[0348] 在本实施方式2中,针对作为下层的布线层的第一层的布线层ML1所含有的连接布线CW1、以及连接柱VA1及VA2没进行收缩处理。由此,如图46所示,在第二层的布线层ML2中,在截出配置有多个像素PU的区域AW23的情况下,区域AW23比在第一层的布线层ML1中被截出的区域AW13大。

[0349] (本实施方式的主要特征和效果)

[0350] 在本实施方式2中,在创建最上层的布线层ML3以外的布线层的第二层的布线层ML2的掩膜数据时,以包含多个像素PU在内的区域AW23内的某个位置为中心进行收缩处理。由此,在本实施方式2中,在最上层的布线层ML3以外的布线层的第二层的布线层ML2中,配置在区域AW23内的区域AW21中的布线WR21的间距也比配置在与区域AW23不同的区域的区域AW22中的布线WR22的间距小。

[0351] 如在实施方式1中使用比较例说明的那样,若仅对于遮光膜SF1的开口部OP1进行收缩处理,则入射到各像素PU的光被半导体衬底SB的上方的布线层且与遮光膜SF1不同的层的布线层所含有的布线反射,因此,难以防止或抑制阴影。因此,CMOS图像传感器的灵敏度降低,半导体器件的性能降低。

[0352] 另一方面,在本实施方式2中,与实施方式1同样地,对于第二层的布线层ML2的掩膜数据,以配置有多个像素PU的区域内的位置为中心进行收缩处理。由此,能够使布线WR21的间距比布线WR22的间距小,能够防止或抑制由第二层的布线层ML2产生的阴影。因此,能够提高CMOS图像传感器的灵敏度,并提高半导体器件的性能。

[0353] 在本实施方式2中,部分掩膜数据DAT23被截出的区域AW23的外周不横穿多个布线WR21及多个布线WR22的任意一方。由此,在间隙区域AW24中不需要创建部分掩膜数据,在区域AW21和区域AW22之间,不用进行考虑了在收缩处理前后的布线WR21的间距之差的运算就能够连接布线WR21和布线WR22。

[0354] 另外,在本实施方式2中,在进行收缩处理之前的端子部PD2相对于配置有连接柱VA1的区域,向X轴方向上的与收缩中心位置CT21侧相反一侧突出距离 X_{margin} 。另外,在进行收缩处理之前的端子部PD2相对于配置有连接柱VA1的区域,向Y轴方向上的与收缩中心位置CT21侧相反一侧突出距离 X_{margin} 。因此,即使在没有考虑第二层的布线层ML2的掩膜尺寸效应或OPC处理的情况、且裕度 Δ 为 $\Delta=0$ 的情况下,连接柱VA1在俯视时仍内置在进行了收缩处理之后的端子部PD2内。

[0355] 根据本实施方式2中的布线布局的设计方法,在创建芯片布局数据时,若能够验证布线WR21与连接柱VA1电连接的情况,则在进行了收缩处理之后,布线WR21仍能够可靠地与连接柱VA1电连接。因此,在创建芯片布局数据时,在进行了布线WR21是否与连接柱VA1电连接的验证的情况下,在进行了收缩处理之后粘贴缩小部分掩膜数据DAT21并创建掩膜数据DAT2a,此后无需再进行验证。

[0356] 另外,将在进行了收缩处理之后的区域AW21内的最小线宽设为线宽 W_{shrink} (参照上述式(7)),将在进行了收缩处理之后的区域AW21内的最小间隔宽度设为间隔宽度 S_{shrink} (参照上述式(8))。因此,在进行了收缩处理之后,也能够确保第二层的布线层ML2中的最小线宽和最小间隔宽度地配置多个布线WR21。

[0357] 此外,也可以对第二层的布线层ML2以外的布线层进行收缩处理,也可以对p型半导体层PW、n型半导体层NW或栅极电极GE进行收缩处理。另外,在被收缩处理的区域的部分中,还能够以使收缩率 α 成为同一值或者成为不同值的方式来进行调整该收缩率 α 。

[0358] 而且,在本实施方式2中,以被截出的区域AW23具有矩形形状、且布线WR21和布线WR22在区域AW21的X轴方向上的负侧的端部和区域AW22之间的部分的间隙区域AW24进行连接为例进行了说明。但是,被截出的区域AW23也可以不具有矩形形状。或者,布线WR21和布线WR22也可以在区域AW21的X轴方向上的正侧的端部和区域AW22之间的部分的间隙区域AW24进行连接。或者,布线WR21和布线WR22也可以在区域AW21的Y轴方向上的正侧或负侧的端部和区域AW22之间的部分的间隙区域AW24进行连接。在任意的情况下,都能够得到与本实施方式2同样的效果。

[0359] (布线布局及其设计方法的第一变形例)

[0360] 以下,关于布线层中的布线布局及其设计方法的第一变形例进行说明。在本第一变形例中,还对于多个连接柱VA1进行收缩处理。

[0361] 图47及图48是表示实施方式2的第一变形例中的第二层的布线层的布线布局的俯视图。图47表示在进行了收缩处理之后的配置,图48表示在进行收缩处理之前的配置。

[0362] 在图47及图48所示的例子中,针对多个连接柱VA1,以与多个布线WR21的收缩率相等的收缩率进行收缩处理。由此,如图47所示,能够使Y轴方向上的多个连接柱VA1的排列的间距PTV1与Y轴方向上的多个布线WR21的排列的间距PT21相等。此时,间距PTV1变得比Y轴方向上的多个布线WR21的排列的间距PT22小。此外,连接柱VA2的排列的间距PTV2能够与Y轴方向上的多个布线WR22的排列的间距PT22相等。

[0363] 另外,第一层的布线层ML1具有多个端子部PC1。多个端子部PC1分别与多个连接布线CW1同层地形成。各端子部PC1与各连接布线CW1的靠区域AW21侧的端部连接。

[0364] 在本第一变形例中,将在进行收缩处理之前的连接柱VA1的X轴方向及Y轴方向上的宽度(在连接柱VA1呈圆形形状时为直径)设为宽度V1'。此时,宽度V1'由下述式(9)定义。

$$[0365] \quad V1' = 1/\alpha \times V1 \quad (9)$$

[0366] 如图48所示,在进行收缩处理之前的端子部PC1相对于配置有连接柱VA1的区域,向X轴方向上的收缩中心位置CT21侧突出距离Xmargin2。另外,在进行收缩处理之前的端子部PC1相对于配置有连接柱VA1的区域,向Y轴方向上的收缩中心位置CT21侧突出距离Ymargin2。距离Xmargin2及距离Ymargin2由下述式(10)及下述式(11)定义。此外,将裕度 Δ' 作为连接柱VA1的位置相对于第二层的布线层ML2的能够允许的偏移量即偏移量的裕度。

$$[0367] \quad Xmargin2 = (1-\alpha) \times (|Xv| - 0.5 \times V1') + \Delta' \quad (10)$$

$$[0368] \quad Ymargin2 = (1-\alpha) \times (|Yv| - 0.5 \times V1') + \Delta' \quad (11)$$

[0369] 图49是实施方式2的第一变形例中的使第二层的布线层的布线布局数据与第一层的布线层的布线布局数据重叠地表示的俯视图。在图49所示的例子中,第一层的布线层ML1包含分别沿Y轴方向延伸且沿X轴方向排列的多个布线WR11。

[0370] 在本第一变形例中,连接柱VA1以与布线WR21相同的收缩率进行收缩处理。因此,在截出了连接柱VA1的层中,截出作为配置有多个像素PU的区域的区域AWV的情况下,如图49所示,区域AWV为与第二层的布线层ML2中截出的区域AW23相同的大小。

[0371] 根据本第一变形例,与实施方式2不同,形成在与第二层的布线层ML2相比更下层的连接柱VA1也以与第二层的布线层ML2中的收缩率相等的收缩率进行收缩处理。但是,在没有考虑第二层的布线层ML2的掩膜尺寸效应或OPC处理的情况、裕度 Δ' 等于0的情况下,在进行了收缩处理之后的连接柱VA1在俯视时也内置在端部EP21。另外,在进行收缩处理之前的连接柱VA1的X轴方向及Y轴方向上的宽度V1'为考虑了收缩处理的宽度。因此,本第一变形例能够提高设计的自由度,并且具有与实施方式2同样的效果。

[0372] 图50及图51是表示实施方式2的第一变形例中的第二层的布线层的布线布局的另一例的俯视图。图50表示在进行了收缩处理之后的配置,图51表示在进行收缩处理之前的配置。

[0373] 在图50及图51所示的例子中,配置有端子部PD2及端子部PC1。

[0374] 在图50所示的例子中,在将多个布线WR21的收缩率设为收缩率 $\alpha M2$ 时,相对于多个连接柱VA1,以比收缩率 $\alpha M2$ 大的收缩率 $\alpha V1$ 进行收缩处理。因此,如图50所示,能够使Y轴方向上的多个连接柱VA1的排列的间距PTV1比Y轴方向上的多个布线WR21的排列的间距PT21大、且比Y轴方向上的多个布线WR22的排列的间距PT22小。能够将收缩率 $\alpha V1$ 设为例如0.995,将收缩率 $\alpha M2$ 设为例如0.99。

[0375] 如图51所示,在进行收缩处理之前的端子部PD2相对于配置有连接柱VA1的区域,向X轴方向上的与收缩中心位置CT21侧相反一侧突出距离Xmargin'。另外,在进行收缩处理之前的端子部PD2相对于配置有连接柱VA1的区域,向Y轴方向上的与收缩中心位置CT21侧相反一侧突出距离Ymargin'。另一方面,在进行收缩处理之前的端子部PC1相对于配置有连接柱VA1的区域,向X轴方向上的收缩中心位置CT21侧突出距离Xmargin2'。另外,在进行收

缩处理之前的端子部PC1相对于配置有连接柱VA1的区域,向Y轴方向上的收缩中心位置CT21侧突出距离 $Y_{margin2}'$ 。

[0376] 由此,图50及图51所示的例子也具有与图47及图48所示的例子同样的效果。

[0377] (布线布局及其设计方法的第二变形例)

[0378] 以下,关于布线层中的布线布局及其设计方法的第二变形例进行说明。在本第二变形例中,在像素区域侧在下层的布线层中形成的布线经由在与该下层的布线层相比更上层的布线层中形成的连接布线,与在周边电路区域侧在下层的布线层配置的布线电连接。

[0379] 图52是实施方式2的第二变形例中的使第一层的布线层的布线布局与第二层的布线层的布线布局数据重叠地表示的俯视图。图53及图54是表示实施方式2的第二变形例中的第一层的布线层的布线布局的俯视图。图53表示在进行收缩处理之后的配置,图54表示在进行收缩处理之前的配置。

[0380] 如图52~图54所示,在本第二变形例中,第一层的布线层ML1包含多个布线WR11和多个布线WR12。多个布线WR11在配置有多个像素PU的区域即区域AW11中,分别沿X轴方向延伸,并且沿Y轴方向排列。多个布线WR12在与区域AW11不同的区域即区域AW12中,分别沿X轴方向延伸,并且沿Y轴方向排列。多个布线WR11分别经由在与第一层的布线层ML1相比更上层的第二层的布线层ML2中形成的多个连接布线CW2的每一个,与多个布线WR12的每一个连接。多个连接布线CW2分别沿X轴方向延伸,并且沿Y轴方向排列。

[0381] 此外,在图52所示的例子中,第二层的布线层ML2包含分别沿Y轴方向延伸且沿X轴方向排列的多个布线WR21。

[0382] 在本第二变形例中,如图52所示,在第一层的布线层ML1中截出配置有多个像素PU的区域AW13的情况下,区域AW13比第二层的布线层ML2中被截出的区域AW23大。

[0383] 在图53及图54所示的例子中,对于第一层的布线层ML1所含有的多个布线WR11进行收缩处理,但对于第二层的布线层ML2所含有的多个连接布线CW2、及形成在多个布线WR11和多个连接布线CW2之间的层中的连接柱VA1,不进行收缩处理。

[0384] 即,在图53及图54所示的例子中,第一层的布线层ML1和第二层的布线层ML2的关系与图40及图42所示的例子中的第一层的布线层ML1和第二层的布线层ML2的关系相反。

[0385] 在图53及图54所示的例子中,代替图40及图42所示的例子中的多个布线WR21、多个端子部PD2及多个布线WR22,而配置了多个布线WR11、多个端子部PD1及多个布线WR12。多个布线WR11、多个端子部PD1及多个布线WR12配置在第一层的布线层ML1。多个布线WR11在区域AW11中沿Y轴方向以间距PT11排列,多个布线WR12在区域AW12中沿Y轴方向以间距PT12排列,多个连接布线CW1沿Y轴方向以间距PT13排列。多个端子部PD1分别与布线WR11的靠区域AW12侧的端部EP11连接。端部EP11的Y轴方向上的宽度WD11比布线WR12的靠区域AW11侧的端部EP12的Y轴方向上的宽度WD12窄。

[0386] 另外,在图53及图54所示的例子中,代替图40及图42所示的例子中的多个连接布线CW1,而配置了多个连接布线CW2。多个连接布线CW1配置在第二层的布线层ML2。多个连接布线CW2沿Y轴方向以间距PT13排列。多个端子部PD1的每一个分别经由多个连接柱VA1的每一个与多个连接布线CW2的每一个电连接。另外,多个布线WR12的每一个分别经由多个连接柱VA2的每一个与多个连接布线CW2的每一个电连接。

[0387] 如图54所示,在进行收缩处理之前的端子部PD1相对于配置有连接柱VA1的区域,

向X轴方向上的与收缩中心位置CT11侧相反一侧突出距离Xmargin。另外,在进行收缩处理之前的端子部PD1相对于配置有连接柱VA1的区域,向Y轴方向上的与收缩中心位置CT11侧相反一侧突出距离Ymargin。

[0388] 由此,图53及图54所示的例子也能够提高设计的自由度,并且具有与实施方式2中的图40及图42所示的例子同样的效果。

[0389] 图55及图56是表示实施方式2的第二变形例中的第一层的布线层的布线布局的另一例的俯视图。图55表示在进行了收缩处理之后的配置,图56表示在进行收缩处理之前的配置。

[0390] 在图55及图56所示的例子中,除了第一层的布线层ML1所含有的多个布线WR11以外,对于形成在多个布线WR11和多个连接布线CW2之间的层中的连接柱VA1,也进行收缩处理。另一方面,对于第二层的布线层ML2所含有的多个连接布线CW2,不进行收缩处理。

[0391] 即,图55及图56所示的例子中的第一层的布线层ML1和第二层的布线层ML2的关系与图47及图48所示的例子中的第一层的布线层ML1和第二层的布线层ML2的关系相反。此外,在图55及图56所示的例子中,代替图47及图48所示的例子中的多个端子部PC1,而配置了多个端子部PC2。多个端子部PC2分别与连接布线CW2的靠区域AW11侧的端部连接。多个端子部PC2分别经由多个连接柱VA1的每一个与多个布线WR11的靠区域AW12侧的端部EP11的每一个电连接。

[0392] 如图56所示,在进行收缩处理之前的端子部PC2相对于配置有连接柱VA1的区域,向X轴方向上的收缩中心位置CT11侧突出距离Xmargin2。另外,在进行收缩处理之前的端子部PC2相对于配置有连接柱VA1的区域,向Y轴方向上的收缩中心位置CT11侧突出距离Ymargin2。

[0393] 由此,图55及图56所示的例子也具有与图47及图48所示的例子同样的效果。

[0394] 图57及图58是表示实施方式2的第二变形例中的第一层的布线层的布线布局的另一例的俯视图。图57表示在进行了收缩处理之后的配置,图58表示在进行收缩处理之前的配置。

[0395] 在图57及图58所示的例子中,配置有端子部PD1及端子部PC2。即,图57及图58所示的例子中的第一层的布线层ML1和第二层的布线层ML2的关系与图50及图51所示的例子中的第一层的布线层ML1和第二层的布线层ML2的关系相反。

[0396] 但是,在图57所示的例子中,与图50所示的例子不同,在将多个连接柱VA1的收缩率设为收缩率 $\alpha V1$ 时,针对多个布线WR11,以比收缩率 $\alpha V1$ 大的收缩率 $\alpha M1$ 进行收缩处理。由此,如图57所示,能够使Y轴方向上的多个布线WR11的排列的间距PT11比Y轴方向上的多个连接柱VA1的排列的间距PTV1大、且比Y轴方向上的多个布线WR12的排列的间距PT12小。能够将收缩率 $\alpha V1$ 设为例如0.99,将收缩率 $\alpha M1$ 设为例如0.995。

[0397] 如图58所示,在进行收缩处理之前的端子部PD1相对于配置有连接柱VA1的区域,向X轴方向上的收缩中心位置CT11侧突出距离Xmargin'。另外,在进行收缩处理之前的端子部PD1相对于配置有连接柱VA1的区域,向Y轴方向上的收缩中心位置CT11侧突出距离Ymargin'。另一方面,在进行收缩处理之前的端子部PC2相对于配置有连接柱VA1的区域,向X轴方向上的收缩中心位置CT11侧突出距离Xmargin2'。另外,在进行收缩处理之前的端子部PC2相对于配置有连接柱VA1的区域,向Y轴方向上的收缩中心位置CT11侧突出距离

Ymargin2'。

[0398] 由此,图57及图58所示的例子也具有与图50及图51所示的例子同样的效果。

[0399] (布线布局及其设计方法的第三变形例)

[0400] 以下,关于布线层中的布线布局及其设计方法的第三变形例进行说明。在本第三变形例中,在像素区域侧在上层的布线层中形成的布线经由在下层的布线层中形成的连接布线,与在周边电路区域侧在上层的布线层中配置的布线电连接。另外,在本第三变形例中,多个端子部PD2各自的形状能够设为彼此相同的形状。

[0401] 图59及图60是表示实施方式2的第三变形例中的第二层的布线层的布线布局的俯视图。图59表示在进行了收缩处理之后的配置,图60表示在进行收缩处理之前的配置。此外,图59及图60是图39的区域RG31、RG32及RG33的放大俯视图。即,图59及图60是关于布线WR21、布线WR22及连接布线CW1,示出配置在Y轴方向上的排列的正侧的端部上的布线、配置在Y轴方向上的排列的中央的布线、及配置在Y轴方向上的排列的负侧的端部上的布线。

[0402] 在实施方式2中,在图40及图42所示的例子中,在进行收缩处理之前的端子部PD2相对于配置有连接柱VA1的区域,向X轴方向上的与收缩中心位置CT21侧相反一侧突出距离Xmargin。另外,在进行收缩处理之前的端子部PD2相对于配置有连接柱VA1的区域,向Y轴方向上的与收缩中心位置CT21侧相反一侧突出距离Ymargin。另外,距离Xmargin及距离Ymargin在分别与多个布线WR21的每一个连接的多个端子部PD2之间彼此不同,因此,多个端子部PD2各自的形状在多个端子部PD2之间彼此不同。

[0403] 另一方面,在本第三变形例中,如图59所示,多个端子部PD2各自的形状在多个端子部PD2之间彼此相同。

[0404] 如图59所示,在本第三变形例中,多个端子部PD2也分别与多个布线WR21的每一个电连接,并且分别经由多个连接柱VA1的每一个与多个连接布线CW1的每一个电连接。另外,在彼此电连接的布线WR21、端子部PD2、连接柱VA1及连接布线CW1的组中,端子部PD2包含:比布线WR21更向Y轴方向上的正侧突出的突出部PD21;以及比布线WR21更向Y轴方向上的负侧突出的突出部PD22。在彼此电连接的布线WR21、端子部PD2,连接柱VA1及连接布线CW1的组中,端子部PD2在俯视时与连接布线CW1重叠,连接柱VA1在俯视时内置于与连接布线CW1重叠的部分的端子部PD2。

[0405] 如图60所示,在进行收缩处理之前,在Y轴方向上的多个连接柱VA1的排列的正侧的端部配置的连接柱VA1相对于收缩中心位置CT21的中心坐标为(Xv,Yvu)。另外,在Y轴方向上的多个连接柱VA1的排列的负侧的端部配置的连接柱VA1相对于收缩中心位置CT21的中心坐标为(Xv,Yv1)。

[0406] 在进行收缩处理之前,各端子部PD2所含有的突出部PD21相对于配置有连接柱VA1的区域,向X轴方向上的与收缩中心位置CT21侧相反一侧突出距离Xmargin。

[0407] 另一方面,在进行收缩处理之前,各端子部PD2所含有的突出部PD21相对于配置有连接柱VA1的区域,向Y轴方向上的正侧突出距离Ymarginu。另外,在进行收缩处理之前,各端子部PD2所含有的突出部PD22相对于配置有连接柱VA1的区域,向Y轴方向上的负侧突出距离Ymarginl。

[0408] 这里,距离Xmargin、距离Ymarginu及距离Ymarginl分别设定成在由下述式(12)~下述式(14)定义的值以上的值。

$$[0409] \quad Xmargin = (1-\alpha) / \alpha \times (|Xv| + 0.5 \times V1 + \Delta) \quad (12)$$

$$[0410] \quad Ymarginu = (1-\alpha) / \alpha \times (|Yvu| + 0.5 \times V1 + \Delta) \quad (13)$$

$$[0411] \quad Ymarginl = (1-\alpha) / \alpha \times (|Yvl| + 0.5 \times V1 + \Delta) \quad (14)$$

[0412] 端子部PD2只要仅突出在实施方式2中使用图40及图42说明的距离Xmargin及距离Ymargin即可。但是,沿Y轴方向排列的端子部PD2的数量极多,因此在创建掩膜数据时,一边确认与各端子部PD2对应的连接柱VA1的坐标,一边按每个端子部PD2设定距离Xmargin及距离Ymargin的情况下,创建掩膜数据的工序变得复杂。因此,如图59及图60所示,计算出在被截出的区域AW23的整个区域中,各端子部PD2的裕度的最大值、即端子部PD2从配置有连接柱VA1的区域突出的距离的最大值,并配置具有该最大值以上的裕度的同一形状的端子部PD2。由此,除了实施方式2具有的效果以外,还能够比实施方式2更简便地进行创建掩膜数据的工序。

[0413] 而且,图61示出从图59及图60所示的例子派生的例子。图61是表示实施方式2的第三变形例中的第二层的布线层的布线布局的另一例的俯视图。图61表示在进行收缩处理之前的配置。

[0414] 在图61所示的例子中,被截出的区域AW23沿Y轴方向被分割成5个区域AW231~区域AW235。另外,设定距离Xmargin1~距离Xmargin5来作为区域AW231~区域AW235各自中的距离Xmargin的最大值,设定距离Ymargin1~距离Ymargin5来作为区域AW231~区域AW235各自中的距离Ymargin的最大值。而且,分别在区域AW231~区域AW235中,配置具有距离Ymargin1~距离Ymargin5各自的裕度以上的裕度的同一形状的端子部PD2。

[0415] 此时,多个端子部PD2中的、与配置在多个布线WR21的排列的中央部的布线WR21连接的端子部PD2的Y轴方向上的宽度,变得比多个端子部PD2中的、与配置在多个布线WR21的排列的端部上的布线WR21连接的端子部PD2的Y轴方向上的宽度窄。

[0416] 被截出的区域AW23被分割成例如布局设计者容易处理的数量,按被分割的多个区域的每一个,算出各端子部PD2的裕度的最大值,并配置具有该最大值以上的裕度的同一形状的端子部PD2。由此,在图61所示的例子中,与图59及图60所示的例子相比,虽然创建掩膜数据的工序变得稍微复杂,但与实施方式2相比还是能够使创建掩膜数据的工序简便的。

[0417] 此外,虽然省略了图示,但对于实施方式2的第一变形例及实施方式2的第二变形例,也能够适用与本第三变形例同样的变形例。

[0418] (布线布局及其设计方法的第四变形例)

[0419] 以下,关于布线层中的布线布局及其设计方法的第四变形例进行说明。在本第四变形例中,除了多个布线WR21及多个连接柱VA1以外,还对多个连接布线CW1进行收缩处理。

[0420] 图62及图63是表示实施方式2的第四变形例中的第二层的布线层的布线布局的俯视图。图62表示在进行了收缩处理之后的配置,图63表示在进行收缩处理之前的配置。

[0421] 在图62所示的例子中,与图50所示的例同样地,在将多个布线WR21的收缩率设为收缩率 $\alpha M2$ 时,针对多个连接柱VA1,以比收缩率 $\alpha M2$ 大的收缩率 $\alpha V1$ 进行收缩处理。由此,如图62所示,能够使Y轴方向上的多个连接柱VA1的排列的间距PTV1比Y轴方向上的多个布线WR21的排列的间距PT21大。

[0422] 而且,在图62所示的例子中,与图50所示的例子不同,针对多个连接布线CW1,以比收缩率 $\alpha V1$ 大的收缩率 $\alpha M1$ 进行收缩处理。由此,如图62所示,能够使Y轴方向上的多个连接

布线CW1的排列的间距PT23比Y轴方向上的多个连接柱VA1的排列的间距PTV1大、且比Y轴方向上的多个布线WR22的排列的间距PT22小。

[0423] 另外,第一层的布线层ML1具有多个端子部PC1。多个端子部PC1分别与多个连接布线CW1同层地形成。多个端子部PC1分别与多个连接布线CW1各自的靠区域AW21侧的端部连接。

[0424] 在图62及图63所示的例子中,在创建掩膜数据时,也分别在布线WR21、连接柱VA1及连接布线CW1中,设定考虑了收缩率 $\alpha M2$, $\alpha V1$ 及 $\alpha M1$ 的裕度。由此,在进行了收缩处理之后,也能够将多个布线WR21分别经由多个连接柱VA1的每一个与多个连接布线CW1的每一个电连接,并能够将多个布线WR22的每一个分别经由多个连接柱VA2的每一个与多个连接布线CW2的每一个电连接。由此,在图62及图63所示的例子中,也能够提高设计的自由度,并且具有与实施方式2中的图40及图42所示的例子同样的效果。

[0425] 此外,虽然省略了图示,但对于实施方式2的第一变形例、实施方式2的第二变形例及实施方式2的第三变形例,也能够适用与本第四变形例同样的变形例。

[0426] 以上,基于实施方式具体地说明了本发明人研发的发明,但本发明不限于所述实施方式,在不脱离其主旨的范围内当然能够进行各种变更。

[0427] 附图标记说明

[0428] AR1、AR2 区域

[0429] AW11~AW13、AW21~AW23、AW231~AW235 区域

[0430] AW14、AW24、AW34 间隙区域

[0431] AW31~AW33、AWV 区域

[0432] BS 基体

[0433] BW 隔壁

[0434] CAP 覆盖绝缘膜

[0435] CF 彩色滤光片

[0436] CT11、CT21 收缩中心位置(位置)

[0437] CT12、CT22、CT31、CT32 位置

[0438] CW1 连接布线(布线图案)

[0439] CW1a、CW2、CW2a 连接布线

[0440] CW11、CW12 延伸部

[0441] CW13 连接部

[0442] DAT1、DAT1a、DAT2、DAT2a、DAT3、DAT3a 掩膜数据

[0443] DAT11、DAT21、DAT31 缩小部分掩膜数据

[0444] DAT13、DAT23、DAT33 部分掩膜数据

[0445] DAT14、DAT34 间隙部分掩膜数据

[0446] DS1~DS3 偏移量

[0447] EP11、EP12、EP21、EP22 端部

[0448] EX11、EX12 延伸部

[0449] FS 平面

[0450] GE 栅极电极

- [0451] GI 栅极绝缘膜
- [0452] IL、IL1~IL3 层间绝缘膜
- [0453] IL4 绝缘膜
- [0454] ML 微透镜
- [0455] ML1~ML3 布线层
- [0456] MSK 曝光用掩膜
- [0457] NW n 型半导体层
- [0458] OP1 开口部
- [0459] PC1、PC2 端子部
- [0460] PD 光电二极管
- [0461] PD1、PD2 端子部
- [0462] PD21、PD22 突出部
- [0463] PT11~PT13、PT21~PT23 间距
- [0464] PTN1~PTN3 曝光用图案
- [0465] PTV1、PTV2 间距
- [0466] PU 像素
- [0467] PW p 型半导体层
- [0468] RF1 抗蚀膜
- [0469] RG1、RG2、RG31~RG33 区域
- [0470] RP1~RP3 抗蚀图案
- [0471] SB 半导体衬底
- [0472] SC1、SC11、SG12、SC2、SC21、SC22 侧面
- [0473] SC31、SC32 侧面
- [0474] SF1、SF11~SF13 遮光膜
- [0475] SP1 间隔宽度
- [0476] SW 侧壁
- [0477] SW11、SW12、SW21、SW22 侧面
- [0478] TR11~TR13、TR2、TR3 布线槽
- [0479] TX 传输用晶体管
- [0480] VA1、VA2 连接柱
- [0481] WC1 宽度
- [0482] WD11~WD14、WD21、WD22 宽度
- [0483] WR11、WR12、WR13、WR21、WR22 布线(布线图案)
- [0484] WR11a、WR12a、WR1a、WR3 布线
- [0485] WR21~WR23、WR2a、WR23、WR3 布线

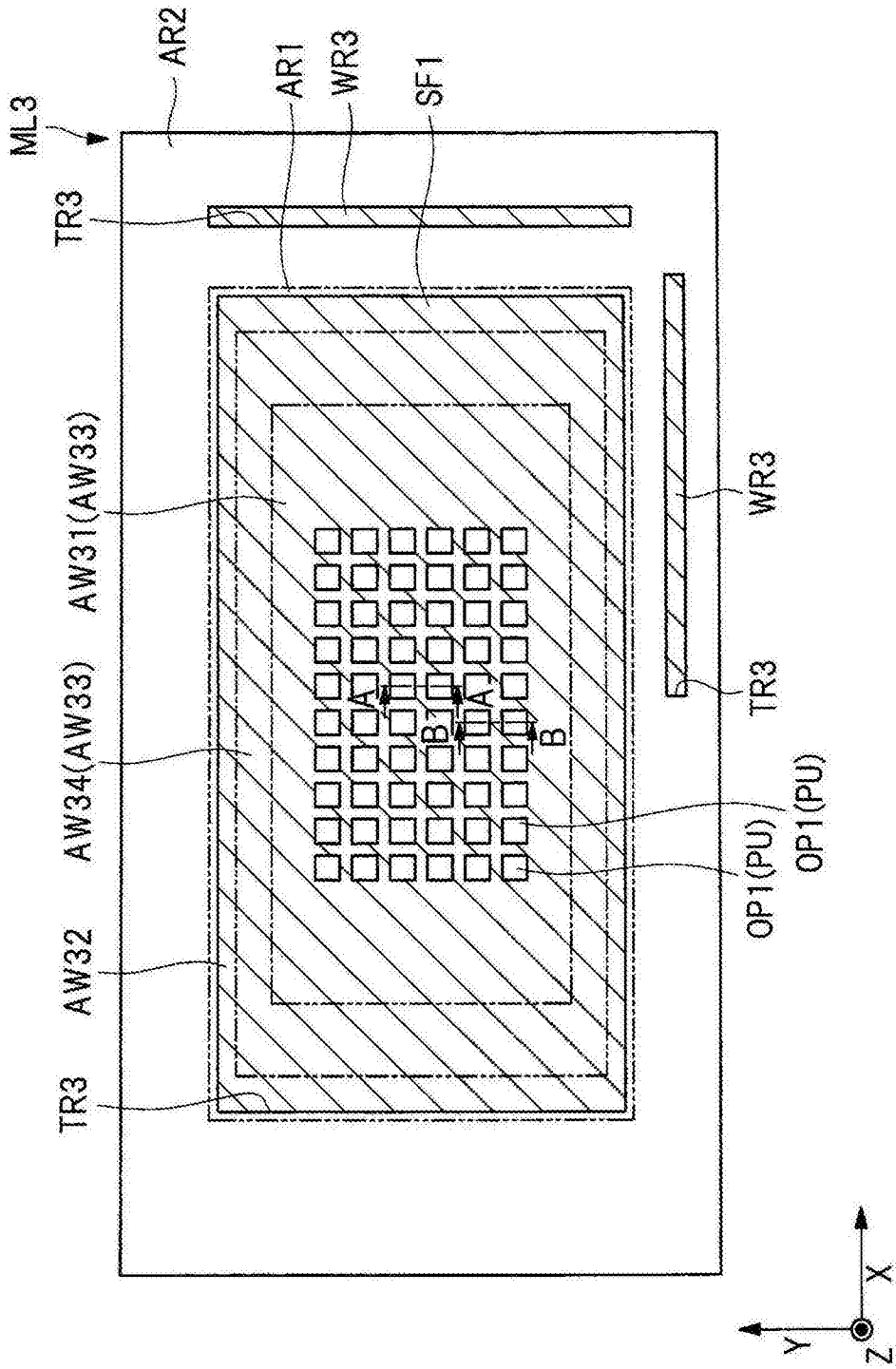


图1

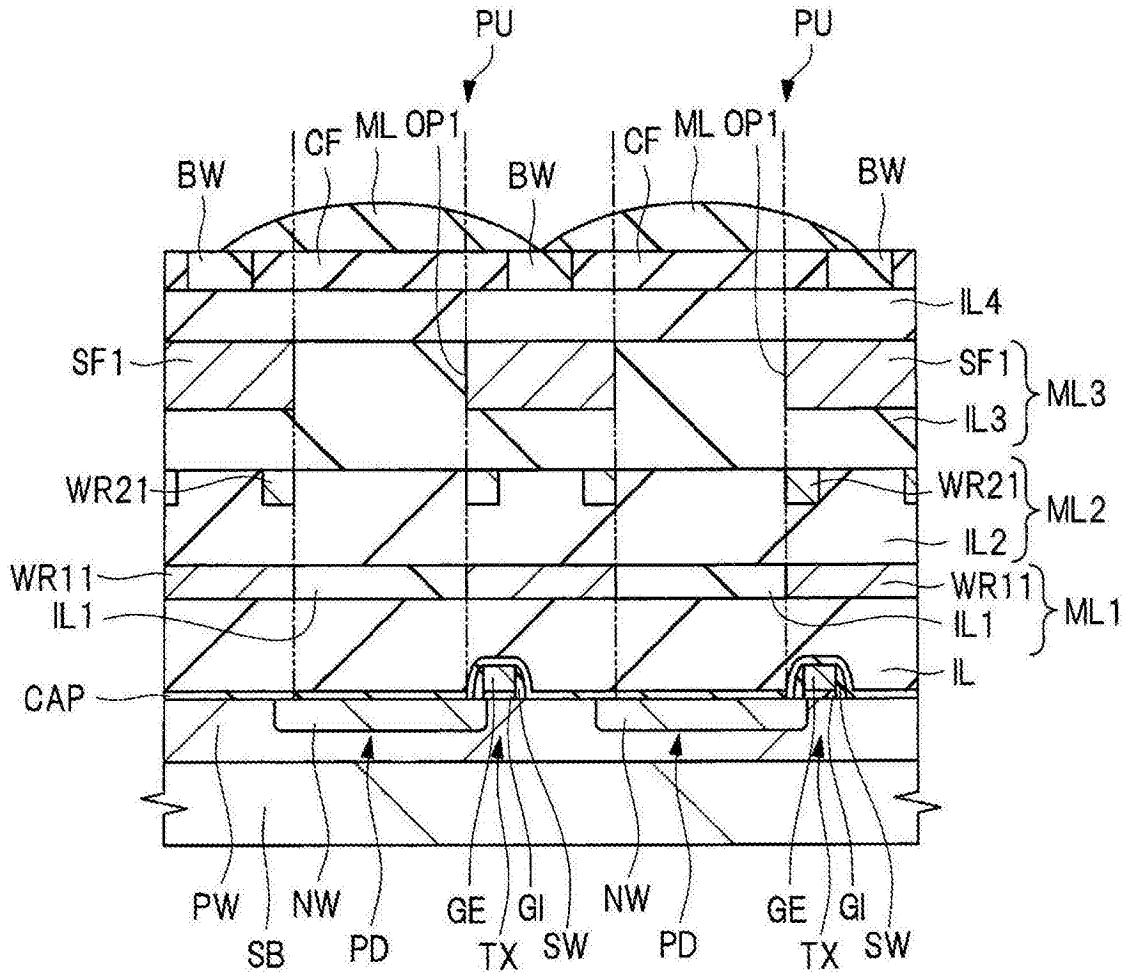


图2

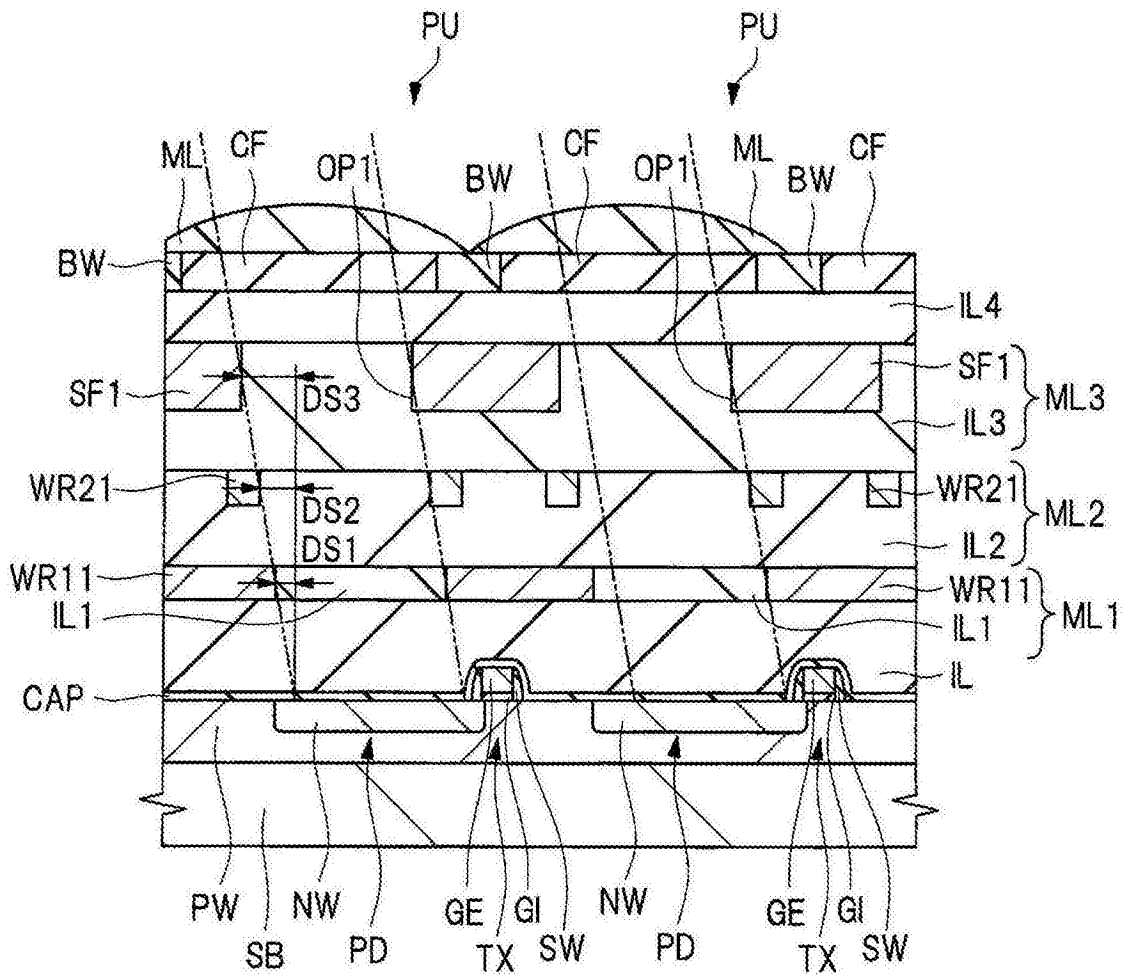


图3

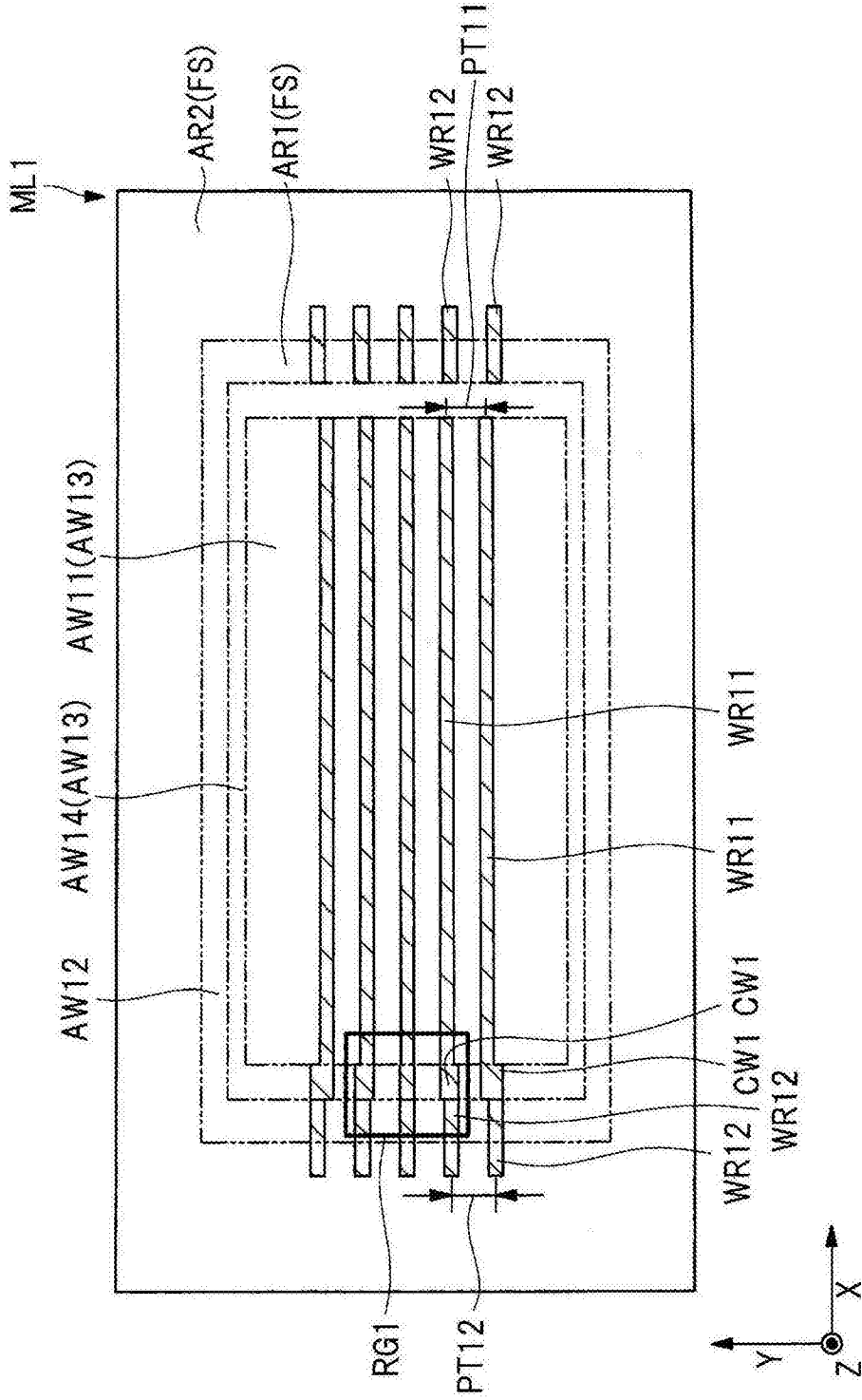


图4

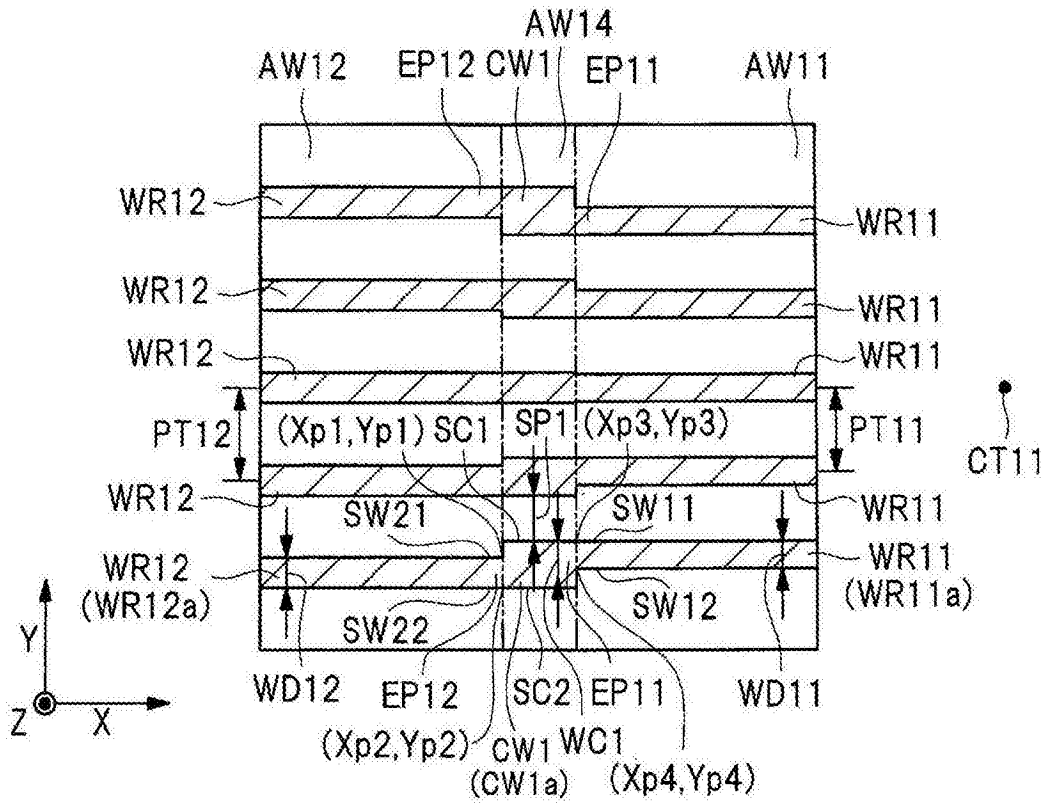


图5

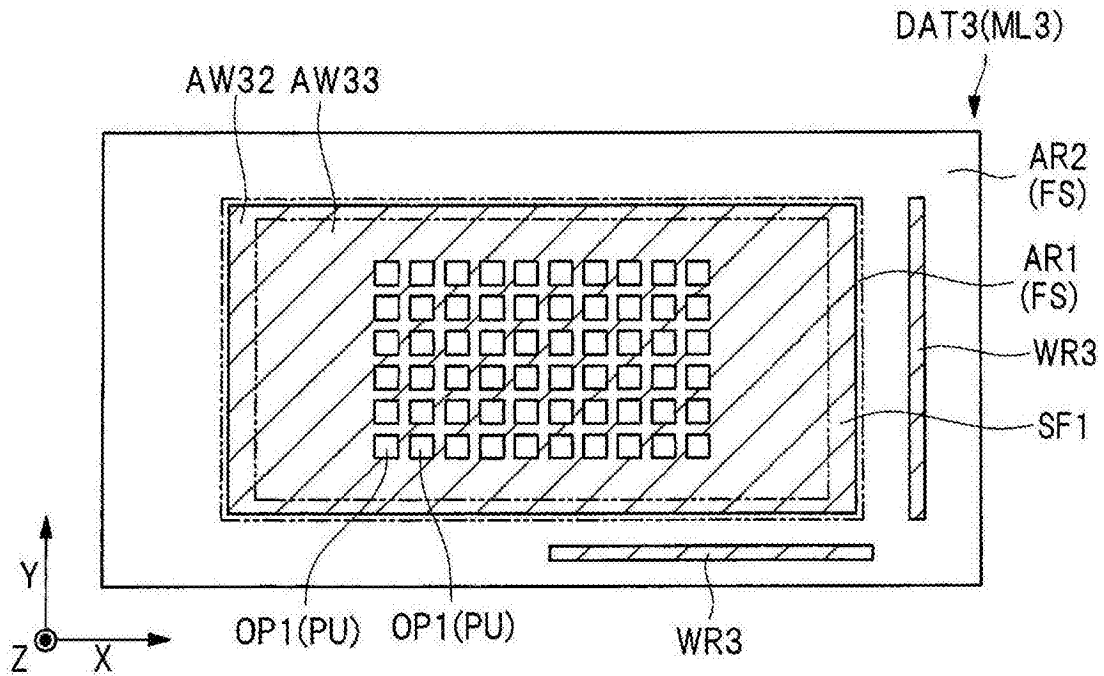


图6

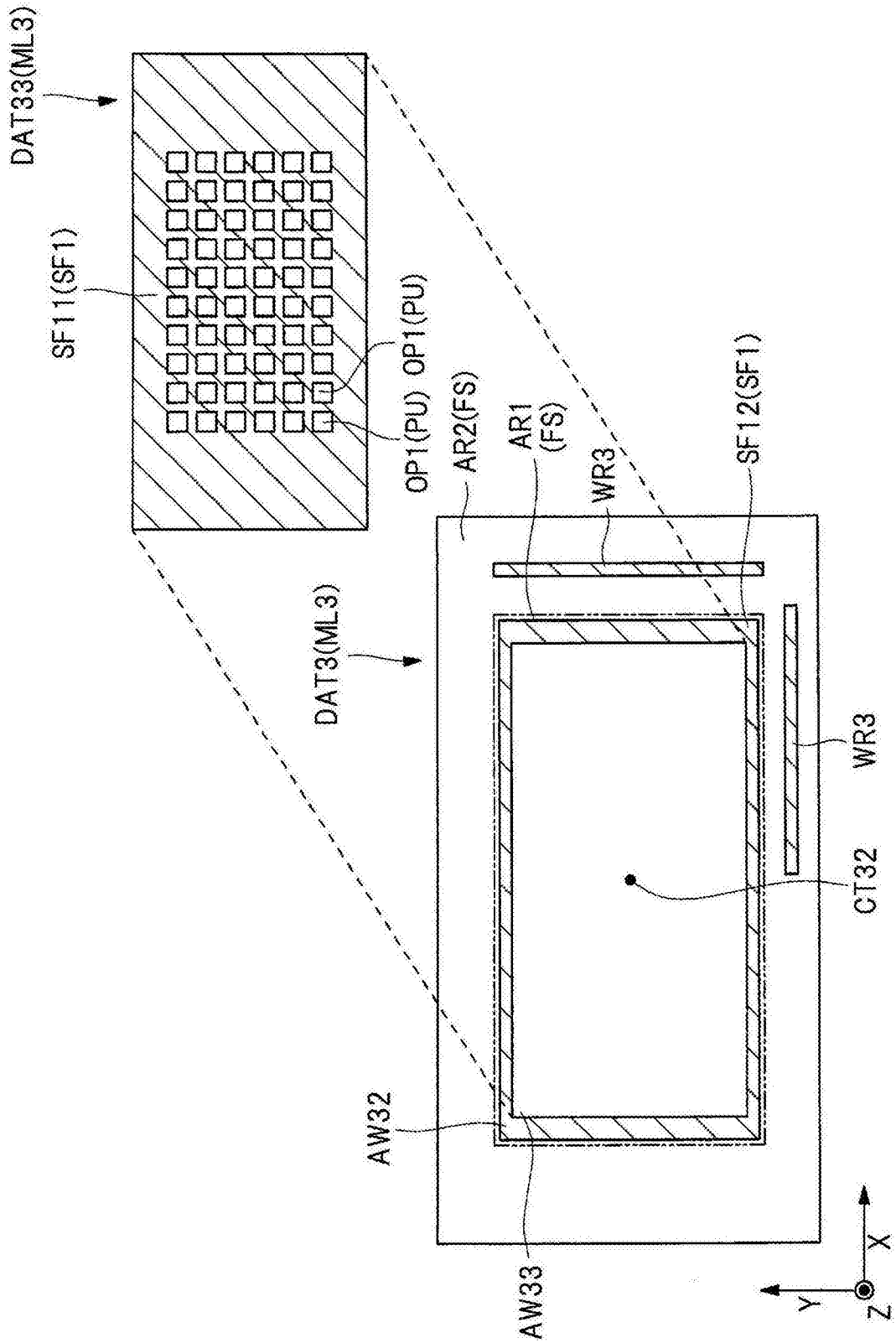


图7

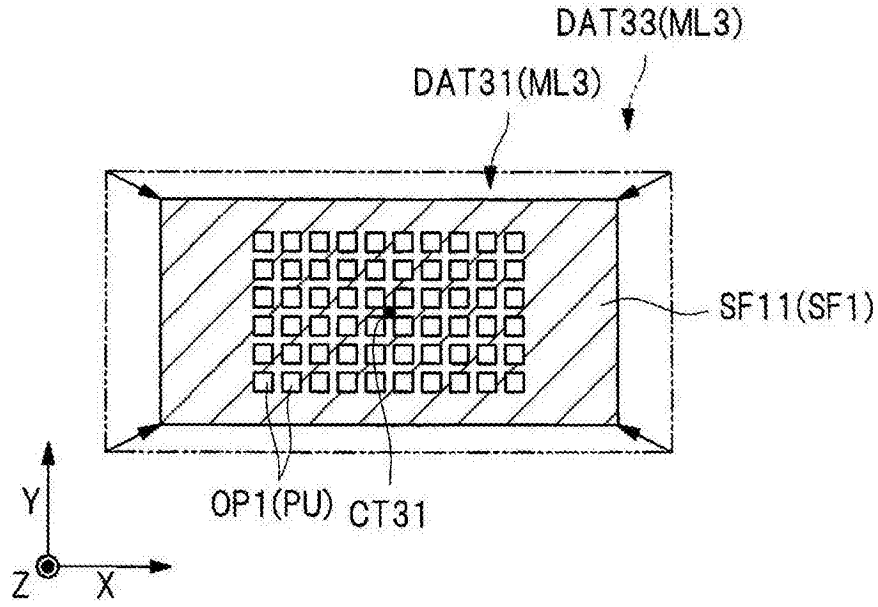


图8

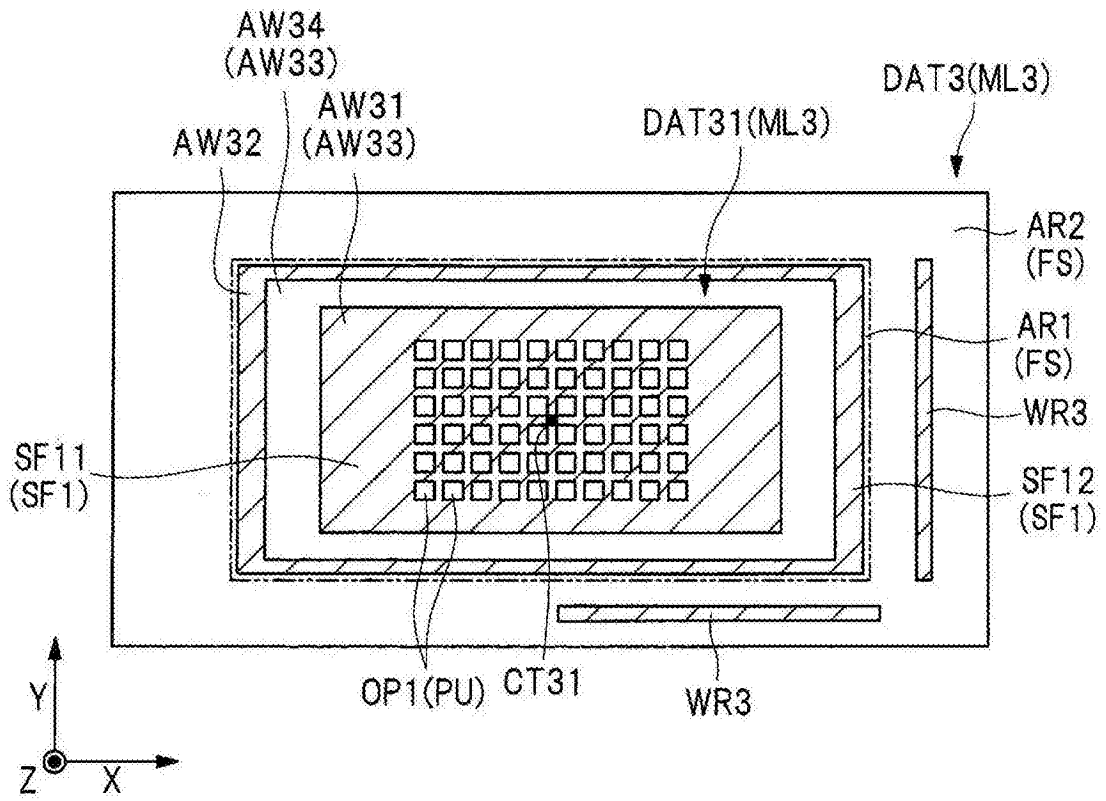


图9

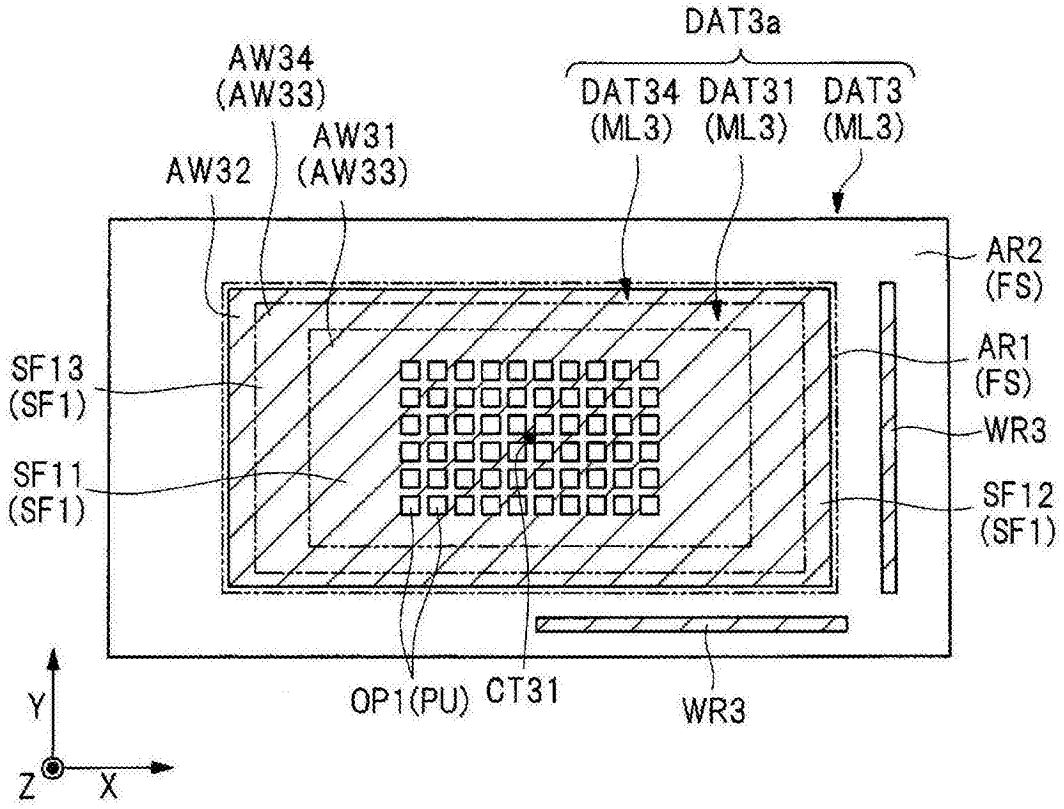


图10

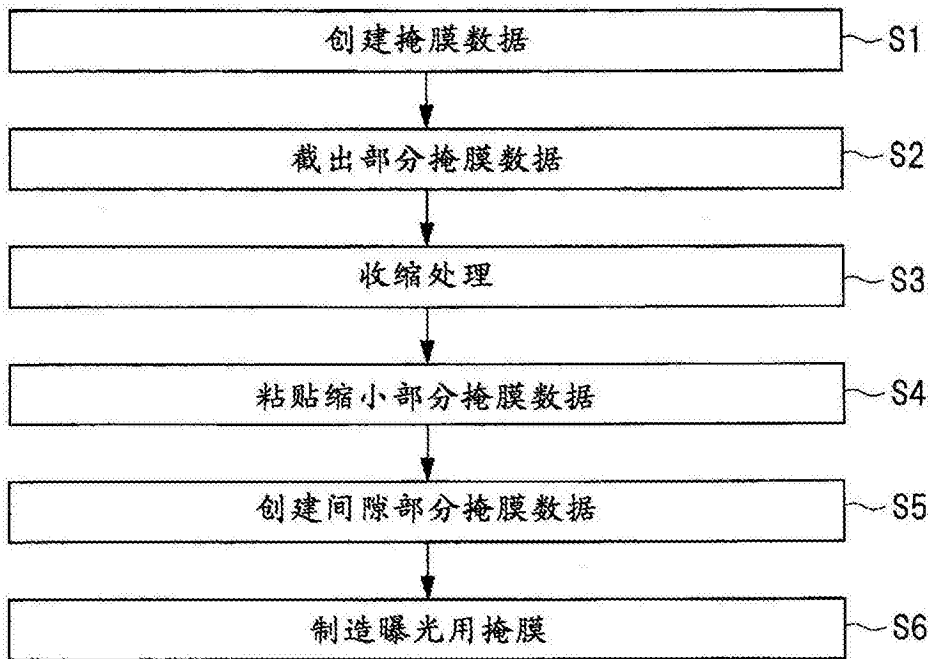


图11

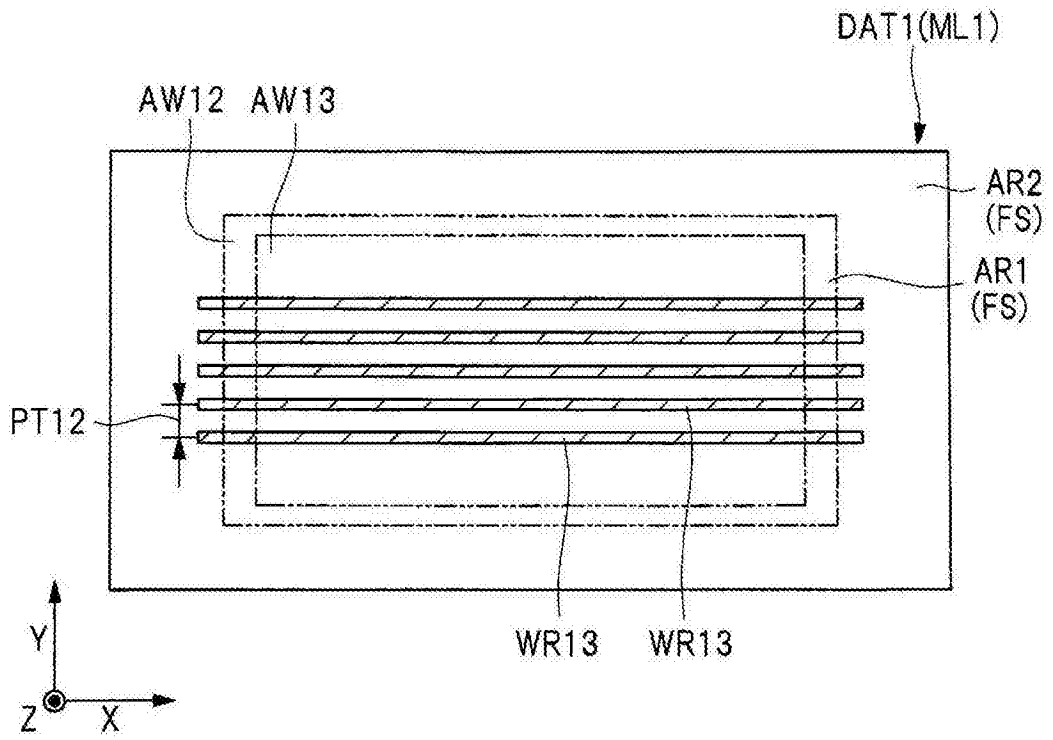


图12

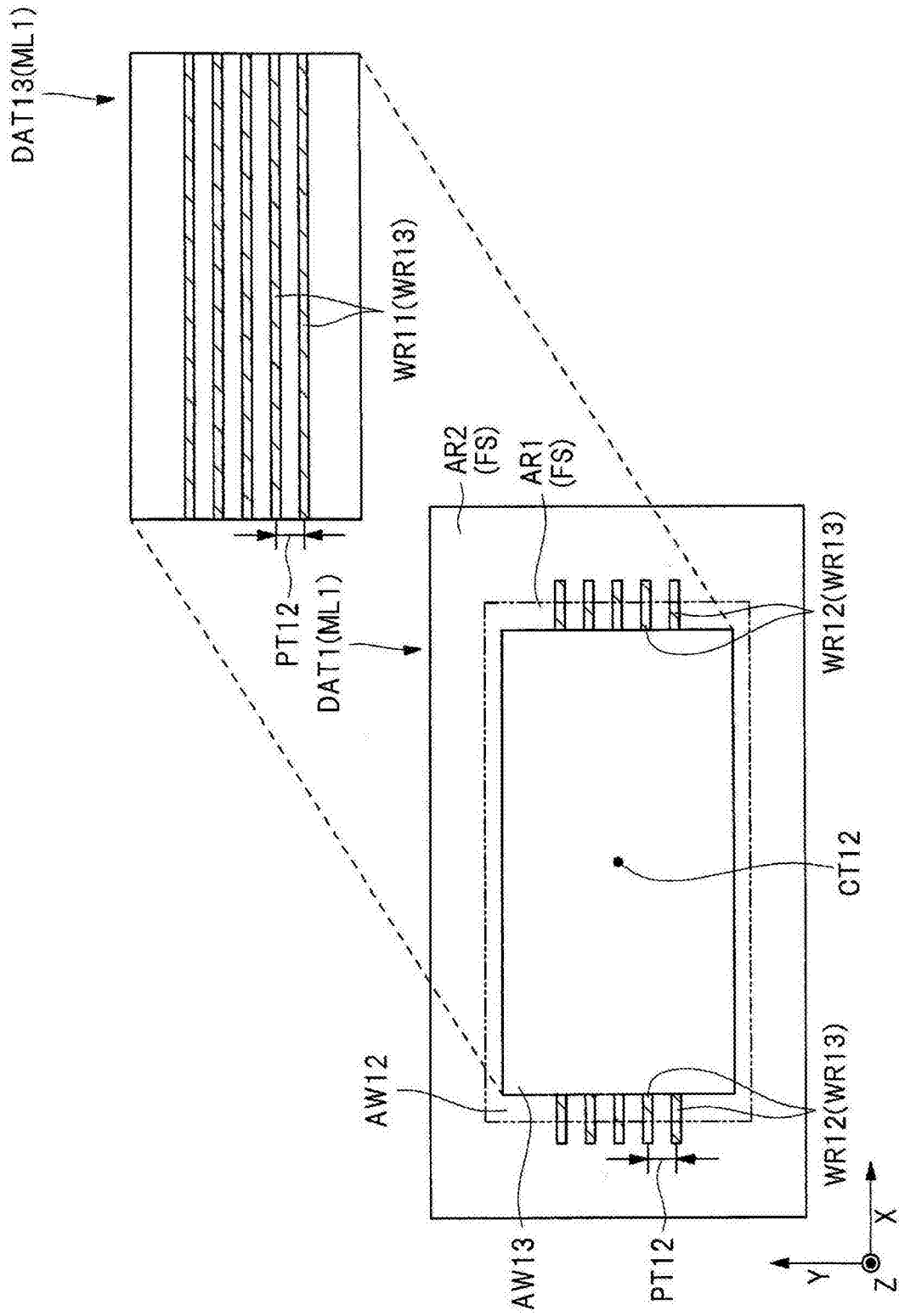


图13

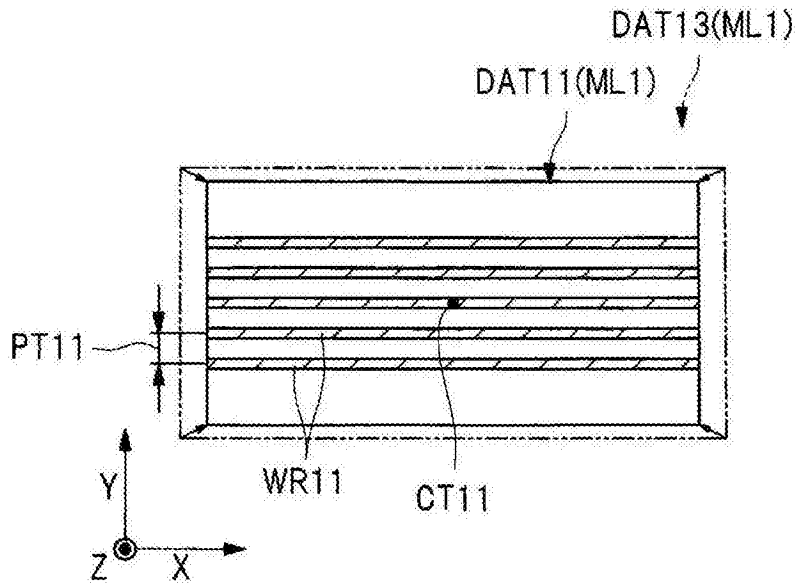


图14

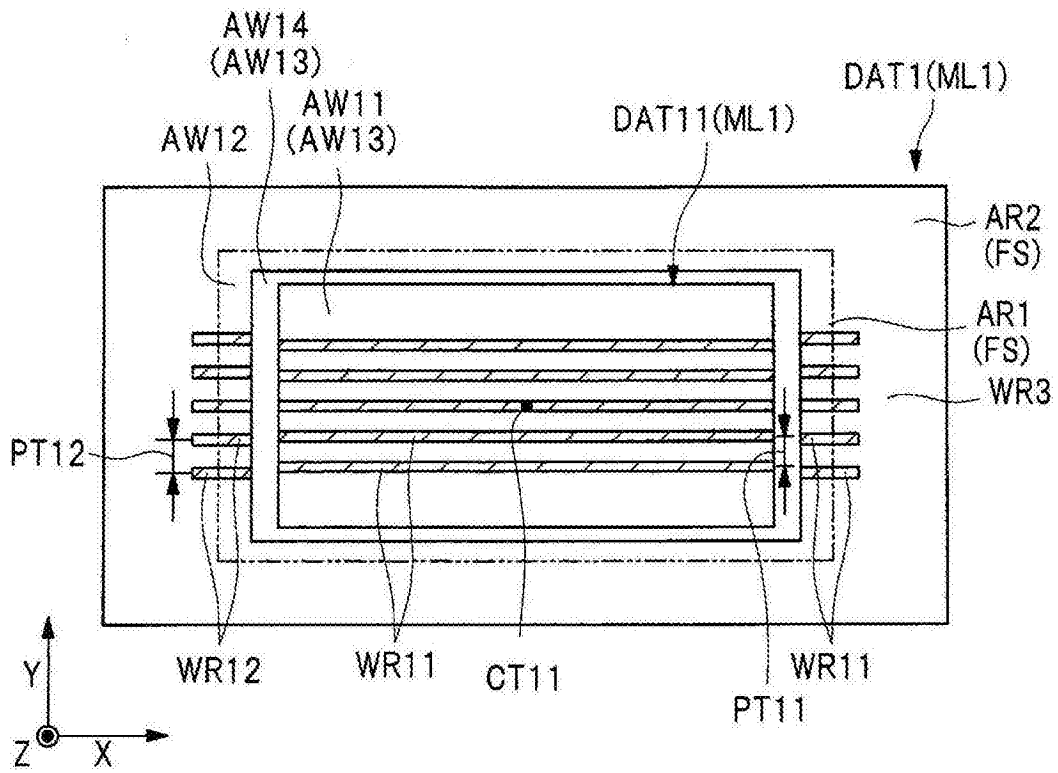


图15

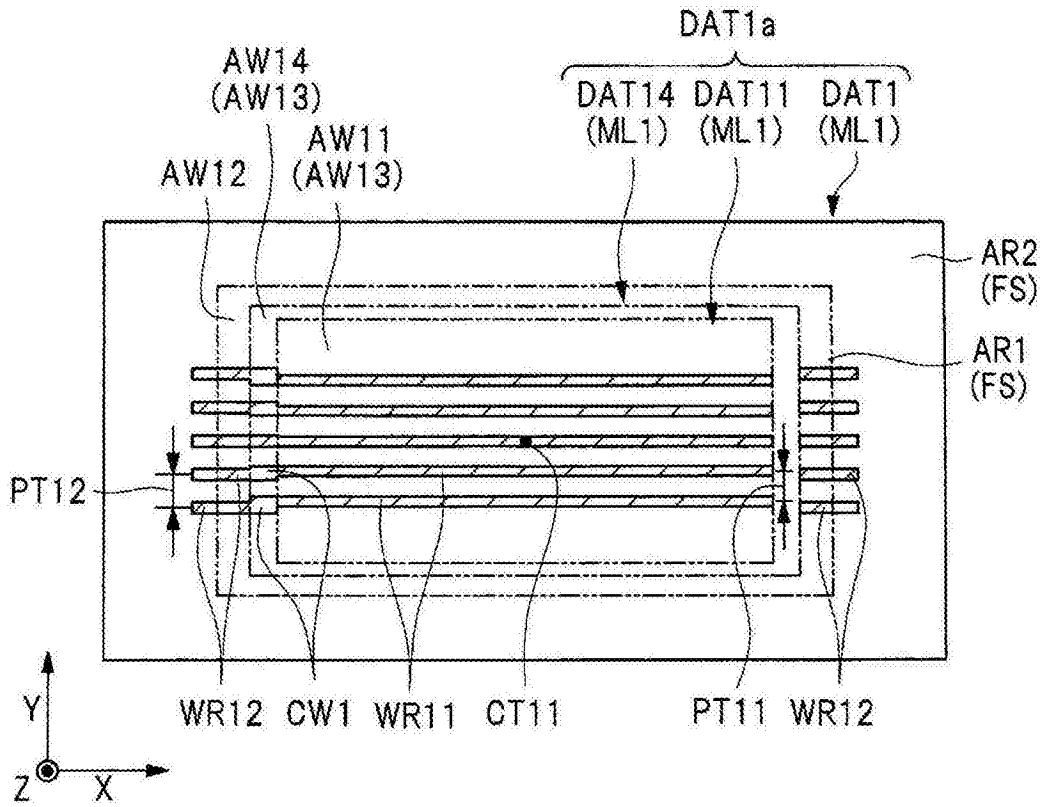


图16

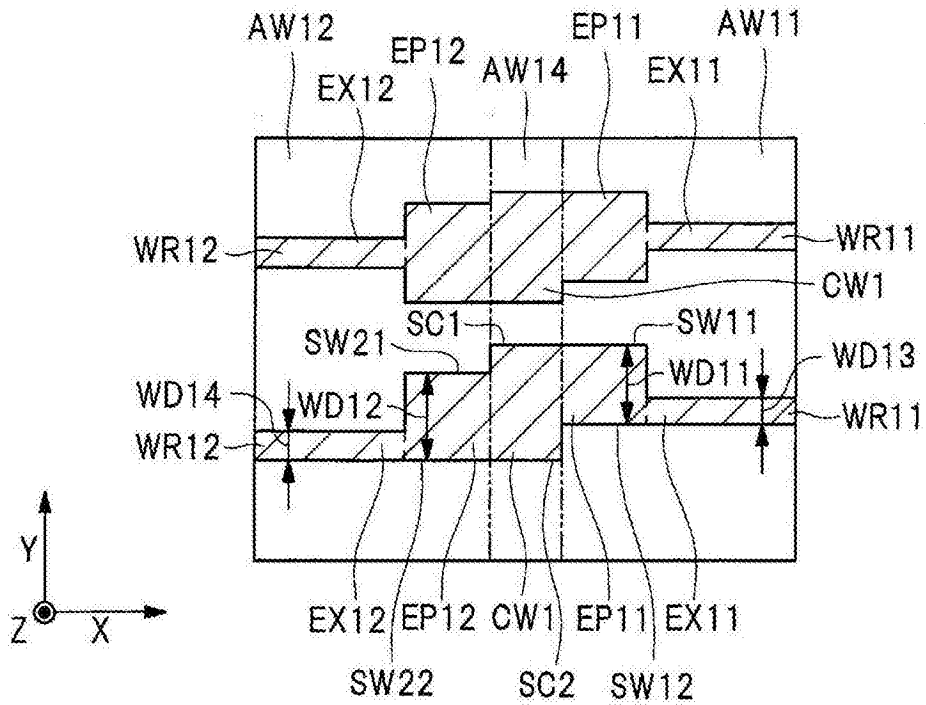


图17



图18

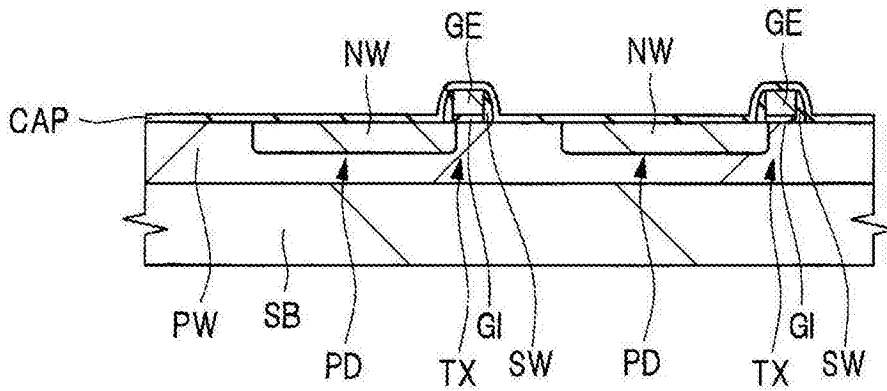


图19

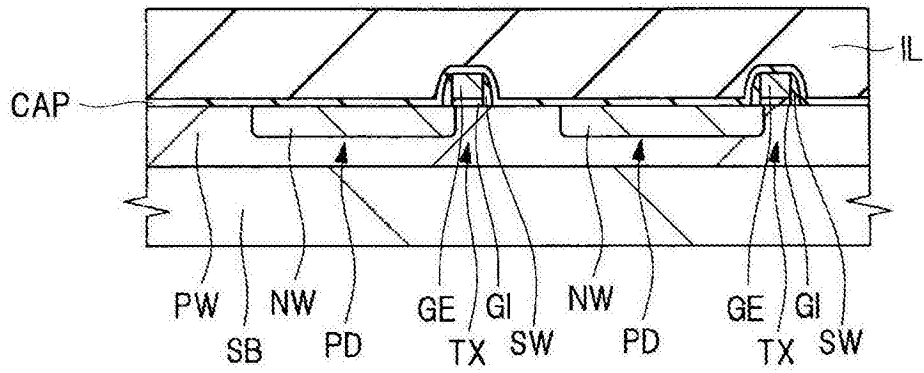


图20

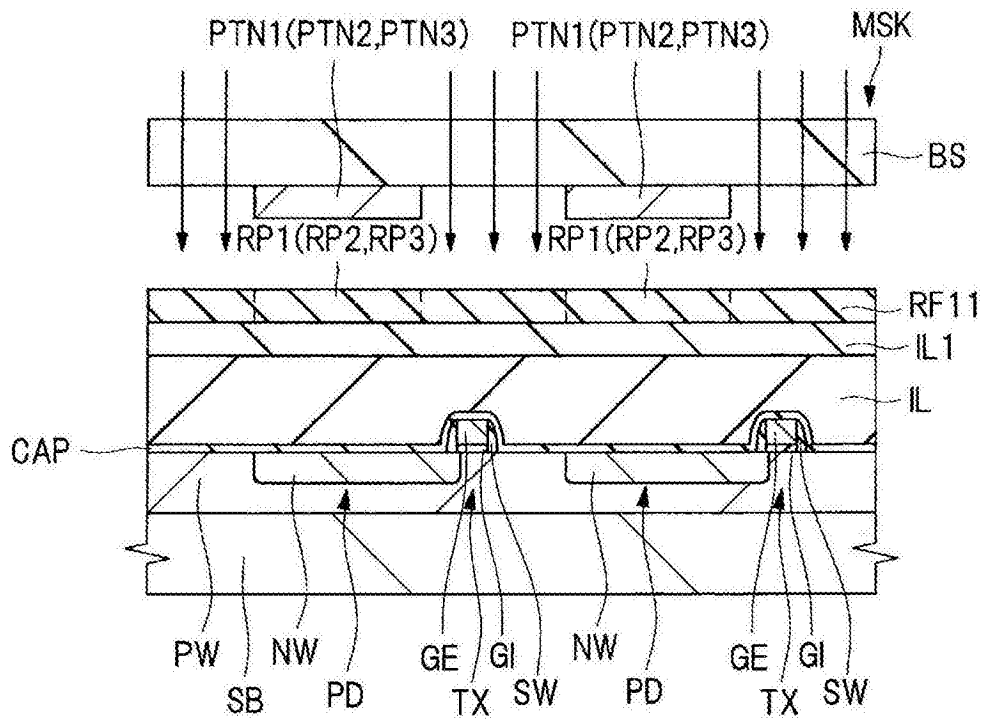


图21

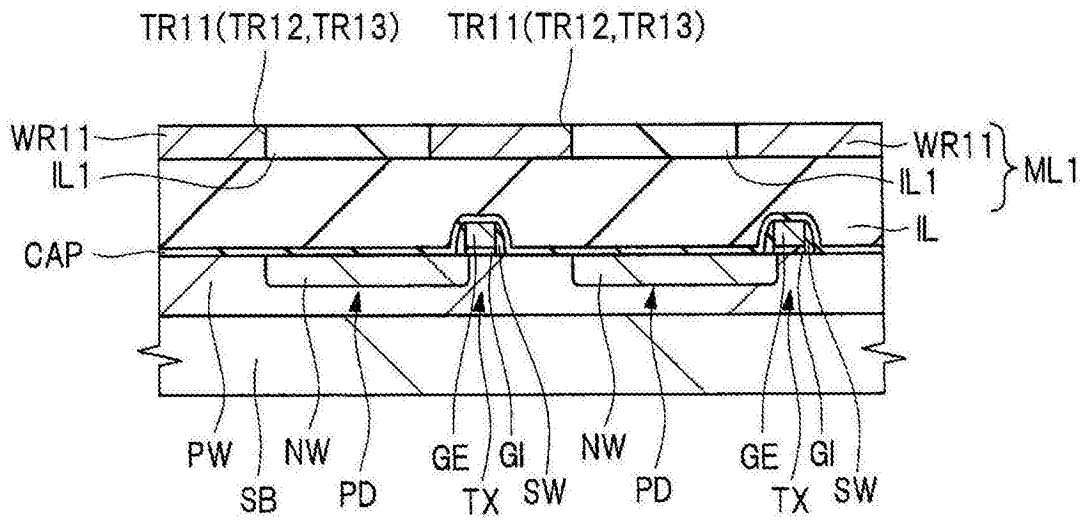


图22

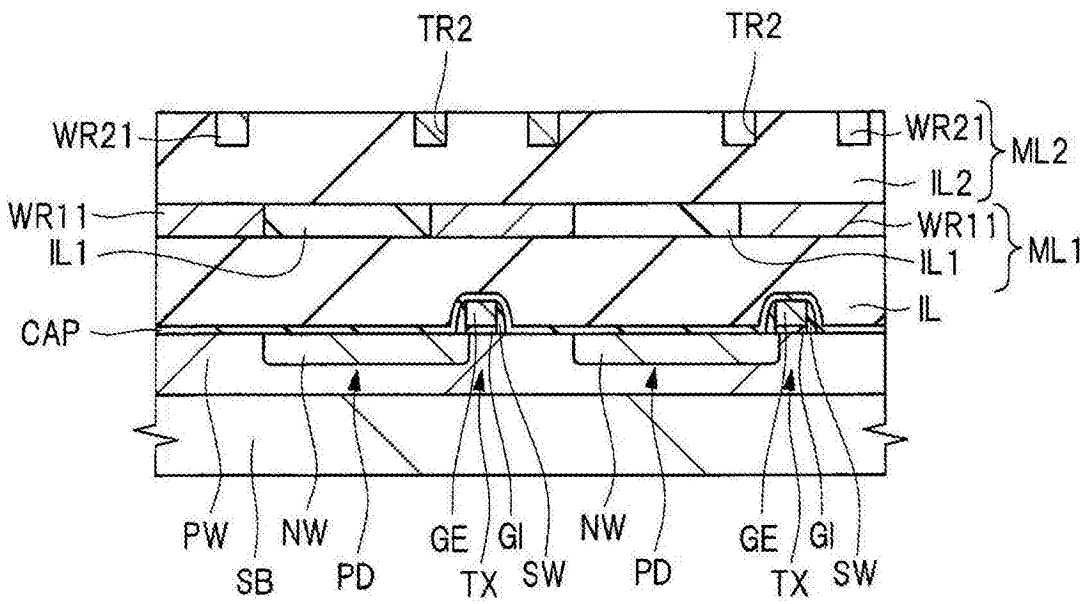


图23

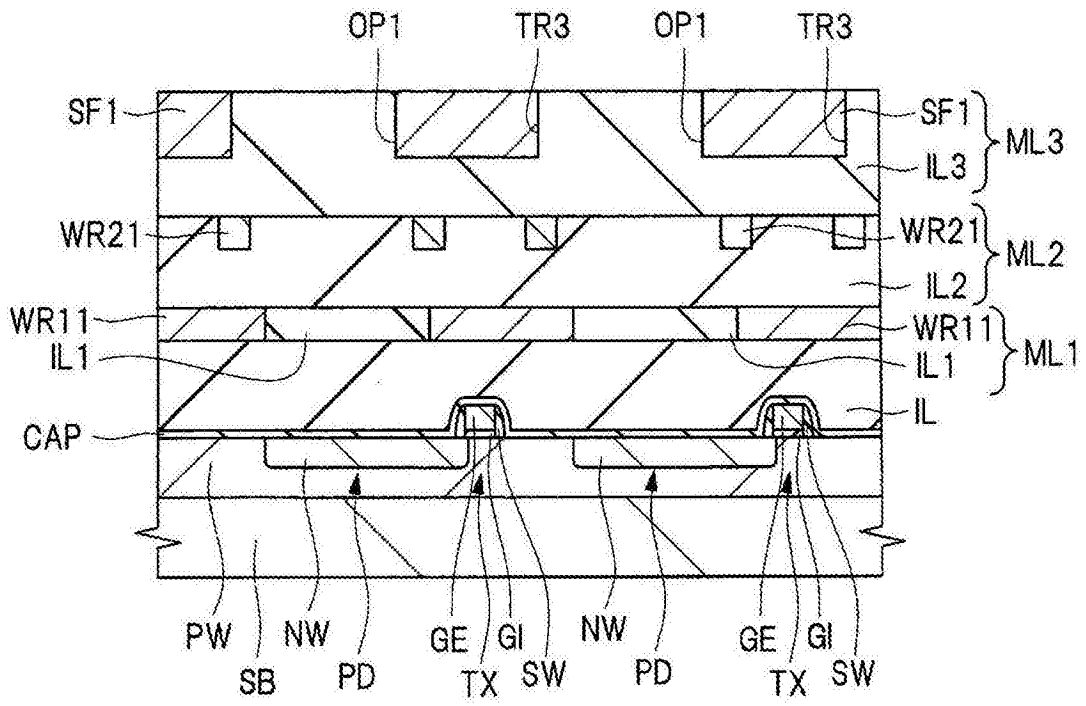


图24

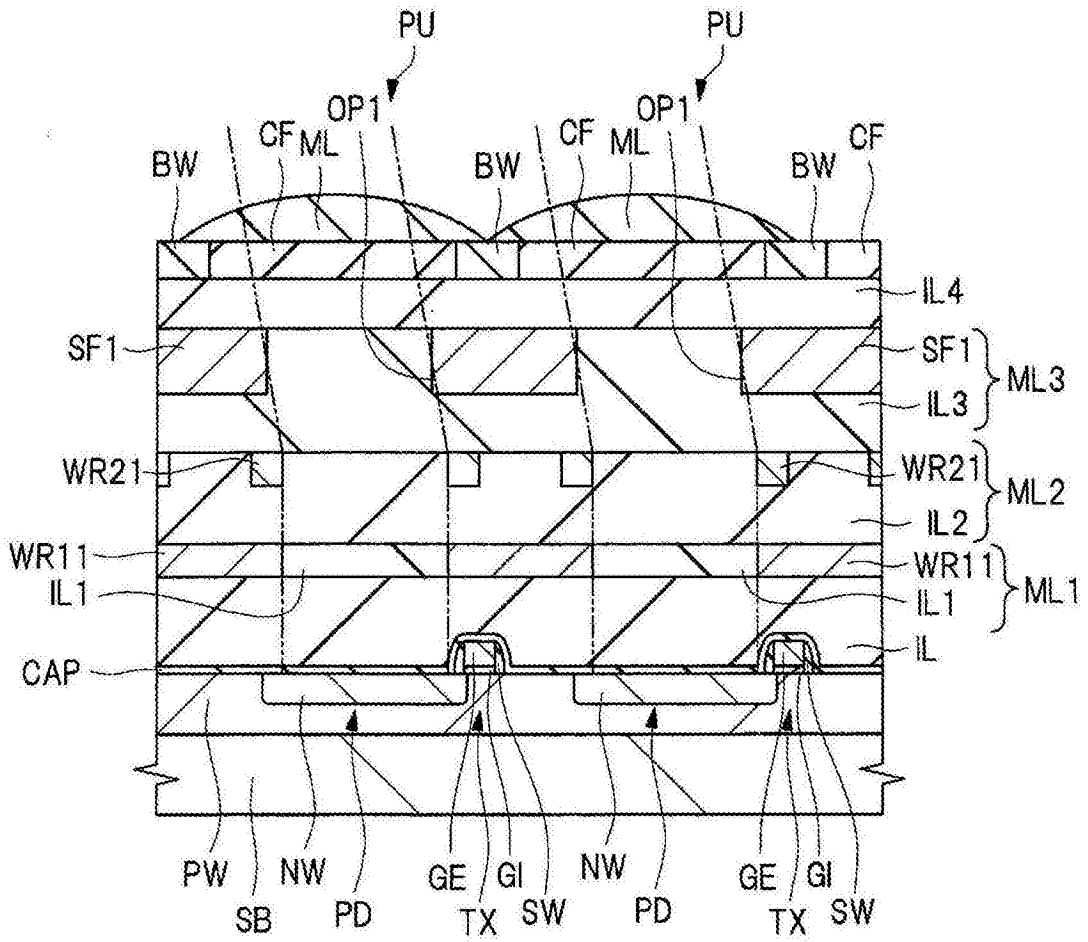


图25

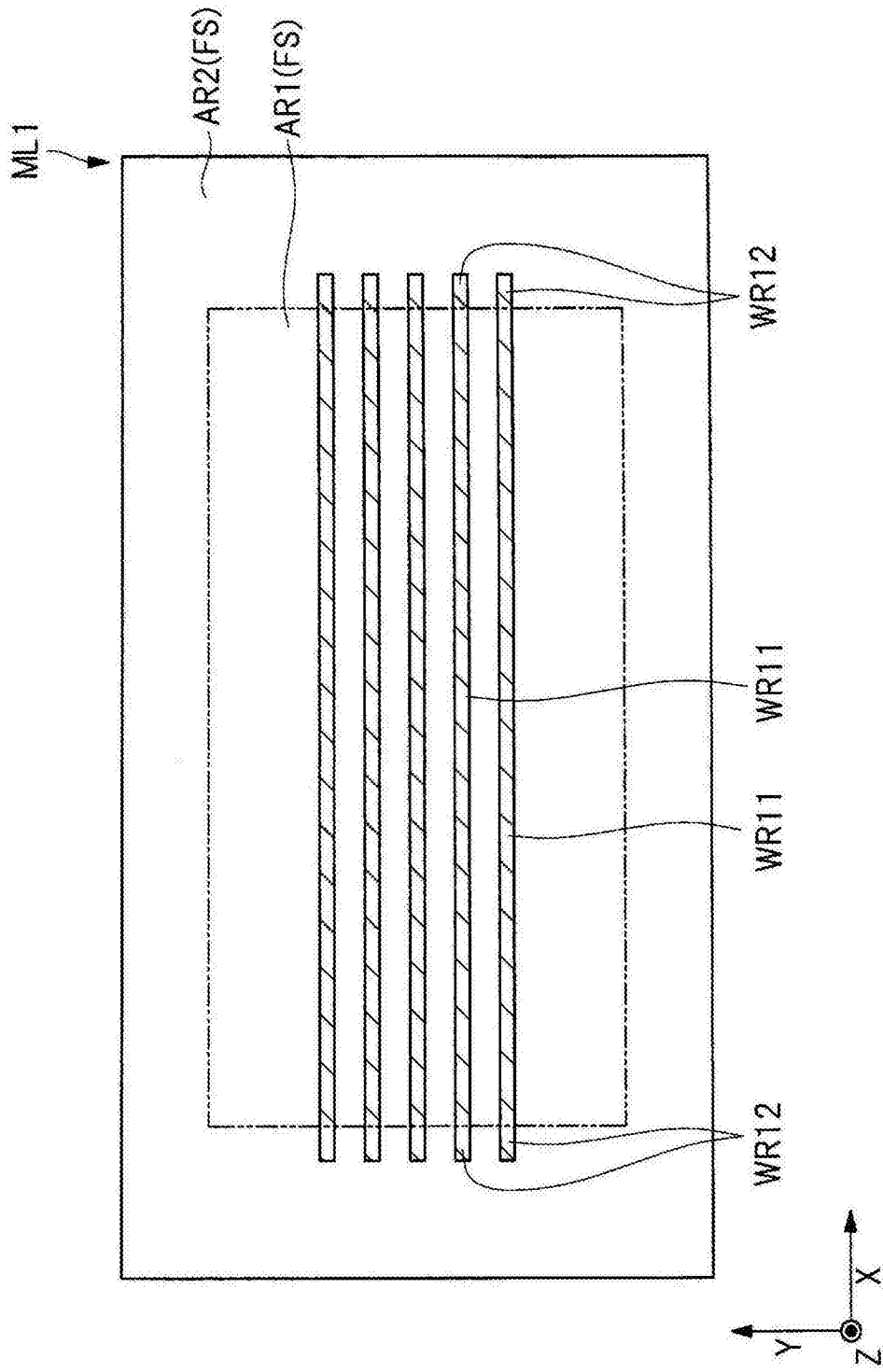


图26

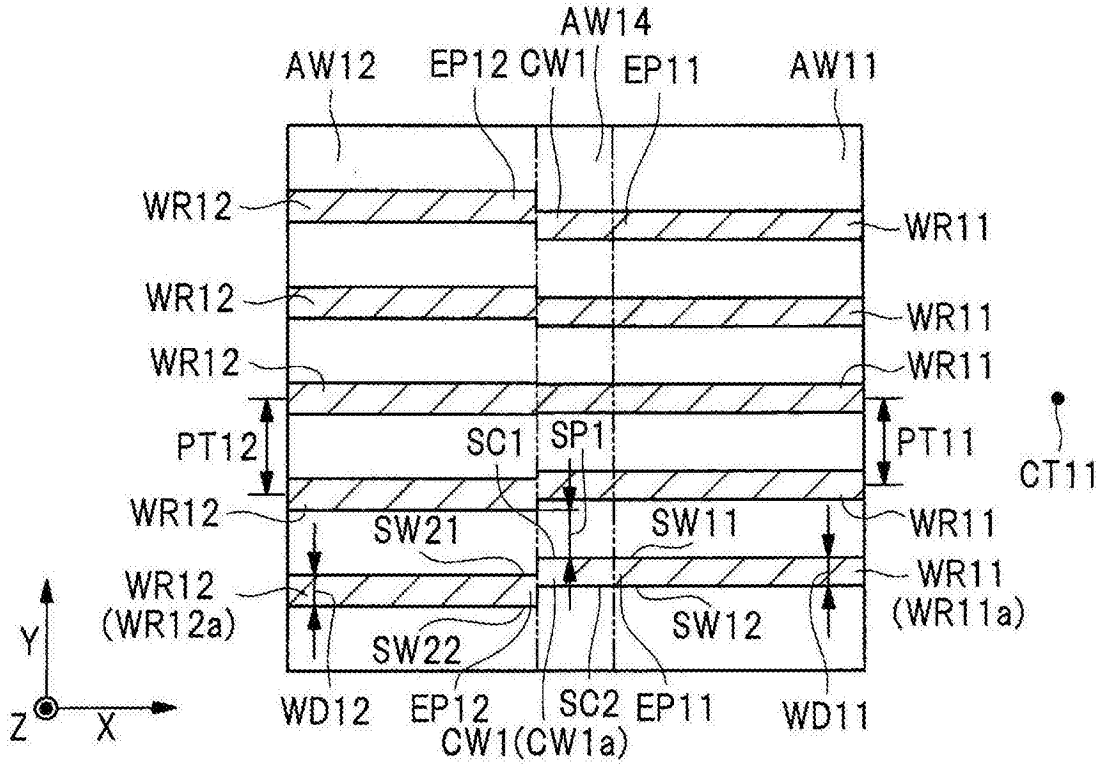


图27

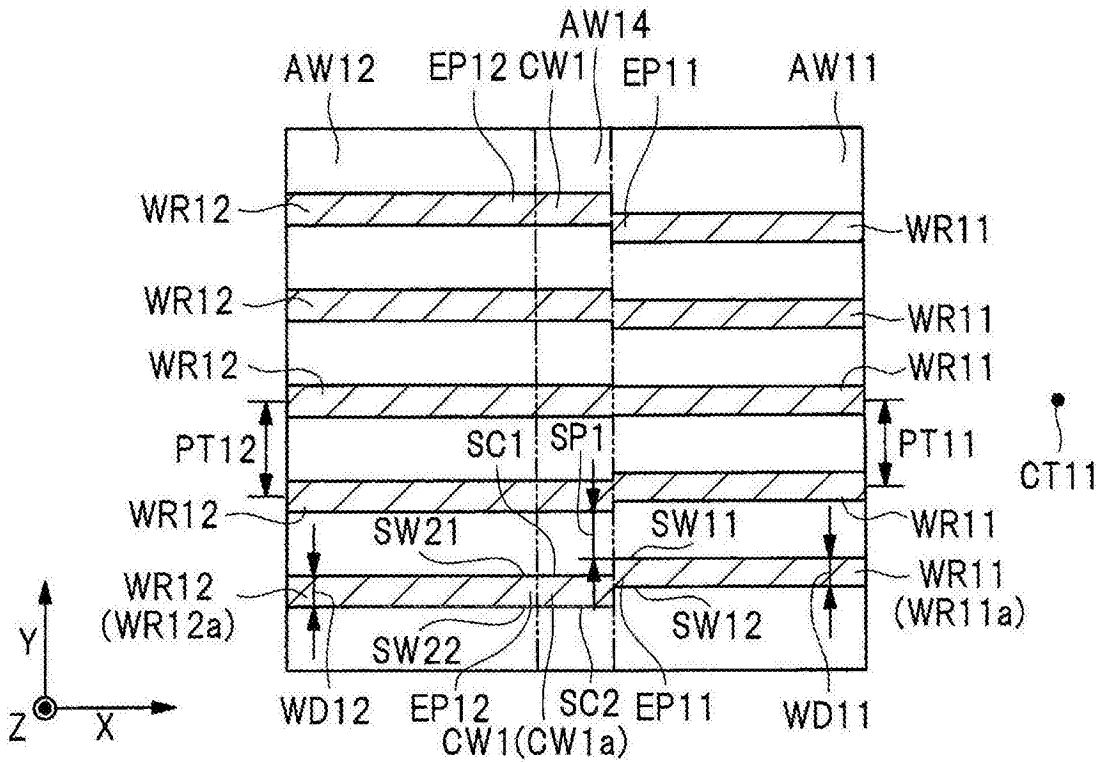


图28

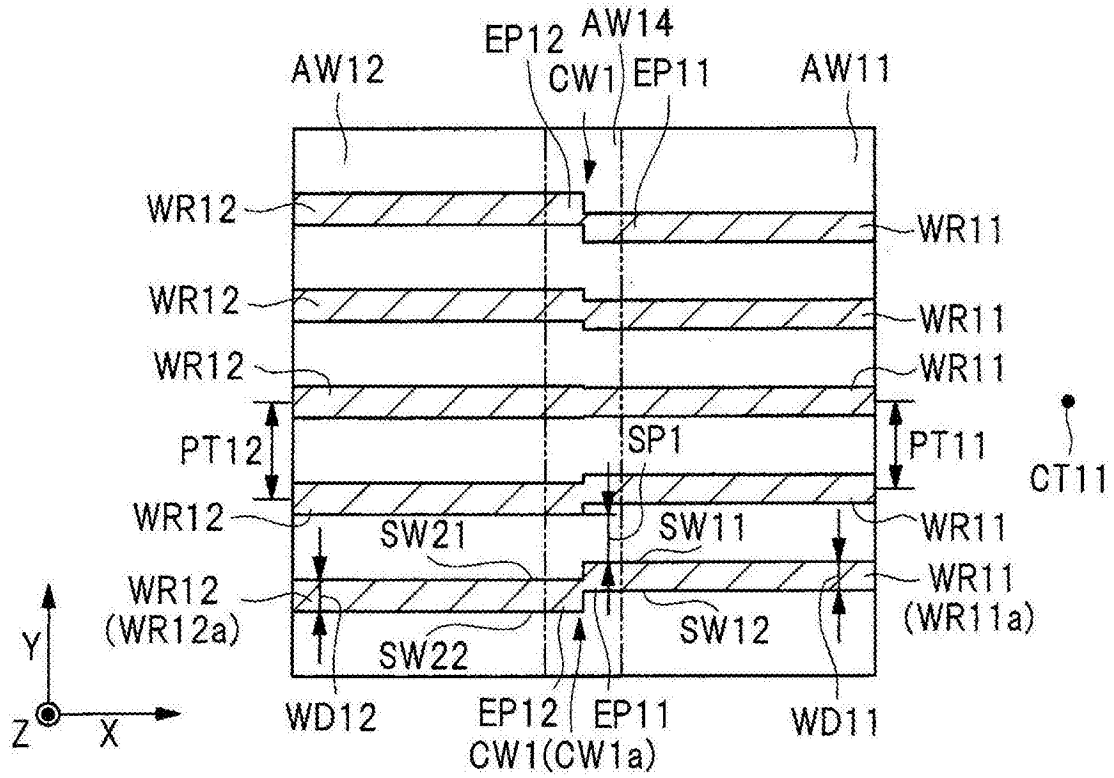


图29

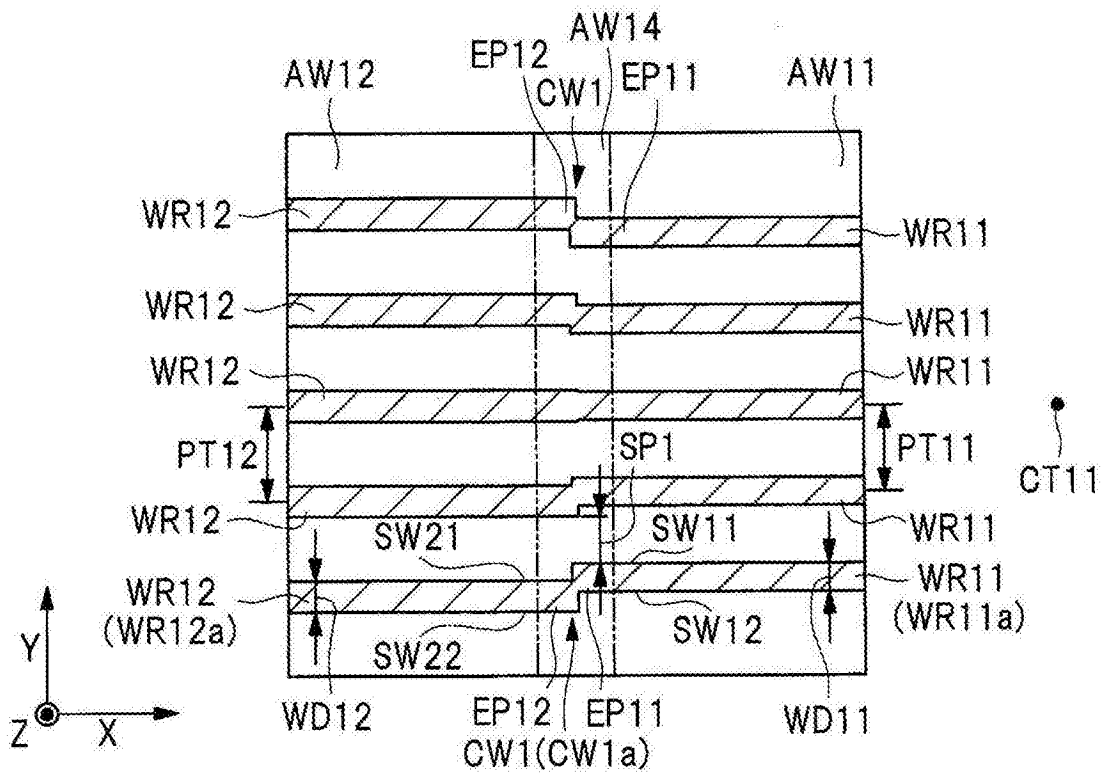


图30

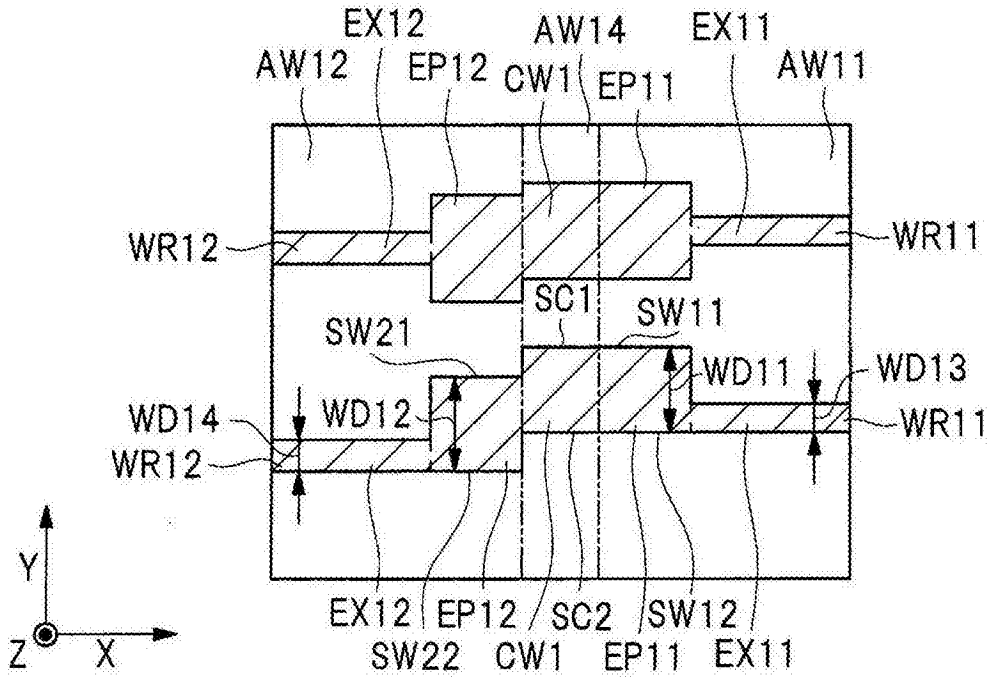


图31

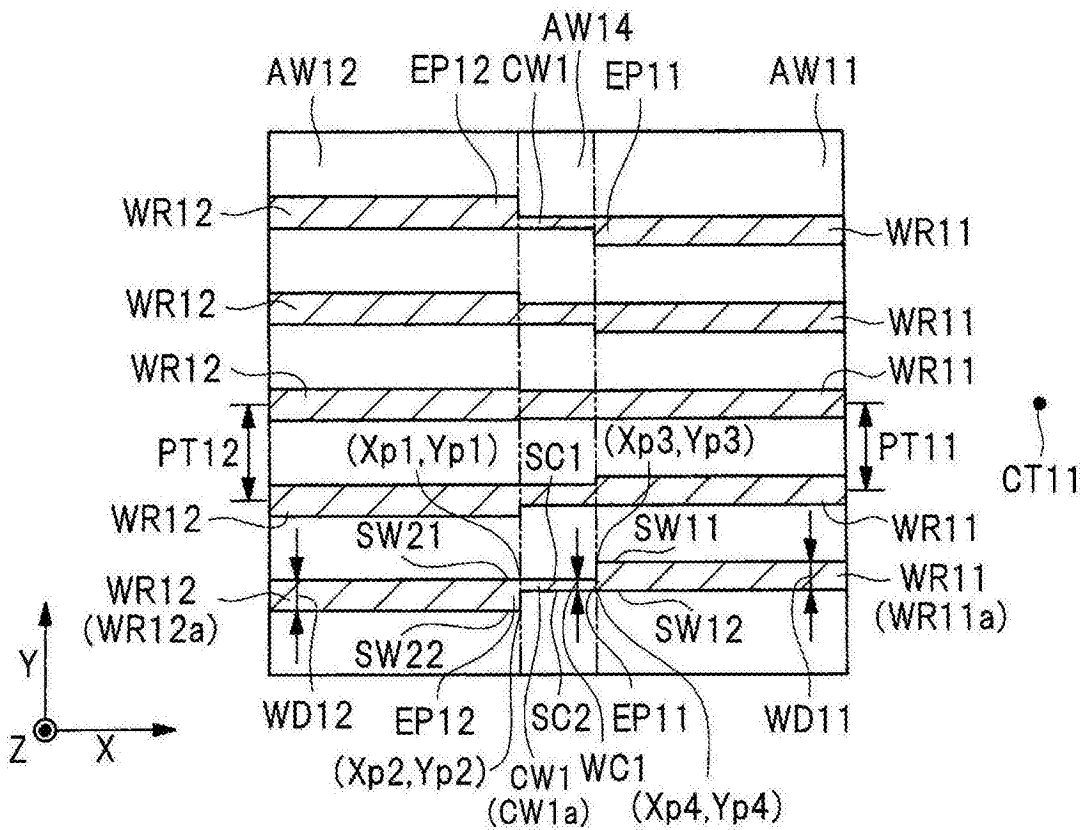


图32

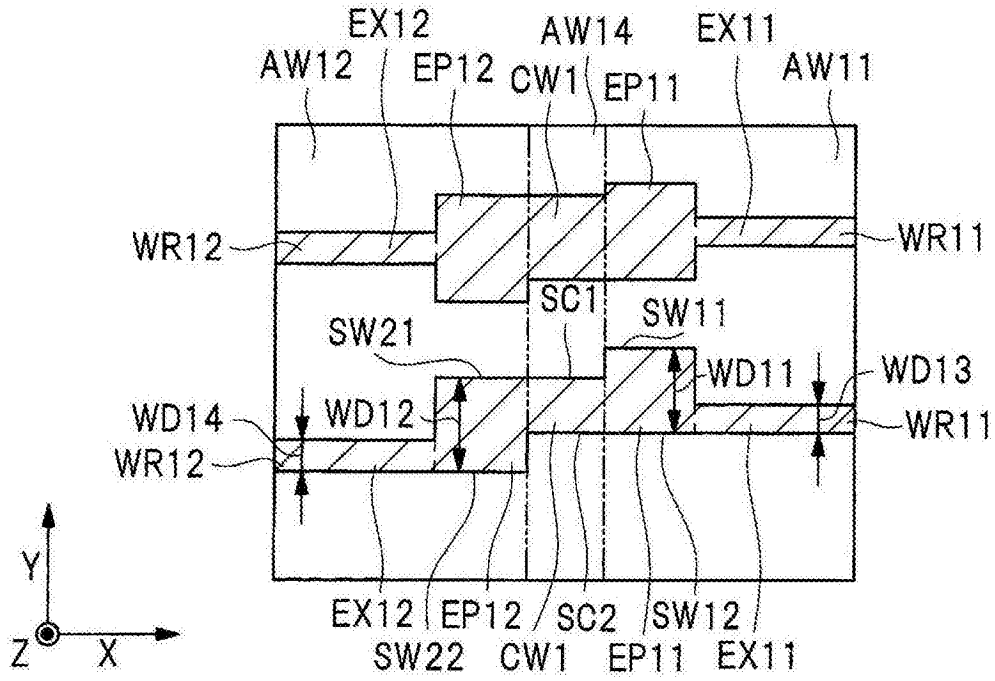


图33

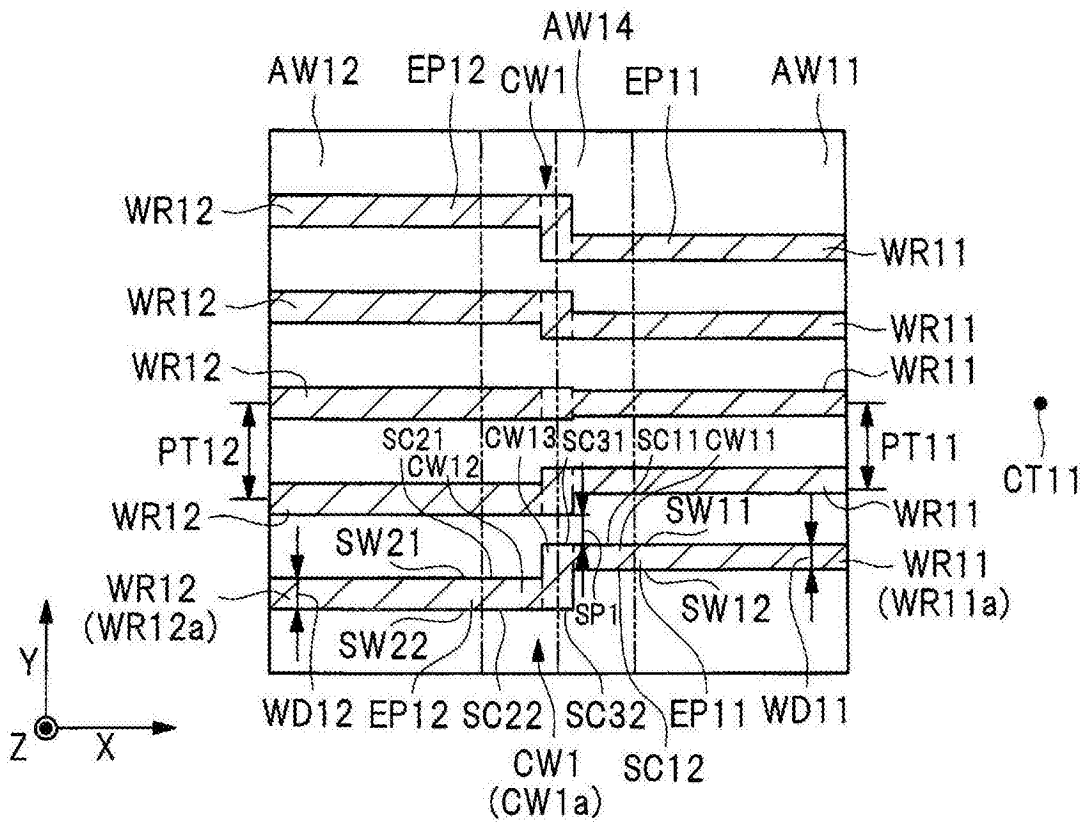


图34

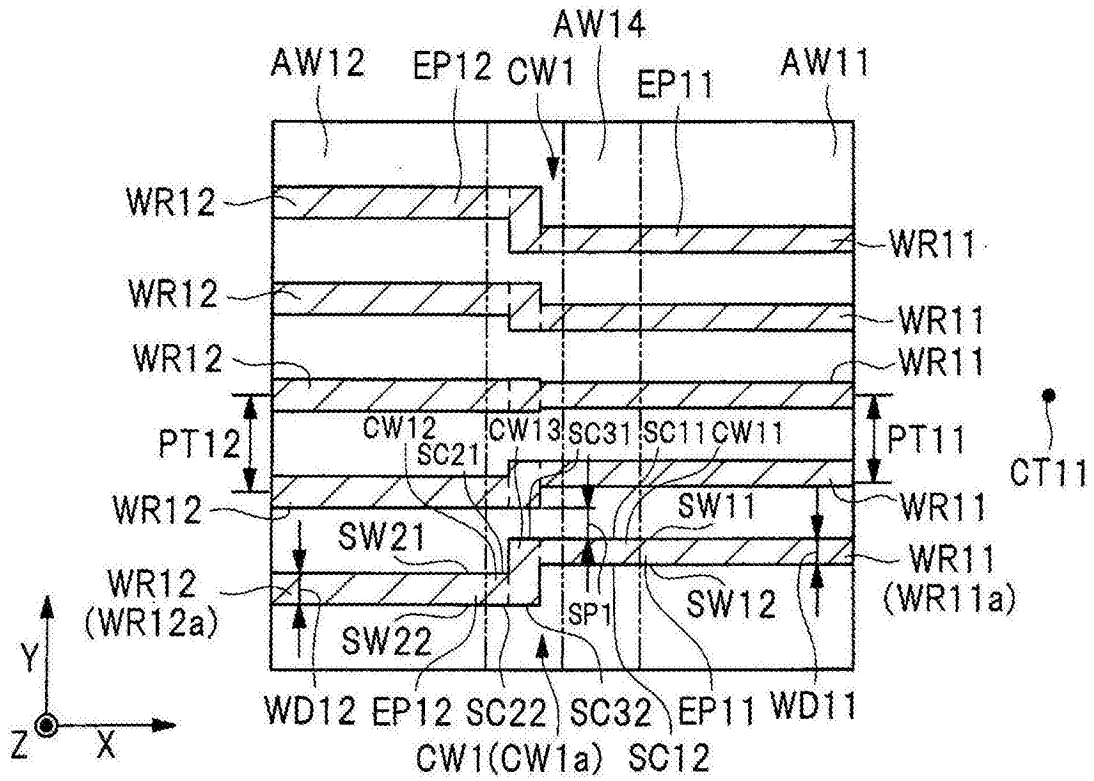


图35

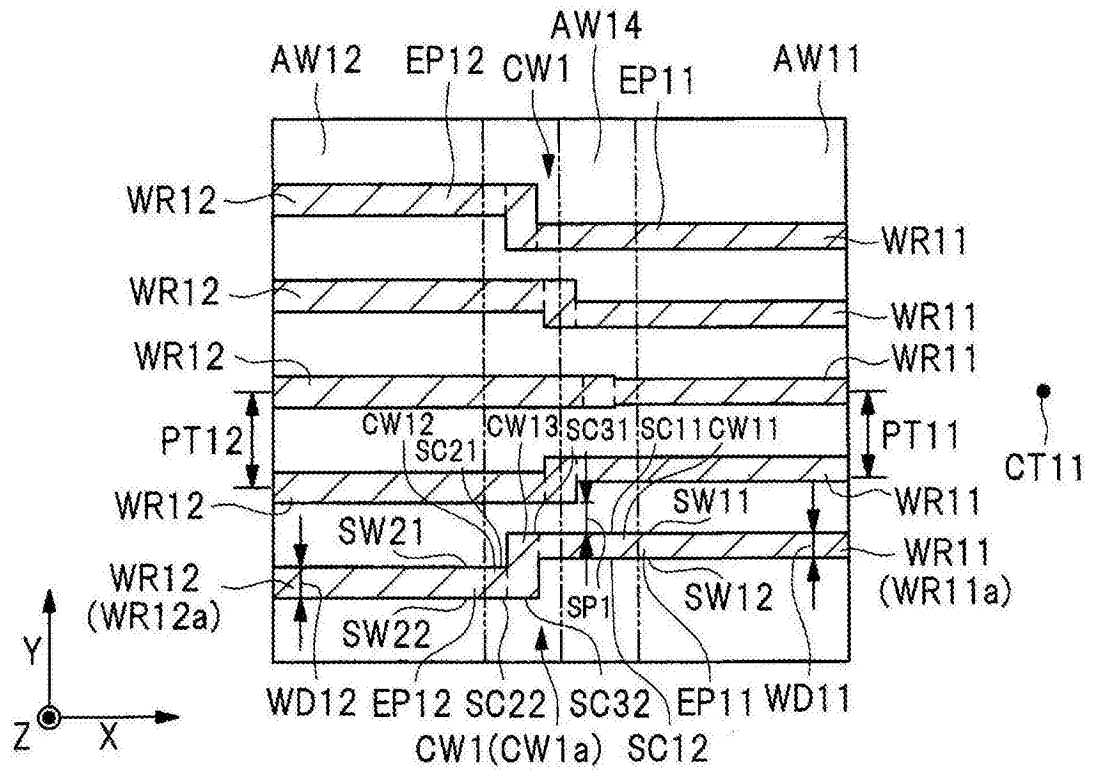


图36

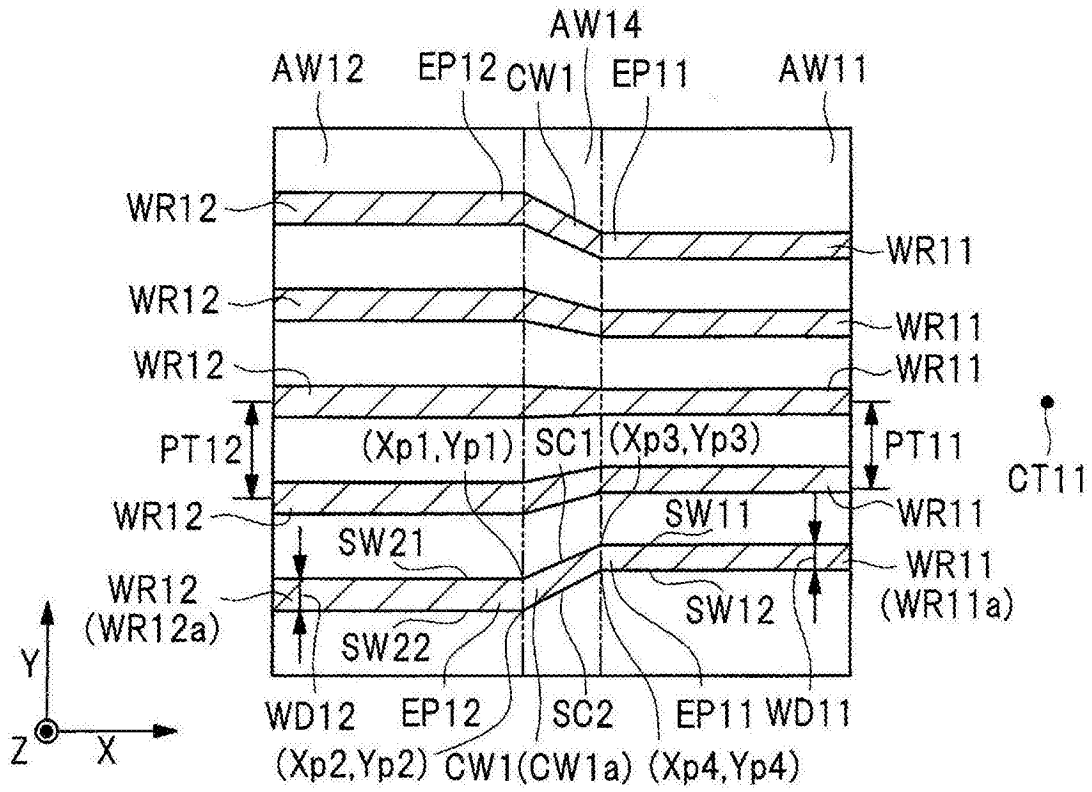


图37

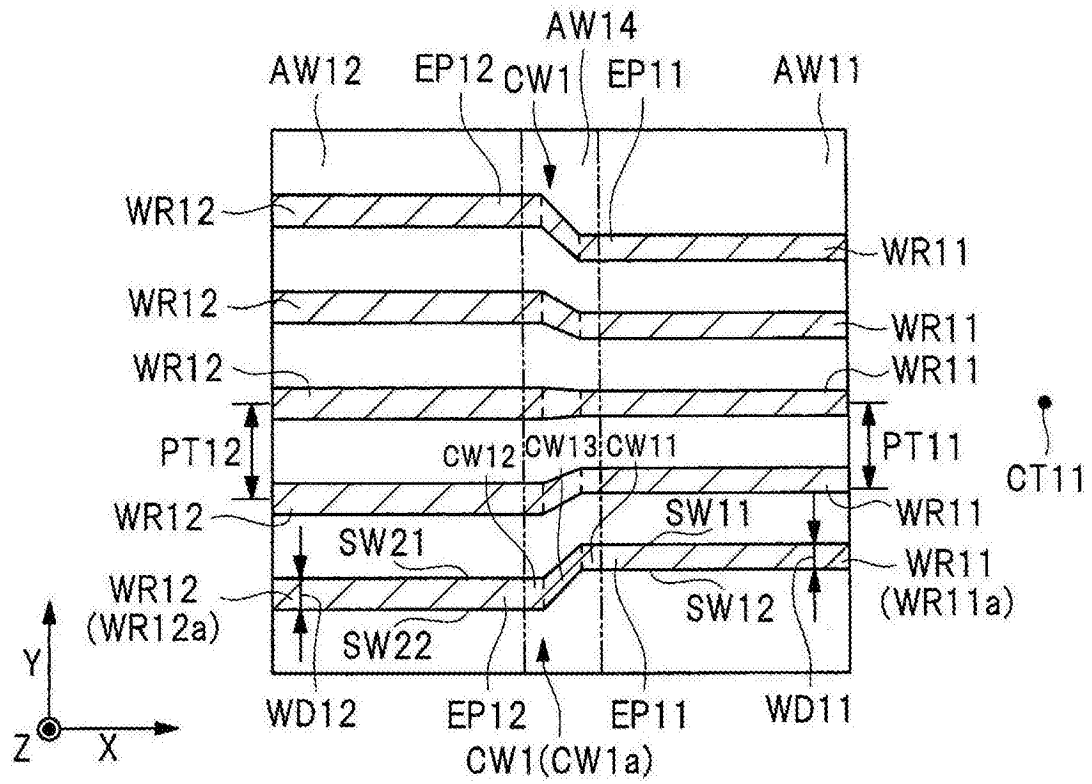


图38

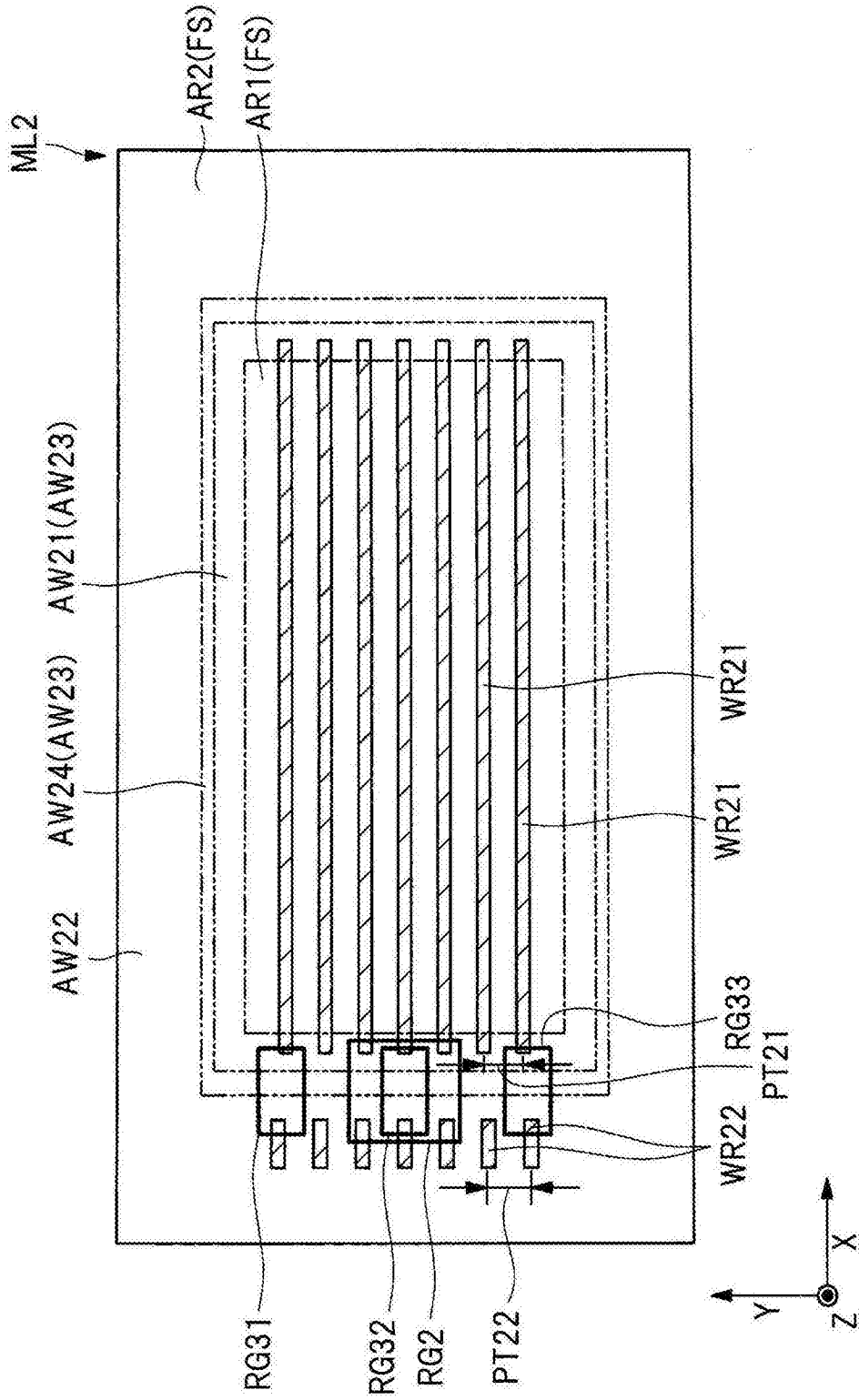


图39

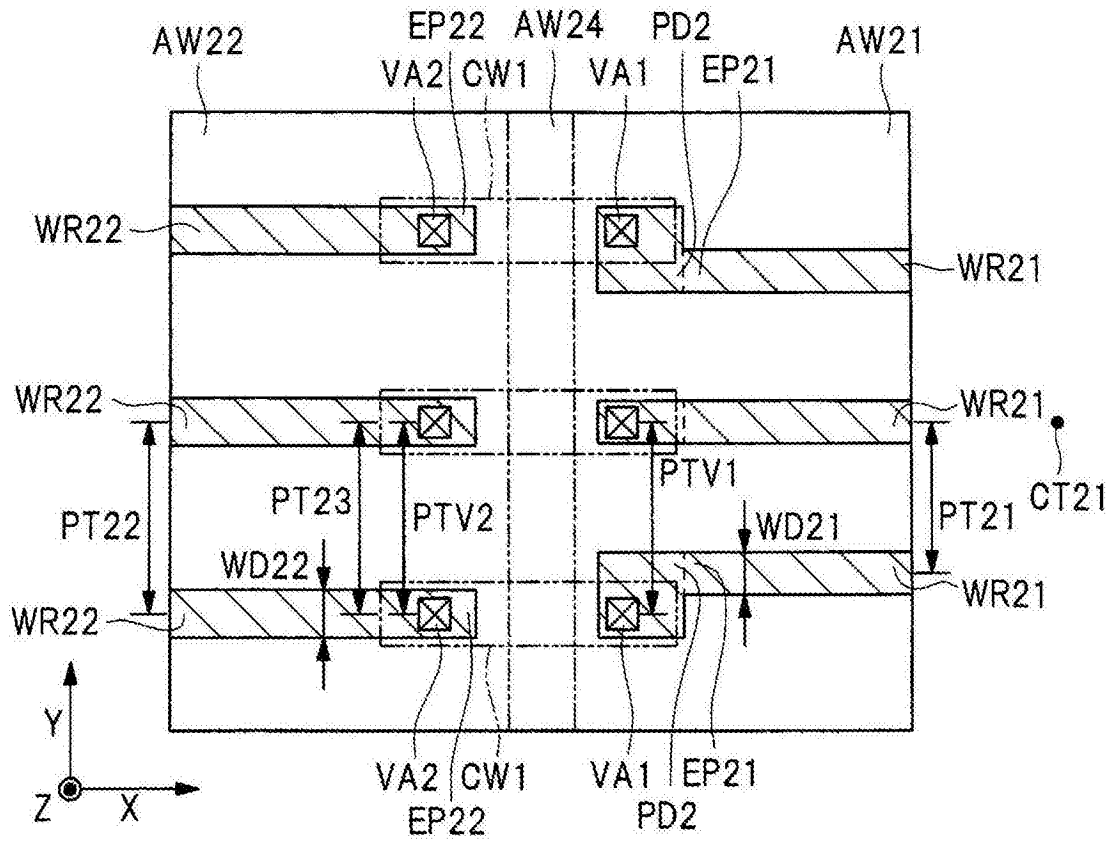


图40

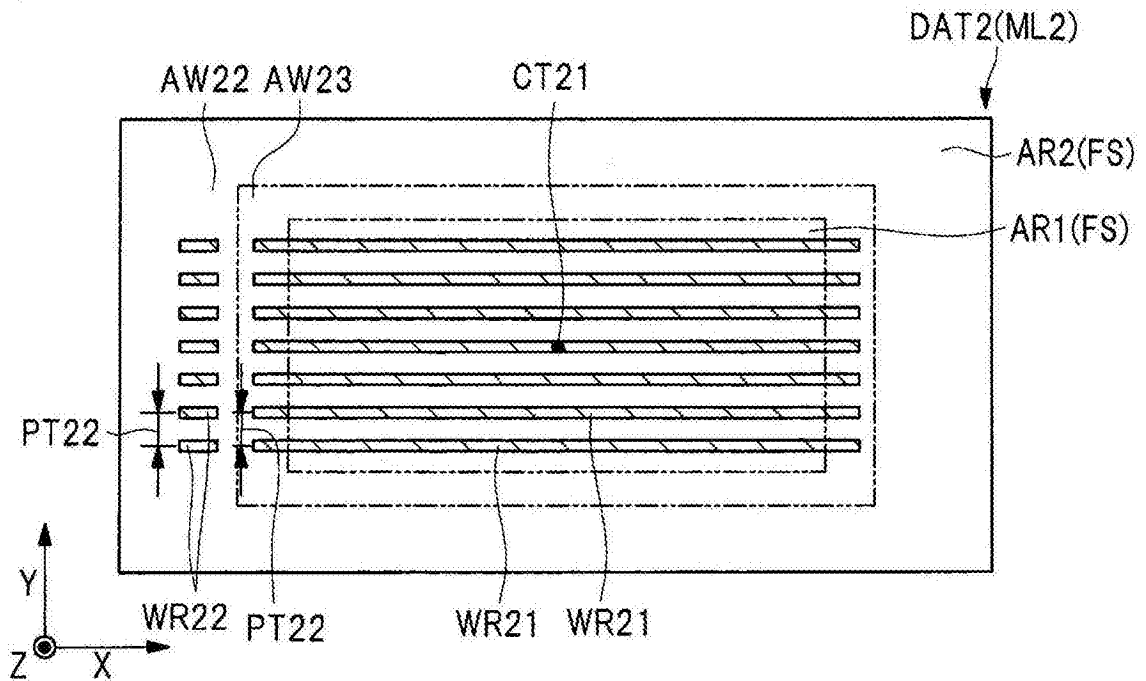


图41

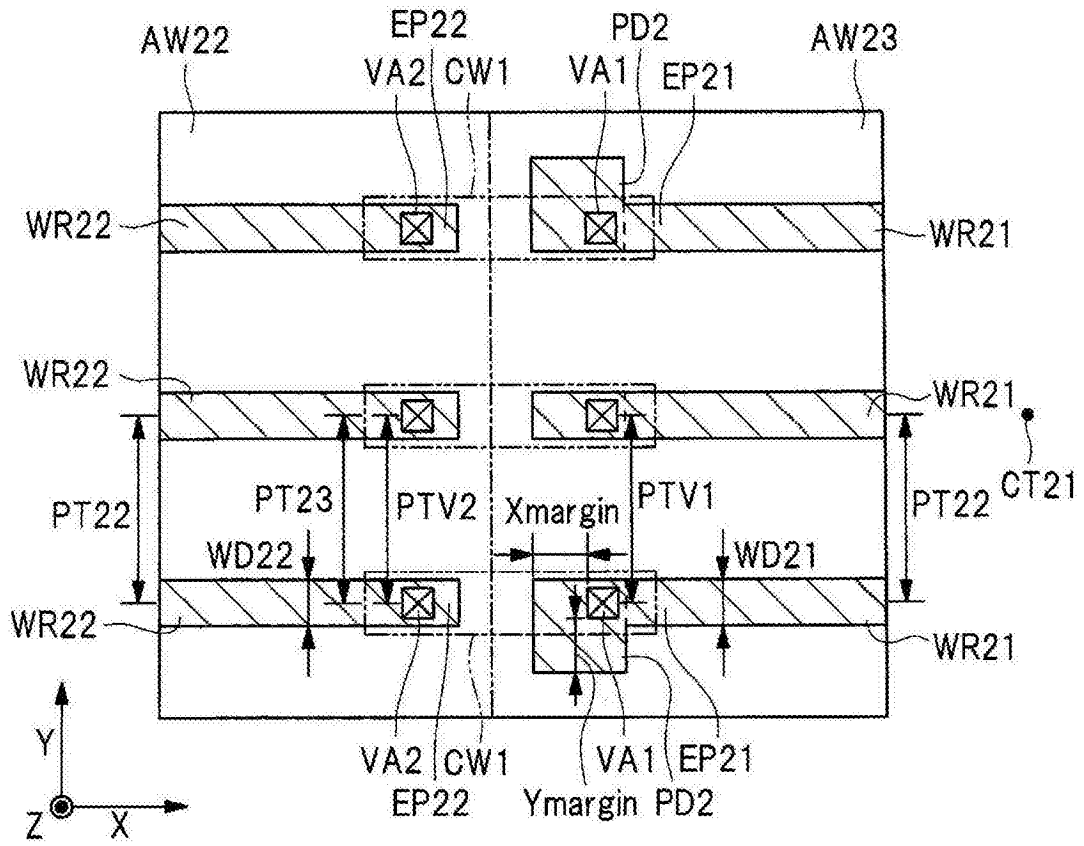


图42

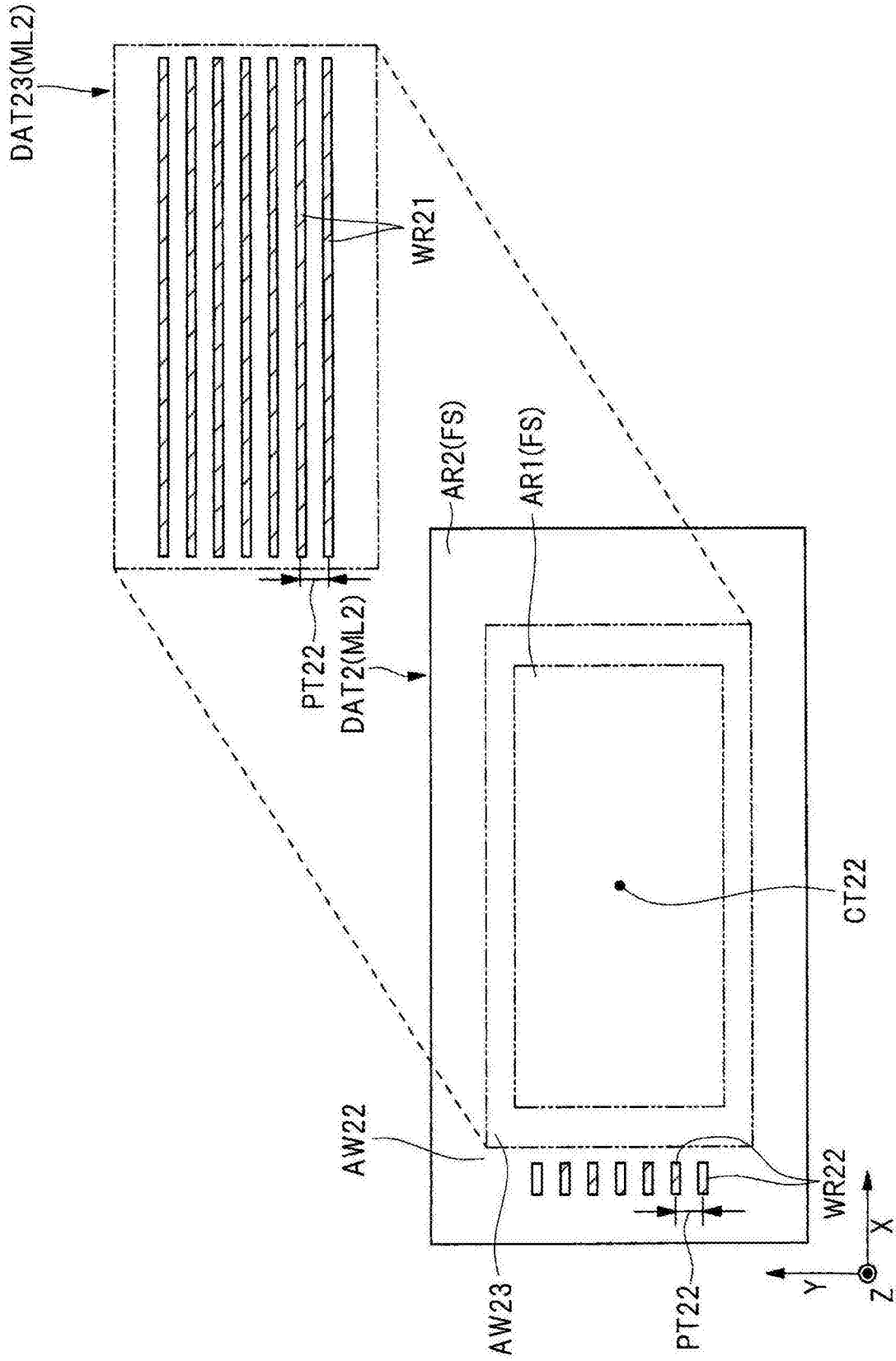


图43

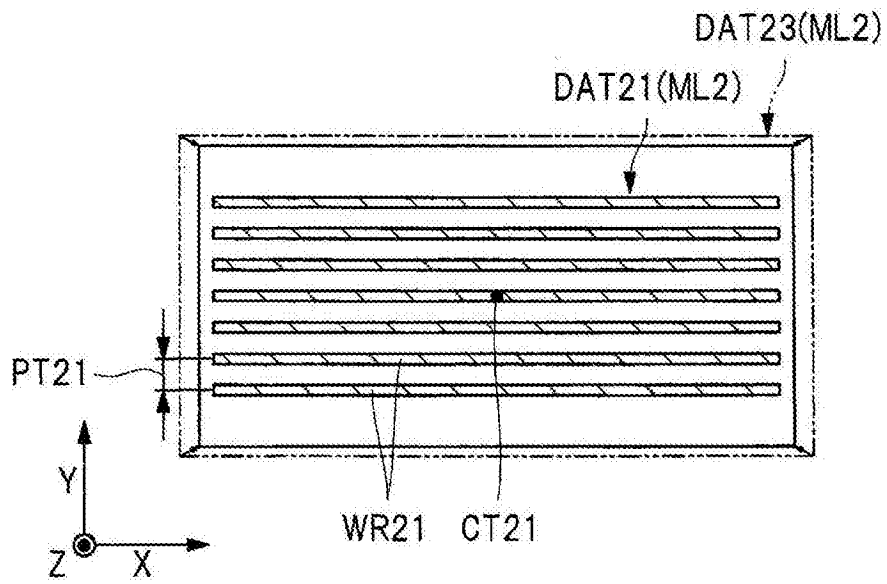


图44

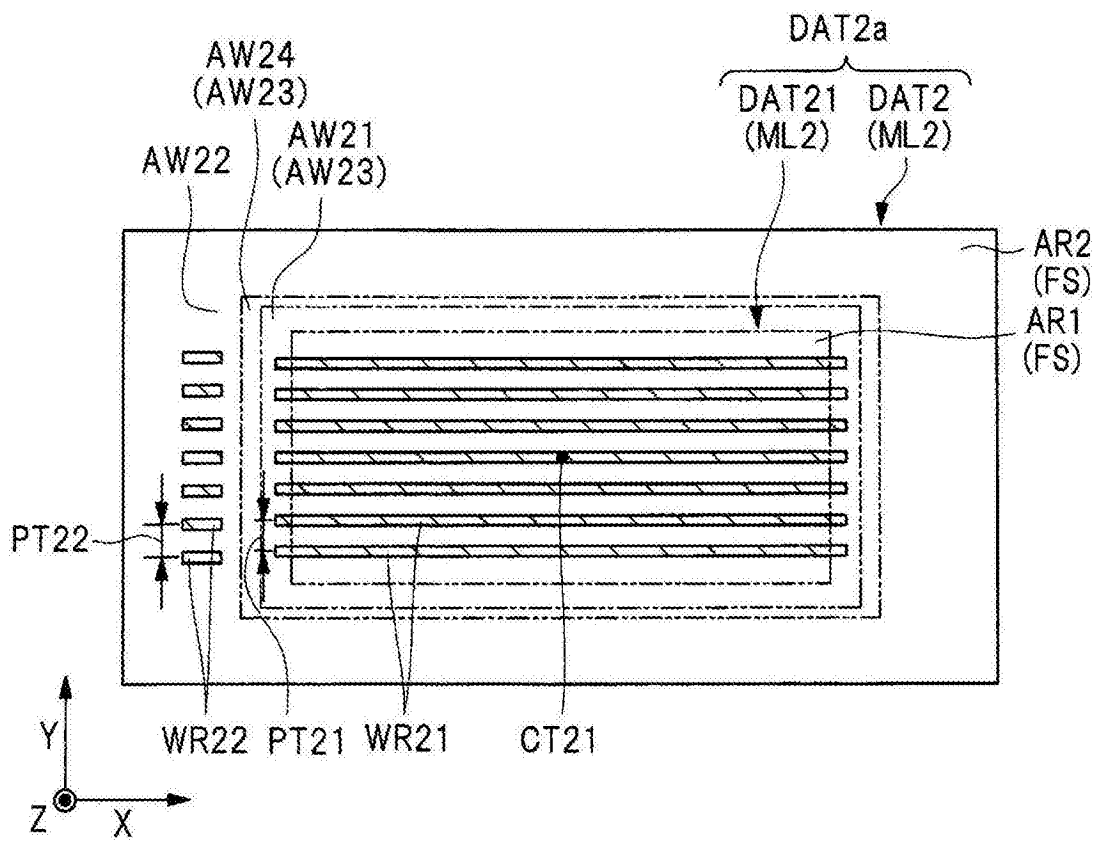


图45

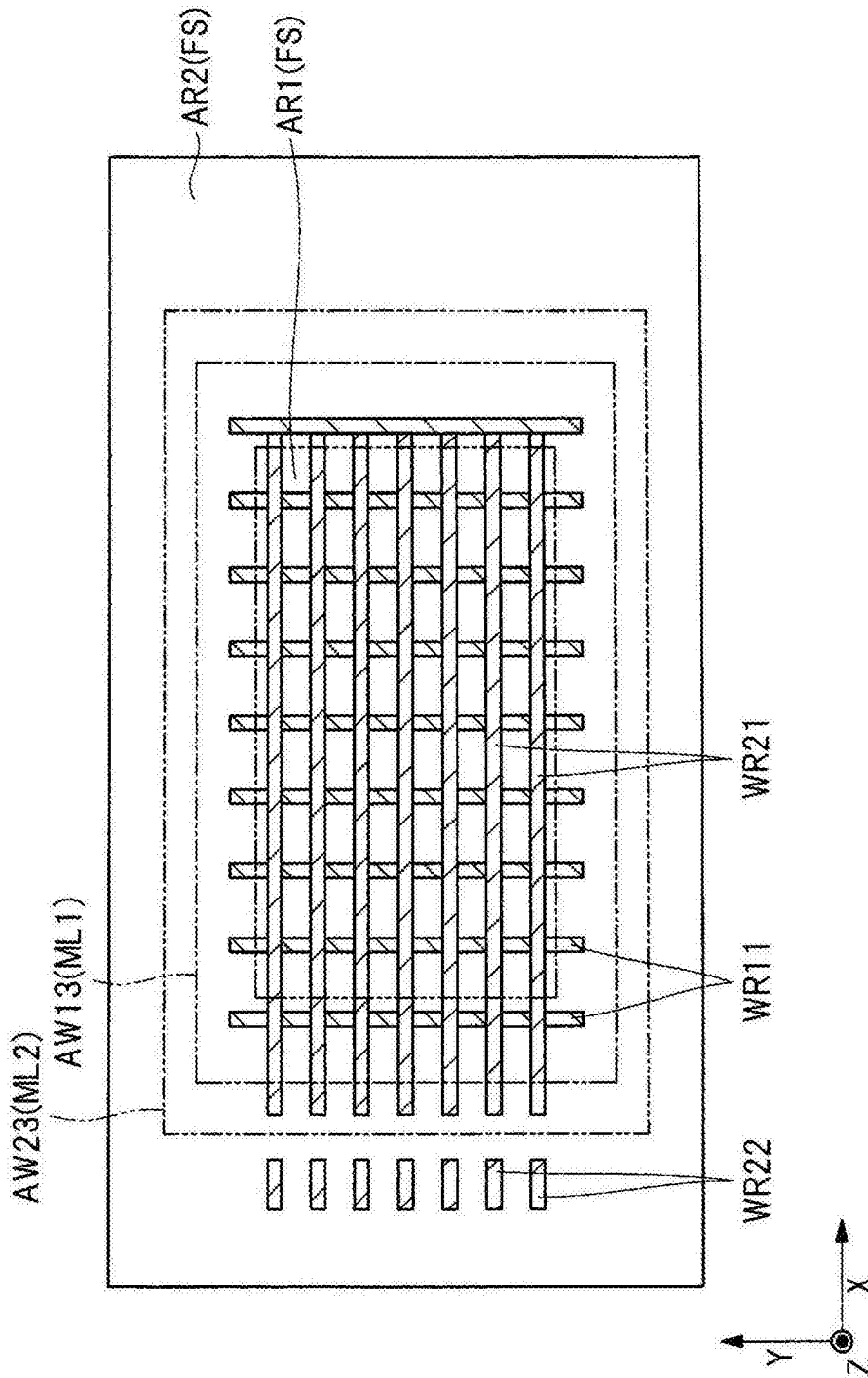


图46

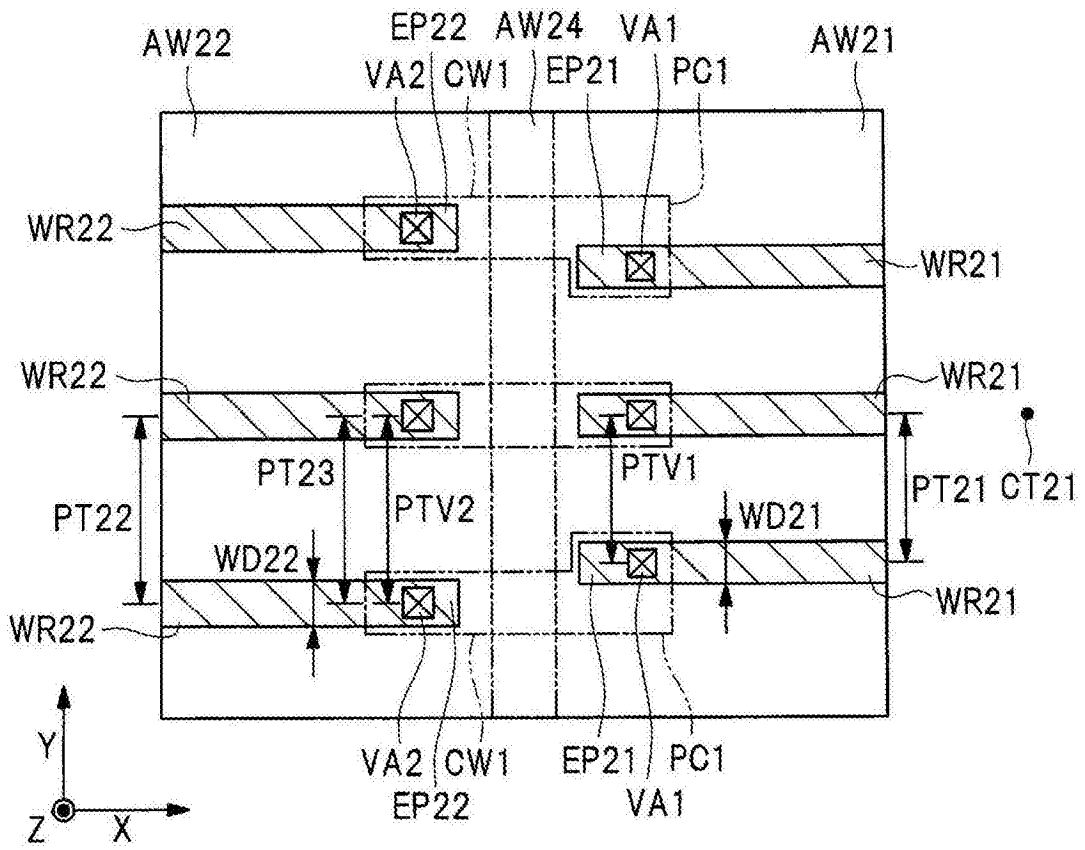


图47

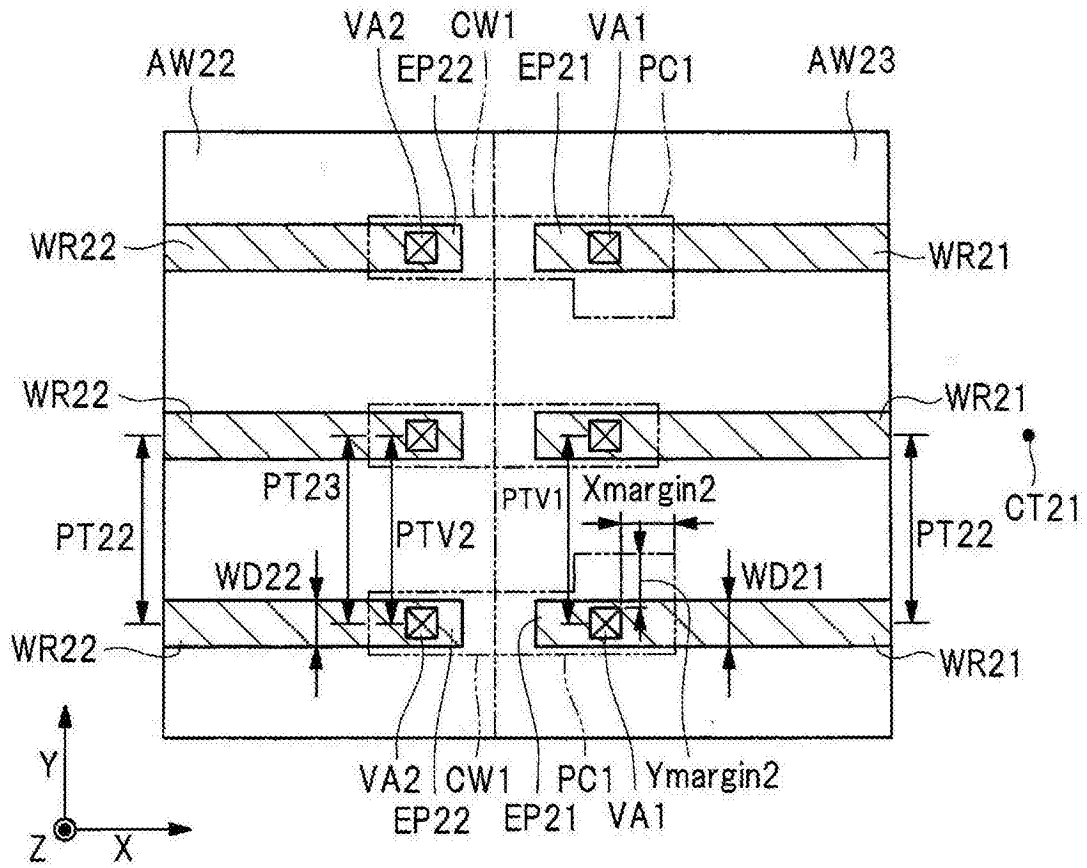


图48

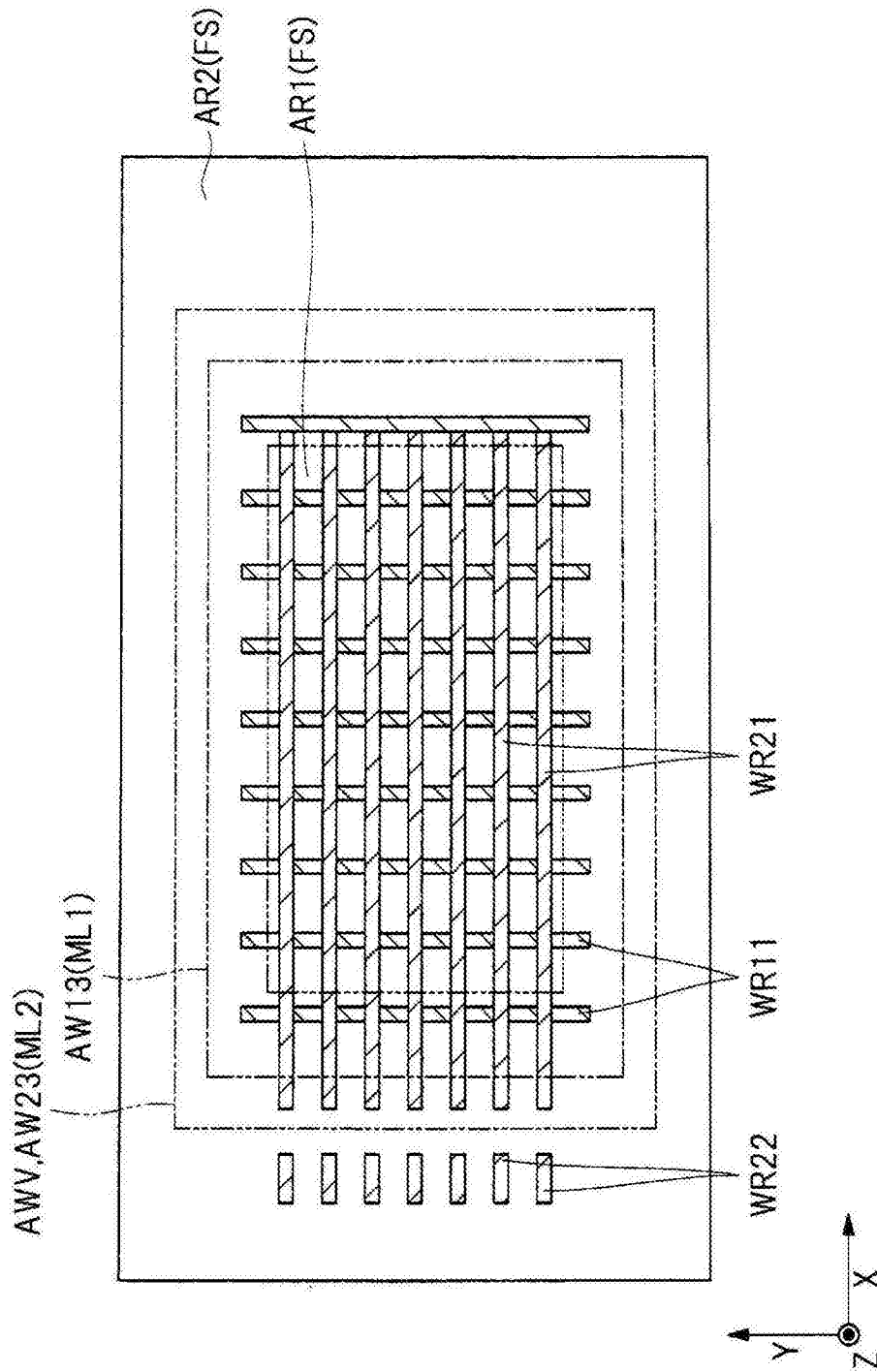


图49

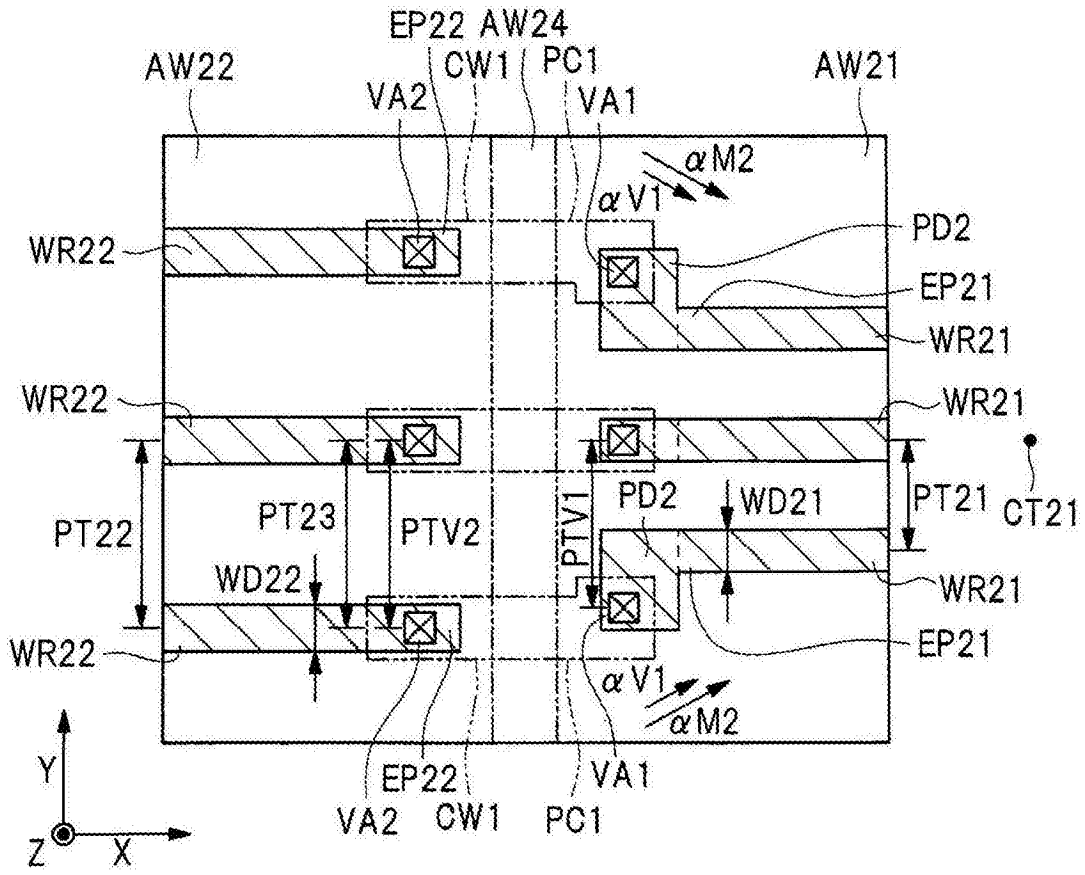


图50

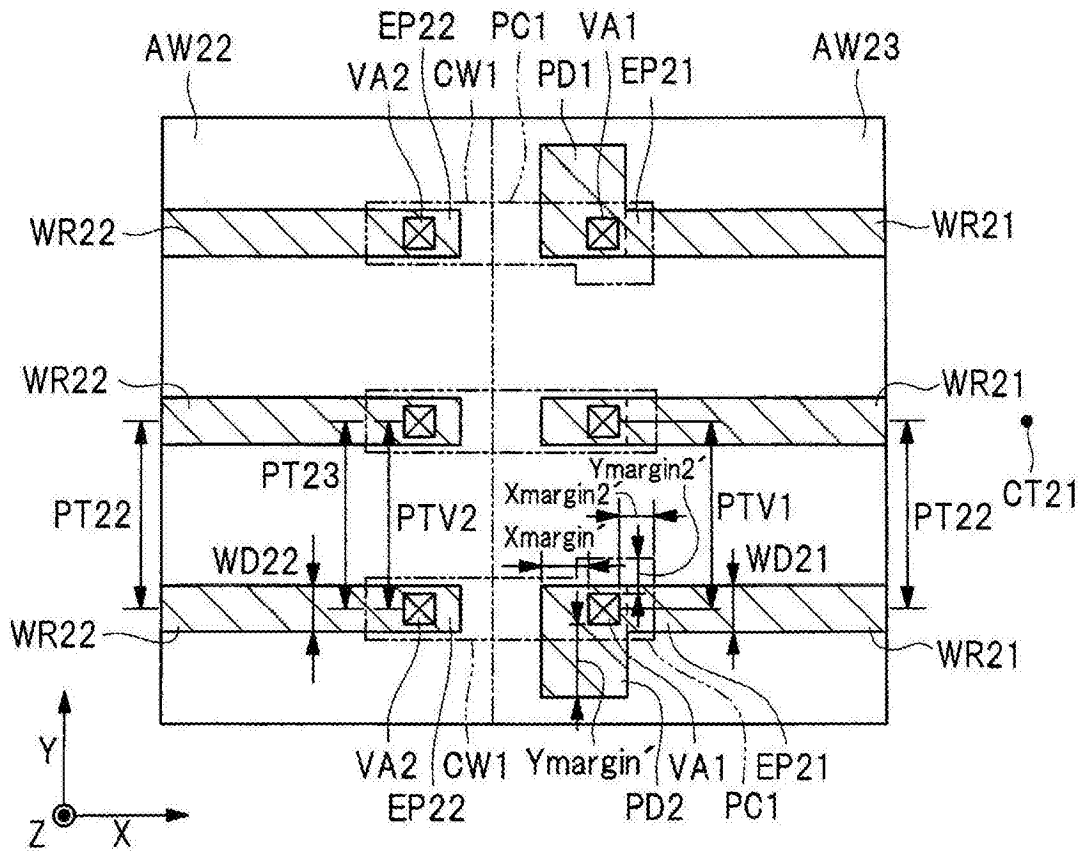


图51

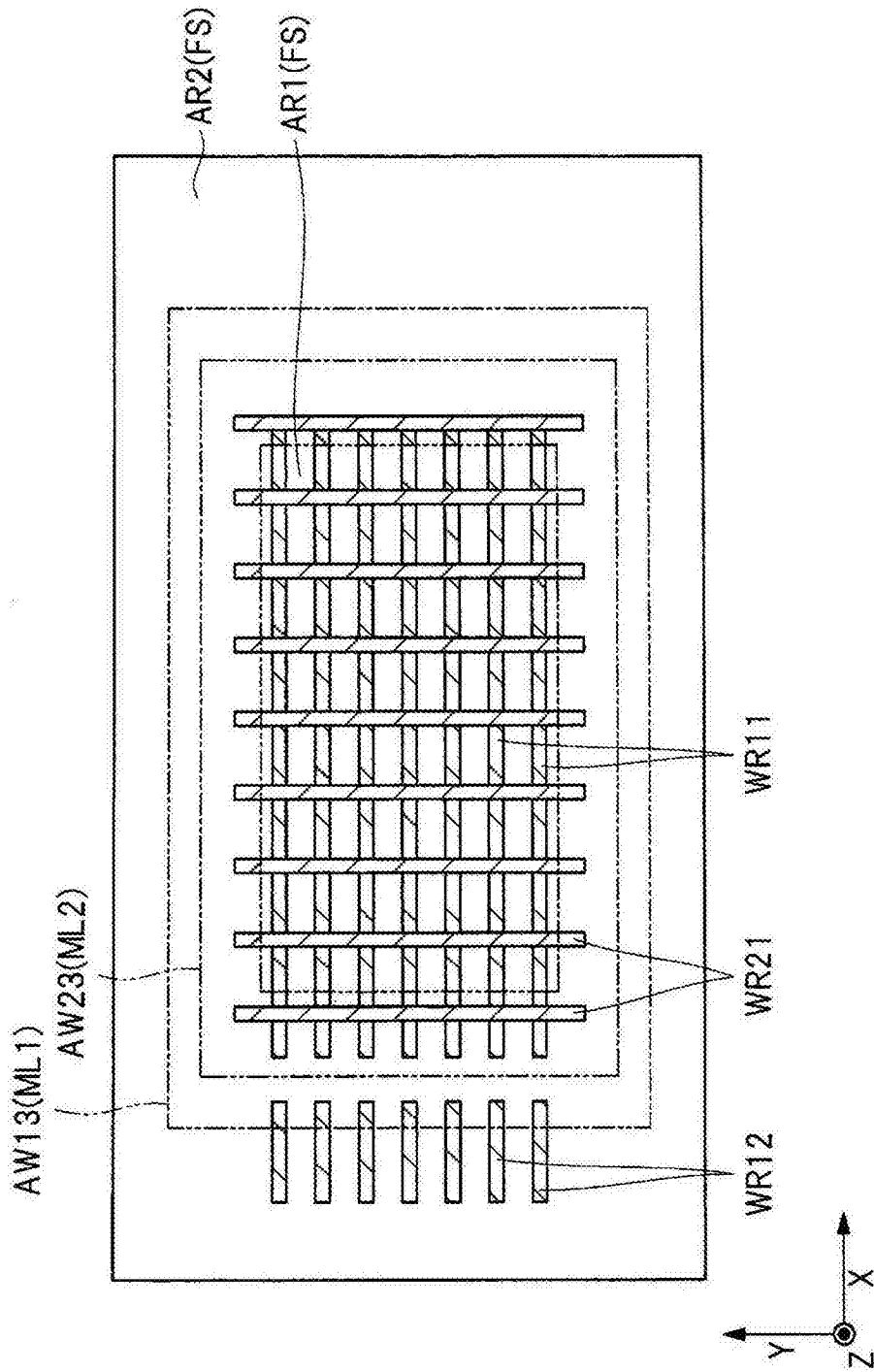


图52

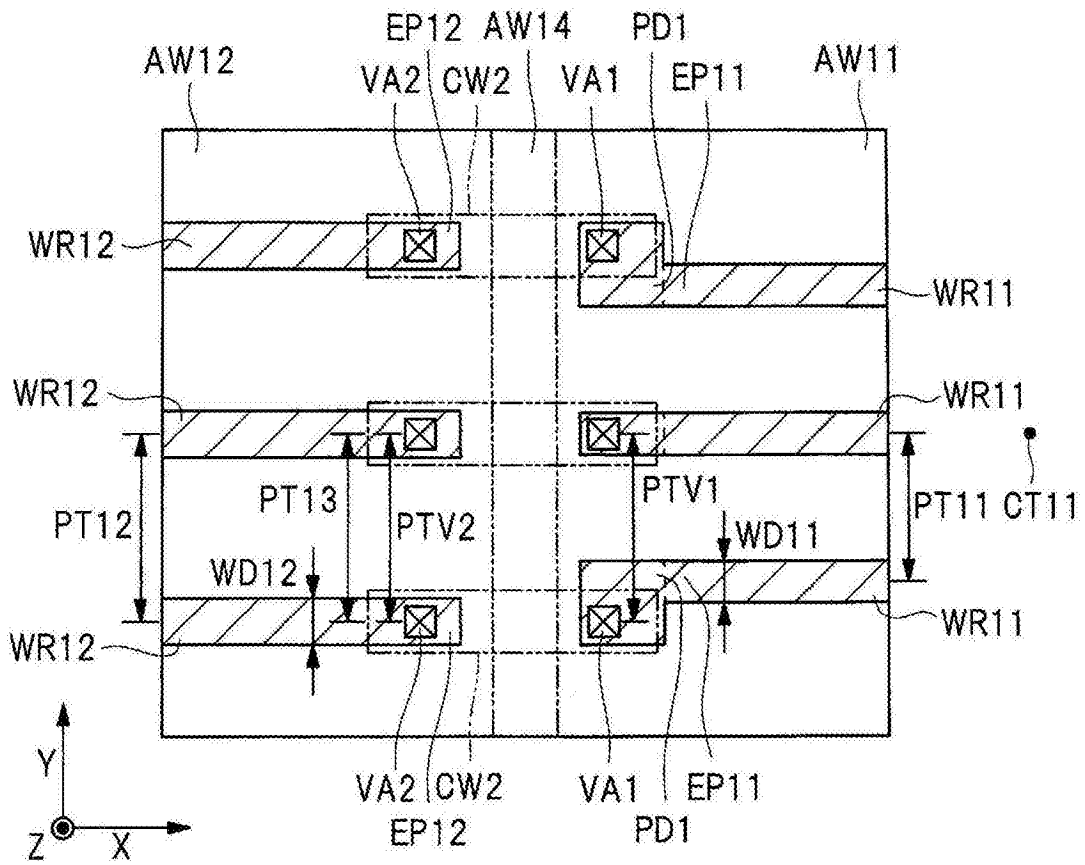


图53

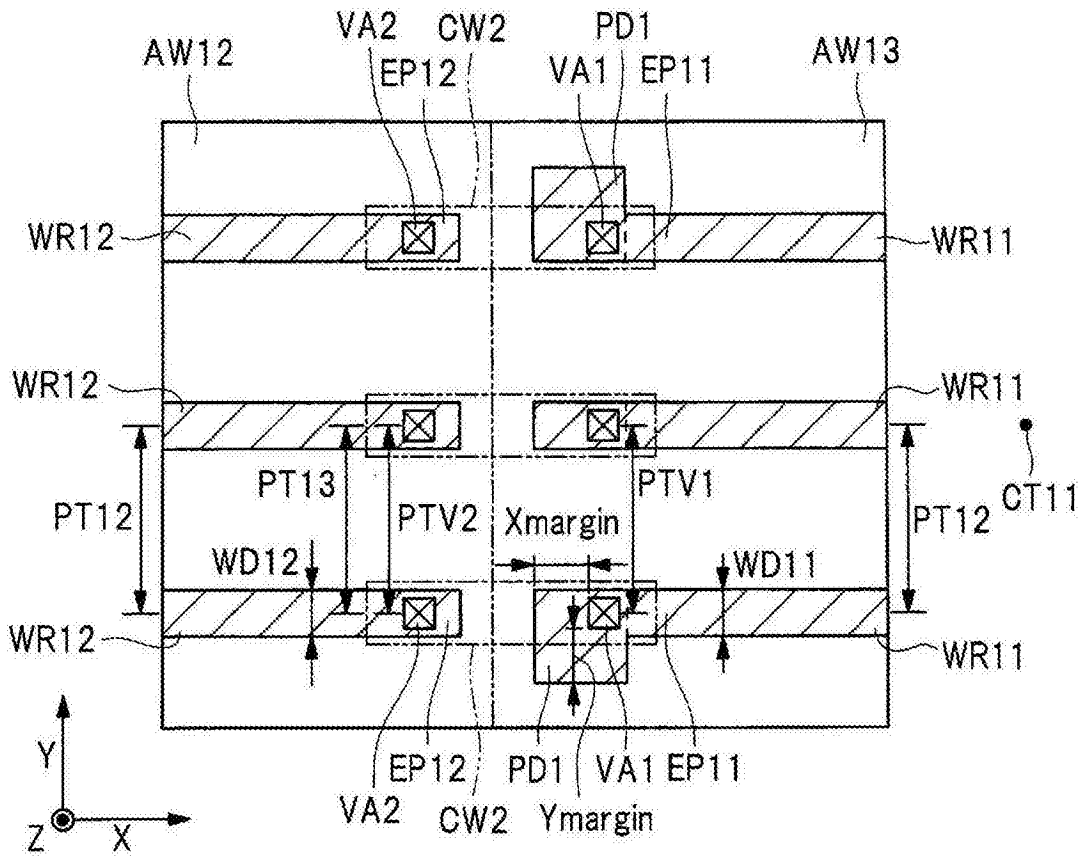


图54

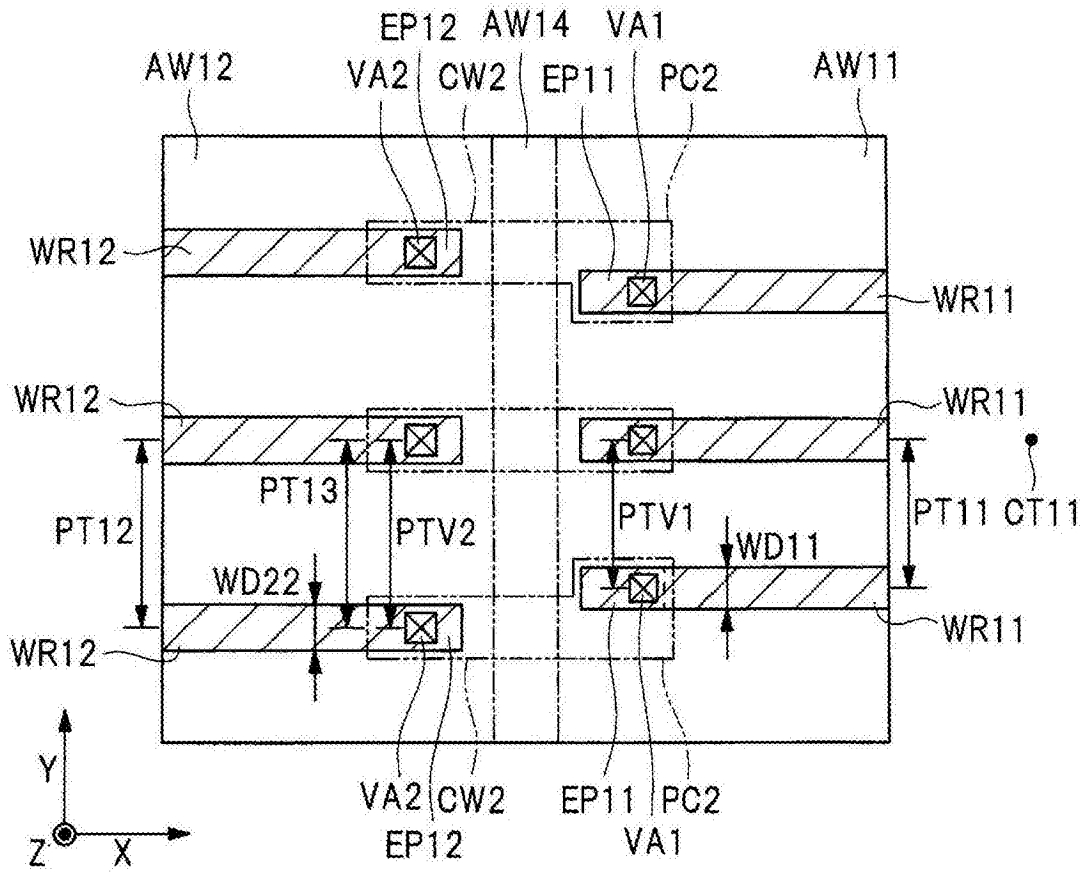


图55

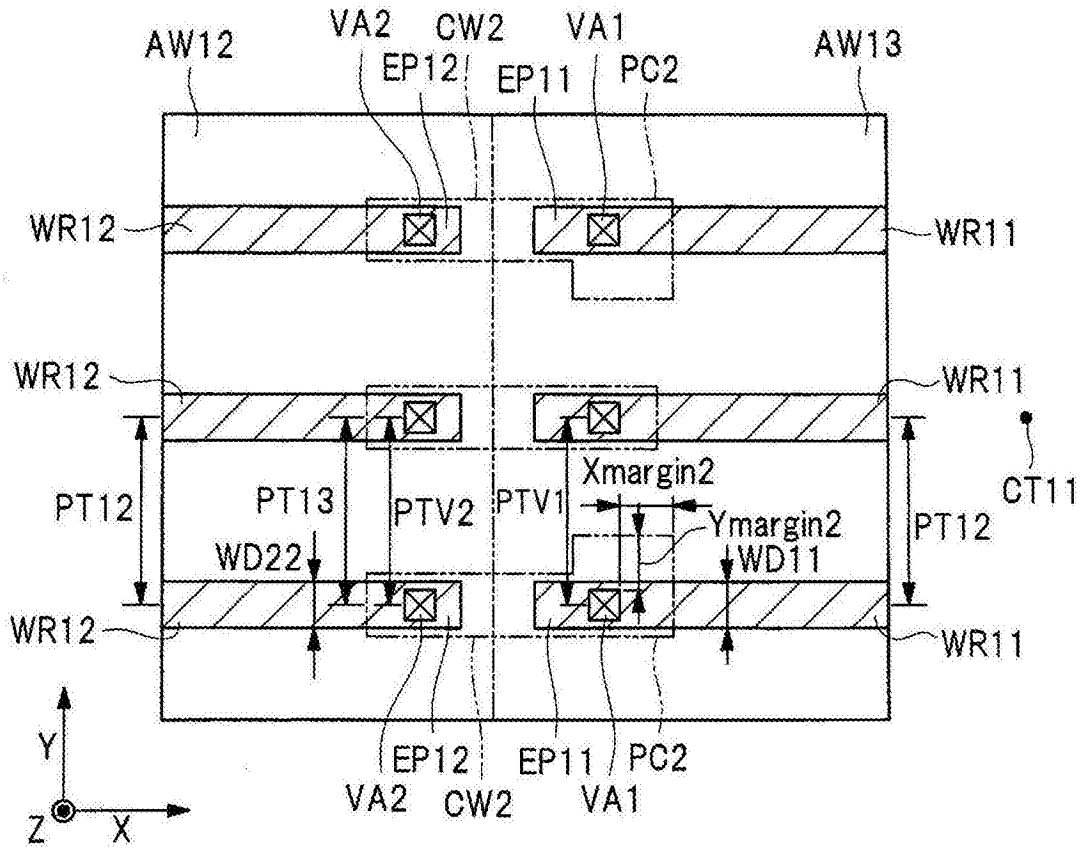


图56

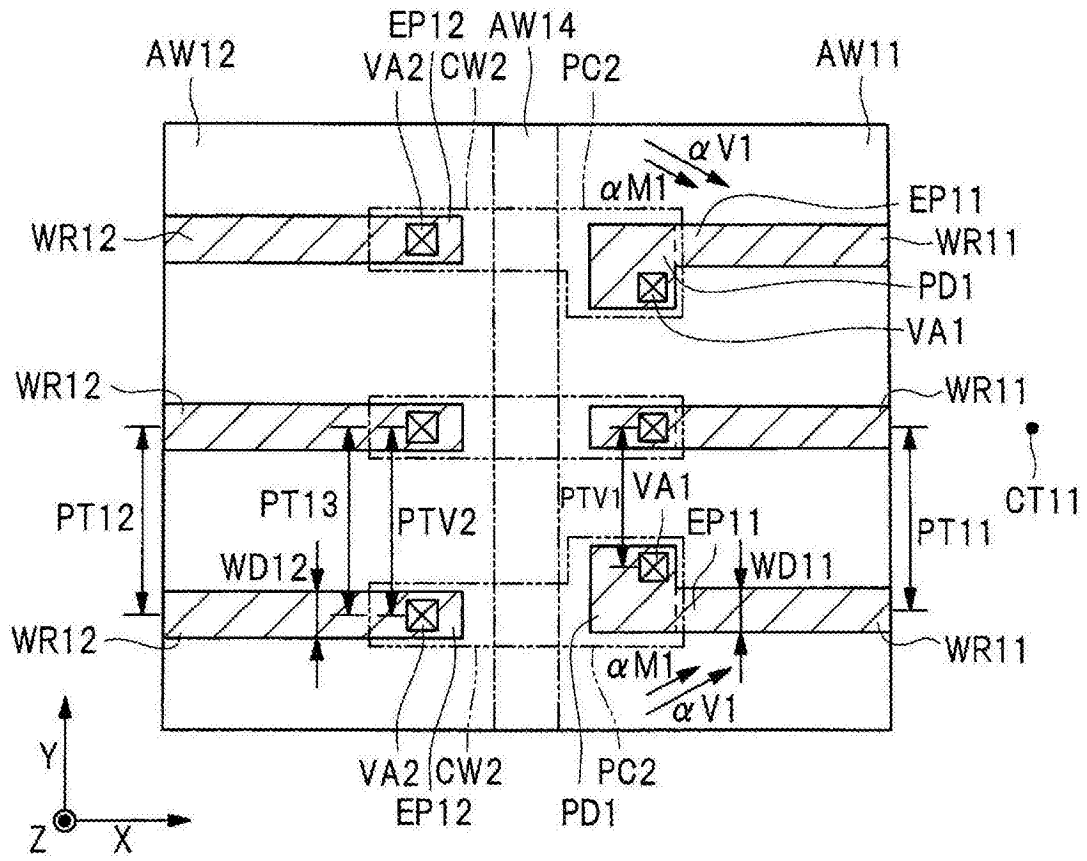


图57

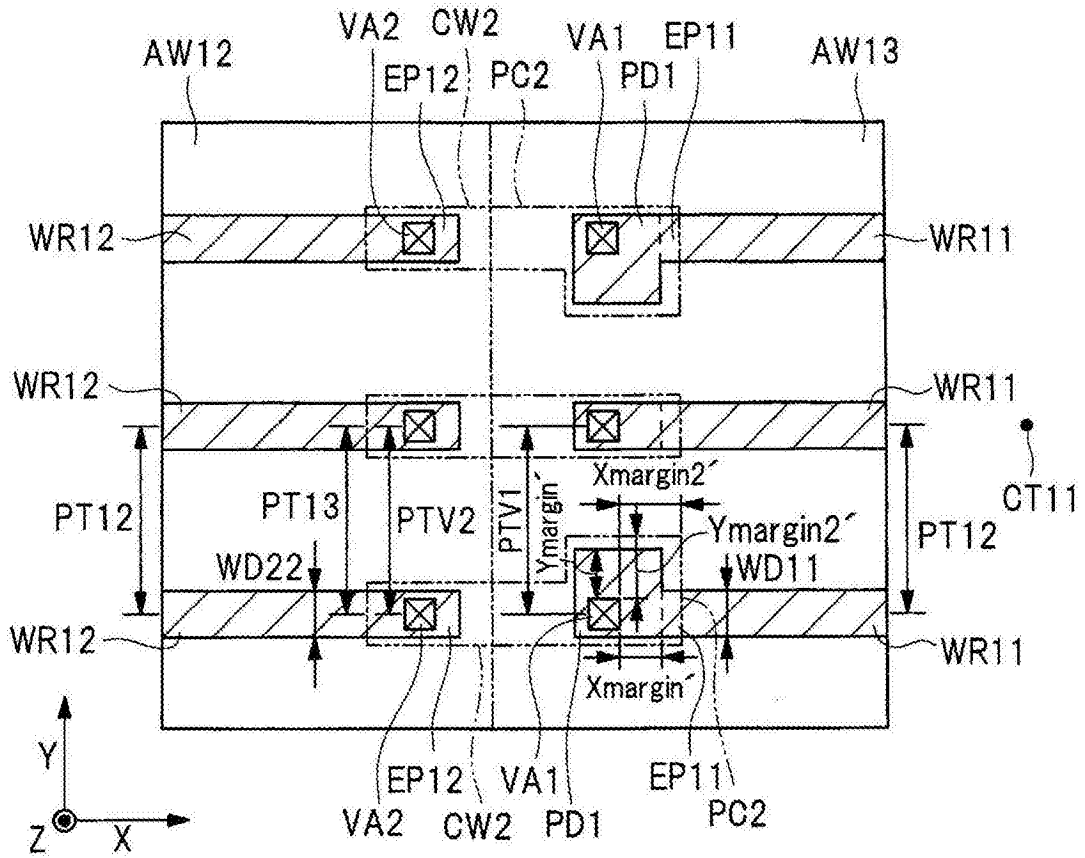


图58

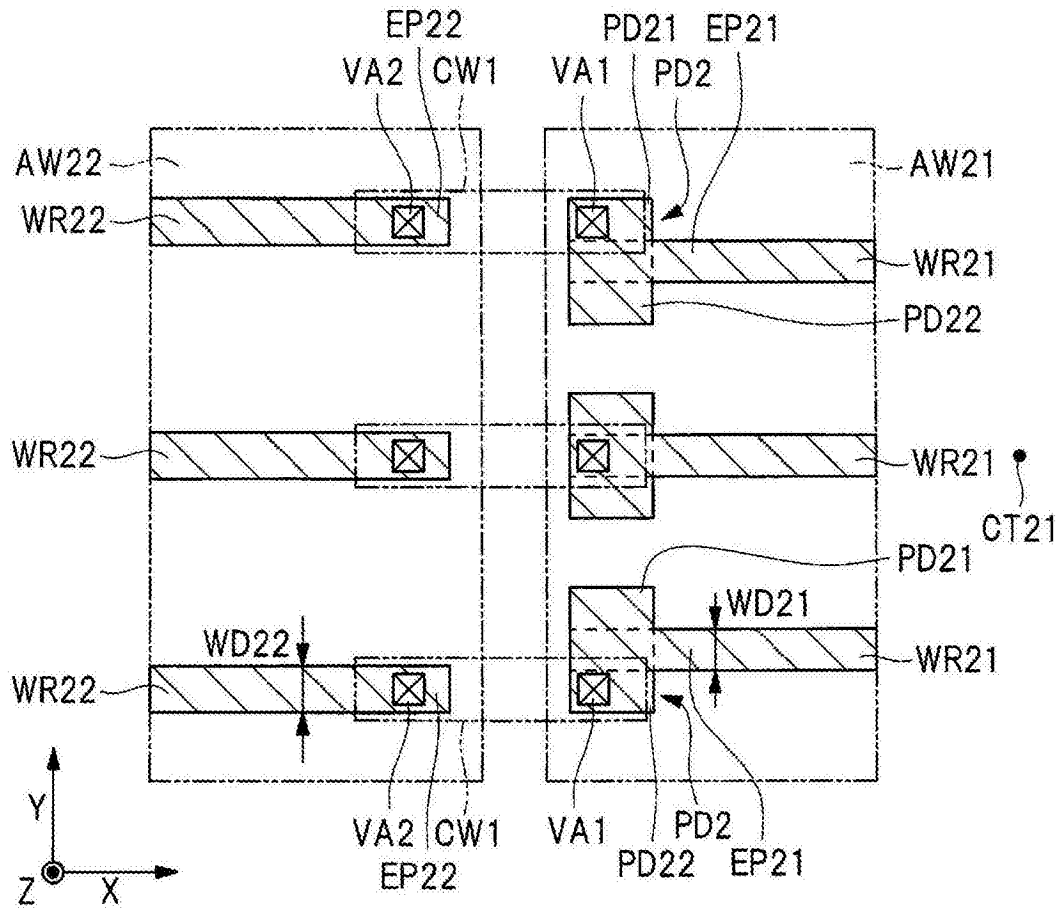


图59

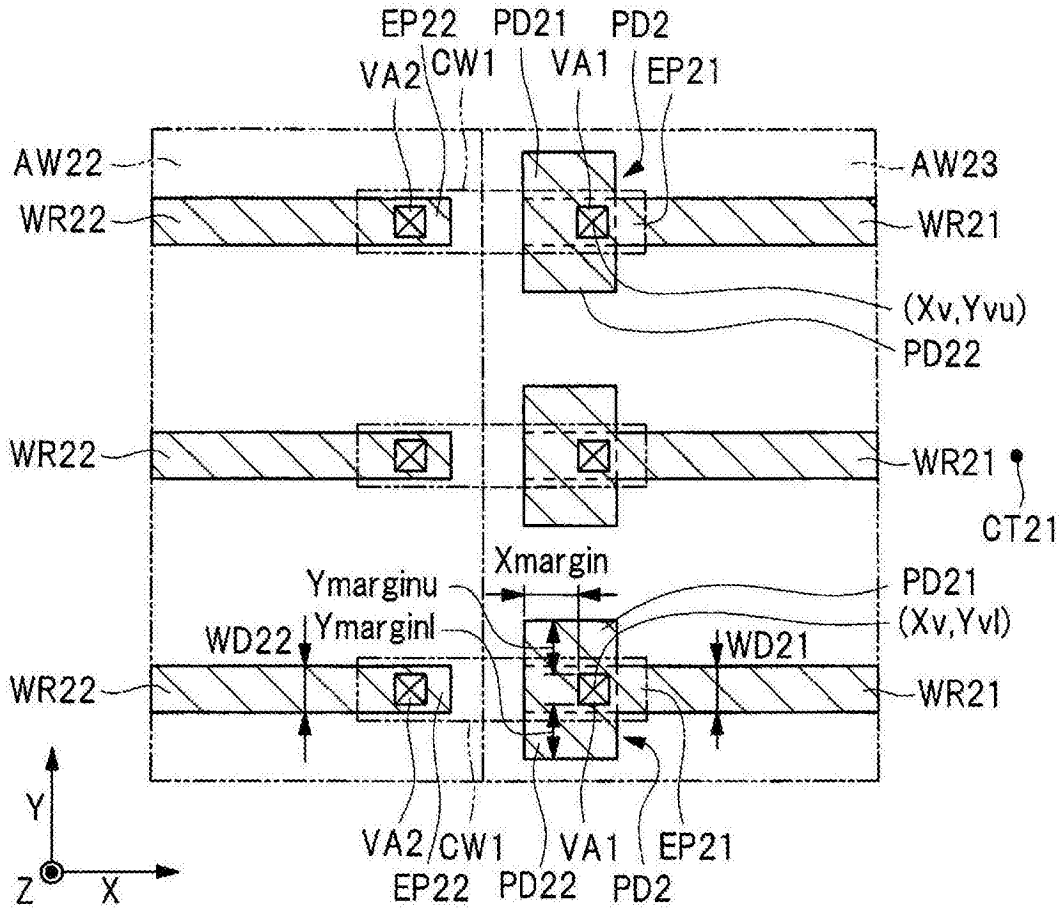


图60

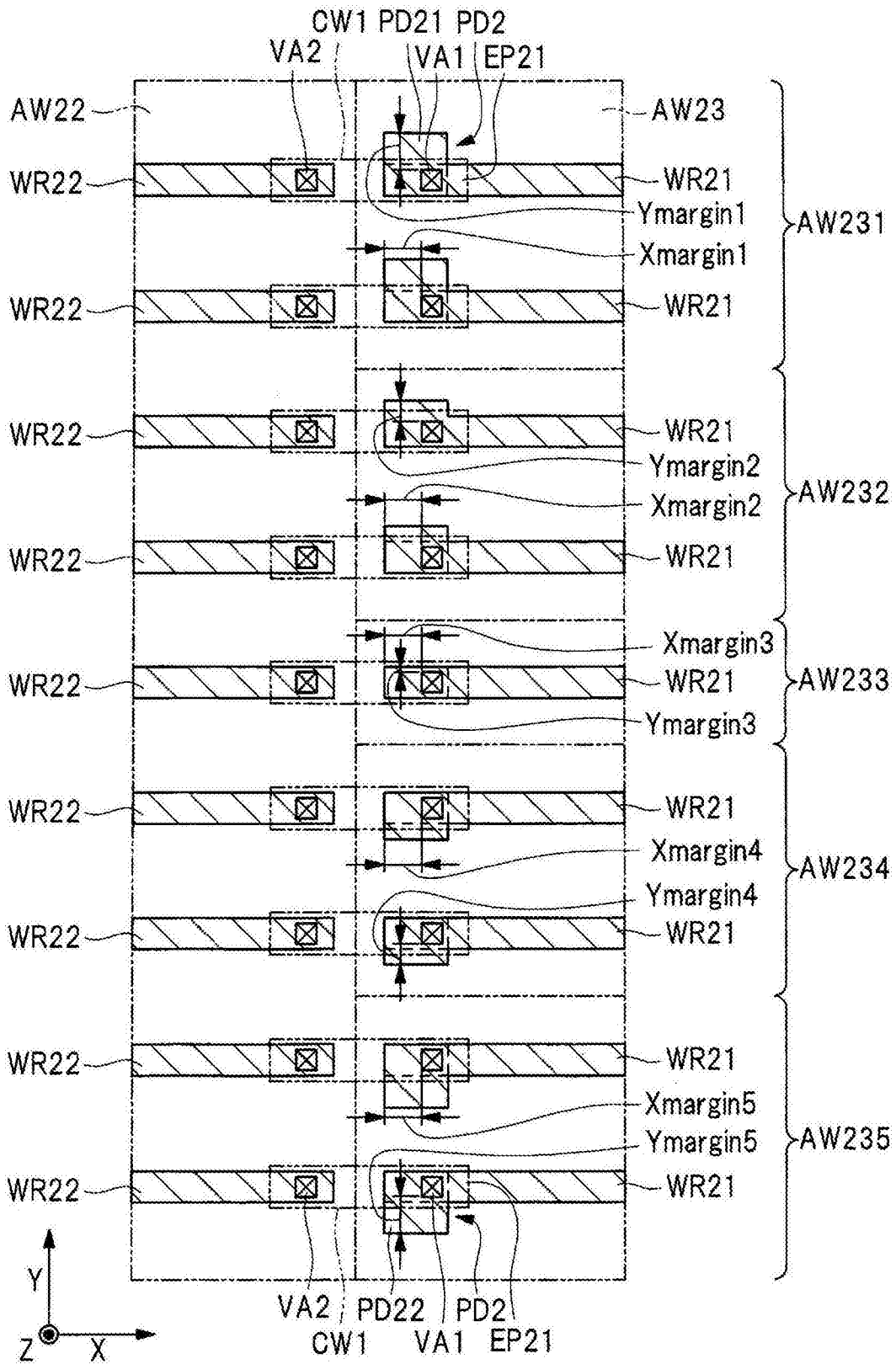


图61

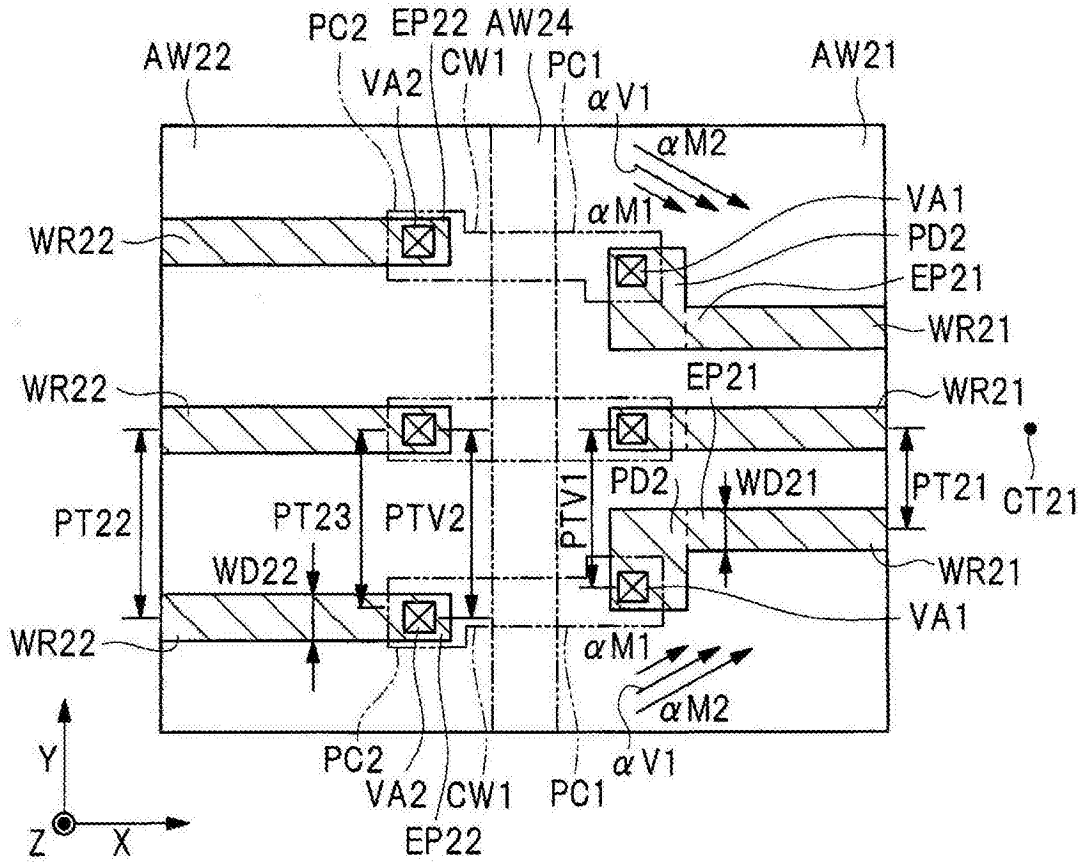


图62

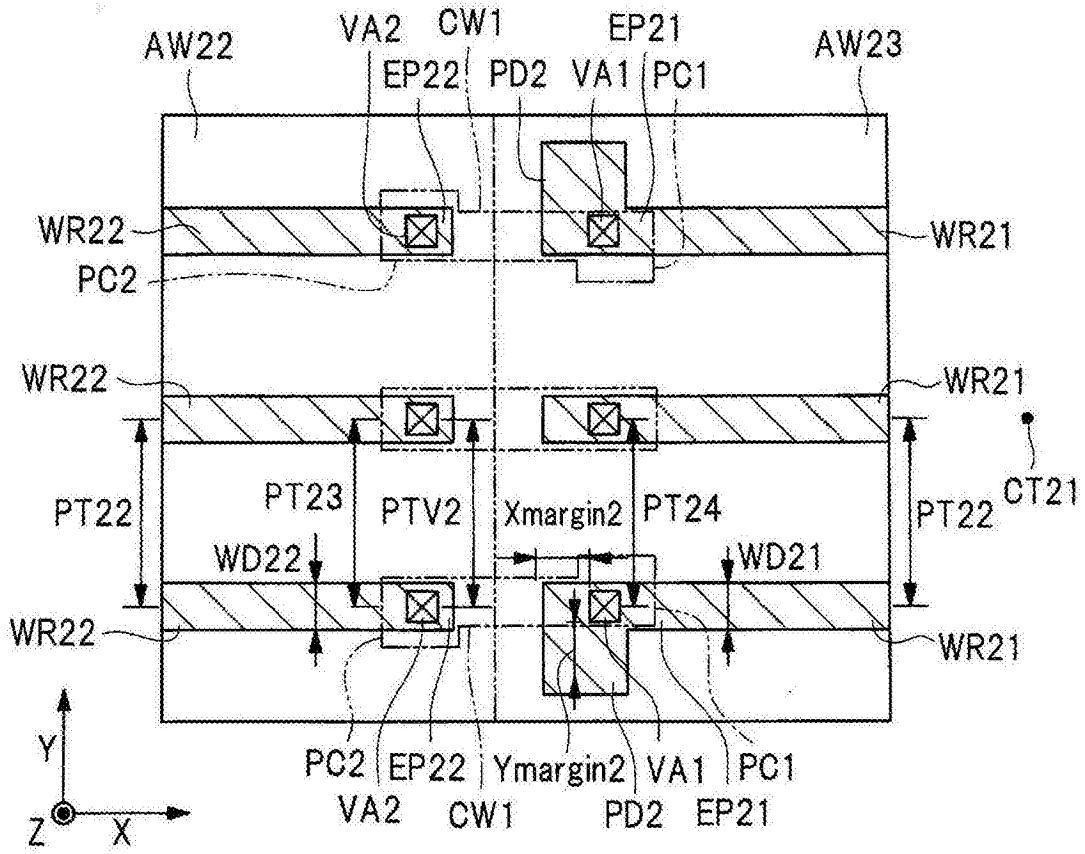


图63