

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4235918号
(P4235918)

(45) 発行日 平成21年3月11日(2009.3.11)

(24) 登録日 平成20年12月26日(2008.12.26)

(51) Int.Cl.			F I		
HO4N	7/01	(2006.01)	HO4N	7/01	G
HO4N	7/26	(2006.01)	HO4N	7/13	Z
GO6T	3/40	(2006.01)	GO6T	3/40	
GO6T	7/00	(2006.01)	GO6T	7/00	

請求項の数 4 (全 25 頁)

(21) 出願番号	特願2006-224155 (P2006-224155)
(22) 出願日	平成18年8月21日(2006.8.21)
(62) 分割の表示	特願平8-264217の分割
原出願日	平成8年10月4日(1996.10.4)
(65) 公開番号	特開2006-340397 (P2006-340397A)
(43) 公開日	平成18年12月14日(2006.12.14)
審査請求日	平成18年8月21日(2006.8.21)

(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(74) 代理人	100082131 弁理士 稲本 義雄
(72) 発明者	中屋 秀雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72) 発明者	近藤 哲二郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内
審査官	菅原 道晴

最終頁に続く

(54) 【発明の名称】 画像処理装置および画像処理方法

(57) 【特許請求の範囲】

【請求項1】

第1の画像の画素値を用いて、前記第1の画像よりも解像度の高い第2の画像の画素値を予測する画像処理装置において、

前記第1の画像から、前記第1の画像の注目画素を中心とした所定の大きさのブロック画像を生成するブロック画像生成手段と、

前記ブロック画像から、前記ブロック画像よりも画素数の少ない、前記ブロック画像を縮小した第1の圧縮画像を生成するとともに、前記ブロック画像から、前記ブロック画像内の周辺部分の画素が取り除かれることによって得られた、前記ブロック画像の中心部分の画像である第2の圧縮画像を生成する生成手段と、

前記第1または第2の圧縮画像のうち、一方の圧縮画像の画素値を用いて、もう一方の圧縮画像の画素値を推定して得られる推定画像を生成する推定画像生成手段と、

前記注目画素に対応する前記一方の圧縮画像の画素を通る所定の方向の直線上にある前記一方の圧縮画像の画素値と、前記注目画素に対応する前記推定画像の画素を通る前記所定の方向の直線上にある前記推定画像の画素値との誤差を、前記ブロック画像の前記所定の方向における自己相似性として算出する算出手段と、

前記算出手段により複数の所定の方向において算出された、前記複数の所定の方向における自己相似性のうち、最も高い自己相似性を有する方向に並んだ前記圧縮画像の画素の画素値パターンに対応するように、前記ブロック画像の属するクラスを決定するクラス決定手段と、

10

20

前記第1の画像の画素値から前記第2の画像の画素値を予測するために、前記注目画素近傍にある前記第1の画像の複数画素の画素値パターンに応じたクラスごとに予め学習により求められた予測係数のうち、前記クラス決定手段により決定されたクラスに対応する予測係数と、前記第1の画像の前記注目画素周辺の画素の画素値との線形結合により、前記第2の画像の、空間方向において前記注目画素と同一位置に配置される画素周辺の画素の画素値の予測値を求める処理を行う処理手段と

を備えることを特徴とする画像処理装置。

【請求項2】

前記推定画像生成手段は、前記第1の圧縮画像を構成する画素の画素値を、前記第2の圧縮画像を構成する画素を用いて外挿を行うことにより前記推定画像を生成することを特徴とする請求項1に記載の画像処理装置。

10

【請求項3】

前記推定画像生成手段は、前記第2の圧縮画像を構成する画素の画素値を、前記第1の圧縮画像を構成する画素を用いて内挿を行うことにより前記推定画像を生成することを特徴とする請求項1の画像処理装置。

【請求項4】

第1の画像の画素値を用いて、前記第1の画像よりも解像度の高い第2の画像の画素値を予測する画像処理方法において、

前記第1の画像から、前記第1の画像の注目画素を中心とした所定の大きさのブロック画像を生成するブロック画像生成ステップと、

20

前記ブロック画像から、前記ブロック画像よりも画素数の少ない、前記ブロック画像を縮小した第1の圧縮画像を生成するとともに、前記ブロック画像から、前記ブロック画像内の周辺部分の画素が取り除かれることによって得られた、前記ブロック画像の中心部分の画像である第2の圧縮画像を生成する生成ステップと、

前記第1または第2の圧縮画像のうち、一方の圧縮画像の画素値を用いて、もう一方の圧縮画像の画素値を推定して得られる推定画像を生成する推定画像生成ステップと、

前記注目画素に対応する前記一方の圧縮画像の画素を通る所定の方向の直線上にある前記一方の圧縮画像の画素値と、前記注目画素に対応する前記推定画像の画素を通る前記所定の方向の直線上にある前記推定画像の画素値との誤差を、前記ブロック画像の前記所定の方向における自己相似性として算出する算出ステップと、

30

前記算出ステップの処理で複数の所定の方向において算出された、前記複数の所定の方向における自己相似性のうち、最も高い自己相似性を有する方向に並んだ前記圧縮画像の画素の画素値パターンに対応するように、前記ブロック画像の属するクラスを決定するクラス決定ステップと、

前記第1の画像の画素値から前記第2の画像の画素値を予測するために、前記注目画素近傍にある前記第1の画像の複数画素の画素値パターンに応じたクラスごとに予め学習により求められた予測係数のうち、前記クラス決定ステップの処理で決定されたクラスに対応する予測係数と、前記第1の画像の前記注目画素周辺の画素の画素値との線形結合により、前記第2の画像の、空間方向において前記注目画素と同一位置に配置される画素周辺の画素の画素値の予測値を求める処理を行う処理ステップと

40

を含むことを特徴とする画像処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像処理装置および画像処理方法に関し、特に、画像を、その性質に応じて、幾つかのクラスに分類し、各クラスに対応した処理を施す画像処理装置および画像処理方法に関する。

【背景技術】

50

【0002】

例えば、標準解像度または低解像度の画像（以下、適宜、SD画像という）を、高解像度の画像（以下、適宜、HD画像という）に変換するなどの画像処理を行う方法として、SD画像を構成するブロックを、その性質に応じて所定のクラスに分類（クラス分類）し、そのクラスに対応した画像処理を施すものがある。

【0003】

即ち、例えば、いま、図14(A)に示すように、ある注目画素と、それに隣接する3つの画素により、 2×2 画素でなるブロックを構成し、また、各画素は、1ビットで表現される（0または1のうちのいずれかのレベルをとる）ものとする。この場合、 2×2 の4画素のブロックは、各画素のレベル分布により、図14(B)に示すように、16（= $(2^1)^4$ ）パターンに分類することができる。このようなパターン分けがクラス分類であり、このようにクラスに分けることで、各クラスごとに適した、即ち、画像の性質に適した画像処理を施すことが可能となる。

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、画像の性質（特徴）は、画素のレベル分布だけによって表されるものではなく、従って、その他の特徴量を用いて、クラス分類することによって、画像に対して、より適切な処理を施すことが可能になると考えられる。

【0005】

本発明は、このような状況に鑑みてなされたものであり、画像を、その性質に応じて、より適切に処理することができるようにするものである。

20

【課題を解決するための手段】

【0006】

本発明の一側面の画像処理装置は、第1の画像の画素値を用いて、前記第1の画像よりも解像度の高い第2の画像の画素値を予測する画像処理装置において、前記第1の画像から、前記第1の画像の注目画素を中心とした所定の大きさのブロック画像を生成するブロック画像生成手段と、前記ブロック画像から、前記ブロック画像よりも画素数の少ない、前記ブロック画像を縮小した第1の圧縮画像を生成するとともに、前記ブロック画像から、前記ブロック画像内の周辺部分の画素が取り除かれることによって得られた、前記ブロック画像の中心部分の画像である第2の圧縮画像を生成する生成手段と、前記第1または第2の圧縮画像のうち、一方の圧縮画像の画素値を用いて、もう一方の圧縮画像の画素値を推定して得られる推定画像を生成する推定画像生成手段と、前記注目画素に対応する前記一方の圧縮画像の画素を通る所定の方向の直線上にある前記一方の圧縮画像の画素値と、前記注目画素に対応する前記推定画像の画素を通る前記所定の方向の直線上にある前記推定画像の画素値との誤差を、前記ブロック画像の前記所定の方向における自己相似性として算出する算出手段と、前記算出手段により複数の所定の方向において算出された、前記複数の所定の方向における自己相似性のうち、最も高い自己相似性を有する方向に並んだ前記圧縮画像の画素の画素値パターンに対応するように、前記ブロック画像の属するクラスを決定するクラス決定手段と、前記第1の画像の画素値から前記第2の画像の画素値を予測するために、前記注目画素近傍にある前記第1の画像の複数画素の画素値パターンに応じたクラスごとに予め学習により求められた予測係数のうち、前記クラス決定手段で決定されたクラスに対応する予測係数と、前記第1の画像の前記注目画素周辺の画素の画素値との線形結合により、前記第2の画像の、空間方向において前記注目画素と同一位置に配置される画素周辺の画素の画素値の予測値を求める処理を行う処理手段とを備える。

30

40

【0007】

前記推定画像生成手段は、前記第1の圧縮画像を構成する画素の画素値を、前記第2の圧縮画像を構成する画素を用いて外挿を行うことにより前記推定画像を生成することができる。

【0008】

50

前記推定画像生成手段は、前記第2の圧縮画像を構成する画素の画素値を、前記第1の圧縮画像を構成する画素を用いて内挿を行うことにより前記推定画像を生成することができる。

【0009】

本発明の一側面の画像処理方法は、第1の画像の画素値を用いて、前記第1の画像よりも解像度の高い第2の画像の画素値を予測する画像処理方法において、前記第1の画像から、前記第1の画像の注目画素を中心とした所定の大きさのブロック画像を生成するブロック画像生成ステップと、前記ブロック画像から、前記ブロック画像よりも画素数の少ない、前記ブロック画像を縮小した第1の圧縮画像を生成するとともに、前記ブロック画像から、前記ブロック画像内の周辺部分の画素が取り除かれることによって得られた、前記ブロック画像の中心部分の画像である第2の圧縮画像を生成する生成ステップと、前記第1または第2の圧縮画像のうち、一方の圧縮画像の画素値を用いて、もう一方の圧縮画像の画素値を推定して得られる推定画像を生成する推定画像生成ステップと、前記注目画素に対応する前記一方の圧縮画像の画素を通る所定の方向の直線上にある前記一方の圧縮画像の画素値と、前記注目画素に対応する前記推定画像の画素を通る前記所定の方向の直線上にある前記推定画像の画素値との誤差を、前記ブロック画像の前記所定の方向における自己相似性として算出する算出ステップと、前記算出ステップの処理で複数の所定の方向において算出された、前記複数の所定の方向における自己相似性のうち、最も高い自己相似性を有する方向に並んだ前記圧縮画像の画素の画素値パターンに対応するように、前記ブロック画像の属するクラスを決定するクラス決定ステップと、前記第1の画像の画素値から前記第2の画像の画素値を予測するために、前記注目画素近傍にある前記第1の画像の複数画素の画素値パターンに応じたクラスごとに予め学習により求められた予測係数のうち、前記クラス決定ステップの処理で決定されたクラスに対応する予測係数と、前記第1の画像の前記注目画素周辺の画素の画素値との線形結合により、前記第2の画像の、空間方向において前記注目画素と同一位置に配置される画素周辺の画素の画素値の予測値を求める処理を行う処理ステップとを含む。

【0010】

本発明の一側面の画像処理装置および画像処理方法においては、前記第1の画像から、前記第1の画像の注目画素を中心とした所定の大きさのブロック画像が生成され、前記ブロック画像から、前記ブロック画像よりも画素数の少ない、前記ブロック画像を縮小した第1の圧縮画像を生成するとともに、前記ブロック画像から、前記ブロック画像内の周辺部分の画素が取り除かれることによって得られた、前記ブロック画像の中心部分の画像である第2の圧縮画像が生成され、前記第1または第2の圧縮画像のうち、一方の圧縮画像の画素値を用いて、もう一方の圧縮画像の画素値を推定して得られる推定画像が生成され、前記注目画素に対応する前記一方の圧縮画像の画素を通る所定の方向の直線上にある前記一方の圧縮画像の画素値と、前記注目画素に対応する前記推定画像の画素を通る前記所定の方向の直線上にある前記推定画像の画素値との誤差が、前記ブロック画像の前記所定の方向における自己相似性として算出され、複数の所定の方向において算出された、前記複数の所定の方向における自己相似性のうち、最も高い自己相似性を有する方向に並んだ前記圧縮画像の画素の画素値パターンに対応するように、前記ブロック画像の属するクラスが決定され、前記第1の画像の画素値から前記第2の画像の画素値を予測するために、前記注目画素近傍にある前記第1の画像の複数画素の画素値パターンに応じたクラスごとに予め学習により求められた予測係数のうち、決定されたクラスに対応する予測係数と、前記第1の画像の前記注目画素周辺の画素の画素値との線形結合により、前記第2の画像の、空間方向において前記注目画素と同一位置に配置される画素周辺の画素の画素値の予測値を求める処理が行われる。

【発明の効果】

【0011】

本発明によれば、画像を、その性質に応じて、より適切に処理することが可能となる。

【発明を実施するための最良の形態】

【 0 0 1 2 】

以下に本発明の実施の形態を説明するが、本発明の構成要件と、明細書又は図面に記載の実施の形態との対応関係を例示すると、例えば次のようになる。この記載は、本発明をサポートする実施の形態が、明細書又は図面に記載されていることを確認するためのものである。したがって、明細書又は図面中には記載されているが、本発明の構成要件に対応する実施の形態として、ここには記載されていない実施の形態があったとしても、そのことは、その実施の形態が、その構成要件に対応するものではないことを意味するものではない。逆に、実施の形態が構成要件に対応するものとしてここに記載されていたとしても、そのことは、その実施の形態が、その構成要件以外の構成要件には対応しないものであることを意味するものでもない。

10

【 0 0 1 3 】

本発明の一側面の画像処理装置は、

第1の画像の画素値を用いて、前記第1の画像よりも解像度の高い第2の画像の画素値を予測する画像処理装置において、

前記第1の画像から、前記第1の画像の注目画素を中心とした所定の大きさのブロック画像を生成するブロック画像生成手段（例えば、図1のクラス分類用ブロック化回路1）と

、
前記ブロック画像から、前記ブロック画像よりも画素数の少ない、前記ブロック画像を縮小した第1の圧縮画像を生成するとともに、前記ブロック画像から、前記ブロック画像内の周辺部分の画素が取り除かれることによって得られた、前記ブロック画像の中心部分の画像である第2の圧縮画像を生成する生成手段（例えば、図1の間引き回路2、縮小回路3）と、

20

前記第1または第2の圧縮画像のうち、一方の圧縮画像の画素値を用いて、もう一方の圧縮画像の画素値を推定して得られる推定画像を生成する推定画像生成手段（例えば、図1のクラス分類回路4）と、

前記注目画素に対応する前記一方の圧縮画像の画素を通る所定の方向の直線上にある前記一方の圧縮画像の画素値と、前記注目画素に対応する前記推定画像の画素を通る前記所定の方向の直線上にある前記推定画像の画素値との誤差を、前記ブロック画像の前記所定の方向における自己相似性として算出する算出手段（例えば、図1のクラス分類回路4）と、

30

前記算出手段により複数の所定の方向において算出された、前記複数の所定の方向における自己相似性のうち、最も高い自己相似性を有する方向に並んだ前記圧縮画像の画素の画素値パターンに対応するように、前記ブロック画像の属するクラスを決定するクラス決定手段（例えば、図1のクラス分類回路4）と、

前記第1の画像の画素値から前記第2の画像の画素値を予測するために、前記注目画素近傍にある前記第1の画像の複数画素の画素値パターンに応じたクラスごとに予め学習により求められた予測係数のうち、前記クラス決定手段により決定されたクラスに対応する予測係数と、前記第1の画像の前記注目画素周辺の画素の画素値との線形結合により、前記第2の画像の、空間方向において前記注目画素と同一位置に配置される画素周辺の画素の画素値の予測値を求める処理を行う処理手段（例えば、図1の予測回路6）と

40

を備えることを特徴とする。

【 0 0 1 4 】

図1は、本発明を適用した画像変換装置の一実施の形態の構成を示している。なお、この画像変換装置は、SD画像をHD画像に変換するようになされている。即ち、例えば、いま、図2において・印で示す部分を、HD画像を構成する画素（以下、適宜、HD画素という）とするとともに、同図において 印で示す部分を、SD画像を構成する画素（以下、適宜、SD画素という）とするとき、図1の画像変換装置は、同図に 印で示すSD画像を、同図に・印で示すHD画像に変換するようになされている。

【 0 0 1 5 】

例えば、地上回線や、衛星回線、CATV（Cable Television）網などの伝送路を介し

50

て伝送され、または、例えば、光ディスクや、光磁気ディスク、磁気テープなどの記録媒体から再生されたSD画像の画像信号は、クラス分類用ブロック化回路1および予測値計算用ブロック化回路5に供給される。

【0016】

クラス分類用ブロック化回路1は、そこに供給されるSD画像から、所定の注目画素を含むクラス分類用ブロックを構成する。即ち、クラス分類用ブロック化回路1は、例えば、図2において実線で囲んで示すような、注目画素を中心とする5×5(横×縦)のSD画素で構成されるクラス分類用ブロックを構成する。

【0017】

ここで、クラス分類用ブロックを構成する5×5のSD画素(図2において印で示す部分)を、以下、適宜、次のように表記する。即ち、クラス分類用ブロックの中の左からi番目の、上からj番目に位置するSD画素を、 B_{ij} と表記する。従って、図2の実施の形態では、クラス分類用ブロックは、SD画素 B_{33} を注目画素として構成されることになる。また、クラス分類用ブロックを構成するSD画素から生成されるHD画素(図2において・印で示す部分)を、以下、適宜、SD画素と同様に、 A_{ij} と表記する。

【0018】

クラス分類用ブロック化回路1は、クラス分類用ブロックを構成すると、それを、間引き回路2および縮小回路3に出力する。

【0019】

間引き回路2は、クラス分類用ブロックを受信すると、そのクラス分類用ブロックを構成するSD画素を、例えば、間引くことなどにより、その画素数を少なくし、これにより、間引きブロックを構成する。即ち、間引き回路2は、クラス分類用ブロックを、例えば、水平方向および垂直方向とも1/2に間引くことにより、間引きブロック(圧縮画像)を構成する。この間引きブロックは、クラス分類回路4に供給される。

【0020】

ここで、間引き回路2による間引き処理の結果残った、クラス分類用ブロック内の画素(図2において、点線の印で示す部分)、即ち、間引きブロックを構成する画素を、以下、適宜、間引きSD画素といい、また、この間引きSD画素を、SD画素およびHD画素と同様に、 C_{ij} と表記する。

【0021】

一方、縮小回路3では、クラス分類用ブロックを、注目画素を中心として縮小した縮小ブロックが構成される。即ち、縮小回路3では、5×5画素のクラス分類用ブロックから、その周辺の画素が取り除かれ、例えば、注目画素 B_{33} を中心とする3×3画素でなる縮小ブロック(圧縮画像)が構成される。この縮小ブロックも、間引きブロックと同様に、クラス分類回路4に供給される。

【0022】

ここで、間引きブロックおよび縮小ブロックは、いずれもクラス分類用ブロックの画素数を少なくすることにより生成されるものであり、また、画素数を少なくすることは、情報量が減少するので、この意味で、間引きブロックおよび縮小ブロックは圧縮画像といえることができる。

【0023】

クラス分類回路4は、間引きブロックおよび縮小ブロックを受信すると、その2つのブロックを用いてクラス分類を行い、その結果得られるクラスを表すインデックスを、後述する予測値計算用ブロック化回路5が出力する予測値計算用ブロックのクラスに対するものとして、予測回路6に供給する。

【0024】

予測回路6には、また、予測値計算用ブロック化回路5から予測値計算用ブロックが供給される。予測値計算用ブロック化回路5では、例えば、図2において点線の四角形で囲むような、注目画素 B_{33} を中心とする3×3画素の予測値計算用ブロックが構成され、予測回路6に供給される。

10

20

30

40

50

【 0 0 2 5 】

従って、本実施の形態では、予測値計算用ブロックと縮小ブロックとは、同一のSD画素で構成されることとなるが、両者を構成するSD画素は、同一にする必要はない。即ち、縮小ブロックは、上述したように、クラス分類用ブロックを、注目画素を中心として縮小したものであれば良く、予測値計算用ブロックは、その特徴がクラス分類用ブロックに含まれるように構成すれば良い（正確には、予測値計算用ブロックは、どのように構成しても良く、クラス分類用ブロックは、予測値計算用ブロックの特徴が含まれるように構成する必要がある）。

【 0 0 2 6 】

予測回路6は、予測値計算用ブロックと、そのクラスに対応するインデックスを受信すると、後述するような予測係数であって、受信したインデックスに対応するものと、予測値計算用ブロックを構成するSD画素の画素値との線形結合により、HD画素の画素値の予測値を求める適応処理を行う。即ち、予測回路6は、インデックスに対応する予測係数と、予測値計算用ブロックを構成するSD画素 B_{22} 、 B_{23} 、 B_{24} 、 B_{32} 、 B_{33} 、 B_{34} 、 B_{42} 、 B_{43} 、 B_{44} とから、例えば、注目画素 B_{33} を中心とする 3×3 の範囲のHD画素 A_{43} 、 A_{44} 、 A_{45} 、 A_{53} 、 A_{54} 、 A_{55} 、 A_{63} 、 A_{64} 、 A_{65} の予測値を求める。

【 0 0 2 7 】

予測回路6では、以下同様の処理が、画素 B_{33} 以外のSD画素も、順次、注目画素として行われ、HD画像を構成するすべてのHD画素の予測値が求められると、その予測値はモニターに供給される。モニターは、例えば、D/A変換器を内蔵しており、予測回路6からのデジタル信号としての画素値をD/A変換し、そのD/A変換の結果得られる画像を表示する。

【 0 0 2 8 】

次に、図3は、図1のクラス分類回路4の構成例を示している。

【 0 0 2 9 】

間引き回路2からの間引きブロックは、第1クラス生成回路11に供給され、縮小回路3からの縮小ブロック（上述したように、ここでは、図2に点線の四角で囲んだ予測値計算用ブロックと同一）は、第1クラス生成回路11および第2クラス生成回路12の両方に供給される。

【 0 0 3 0 】

第1クラス生成回路11では、縮小ブロックと、間引きブロックとに基づいて、クラス分類用ブロックの自己相似性（縮小ブロックと間引きブロックとの間の相似性）が算出され、その自己相似性に基づいて、予測値計算用ブロックをクラス分類するための第1クラス情報が出力される。

【 0 0 3 1 】

この自己相似性に基づいて得られた第1クラス情報は、第2クラス生成回路12および最終クラス決定回路13に供給される。

【 0 0 3 2 】

第2クラス生成回路12は、第1クラス情報生成回路11からの第1クラス情報に基づいて、自己相似性が最も高い方向を認識する。さらに、第2クラス生成回路12は、縮小ブロックを構成する画素のうち、自己相似性が最も高い方向に並んだものの画素値のパターンを検出し、そのパターンに対応する第2クラス情報を、最終クラス決定回路13に出力する。最終クラス決定回路13では、第1クラス生成回路11または第2クラス生成回路12それぞれからの第1クラス情報または第2クラス情報に基づいて、予測値計算用ブロックがクラス分類され、そのクラスに対応するインデックスが、予測回路6（図1）に出力される。

【 0 0 3 3 】

次に、図4は、図3の第1クラス生成回路11の構成例を示している。

【 0 0 3 4 】

間引きブロックおよび縮小ブロックは、相似性算出部 2_{11} 乃至 2_{14} に供給される。相

10

20

30

40

50

似性算出部 2 1₁は、画素抽出部 2 6 B および 2 6 C、並びにノルム計算部 2 7 から構成されており、縮小ブロックまたは間引きブロックは、画素抽出部 2 6 B または 2 6 C にそれぞれ供給される。

【 0 0 3 5 】

画素抽出部 2 6 B は、縮小ブロックを構成する S D 画素 (図 2) B_{22} , B_{23} , B_{24} , B_{32} , B_{33} , B_{34} , B_{42} , B_{43} , B_{44} のうちの、注目画素 B_{33} を通る所定の方向の直線上にあるものを抽出する。即ち、画素抽出部 2 6 B は、注目画素 B_{33} を通る、例えば、垂直方向の直線上にある S D 画素 B_{23} , B_{33} , B_{43} を抽出する。この抽出された S D 画素 B_{23} , B_{33} , B_{43} は、ノルム計算部 2 7 に出力される。

【 0 0 3 6 】

一方、画素抽出部 2 6 C は、間引きブロックを構成する間引き S D 画素 (図 2) C_{11} , C_{12} , C_{13} , C_{21} , C_{22} , C_{23} , C_{31} , C_{32} , C_{33} のうちの、注目画素 B_{33} に対応する間引き S D 画素 C_{22} を通る、画素抽出部 2 6 B における場合と同一方向の直線上にあるものを抽出する。従って、この場合、画素抽出部 2 6 B では、間引き S D 画素 C_{12} , C_{22} , C_{32} が抽出される。この抽出された間引き S D 画素 C_{12} , C_{22} , C_{32} は、やはり、ノルム計算部 2 7 に出力される。

【 0 0 3 7 】

ノルム計算部 2 7 は、画素抽出部 2 6 B または 2 6 C それぞれの出力を成分とするベクトルどうしのノルムを計算し、その計算結果を、上述の垂直方向における自己相似性として、最大相似性方向判定部 2 2 に出力する。

【 0 0 3 8 】

相似性算出部 2 1₂ 乃至 2 2₄ においても、相似性算出部 2 1₁ における場合と同様にし、注目画素を通る、その他の方向の直線上にある画素を用いてベクトルのノルムが計算され、その方向における自己相似性として、最大相似性方向判定部 2 2 に出力される。即ち、相似性算出部 2 1₂ 乃至 2 2₄ では、例えば、水平方向、左斜め上方向 (右斜め下方向)、または右斜め上方向 (左斜め下方向) それぞれにおける自己相似性が求められ、最大相似性方向判定部 2 2 に出力される。

【 0 0 3 9 】

最大相似性方向判定部 2 2 は、相似性算出部 2 1₁ 乃至 2 1₄ の出力に基づいて、自己相似性の最も高い方向が判定される。即ち、いまの場合、自己相似性は、ベクトルのノルムで与えられているから、最大相似性方向判定部 2 2 は、その値の最も小さいものを検出し、そのノルムが得られた方向を、自己相似性の最も高い方向として判定する。最大相似性方向判定部 2 2 は、このようにして自己相似性の最も高い方向を得ると、その方向に対応する、例えば、2 ビットのコードなどを第 1 クラス情報として出力する。即ち、最大相似性方向判定部 2 2 は、最も自己相似性の高い方向が、水平方向、垂直方向、左斜め上方向、または右斜め上方向である場合、第 1 クラス情報として、例えば、「 0 0 」、「 0 1 」、「 1 0 」、または「 1 1 」などをそれぞれ出力する。

【 0 0 4 0 】

なお、上述の場合においては、各方向の自己相似性の評価量として、画素値を成分とするベクトルのノルムを用いるようにしたが、その他の値を自己相似性 (以下、適宜、単に相似性ともいう) の評価量として用いることも可能である。

【 0 0 4 1 】

即ち、例えば、縮小ブロックを構成する S D 画素 B_{22} , B_{23} , B_{24} , B_{32} , B_{33} , B_{34} , B_{42} , B_{43} , B_{44} から、その縮小ブロック内に存在しない、間引きブロックの間引き S D 画素 C_{11} , C_{12} , C_{13} , C_{21} , C_{23} , C_{31} , C_{32} , C_{33} を外挿により求め、その外挿結果と、真の間引き S D 画素 C_{11} , C_{12} , C_{13} , C_{21} , C_{23} , C_{31} , C_{32} , C_{33} の画素値との誤差を算出する。そして、この誤差を相似性の評価量とし、誤差の最も少ない方向を、最も高い相似性の方向とすることができる。

【 0 0 4 2 】

また、例えば、間引きブロックを構成する間引き S D 画素 (図 2) C_{11} , C_{12} , C_{13} ,

10

20

30

40

50

$C_{21}, C_{22}, C_{23}, C_{31}, C_{32}, C_{33}$ から、その間引きブロック内に存在しない、縮小ブロックの S C 画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{34}, B_{42}, B_{43}, B_{44}$ を内挿により求め、その内挿結果と、真の S D 画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{34}, B_{42}, B_{43}, B_{44}$ の画素値との誤差を算出する。そして、この誤差を相似性の評価量とし、誤差の最も少ない方向を、最も高い相似性の方向とすることなどもできる。

【 0 0 4 3 】

次に、図 5 は、図 3 の第 2 クラス生成回路 1 2 の構成例を示している。

【 0 0 4 4 】

縮小回路 3 からの縮小ブロックおよび第 1 クラス生成回路 1 1 からの第 1 クラス情報は、最大相似方向画素抽出部 3 1 に供給される。最大相似方向画素抽出部 3 1 では、第 1 クラス情報に基づいて、相似性が最大の方向が認識され、縮小ブロックから、注目画素 B_{33} を通る、その方向の直線上に並んでいる S D 画素（以下、適宜、最大相似性画素という）（本実施の形態では、縮小ブロックを構成する S D 画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{33}, B_{34}, B_{42}, B_{43}, B_{44}$ の中の、水平方向、垂直方向、左斜め上方向、または右斜め上方向のうちいずれかの方向に並ぶ 3 画素）が抽出される。この 3 つの最大相似性画素は、A D R C 処理部 3 2 を介して、パターン分類部 3 3 に供給される。パターン分類部 3 3 では、A D R C 処理部 3 2 を介して供給される 3 つの最大相似性画素の画素値のパターンが検出され、そのパターンに対応する第 2 クラス情報が出力される。

【 0 0 4 5 】

ここで、通常、各画素には、その画素値を表現するために、例えば 8 ビット程度が割り当てられる。また、本実施の形態においては、上述したように、最大相似性画素は 3 画素得られる。従って、8 ビットでそれぞれ表される 3 画素を対象に、その画素値のパターン分けを行ったのでは、 $(2^8)^3$ という膨大な数のパターンが生じることになる。従って、クラス数も膨大となり、そのような膨大な数のクラスに対応して処理を行うのでは、処理が繁雑となる。

【 0 0 4 6 】

そこで、本実施の形態においては、A D R C 処理部 3 2 において、3 つの最大相似性画素に対して、A D R C (Adaptive Dynamic Range Coding) 処理が施されるようになされており、これにより、最大相似性画素のビット数を少なくすることで、その画素値のパターンの数を低減するようになされている。

【 0 0 4 7 】

即ち、A D R C 処理では、図 6 (A) に示すように、ある直線上に並んだ 3 つの最大相似性画素の中から、その画素値の最大値 M A X と最小値 M I N が検出される。そして、 $D R = M A X - M I N$ を、最大相似性画素の局所的なダイナミックレンジとし、このダイナミックレンジ D R に基づいて、3 つの最大相似性画素それぞれの画素値が K ビットに再量子化される。

【 0 0 4 8 】

具体的には、3 つの最大相似性画素の各画素値から、最小値 M I N を減算し、その減算値を $D R / 2^K$ で除算する。そして、その結果得られる除算値に対応するコード (A D R C コード) に変換される。即ち、例えば、 $K = 2$ とした場合、図 6 (B) に示すように、除算値が、ダイナミックレンジ D R を 4 ($= 2^2$) 等分して得られるいずれの範囲に属するかが判定され、除算値が、最も下のレベルの範囲、下から 2 番目のレベルの範囲、下から 3 番目のレベルの範囲、または最も上のレベルの範囲に属する場合には、それぞれ、例えば、0 0 B, 0 1 B, 1 0 B、または 1 1 B などの 2 ビットにコード化される (B は 2 進数であることを表す)。

【 0 0 4 9 】

なお、画素値を元に復号する場合においては、A D R C コード 0 0 B, 0 1 B, 1 0 B、または 1 1 B は、ダイナミックレンジ D R を 4 等分して得られる最も下のレベルの範囲の中心値 L_{00} 、下から 2 番目のレベルの範囲の中心値 L_{01} 、下から 3 番目のレベルの範囲の中心値 L_{10} 、または最も上のレベルの範囲の中心値 L_{11} に変換され、その値に、最小値

10

20

30

40

50

MINが加算される。

【0050】

ここで、以上のようなADRC処理については、本件出願人が先に出願した、例えば、特開平3-53778号公報などに、その詳細が開示されている。

【0051】

SD画素に割り当てられているビット数より少ないビット数で再量子化を行うADRC処理を施すことにより、上述したように、パターン数を低減することができ、このようなADRC処理が、ADRC処理部32において行われるようになされている。

【0052】

即ち、最大相似方向画素抽出部31が出力する3つの最大相似性画素は、ADRC処理部32の最大値検出部41、最小値検出部42、および遅延部43に供給される。最大値検出部41または最小値検出部42では、3つの最大相似性画素から、その画素値の最大値MAXまたは最小値MINがそれぞれ検出され、いずれも演算器44に供給される。演算器44では、最大値MAXと最小値MINとの差分、即ち、ダイナミックレンジDR(=MAX-MIN)が演算され、ADRCコード決定部45に供給される。また、最小値検出部42が出力する最小値MINは、ADRCコード決定部45にも供給される。

10

【0053】

一方、遅延部43では、最大相似性画素が、最大値検出部41(または最小値検出部42)と演算器45における処理に要する時間だけ遅延され、ADRCコード決定部45に供給される。ADRCコード決定部45では、3つの最大相似性画素の画素値それぞれから最小値MINが減算され、それぞれの減算値が、ダイナミックレンジDRに基づいて、例えば1ビットに再量子化される。そして、その結果得られる3つの最大相似性画素それぞれについての1ビットのADRCコード、即ち、合計で3ビットのADRCコードが、第2クラス情報として出力される。

20

【0054】

次に、図7は、図3の最終クラス決定回路13の構成例を示すブロック図である。

【0055】

第1クラス情報および第2クラス情報は、ROM51のアドレス端子ADに供給されるようになされている。ROM51は、例えば、第1クラス情報および第2クラス情報の両方で示されるアドレスに、第1クラス情報を上位ビットとし、第2クラス情報を下位ビットとする値を記憶している。そして、ROM51は、第1クラス情報および第2クラス情報が、そのアドレス端子ADに与えられると、その第1クラス情報および第2クラス情報の両方で示されるアドレスの記憶値を読み出し、その記憶値を、予測値計算用ブロック化回路5のクラスを示すインデックスとして出力する。従って、この場合、2ビットの第1クラス情報の後に3ビットの第2クラス情報を付加した5ビットのデータが、インデックスとして出力される。

30

【0056】

以上のように、画素値のレベルのパターンだけでなく、画像の自己相似性にも対応してクラス分類を行うようにしたので、画像を、その性質に応じて、より適切に処理することが可能となる。

40

【0057】

なお、インデックスは、上述の5ビットに、処理の単位がフレームか、またはフィールドかを示す1ビットを加え、合計6ビットとすることも可能である。

【0058】

また、ROM51には、異なるアドレスの幾つかに、同一のインデックスを記憶させておくようにし、これにより、インデックスのビット数を少なくすることが可能である。即ち、2ビットの第1クラス情報および3ビットの第2クラス情報によれば、5ビット、つまり、 $32 (= 2^5)$ とおりにクラス分けが行われるが、そのような32のクラスの中には、予測回路6において、同一の予測係数を用いて画素値の予測値を求めても問題ないものがある場合がある。そこで、このように同一の予測係数を用いることが可能

50

な複数のクラスは、1つのクラスとして扱うこととし、このようにすることでクラス数を減らすことができる。

【0059】

さらに、上述の場合には、図5のパターン分類部33において、ADRCコードに基づいて、パターン分類を行うようにしたが、パターン分類は、その他、例えば、DPCM（予測符号化）や、BTC（Block Truncation Coding）、VQ（ベクトル量子化）、DCT（離散コサイン変換）、アダマール変換などを施したデータを対象に行うようにすることも可能である。

【0060】

次に、図8は、図1の予測回路6の構成例を示している。

10

【0061】

係数ROM（Read Only Memory）61は、あらかじめ学習（後述する）により求められたクラスごとの予測係数を記憶しており、クラス分類回路4が出力するインデックスを受信し、そのインデックスに対応するアドレスに記憶されている予測係数、即ち、予測値計算用ブロック化回路5が出力する予測値計算用ブロックのクラスに対応する予測係数を読み出して、積和演算器62に出力する。

【0062】

積和演算器62には、予測係数の他、予測値計算用ブロック化回路5から予測値計算用ブロックが供給されるようになされており、積和演算器62は、その予測値計算用ブロックと、そのクラスに対応する予測係数とを用いて、後述する式(1)（具体的には、例えば、式(8)）に示す線形1次式を計算し（積和演算を行い）、これにより、HD画素の画素値の予測値を算出する適応処理を行う。即ち、例えば、上述の図2に示したように、予測値計算用ブロックを構成するSD画素 B_{22} 、 B_{23} 、 B_{24} 、 B_{32} 、 B_{33} 、 B_{34} 、 B_{42} 、 B_{43} 、 B_{44} と予測係数との線形一次結合により、注目画素 B_{33} を中心とする 3×3 の範囲のHD画素 A_{43} 、 A_{44} 、 A_{45} 、 A_{53} 、 A_{54} 、 A_{55} 、 A_{63} 、 A_{64} 、 A_{65} の予測値が求められる。積和演算器62において求められたHD画素の予測値は、リミッタ63に供給され、そこで、モニタ7が内蔵するD/A変換器におけるダイナミックレンジを越えないように、その値が制限された後、モニタ7に供給される。

20

【0063】

ここで、適応処理について詳述する。

30

【0064】

例えば、いま、HD画素の画素値 y の予測値 $E[y]$ を、幾つかのSD画素の画素値（以下、適宜、学習データという） x_1 、 x_2 、 \dots と、所定の予測係数 w_1 、 w_2 、 \dots の線形結合により規定される線形1次結合モデルにより求めることを考える。この場合、予測値 $E[y]$ は、次式で表すことができる。

【0065】

$$E[y] = w_1 x_1 + w_2 x_2 + \dots$$

$\dots (1)$

【0066】

そこで、一般化するために、予測係数 w の集合でなる行列 W 、学習データの集合でなる行列 X 、および予測値 $E[y]$ の集合でなる行列 Y' を、

40

【数 1】

$$X = \begin{pmatrix} X_{11} & X_{12} & \cdots & X_{1n} \\ X_{21} & X_{22} & \cdots & X_{2n} \\ \cdots & \cdots & \cdots & \cdots \\ X_{m1} & X_{m2} & \cdots & X_{mn} \end{pmatrix}$$

$$W = \begin{pmatrix} W_1 \\ W_2 \\ \cdots \\ W_n \end{pmatrix}, Y = \begin{pmatrix} E[y_1] \\ E[y_2] \\ \cdots \\ E[y_m] \end{pmatrix}$$

10

で定義すると、次のような観測方程式が成立する。

【0067】

$$XW = Y$$

・・・(2)

【0068】

そして、この観測方程式に最小自乗法を適用して、HD画素の画素値 y に近い予測値 $E[y]$ を求めることを考える。この場合、HD画素の画素値（以下、適宜、教師データという） y の集合でなる行列 Y 、およびHD画素の画素値 y に対する予測値 $E[y]$ の残差 e の集合でなる行列 E を、

20

【数 2】

$$E = \begin{pmatrix} e_1 \\ e_2 \\ \cdots \\ e_m \end{pmatrix}, Y = \begin{pmatrix} y_1 \\ y_2 \\ \cdots \\ y_m \end{pmatrix}$$

30

で定義すると、式(2)から、次のような残差方程式が成立する。

【0069】

$$XW = Y + E$$

・・・(3)

【0070】

この場合、HD画素の画素値 y に近い予測値 $E[y]$ を求めるための予測係数 w_i は、自乗誤差

【数 3】

$$\sum_{i=1}^m e_i^2$$

40

を最小にすることで求めることができる。

【0071】

従って、上述の自乗誤差を予測係数 w_i で微分したものが0になる場合、即ち、次式を満たす予測係数 w_i が、HD画素の画素値 y に近い予測値 $E[y]$ を求めるため最適値ということになる。

【0072】

【数4】

$$e_1 \frac{\partial e_1}{\partial w_i} + e_2 \frac{\partial e_2}{\partial w_i} + \dots + e_m \frac{\partial e_m}{\partial w_i} = 0 \quad (i=1,2,\dots,n)$$

・・・(4)

【0073】

そこで、まず、式(3)を、予測係数 w_i で微分することにより、次式が成立する。

【0074】

10

【数5】

$$\frac{\partial e_1}{\partial w_i} = x_{i1}, \quad \frac{\partial e_i}{\partial w_2} = x_{i2}, \quad \dots, \quad \frac{\partial e_i}{\partial w_n} = x_{in}, \quad (i=1,2,\dots,m)$$

・・・(5)

【0075】

式(4)および(5)より、式(6)が得られる。

【0076】

20

【数6】

$$\sum_{i=1}^m e_i x_{i1} = 0, \quad \sum_{i=1}^m e_i x_{i2} = 0, \quad \dots, \quad \sum_{i=1}^m e_i x_{in} = 0$$

・・・(6)

【0077】

さらに、式(3)の残差方程式における学習データ x 、予測係数 w 、教師データ y 、および残差 e の関係を考慮すると、式(6)から、次のような正規方程式を得ることができる。

30

【0078】

【数7】

$$\left\{ \begin{array}{l} (\sum_{i=1}^m x_{i1}x_{i1})w_1 + (\sum_{i=1}^m x_{i1}x_{i2})w_2 + \dots + (\sum_{i=1}^m x_{i1}x_{in})w_n = (\sum_{i=1}^m x_{i1}y_i) \\ (\sum_{i=1}^m x_{i2}x_{i1})w_1 + (\sum_{i=1}^m x_{i2}x_{i2})w_2 + \dots + (\sum_{i=1}^m x_{i2}x_{in})w_n = (\sum_{i=1}^m x_{i2}y_i) \\ \dots \\ (\sum_{i=1}^m x_{in}x_{i1})w_1 + (\sum_{i=1}^m x_{in}x_{i2})w_2 + \dots + (\sum_{i=1}^m x_{in}x_{in})w_n = (\sum_{i=1}^m x_{in}y_i) \end{array} \right.$$

40

・・・(7)

【0079】

式(7)の正規方程式は、求めるべき予測係数 w の数と同じ数だけたてることができ、従って、式(7)を解くことで(但し、式(7)を解くには、式(7)において、予測係

50

数 w にかかる係数で構成される行列が正則である必要がある)、最適な予測係数 w を求めることができる。なお、式(7)を解くにあたっては、例えば、掃き出し法(Gauss-Jordanの消去法)などを適用することが可能である。

【0080】

以上のようにして、最適な予測係数 w を求めておき、さらに、その予測係数 w を用い、式(1)により、HD画素の画素値 y に近い予測値 $E[y]$ を求めるのが適応処理であり、この適応処理が、積和演算器62において行われるようになされている。

【0081】

なお、適応処理は、SD画像には含まれていない、HD画像に含まれる成分が再現される点で、補間処理とは異なる。即ち、適応処理では、式(1)だけを見る限りは、いわゆる補間フィルタを用いての補間処理と同一であるが、その補間フィルタのタップ係数に相当する予測係数 w が、教師データ y を用いての、いわば学習により求められるため、HD画像に含まれる成分を再現することができる。このことから、適応処理は、いわば画像の創造作用がある処理といえることができる。

10

【0082】

以上説明した適応処理は、HD画素の画素値 y を教師データとして学習を行うことにより得られる予測係数 w_1, w_2, \dots を用いて行うものであり、このような適応処理(以下、適宜、第1の適応処理という)は、本件出願人が先に提案している。

【0083】

ところで、第1の適応処理によれば、予測係数 w_1, w_2, \dots を求めるのに際し、即ち、学習に際し、HD画像が教師データとして必要となる。即ち、例えば、図2において、SD画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{33}, B_{34}, B_{42}, B_{43}, B_{44}$ から、HD画素 $A_{43}, A_{44}, A_{45}, A_{53}, A_{54}, A_{55}, A_{63}, A_{64}, A_{65}$ の予測値を第1の適応処理により求める場合、そのための予測係数 w_1, w_2, \dots の算出には、HD画素 $A_{43}, A_{44}, A_{45}, A_{53}, A_{54}, A_{55}, A_{63}, A_{64}, A_{65}$ の画素値が必要となる。

20

【0084】

しかしながら、HD画像がなくても、予測係数 w_1, w_2, \dots が求められれば便利である。

【0085】

そこで、画像の自己相似性を利用し、例えば、次のように、SD画素のみから予測係数 w_1, w_2, \dots を求め、予測回路6では、これを用いて適応処理(このような適応処理を、以下、適宜、第2の適応処理という)を行うようにすることが可能である。

30

【0086】

即ち、図2において、予測値計算用ブロックを構成するSD画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{33}, B_{34}, B_{42}, B_{43}, B_{44}$ と、HD画素 $A_{43}, A_{44}, A_{45}, A_{53}, A_{54}, A_{55}, A_{63}, A_{64}, A_{65}$ との間の位置関係に注目した場合、その位置関係は、間引きSD画素 $C_{11}, C_{12}, C_{13}, C_{21}, C_{22}, C_{23}, C_{31}, C_{32}, C_{33}$ と、SD画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{33}, B_{34}, B_{42}, B_{43}, B_{44}$ との間の位置関係と、いわば相似である。

【0087】

従って、画像の自己相似性から、間引きSD画素 $C_{11}, C_{12}, C_{13}, C_{21}, C_{22}, C_{23}, C_{31}, C_{32}, C_{33}$ を学習データとするとともに、SD画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{33}, B_{34}, B_{42}, B_{43}, B_{44}$ を教師データとして学習を行い、これにより、予測係数 w_1, w_2, \dots を求め、その予測係数 w_1, w_2, \dots を、予測値計算用ブロックを構成するSD画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{33}, B_{34}, B_{42}, B_{43}, B_{44}$ から、HD画素 $A_{43}, A_{44}, A_{45}, A_{53}, A_{54}, A_{55}, A_{63}, A_{64}, A_{65}$ の予測値を予測するのに用いることができる。

40

【0088】

図9は、第2の適応処理を行うための予測係数を求める学習処理を行う画像処理装置の構成例を示している。

【0089】

50

クラス分類用ブロック化回路 7 1、学習用ブロック化回路 7 5、および教師用ブロック化回路 7 6 には、SD 画像が供給される。

【0090】

クラス分類用ブロック化回路 7 1、間引き回路 7 2、縮小回路 7 3、またはクラス分類回路 7 4 では、図 1 のクラス分類用ブロック化回路 1、間引き回路 2、縮小回路 3、またはクラス分類回路 4 における場合とそれぞれ同様の処理が行われ、これにより、後述する学習用ブロック化回路 7 5 が出力する学習用ブロックのクラスに対応するインデックスが、学習回路 7 7 に供給される。

【0091】

一方、学習用ブロック化回路 7 5 は、SD 画像から、上述したように、学習データとする SD 画素（間引き SD 画素） $C_{11}, C_{12}, C_{13}, C_{21}, C_{22}, C_{23}, C_{31}, C_{32}, C_{33}$ で構成される、予測値計算用ブロックより大きいブロックを構成し、これを学習用ブロックとして、学習回路 7 7 に出力する。また、同時に、教師用ブロック化回路 7 6 では、SD 画像から、教師データとする SD 画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{33}, B_{34}, B_{42}, B_{43}, B_{44}$ で構成されるブロックが構成され、これが教師用ブロックとして、やはり、学習回路 7 7 に出力される。

10

【0092】

学習回路 7 7 では、学習用ブロックを構成する SD 画素を学習データとするとともに、教師用ブロックを構成する SD 画素を教師データとして、例えば、最小自乗法により、誤差を最小とする予測係数が算出される。

20

【0093】

即ち、例えば、いま、学習用ブロックを構成する SD 画素（間引き SD 画素）の画素値を、 x_1, x_2, x_3, \dots とし、求めるべき予測係数を w_1, w_2, w_3, \dots とするとき、これらの線形 1 次結合により、教師用ブロックを構成する、ある SD 画素の画素値 y を求めるには、予測係数 w_1, w_2, w_3, \dots は、次式を満たす必要がある。

【0094】

$$y = w_1 x_1 + w_2 x_2 + w_3 x_3 + \dots$$

【0095】

そこで、学習回路 7 7 では、学習用ブロックと教師用ブロックとから、真値 y に対する、予測値 $w_1 x_1 + w_2 x_2 + w_3 x_3 + \dots$ の自乗誤差を最小とする予測係数 w_1, w_2, w_3, \dots が、上述した式 (7) に示す正規方程式をたてて解くことにより求められる。

30

【0096】

学習回路 7 7 において求められた予測係数は、クラス分類回路 7 4 からのインデックスに対応するクラスの予測係数として出力される。

【0097】

即ち、本実施の形態においては、学習用ブロックを構成する SD 画素（間引き SD 画素） $C_{11}, C_{12}, C_{13}, C_{21}, C_{22}, C_{23}, C_{31}, C_{32}, C_{33}$ から、教師用ブロックを構成する 9 個の SD 画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{33}, B_{34}, B_{42}, B_{43}, B_{44}$ を求めるための予測係数を算出する必要がある。

40

【0098】

このため、学習回路 7 7 では、クラス分類回路 7 4 が出力するインデックスに対応するクラス CL について、SD 画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{33}, B_{34}, B_{42}, B_{43}, B_{44}$ それぞれを教師データとするとともに、SD 画素（間引き SD 画素） $C_{11}, C_{12}, C_{13}, C_{21}, C_{22}, C_{23}, C_{31}, C_{32}, C_{33}$ を学習データとして、式 (7) に示した正規方程式がたてられる。

【0099】

さらに、学習回路 7 7 では、クラス CL にクラス分類される、他の学習用ブロックについても同様にして、正規方程式がたてられ、SD 画素 $B_{22}, B_{23}, B_{24}, B_{32}, B_{33}, B_{34}, B_{42}, B_{43}, B_{44}$ それぞれの予測値 $E[B_{22}], E[B_{23}], E[B_{24}], E[B_{32}]$

50

], E [B₃₃], E [B₃₄], E [B₄₂], E [B₄₃], E [B₄₄] を求めるための予測係数 w₁ (B₂₂) 乃至 w₉ (B₂₂), w₁ (B₂₃) 乃至 w₉ (B₂₃), w₁ (B₂₄) 乃至 w₉ (B₂₄), w₁ (B₃₂) 乃至 w₉ (B₃₂), w₁ (B₃₃) 乃至 w₉ (B₃₃), w₁ (B₃₄) 乃至 w₉ (B₃₄), w₁ (B₄₂) 乃至 w₉ (B₄₂), w₁ (B₄₃) 乃至 w₉ (B₄₃), w₁ (B₄₄) 乃至 w₉ (B₄₄) (本実施の形態では、1つの予測値を求めるのに学習データが9個用いられるので、それに対応して、予測係数 w も9個必要となる) を算出することができるだけの数の正規方程式が得られると (従って、そのような数の正規方程式が得られるまでは、学習回路77では、正規方程式が繰り返したてられる)、その正規方程式を解くことで、クラスCLについて、SD画素 B_{3+m, 3+n} の予測値 E [B_{3+m, 3+n}] を求めるのに最適な予測係数 w₁ (B_{3+m, 3+n}) 乃至 w₉ (B_{3+m, 3+n}) が算出される (但し、ここでは、m = - 1, 0, + 1, n = - 1, 0, + 1)。

10

【 0 1 0 0 】

図1の予測回路6を構成する係数ROM61 (図8) には、以上のようにして学習回路77から出力される予測係数を記憶させておくことができ、この場合、積和演算器62では、式(1)に対応する次式にしたがって、予測値計算用ブロック内におけるHD画素 A₄₃, A₄₄, A₄₅, A₅₃, A₅₄, A₅₅, A₆₃, A₆₄, A₆₅ それぞれの予測値 E [A₄₃], E [A₄₄], E [A₄₅], E [A₅₃], E [A₅₄], E [A₅₅], E [A₆₃], E [A₆₄], E [A₆₅] が求められる。

【 0 1 0 1 】

$$E [A_{43}] = w_1 (B_{22}) B_{22} + w_2 (B_{22}) B_{23} + w_3 (B_{22}) B_{24} + w_4 (B_{22}) B_{32} + w_5 (B_{22}) B_{33} + w_6 (B_{22}) B_{34} + w_7 (B_{22}) B_{42} + w_8 (B_{22}) B_{43} + w_9 (B_{22}) B_{44}$$

20

$$E [A_{44}] = w_1 (B_{23}) B_{22} + w_2 (B_{23}) B_{23} + w_3 (B_{23}) B_{24} + w_4 (B_{23}) B_{32} + w_5 (B_{23}) B_{33} + w_6 (B_{23}) B_{34} + w_7 (B_{23}) B_{42} + w_8 (B_{23}) B_{43} + w_9 (B_{23}) B_{44}$$

$$E [A_{45}] = w_1 (B_{24}) B_{22} + w_2 (B_{24}) B_{23} + w_3 (B_{24}) B_{24} + w_4 (B_{24}) B_{32} + w_5 (B_{24}) B_{33} + w_6 (B_{24}) B_{34} + w_7 (B_{24}) B_{42} + w_8 (B_{24}) B_{43} + w_9 (B_{24}) B_{44}$$

$$E [A_{53}] = w_1 (B_{32}) B_{22} + w_2 (B_{32}) B_{23} + w_3 (B_{32}) B_{24} + w_4 (B_{32}) B_{32} + w_5 (B_{32}) B_{33} + w_6 (B_{32}) B_{34} + w_7 (B_{32}) B_{42} + w_8 (B_{32}) B_{43} + w_9 (B_{32}) B_{44}$$

30

$$E [A_{54}] = w_1 (B_{33}) B_{22} + w_2 (B_{33}) B_{23} + w_3 (B_{33}) B_{24} + w_4 (B_{33}) B_{32} + w_5 (B_{33}) B_{33} + w_6 (B_{33}) B_{34} + w_7 (B_{33}) B_{42} + w_8 (B_{33}) B_{43} + w_9 (B_{33}) B_{44}$$

$$E [A_{55}] = w_1 (B_{34}) B_{22} + w_2 (B_{34}) B_{23} + w_3 (B_{34}) B_{24} + w_4 (B_{34}) B_{32} + w_5 (B_{34}) B_{33} + w_6 (B_{34}) B_{34} + w_7 (B_{34}) B_{42} + w_8 (B_{34}) B_{43} + w_9 (B_{34}) B_{44}$$

$$E [A_{63}] = w_1 (B_{42}) B_{22} + w_2 (B_{42}) B_{23} + w_3 (B_{42}) B_{24} + w_4 (B_{42}) B_{32} + w_5 (B_{42}) B_{33} + w_6 (B_{42}) B_{34} + w_7 (B_{42}) B_{42} + w_8 (B_{42}) B_{43} + w_9 (B_{42}) B_{44}$$

40

$$E [A_{64}] = w_1 (B_{43}) B_{22} + w_2 (B_{43}) B_{23} + w_3 (B_{43}) B_{24} + w_4 (B_{43}) B_{32} + w_5 (B_{43}) B_{33} + w_6 (B_{43}) B_{34} + w_7 (B_{43}) B_{42} + w_8 (B_{43}) B_{43} + w_9 (B_{43}) B_{44}$$

$$E [A_{65}] = w_1 (B_{44}) B_{22} + w_2 (B_{44}) B_{23} + w_3 (B_{44}) B_{24} + w_4 (B_{44}) B_{32} + w_5 (B_{44}) B_{33} + w_6 (B_{44}) B_{34} + w_7 (B_{44}) B_{42} + w_8 (B_{44}) B_{43} + w_9 (B_{44}) B_{44}$$

• • • (8)

【 0 1 0 2 】

以上のように、SD画素 B₂₂, B₂₃, B₂₄, B₃₂, B₃₃, B₃₄, B₄₂, B₄₃, B₄₄ それぞれの予測値を、間引きSD画素 C₁₁, C₁₂, C₁₃, C₂₁, C₂₂, C₂₃, C₃₁, C₃₂, C

50

$_{33}$ で構成される所定の学習用ブロック（所定のブロック）から算出することができるように、学習を行うことで予測係数を求め、その予測係数を用いて、学習用ブロックより小さい（注目画素 B_{33} を中心として学習ブロックを、いわば縮小した）予測値計算用ブロック（小ブロック）に対して適応処理を施した場合によれば、画像の自己相似性によって、HD画素 A_{43} 、 A_{44} 、 A_{45} 、 A_{53} 、 A_{54} 、 A_{55} 、 A_{63} 、 A_{64} 、 A_{65} についての適正な予測値を得ることができる。

【0103】

次に、図10は、図9の学習回路77の構成例を示している。

【0104】

乗算回路81には、学習用ブロックを構成する学習データ x_1, x_2, \dots, x_m と、教師用ブロックを構成する教師データ y とが入力されるようになされており、ここでは、式(7)の正規方程式におけるサメーション()の対象となる学習データ x_1, x_2, \dots, x_m どうしの積、および学習データ x_1, x_2, \dots, x_m それぞれと教師データ y との積が求められ、加算回路82に供給される。

10

【0105】

加算回路82には、乗算回路81の出力の他、デコーダ83の出力も供給されるようになされている。デコーダ83には、クラス分類回路74(図9)からインデックスが供給されるようになされており、デコーダ83は、そのインデックスに基づいて、学習データ x_1, x_2, \dots, x_m のクラス(学習用ブロックのクラス)を認識し、その認識結果を、加算回路82に出力する。

20

【0106】

加算回路82は、乗算回路81の出力を用いて、式(7)の正規方程式におけるサメーションに相当する演算を、デコーダ83からのクラスごとに独立して行い、その演算結果を、演算回路84に供給する。演算回路84では、加算回路82の出力を用い、掃き出し法による演算が行われ、これにより、予測係数が算出されて出力される。

【0107】

次に、図11は、図10の乗算回路81の構成例を示している。

【0108】

乗算回路81は、同図に示すように、乗算器アレイで構成されている(乗算器が所定形状に配列されて構成されている)。即ち、乗算回路81は、式(7)の正規方程式の左辺における予測係数 w の係数(サメーションの部分)、およびその右辺における各項に対応する乗算器から構成されている。

30

【0109】

なお、式(7)の正規方程式の左辺における予測係数 w にかかる係数で構成される行列(以下、適宜、係数行列という)と、その転置行列とは等しいため、図11の実施の形態では、乗算器は、係数行列の対角成分を含む右上部分の成分と、式(7)の右辺の項に対応する乗算器だけが設けられている。

【0110】

以上のように構成される乗算回路81では、各乗算器において、上述したように、式(7)の正規方程式におけるサメーション()の対象となる学習データ x_1, x_2, \dots, x_m どうしの積、および学習データ x_1, x_2, \dots, x_m それぞれと教師データ y との積が求められ、加算回路82に供給される。

40

【0111】

次に、図12は、図10の加算回路82の構成例を示している。

【0112】

加算回路82は、図11の乗算回路81を構成する乗算器と同様に加算器またはメモリセルがそれぞれ配置された加算器アレイまたはメモリアレイ(レジスタアレイ)から構成されている。なお、加算器アレイは、乗算器アレイと同様に1つだけ設けられているが、メモリアレイは、クラスに対応する数だけ設けられている。

【0113】

50

以上のように構成される加算回路 8 2 では、加算器アレイを構成する各加算器に、乗算器アレイの、対応する乗算器の出力が供給される。さらに、各加算器には、デコーダ 8 3 からのクラスに対応するメモリアレイを構成する、対応するメモリセルの記憶値が供給される。各加算器では、乗算器とメモリセルの出力どうしが加算され、その加算結果が、元のメモリセルに供給される。そして、各メモリセルでは、加算器から供給される加算結果が記憶され、加算回路 8 2 は、以下、同様の処理を繰り返すことで、式 (7) の正規方程式におけるサメーションに相当する演算を行う。

【 0 1 1 4 】

これにより、各メモリアレイには、対応するクラスについての、正規方程式の各項の係数が記憶されることになる。

10

【 0 1 1 5 】

そして、図 1 0 の演算回路 8 4 では、メモリアレイの各メモリセルの記憶値を用いて、掃き出し法により、各クラスごとの予測係数が求められる。

【 0 1 1 6 】

ところで、例えば、NTSC方式などに準拠したSD画像を受信する受信装置などに、図 1 の画像変換装置を内蔵させ、その予測回路 6 において第 1 の適応処理によりHD画素の予測値を求めるようにした場合においては、上述したように、学習に際し、教師データとしてHD画素が必要となるため、受信装置において、予測係数の更新をすることは困難である。

【 0 1 1 7 】

20

その一方、第 2 の適応処理によりHD画素の予測値を求めるようにした場合においては、教師データとしてHD画素は必要でなく、SD画素(間引きSD画素を含む)だけで学習を行うことができ、従って、受信装置において、予測係数を更新することができる。

【 0 1 1 8 】

そこで、図 1 3 は、予測係数を更新しながら、SD画像をHD画像に変換する画像変換装置の一実施の形態の構成を示している。なお、図中、図 1 における場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、この画像変換装置は、フレームメモリ 9 1、学習用ブロック化回路 9 2、教師用ブロック化回路 9 3、学習回路 9 4、および係数RAM(例えば、SRAM(Static Read Only Memory)など) 9 5 が新たに設けられているとともに、予測回路 6 に代えて予測回路 9 6 が

30

【 0 1 1 9 】

フレームメモリ 9 1 には、伝送路を介して伝送され、または、記録媒体から再生されたSD画像が、例えば、フレーム(またはフィールド)単位で記憶される。フレームメモリ 9 1 に記憶されたSD画像は、クラス分類用ブロック化回路 1 に供給され、以下、図 1 における場合と同様にして、クラス分類回路 4 からは、後述する学習用ブロック 9 2 が出力する学習用ブロックのクラスに対応するインデックスが出力される。

【 0 1 2 0 】

また、フレームメモリ 9 1 に記憶されたSD画像は、同時に、学習用ブロック化回路 9 2 および教師用ブロック化回路 9 3 にも供給される。

40

【 0 1 2 1 】

学習用ブロック化回路 9 2、教師用ブロック化回路 9 3、または学習回路 9 4 は、図 9 における学習用ブロック化回路 7 5、教師用ブロック化回路 7 6、または学習回路 7 7 と同様に構成されており、また、学習回路 9 4 には、クラス分類回路 7 4 (図 9) に対応するクラス分類回路 4 からインデックスが供給されるようになされている。従って、学習回路 9 4 では、図 9 で説明したような学習が行われ、その結果得られる予測係数が、係数RAM 9 5 に供給される。

【 0 1 2 2 】

係数RAM 9 5 には、学習回路 9 4 から予測係数が供給される他、クラス分類回路 4 からインデックスが供給されるようになされており、係数RAM 9 5 では、そのインデック

50

スに対応するアドレスに、学習回路 9 4 からの予測係数が記憶（上書き）される。

【 0 1 2 3 】

以上の学習処理が、フレームメモリ 9 1 に記憶された S D 画像を構成する、例えば、すべての画素を注目画素として行われると、予測値計算用ブロック化回路 5 は、フレームメモリ 9 1 に記憶された S D 画像から予測値計算用ブロックを順次構成し、予測回路 9 6 に出力する。

【 0 1 2 4 】

また、このとき、フレームメモリ 9 1 に記憶された S D 画像は、クラス分類用ブロック化回路 1 にも、再び供給され、以下、上述した場合と同様にして、予測値計算用ブロック化回路 5 が構成する予測値計算用ブロックのクラスに対応するインデックスが、クラス分類回路 4 から出力される。

10

【 0 1 2 5 】

このインデックスは、係数 R A M 9 5 にアドレスとして与えられ、そのアドレスに記憶された予測係数が、係数 R A M 9 5 から読み出されて予測回路 9 6 に供給される。

【 0 1 2 6 】

予測回路 9 6 は、図 8 に示した予測回路 6 を構成するブロックのうちの、係数 R O M 6 1 を除く、積和演算器 6 2 およびリミッタ 6 3 で構成され、そこでは、係数 R A M 9 5 からの予測係数を用い、式（ 8 ）で説明したようにして H D 画素の予測値が求められる。

【 0 1 2 7 】

以上のように、H D 画像に変換しようとする S D 画像から予測係数を求め、その予測係数を用いて、S D 画像を H D 画像に変換する場合によれば、より精度の高い H D 画像を得ることが可能となる。

20

【 0 1 2 8 】

以上、本発明を、S D 画像を H D 画像に変換する画像変換装置に適用した場合について説明したが、本発明は、その他、例えば、画像の拡大処理などを行う場合にも適用可能である。

【 0 1 2 9 】

なお、本実施の形態においては、係数 R O M 6 1（図 8）には（図 1 3 における係数 R A M 9 5 についても同様）、各クラスに対応するアドレスに、予測係数を記憶させるようにしたが、係数 R O M 6 1 には、その他、例えば、教師用ブロックを構成する画素値の平均値などを記憶させるようにすることが可能である。この場合、クラスについてのインデックスが与えられると、そのクラスに対応する画素値が出力されることになり、予測値計算用ブロック化回路 5 および予測回路 6（または予測回路 9 6）を設けずに済むようになる。

30

【 0 1 3 0 】

さらに、本実施の形態においては、第 1 クラス情報および第 2 クラス情報の両方から、最終的なクラスを決定するようにしたが、第 1 クラス情報または第 2 クラス情報のうちのいずれか一方から最終的なクラスを決定するようにすることも可能である。

【 0 1 3 1 】

また、本実施の形態では、間引き回路 2 において、画素を単純に間引くことにより、間引きブロックを構成するようにしたが、間引きブロックは、その他、例えば、幾つかの画素の平均値などを 1 の画素に割り当てることなどによって生成するようにすることも可能である。

40

【 0 1 3 2 】

さらに、本実施の形態では、各ブロックの形状を正方形としたが、ブロックの形状は正方形に限定されるものではない。即ち、本明細書中におけるブロックとは、幾つかの画素の集合を意味し、その形状は、正方形の他、例えば、長方形や、十字形、円形その他の任意の形状とすることができる。

【 0 1 3 3 】

また、本発明は、ハードウェアおよびソフトウェアのいずれによっても実現可能である

50

。 【図面の簡単な説明】

【0134】

【図1】本発明を適用した画像変換装置の第1の実施の形態の構成を示すブロック図である。

【図2】図1の画像変換装置の処理を説明するための図である。

【図3】図1のクラス分類回路4の構成例を示すブロック図である。

【図4】図3の第1クラス生成回路11の構成例を示すブロック図である。

【図5】図3の第2クラス生成回路12の構成例を示すブロック図である。

【図6】ADRC処理を説明するための図である。

10

【図7】図3の最終クラス決定回路13の構成例を示すブロック図である。

【図8】図1の予測回路6の構成例を示すブロック図である。

【図9】予測係数を求める学習処理を行う画像処理装置の構成例を示すブロック図である。

。 【図10】図9の学習回路77の構成例を示すブロック図である。

【図11】図10の乗算回路81の構成例を示すブロック図である。

【図12】図10の加算回路82の構成例を示すブロック図である。

【図13】本発明を適用した画像変換装置の第2の実施の形態の構成を示すブロック図である。

【図14】画素値のレベルのパターンにのみ基づいて行うクラス分類を説明するための図である。

20

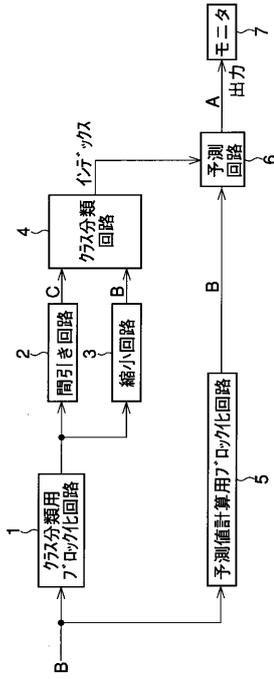
【符号の説明】

【0135】

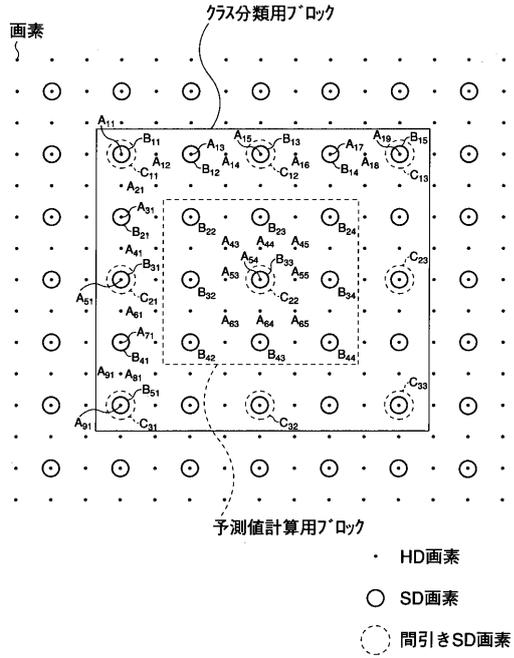
1 クラス分類用ブロック化回路, 2 間引き回路, 3 縮小回路, 4 クラス分類回路, 5 予測値計算用ブロック化回路, 6 予測回路, 7 モニタ, 11 第1クラス生成回路, 12 第2クラス生成回路, 13 最終クラス決定回路, 21₁乃至21₄ 相似性算出部, 22 最大相似性方向判定部, 26B, 26C 画素抽出部, 27 ノルム計算部, 31 最大相似性方向画素抽出部, 32 ADRC処理部, 33 パターン分類部, 41 最大値検出部, 42 最小値検出部, 43 遅延部, 44 演算器, 45 ADRCコード決定部, 51 ROM, 61 係数ROM, 62 積和演算器, 63 リミッタ, 71 クラス分類用ブロック化回路, 72 間引き回路, 73 縮小回路, 74 クラス分類回路, 75 学習ブロック化回路, 76 教師用ブロック化回路, 77 学習回路, 81 乗算回路, 82 加算回路, 83 デコーダ, 84 演算回路, 91 フレームメモリ, 92 学習用ブロック化回路, 93 教師用ブロック化回路, 94 学習回路, 95 係数RAM, 96 予測回路

30

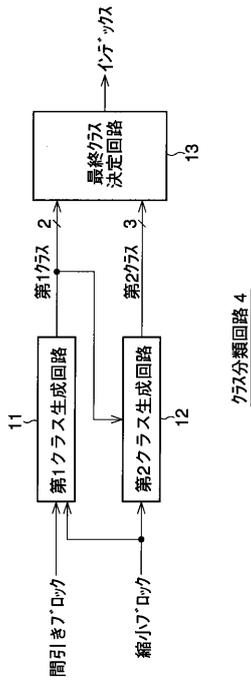
【図1】



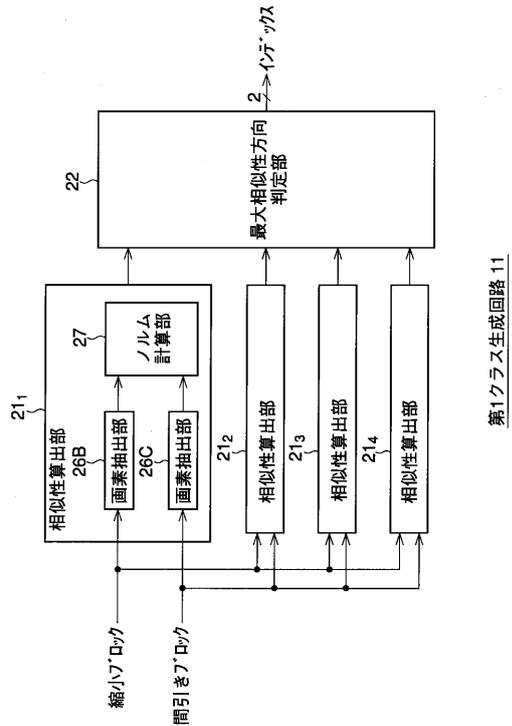
【図2】



【図3】

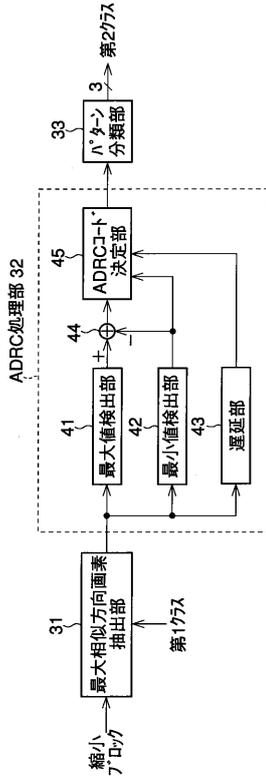


【図4】



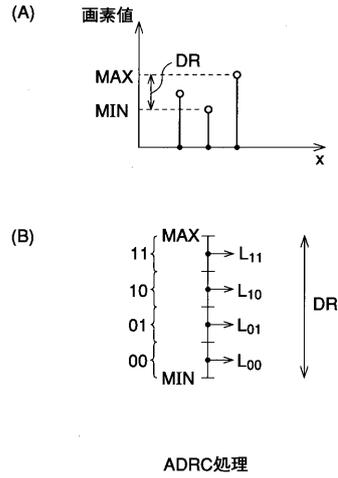
第1クラス生成回路 11

【図5】



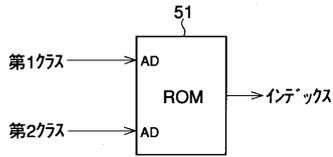
第2クラス生成回路 12

【図6】



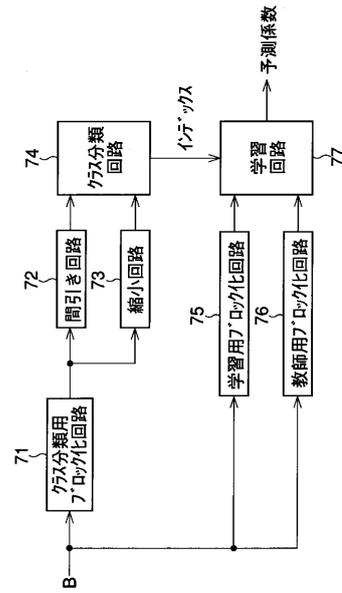
ADRC処理

【図7】

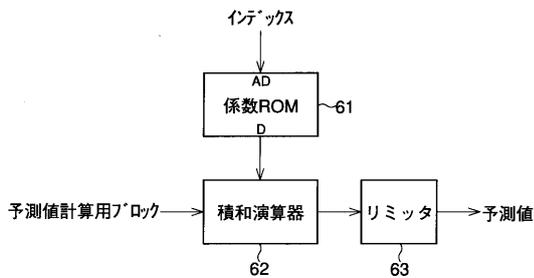


最終クラス決定回路 13

【図9】

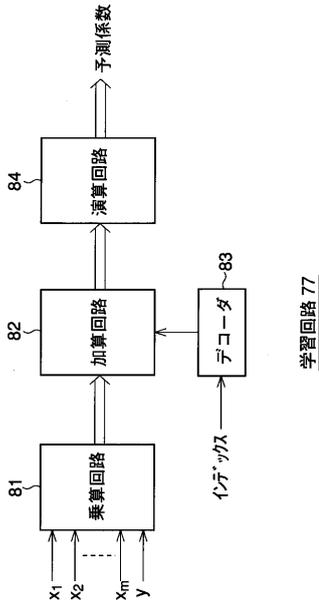


【図8】

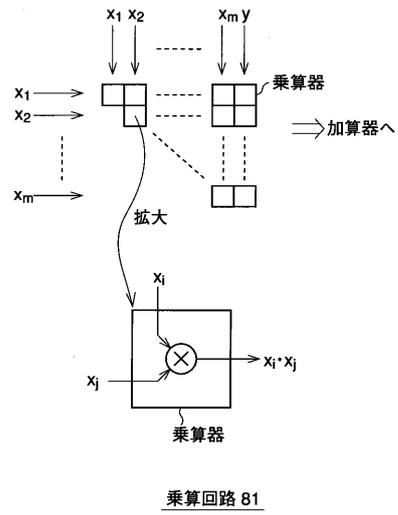


予測回路 6

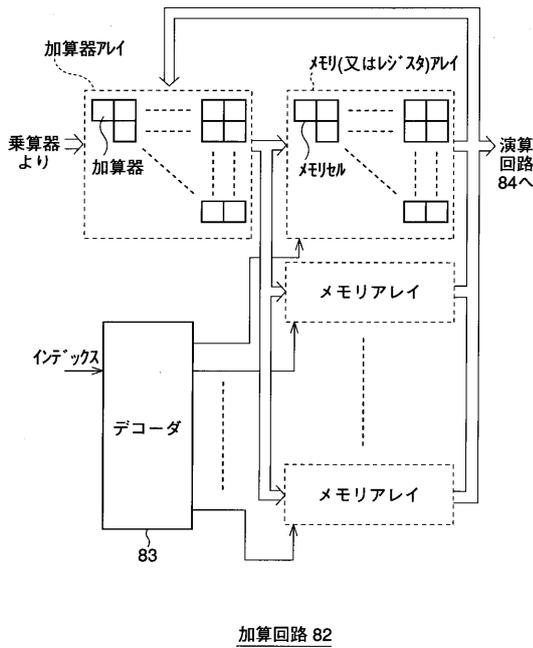
【図10】



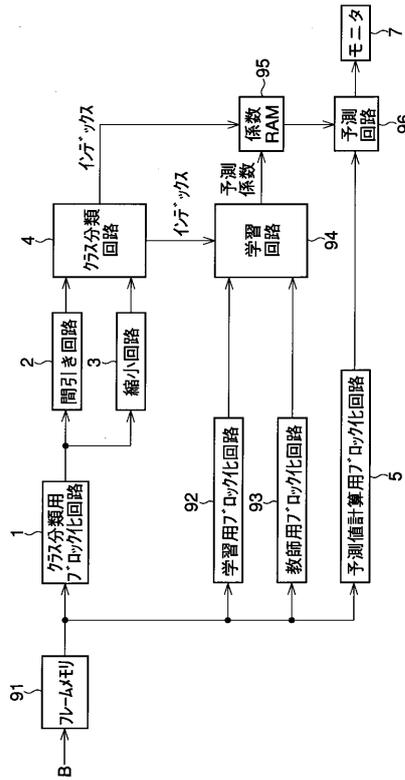
【図11】



【図12】



【図13】



フロントページの続き

(56)参考文献 特開平06-098310(JP,A)
特開平07-075104(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 7/00 - 7/01

H04N 7/26 - 7/68

G06T 3/40

G06T 7/00