

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/401 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월10일 10-0611775 2006년08월04일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0098505 2003년12월29일	(65) 공개번호 (43) 공개일자	10-2005-0067520 2005년07월05일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	김세준 경기도성남시분당구미동까치마을선경아파트107-1002 홍상훈 경기도이천시부발읍신하리청구아파트101-1302 고재범 경기도이천시부발읍신하6리삼익세라믹아파트102-208
(74) 대리인	특허법인 신성

심사관 : 장호근

(54) 온도변화에 따라 최적의 리프레쉬 주기를 가지는 반도체메모리 장치

요약

본 발명은 온도의 변화에 대응하여 최적화된 리프레쉬 주기를 가져 리프레쉬 동작시 사용되는 소모전류를 크게 줄일 수 있는 반도체 메모리 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 리프레쉬 동작을 수행하는 메모리 장치에 있어서, 온도의 변화에 대응하여 온도감지된 전압을 출력하는 온도감지수단; 상기 온도감지된 전압에 대응하는 N비트의 디지털값을 출력하는 아날로그-디지털 변환수단; 및 상기 N비트의 디지털값에 대응하여 리프레쉬 동작 주기를 제어하는 리프레쉬 제어수단을 구비하는 반도체 메모리 장치를 제공한다.

대표도

도 5

색인어

반도체, 리프레쉬, 온도, 아날로그-디지털 변환기, 비교기, 발진기.

명세서

도면의 간단한 설명

- 도1은 통상적인 반도체 메모리 장치에서 온도변화에 대해 요구되는 리프레쉬 주기를 나타내는 그래프.
- 도2는 종래기술에 의해 온도변화에 따라 리프레쉬 동작을 제어할 수 있는 반도체 메모리 장치를 나타내는 블록구성도.
- 도3은 도2에 도시된 온도감지부를 나타내는 회로도.
- 도4a 및 도 4b는 도3에 도시된 온도감지부의 동작을 나타내는 파형도.
- 도5는 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치를 나타내는 블록구성도.
- 도6은 도5에 도시된 온도 감지부를 나타내는 회로도.
- 도7은 도5에 도시된 N비트 아날로그-디지털 변환기를 나타내는 블록구성도.
- 도8은 도7에 도시된 변환제어부를 나타내는 회로도.
- 도9는 도5에 도시된 리프레쉬 제어부를 나타내는 블록구성도.
- 도10은 도9에 도시된 리프레쉬 동작용 발진기를 나타내는 회로도.
- 도11은 본 발명의 바람직한 제 2 실시예에 따른 반도체 메모리 장치를 나타내는 블록구성도.

* 도면의 주요부분에 대한 부호의 설명 *

MN1 ~ MN7 : 앤모스트랜지스터

MP1 ~ MP11 : 피모스트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 온도변화에 따라 리프레쉬 동작 주기를 제어할 수 있는 반도체 메모리 장치에 관한 것이다.

일반적으로, 반도체 메모리의 일종인 디램(dynamic random access memory)은 스위칭 소자인 모스 트랜지스터와 저장 수단인 캐패시터를 하나의 단위셀로 사용하여 빠른 시간내에 데이터를 저장 및 출력할 수 있는 장점이 있다. 그러나, 캐패시터의 특성상 자연방전에 의해 데이터가 계속 유지되지 않기 때문에, 일정한 주기로 저장된 데이터를 재충전하는 리프레시(refresh) 동작을 수행해야 한다.

따라서, 디램(DRAM)등과 같은 반도체 메모리 소자는 메모리 셀에 저장되어 있는 데이터를 안정적으로 유지시키기 위해 구비된 모든 단위셀을 순차적으로 리프레쉬 동작을 수행하고 있다.

단위셀에 데이터를 보전하기 위해서 수행하는 리프레쉬 동작의 주기는 메모리 장치의 구조나 제조공정조건과 같은 요인에 의해 조금씩 변화할 수 있지만, 온도에 의해서 변화하는 특성을 가지고 있다.

도1은 통상적인 반도체 메모리 장치에서 온도변화에 대해 요구되는 리프레쉬 주기를 나타내는 그래프이다.

도1에 도시된 바와 같이, 반도체 메모리 장치는 동작시 온도가 높아질수록 리프레쉬 주기는 더 짧아져야 한다. 이는 캐패시터에 저장된 전하량을 데이터로 하는 반도체 메모리 장치의 특성상 고온에서 동작할수록 캐패시터에 저장된 전하량의 방전속도가 증가되어 누설전류가 급격하게 증가하기 때문이다.

따라서 반도체 메모리 장치의 리프레쉬 동작 주기를 설계하는 데 있어서, 일반적인 상온에 맞는 리프레쉬 동작 주기로 설계되었다면 온도가 높아질수록 리프레쉬 동작이 수행되기 전에 메모리 장치의 단위셀에 저장된 데이터가 손실될 우려가 있다.

그러므로 반도체 메모리 장치의 리프레쉬 주기를 설계하는 데 있어서는 반도체 메모리 장치가 동작할 수 있는 최대 온도에서 필요한 리프레쉬 주기를 기준으로 설계를 하게 된다.

이렇게 설계하게 되면, 반도체 메모리 장치가 실제 주로 동작하게 되는 상온에서는 필요이상으로 자주 리프레쉬 동작을 수행하게 되고, 불필요한 전류를 소모하게 되는 셈이다.

이를 해결하기 위해 온도감지회로를 구비하여 온도감지된 결과에 따라 리프레쉬 주기를 조절하는 반도체 메모리 장치가 제안되었다.

도2는 종래기술에 의해 온도변화에 따라 리프레쉬 동작을 제어할 수 있는 반도체 메모리 장치를 나타내는 블럭구성도이다.

도2를 참조하여 살펴보면, 종래기술에 의한 반도체 메모리 장치는 온도를 감지할 수 있는 온도감지부(10)와, 온도감지부(10)에서 감지된 온도신호(TL, TH)에 대응하여 리프레쉬 주기를 제어하는 리프레쉬 제어부(20)와, 다수의 단위셀을 구비하며, 리프레쉬제어부에서 출력하는 리프레쉬 동작신호(Ref)에 응답하여 리프레쉬 동작을 수행하는 메모리 코어블럭(30)을 구비한다.

도3은 도2에 도시된 온도감지부(10)를 나타내는 회로도이다.

도3을 참조하여 살펴보면, 온도감지부(10)는 온도의 변화에 지연값이 크게 변하는 제1 지연부(11)와 온도의 변화에 지연값이 제1 지연부(11)보다 상대적으로 적게 변화하는 제2 지연부(12)와, 제1 지연부(11)와 제2 지연부(12)의 출력신호를 조합하여 온도감지 신호(TH, TL)를 출력하는 신호출력부(13)를 구비한다.

도4a 및 도4b는 도3에 도시된 온도감지부의 동작을 나타내는 파형도이다. 이하에서 도2 내지 도4를 참조하여 종래기술에 의한 반도체 메모리 장치의 동작을 살펴본다.

먼저 도3에 도시된 온도감지부(10)의 동작을 살펴보면, 제1 지연부(11)는 입력신호(A)를 소정시간 지연시켜 출력하되 온도의 변화에 지연값을 크게 변화시켜 출력한다. 제2 지연부(12)는 제1 지연부(11)보다 상대적으로 온도의 변화에 입력신호(A)의 지연값을 적게 변화하여 출력하게 된다.

이는 제1 지연부(11)는 직렬연결된 인버터만으로 구성되었으나, 제2 지연부(12)는 직렬연결된 인버터와 저항이 함께 구비되었기 때문이다. 저항은 인버터를 구성하는 모스트랜지스터보다 통상적으로 온도의 변화에 따라 특성의 변화가 작기 때문이다.

신호조합부(13)에서는 제1 지연부(11)과 제2 지연부(12)의 출력파형을 조합하여 고온감지신호(TH)와 저온감지신호(TL)을 출력하게 된다.

저온에서는 제1 지연부(11)에서 상대적으로 제2 지연부(12)보다 지연값이 크게 줄어들게 되어 출력단(TSD)이 제2 지연부(12)의 출력단(TISD)보다 먼저 하이레벨로 변화하게 되고, 이를 신호조합부(13)에서 조합하여 저온감지신호(TL)을 출력하게 된다.

고온에서는 제1 지연부(11)에서 상대적으로 제2 지연부(12)보다 지연값이 작게 줄어들게 되어 출력단(TSD)이 제2 지연부(12)의 출력단(TISD)보다 늦게 하이레벨로 변화하게 되고, 이를 신호조합부(13)에서 조합하여 고온감지신호(TH)를 출력하게 된다.

리프레쉬 제어부(20)에서는 고온감지신호(TH)와 저온감지신호(TL)에 응답하여 리프레쉬 주기가 조절된 리프레쉬 동작신호(Ref)를 생성하여 메모리 코어블럭으로 출력하게 된다.

메모리 코어블럭(30)에서는 리프레쉬 동작신호(Ref)에 응답하여 리프레쉬 동작을 수행하게 된다.

그러나, 이상에서 살펴본 바와 같이 온도감지부에서 감지하는 온도의 변화는 고온과 저온등 2단계뿐이고, 이에 대응하여 리프레쉬 동작 주기를 변화시킨다 하더라도 2 단계정도의 변화만이 가능하다.

실제로 도2에 도시된 온도 감지회로를 이용하여서는 2~3단계 정도의 온도레벨만을 감지할 수 있어 리프레쉬 동작주기를 온도의 변화에 대응하여 변화시키는 데에 많은 한계가 있다.

또한, 온도변화에 대한 저항과 인버터의 동작속도 차이를 이용한 온도감지회로에서 감지할 수 있는 온도변화폭이 적게는 30도에서 크게는 50도 이상으로, 정밀한 온도감지를 할 수 없다.

반도체 메모리 장치는 대체로 일정한 레벨의 온도범위에서 주로 동작되기 때문에, 전술한 바와 같은 온도 감지회로를 이용하여 리프레쉬 동작 주기를 제어하더라도 반도체 장치는 항상 같은 리프레쉬 동작주기로 동작하게 된다.

따라서 종래기술에 의해서 온도변화에 대응하는 리프레쉬 동작주기를 변화시키는 것이 전류소모를 줄이는 데 큰 의미가 없게 되는 것이다. 오히려 크게 사용되지 않는 온도 감지부만 추가로 구비되어 회로의 면적만 증가되는 형편이다.

발명이 이루고자 하는 기술적 과제

본 발명은 온도의 변화에 대응하여 최적화된 리프레쉬 주기를 가져 리프레쉬 동작시 사용되는 소모전류를 크게 줄일 수 있는 반도체 메모리 장치를 제공함을 목적으로 한다.

발명의 구성 및 작용

상기의 과제를 해결하기 위하여 본 발명은 리프레쉬 동작을 수행하는 메모리 장치에 있어서, 온도의 변화에 대응하여 온도 감지된 전압을 출력하는 온도감지수단; 상기 온도감지된 전압에 대응하는 N비트의 디지털값을 출력하는 아날로그-디지털 변환수단; 및 상기 N비트의 디지털값에 대응하여 리프레쉬 동작 주기를 제어하는 리프레쉬 제어수단을 구비하는 반도체 메모리 장치를 제공한다.

또한, 본 발명은 온도변화에 대응하여 온도감지된 전압을 출력하기 위한 온도감지수단; 및 상기 온도감지된 전압에 대응하는 리프레쉬 동작용 클럭신호를 생성하여 출력하는 전압제어발진기를 구비하며, 상기 리프레쉬 동작용 클럭신호에 응답하여 리프레쉬 동작을 수행하는 반도체 메모리 장치를 제공한다.

삭제

삭제

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시 할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도5는 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치를 나타내는 블럭구성도이다.

도5를 참조하여 살펴보면, 본 실시예에 따른 반도체 메모리 장치는 온도의 변화에 대응하여 온도감지된 전압(V_t)을 출력하는 온도감지부(100)와, 온도감지된 전압(V_t)에 대응하는 N비트의 디지털값을 출력하는 아날로그-디지털 변환부(200)와, N비트의 디지털값에 대응하여 리프레쉬 동작 주기를 제어하는 리프레쉬 제어부(300)을 구비한다.

도6은 도5에 도시된 온도 감지부를 나타내는 회로도이다.

도6을 참조하여 살펴보면, 온도감지부(100)는 온도의 증가에 대응하여 반비례하는 제1 전류(I_c)를 출력하는 제1 온도센싱부(110)와, 제1 전류(I_c)에 대응하는 온도감지된 전압(V_t)을 출력하는 온도감지된 전압출력부(120)를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

또한, 온도감지부(100)는 온도의 증가에 대응하여 비례하는 제2 전류(I_p)를 출력하는 제2 온도센싱부(130)과, 제1 전류(I_c)와 제2 전류(I_p)를 합한 기준전류(I_r)를 출력하는 기준전류 생성부(140)를 구비한다.

제1 온도센싱부(110)는 저항(R2)을 구비하여 온도의 증가에 대응하여 비교적 일정한 출력전압을 유지할 수 있는 제1 단위센싱부(113)와, 다이오드 접속된 바이폴라 트랜지스터를 구비하여 온도의 증가에 대응하여 전압레벨이 줄어드는 출력전압을 유지할 수 있는 제2 단위센싱부(112)와, 제1 및 제2 단위센싱부(112,113)의 출력전압을 비교하는 비교부(111)와, 비교부(111)의 출력결과에 대응하는 제1 전류(Ic)를 출력하는 출력부(114)를 구비한다.

보다 구체적으로 제1 온도센싱부(110)를 살펴보면, 제1 온도센싱부(110)는 전원전압(VDD)에 일측이 접속된 모스트랜지스터(MP5)와, 모스트랜지스터(MP5)의 타측과 접지전압(VSS) 사이에 제공된 저항(R1)과, 전원전압(VDD)에 일측이 접속되며 게이트가 모스트랜지스터(MP7)의 게이트에 접속된 모스트랜지스터(MP6)와, 모스트랜지스터(MP6)의 타측과 접지전압(VSS) 사이에 제공되며, 다이오드접속된 바이폴라트랜지스터(Q3)와, 정입력단(+)이 모스트랜지스터(MP7)의 타측에 부입력단(-)이 모스트랜지스터(MP6)의 타측단에 접속되며 출력단이 모스트랜지스터(MP6,MP7)의 게이트에 접속된 연산증폭기(111)와, 전원전압(VDD)에 일측이 접속되며 게이트가 모스트랜지스터(MP6, MP7)의 게이트에 접속된 모스트랜지스터(MP5)와, 모스트랜지스터(MP5)와 접지전압(VSS)사이에 제공된 저항(R2)을 구비한다. 제1 전류(Ic)는 모스트랜지스터(MP5)와 저항(R2)을 관통하여 흐르게 된다.

또한, 온도감지된 전압출력부(120)는 일측이 전원전압(VDD)에 접속된 모스트랜지스터(MP8)와, 모스트랜지스터(MP8)의 타측과 접지전압(VSS) 사이에 직렬연결되는 저항(R3,R4)과, 정입력단(+)이 저항(R2)의 일측단에, 부입력단(-)이 상기 저항(R3,R4)의 공통노드에 접속되고, 출력단이 모스트랜지스터(MP8)의 게이트에 접속된 연산증폭기(121)를 구비하여, 모스트랜지스터(MP8)의 타측으로 온도감지된 전압(Vt)을 출력하게 된다.

또한, 제2 온도센싱부(130)는 저항(R5)과 직렬연결되며, 다이오드 접속된 바이폴라 트랜지스터(Q1)를 구비한 제1 단위센싱부(131)과, 다이오드 접속된 바이폴라 트랜지스터(Q2)를 구비하는 제2 단위센싱부(132)와, 저항(R5) 및 바이폴라 트랜지스터(Q1)에 인가되는 전압과 바이폴라 트랜지스터(Q2)에 인가되는 전압의 차이를 비교하는 비교부(133)를 구비한다.

제2 온도센싱부(130)를 자세하게 살펴보면, 제2 온도센싱부(130)는 전원전압(VDD)에 일측이 접속된 모스트랜지스터(MP1)와, 모스트랜지스터(MP1)의 타측에 일측이 접속된 저항(R5)과, 저항(R5)의 타측과 접지전압(VSS) 사이에 제공되며, 다이오드 접속된 바이폴라 트랜지스터(Q1)와, 전원전압(VDD)에 일측이 접속되고, 게이트가 모스트랜지스터(MP1)의 게이트에 접속된 모스트랜지스터(MP2)와, 모스트랜지스터(MP2)의 타측과 접지전압(VSS) 사이에 제공되며, 다이오드 접속된 바이폴라트랜지스터(Q2)와, 정입력단(+)이 저항(R5)의 일측에, 부입력단(-)이 모스트랜지스터(MP2)의 타측에 접속되며, 출력단이 모스트랜지스터(MP1,MP2)의 게이트에 접속된 연산증폭기(133)를 구비한다.

또한 기준전류 생성부(140)는 전원전압(VDD)에 일측이 접속되고, 게이트가 모스트랜지스터(MP3,MP4)의 게이트에 접속된 모스트랜지스터(MP3)와, 전원전압(VDD)에 일측이 접속되고, 게이트가 모스트랜지스터(MP5,MP6,MP7)의 공통 게이트에 접속된 모스트랜지스터(MP4)와, 모스트랜지스터(MP3,MP4)의 타측과 접지전압(VSS) 사이에 제공되며 다이오드 접속된 모스트랜지스터(MN1)를 구비한다.

도7은 도5에 도시된 N비트 아날로그-디지털 변환기(200)를 나타내는 블럭구성도이다.

도7을 참조하여 살펴보면, 아날로그-디지털 변환부(200)는 온도감지된 전압(Vt)과 내부전압(Vin)을 비교하기 위한 전압비교기(210)와, 전압비교기(210)에 비교된 결과에 따라 출력되는 2진 디지털값을 업 또는 다운시키는 2진 업/다운 카운터(220)와, 업/다운 카운터(220)의 출력중 소정의 상위비트수(여기서는 6비트)에 해당되는 2진 디지털값을 온도계코드(thermometer code)로 변환하여 출력하는 코드변환부(250)와, 코드변환부(250)에서 코드를 변환시키는 타이밍동안 코드변환부(250)에 의해 변환되지 않는 나머지 2진 디지털값을 지연시켜 출력하는 딜레이(260)과, 코드변환부(250)에서 변환된 온도계코드를 제1 아날로그값(Va)으로 출력하는 세그먼트 디지털-아날로그 변환기(270)와, 딜레이(260)에서 출력되는 2진 디지털값을 제2 아날로그값(Vb)으로 출력하는 바이너리 디지털-아날로그 변환기(280)와, 제1 및 제2 아날로그값(Va,Vb)에 대응하여 내부전압(Vin)으로 변환하여 출력하는 전압변환부(290,240)를 구비한다.

또한, 아날로그-디지털 변환부(200)는 인에이블 신호(T_enable)를 입력받아 전압비교기(210) 및 2진 업/다운 카운터(220)의 활성화를 제어하는 변환제어부(230)를 더 구비한다.

도8은 도7에 도시된 변환제어부를 나타내는 회로도이다.

도8을 참조하여 살펴보면, 변환제어부(230)는 인에이블 신호(T_enable)를 일측으로 입력받는 낸드게이트(ND1)와, 낸드게이트(ND1)의 출력을 첫입력으로 하여 앞단의 출력을 반전시켜 출력하되, 최종단의 출력은 낸드게이트(ND1)의 타측으로 입력되는 다수의 인버터(I1 ~ In)를 구비한다.

도9는 도5에 도시된 리프레쉬 제어부(300)를 나타내는 블럭구성도이다.

도9를 참조하여 살펴보면, 리프레쉬 제어부(300)는 N비트의 디지털값중 소정의 하위 비트수에 해당되는 제1 디지털값(L1,L2,M1,M2)에 대응하여 주파수 조정된 클럭신호(CKref)를 출력하는 리프레쉬 동작용 발진기(310)와, N비트의 디지털값중 나머지 비트수에 해당되는 제2 디지털값(M3,M4,M5,M6)에 대응하여 클럭신호(CLref)를 분주하여 리프레쉬 동작을 수행하기 위한 리프레쉬 동작신호(Ref)로 출력하는 주파수분주기(320)를 구비한다.

도10은 도9에 도시된 리프레쉬 동작용 발진기(310)를 나타내는 회로도이다.

도10을 참조하여 살펴보면, 리프레쉬 동작용 발진기(310)는 제1 디지털값(L1,L2,M1,M2)에 대응하여 클럭발진용 기준전류(Ickr)를 생성하는 클럭발진용 기준전류 생성부(311)와, 클럭발진용 기준전류(Ickr)에 대응하는 클럭신호(CKref)를 발진시켜 출력하는 링발진기(312)를 구비한다.

클럭발진용 기준전류 생성부(311)는 전원전압(VDD)으로부터 접지전압(VSS)으로 흐르게 되는 클럭발진용 전류(Ickr)를 미리링한 동작전류(Ick)를 출력하는 전류미러부(311_2)와, 제1 디지털값(L1,L2,M1,M2)에 대응하여 서로 다른 패턴으로 턴온되어, 클럭발진용 기준전류(Ickr)의 전류량을 조절하기 위한 다수의 MOST랜지스터(MN2 ~ MN5)와, 전류미러부(311_2)에 의해 미리링된 동작전류(Ick)를 접지전압(VSS)으로 흐르게 하기 위한 다이오드접속된 MOST랜지스터(MN6)를 구비한다. 여기서 다수의 MOST랜지스터(MN2 ~ MN5)는 각각 제1 디지털값(L1,L2,M1,M2)의 한 비트 신호에 의해 턴온되며, 채널폭을 각각 $\times 1, \times 2, \times 4, \times 8$ 로 한다.

링발진기(312)는 최종단의 인버터(312_n)의 출력이 첫번째 인버터(312_1)의 입력으로 연결되는 홀수개의 직렬연결된 인버터(312_1~312_n)를 구비한다.

링발진기에 구비되는 인버터(312_1)는 전원전압에 일측이 접속되며, 클럭발진용 기준전류(Ickr)를 미리링하기 위한 MOST랜지스터(MP11)와, 접지전압(VSS)에 일측이 접속되며, 게이트가 MOST랜지스터(MN8)의 게이트에 접속되어 동작전류(Ick)를 미리링하기 위한 MOST랜지스터(MN8)와, 앞단 인버터의 출력신호를 공통 게이트로 입력받으며, MOST랜지스터(MP11)와 MOST랜지스터(MN7)의 사이에 제공되는 직렬연결된 MOST랜지스터(MP12,MN7)를 구비한다.

이하에서는 도5 내지 도11을 참조하여 본 실시예에 따른 반도체 메모리 장치의 동작을 살펴본다.

먼저 본 실시예에 따른 메모리 장치의 전체적인 동작을 살펴보면, 온도감지부(100)에서는 메모리 장치가 동작할 때의 온도를 감지하고, 그에 대응하여 온도감지된 전압(Vt)를 생성하여 출력한다. 이어서 아날로그-디지털 변환기(200)에서 온도감지된 전압(Vt)에 대응하는 N비트의 디지털값을 생성하여 출력한다. 이어서 리프레쉬 제어부(300)에서는 온도에 관한 정보가 있는 N비트의 디지털값에 대응하는 리프레쉬 동작신호(Ref)를 생성하여 메모리코어블럭(400)으로 출력한다.

메모리코어블럭(400)은 동작시의 온도에 대하여 주기가 보정된 리프레쉬 동작신호(Ref)에 응답하여 리프레쉬 동작을 수행한다. 따라서 메모리 코어블럭(400)에서는 현재 상태의 온도에 최적화된 리프레쉬 주기에 맞추어 리프레쉬 동작을 수행할 수 있어, 불필요한 전류소모를 크게 줄일 수 있게 된다.

이어서 온도감지부(100)의 동작을 살펴본다.

먼저 제1 온도센싱부(110)는 온도가 증가함에 따라서 반비례하는 전류량을 가지는 제1 전류(Ic)를 생성하고, 제2 온도센싱부(120)는 온도가 증가함에 따라 비례하는 전류량을 가지는 제2 전류(Ip)를 생성하여 출력하게 된다.

제1 온도센싱부(110)에 구비하고 있는 다이오드 접속된 바이폴라 트랜지스터(Q3)는 그 특성상 베이스-에미터 단자간의 전압(Vbe3)이 온도의 증가에 대하여 약 $-2.1\text{mV}/\text{도}$ 의 계수를 가지고 있다. 한편 저항소자는 온도에 대하여 비교적 일정한 값을 가지고 있다.

한편, 제1 온도센싱부(110)에 구비된 연산증폭기(111)는 정입력단(+)으로 저항에 인가되는 전압을 입력받고, 부입력단(-)으로 바이폴라 트랜지스터(Q3)의 베이스-에미터 전압(Vbe3)을 입력받기 때문에, 온도가 증가함에 따라 부입력(-)으로 인가되는 전압이 감소하고, 이로 인하여 연산증폭기(111)의 출력전압이 감소하게 된다.

따라서 전류미러 형태로 게이트단이 공통으로 연결된 모스트랜지스터(MP5, MP6, MP7)는 온도가 증가함에 따라 점점 더 약하게 턴온되어 제1 전류(Ic)는 감소하게 되는 것이다. 제1 전류를 수식으로 나타내는 것이 아래의 수학적식1이다. 온도의 증가에 반비례하는 제1 전류(Ic)는 저항(R2)을 통해 접지전압(VSS)으로 흐르게 되므로, 제1 전류(Ic)와 저항(R2)에 의해 생성되는 전압은 온도의 증가에 따라 감소되는 특성을 가지게 된다.

수학적식 1

$$I_c = N \times (V_{be3}) / R_1 \quad (N \text{은 비례상수})$$

이어서, 온도감지된 전압출력부(130)의 연산증폭기(121)는 정입력단(+)으로 저항(R2)에 인가되는 전압을 입력받기 때문에 온도가 증가함에 따라 출력전압도 증가하여 출력한다. 이로 인하여 모스트랜지스터(MP8)는 온도가 증가함에 따라 점점 더 강하게 턴온되어, 온도감지부(100)의 최종출력인 온도감지된 전압(Vt)은 온도가 증가함에 따라 높은 레벨을 가지는 특성을 가지게 된다. 온도감지된 전압(Vt)에 대한 수식은 아래의 수학적식2과 같다.

수학적식 2

$$V_t = R_3 \times (R_2 \times N \times V_{be3} / R_1) / R_4$$

한편, 제2 온도센싱부(130)의 연산증폭기(133)는 각각 정입력단(+)과 부입력(-)을 통해 저항(R5)과 직렬로 연결된 다이오드 접속된 바이폴라 트랜지스터(Q1)에 인가되는 전압과, 다이오드 접속된 바이폴라 트랜지스터(Q2)에 인가되는 전압을 입력받게 된다.

저항(R5) 및 바이폴라 트랜지스터(Q1)에 인가되는 전압과 바이폴라 트랜지스터(Q2)에 인가되는 전압의 차이는 온도의 증가에 따라 약 0.08mV/도의 계수를 가지게 된다. 따라서 연산증폭기(133)의 출력전압은 온도의 증가에 따라 레벨이 증가되는 특성을 가지게 되고, 전류미러 형태로 게이트단이 공통으로 연결된 모스트랜지스터(MP1, MP2, MP3)는 온도가 증가함에 따라 강하게 턴온되어, 최종적으로 온도증가에 반비례하는 제2 전류(Ip)가 생성되는 것이다. 제2 전류(Ip)에 대한 수식은 아래의 수학적식3과 같다.

수학적식 3

$$I_p = K \times (V_{be2} - V_{be1}) / R_5 \quad (K \text{는 비례상수})$$

이어서 계속해서 살펴보면, 기준전류 생성부(140)는 제1 전류(Ip)와 제2 전류(Ic)를 합한 전류인 기준전류(Ir)를 생성한다. 여기서 생성된 기준전류(Ir)는 아날로그-디지털 변환기에서 온도감지된 전압(Vt)에 대응하는 디지털값을 생성할 때의 기준전류로 사용된다.

여기서 본 실시예에 따른 온도감지부(100)는 온도감지된 전압(Vt)를 생성하는데 있어서 제1 온도센싱부(110)에서 출력되는 온도의 증가에 따라 감소하는 제1 전류(Ic)를 이용하였다. 이는 제1 온도센싱부(110)의 동작시 적용되는 온도계수(-2.1mv/도)가 제2 온도센싱부(130)의 동작시 적용되는 온도계수(0.08mv/도)보다 크기 때문에 온도의 변화에 보다 더 민감하게 온도감지된 전압레벨이 변할 수 있게 하기 위한 것이다.

그러나, 경우에 따라서는 제2 온도센싱부(130)에서 출력되는 제2 전류(Ip)를 이용하여 온도감지된 전압(Vt)를 생성하여 출력할 수도 있다. 이 경우에는 온도감지된 전압출력부(120)의 회로를 다시 꾸며야 되는데, 가장 간단하게는 연산증폭기(121)의 정입력단(+)은 저항(R3,R4)의 공통노드에 연결시키고, 부입력단(-)으로 제2 전류(Ip)에 의해 인가되는 전압을 입력받으면 된다.

이어서 아날로그-디지털 변환기(200)의 동작을 살펴본다.

아날로그-디지털 변환기(200)의 전압비교기(210)는 온도감지된 전압(Vt)과 내부전압(Vin)을 비교하여 출력한다. 이어서 2진 업/다운 카운터(220)는 전압비교기(210)의 출력결과에 따라 출력되는 8비트의 2진 디지털신호를 업하거나 다운시킨다. 2진 업/다운 카운터에서는 구비되는 레지스터에 초기의 임의의 온도에 대응하는 디지털값을 저장하고 있다가, 전압비교기(210)에서 출력되는 전압의 크게 대응하여 출력되는 8비트의 2진 디지털신호를 업하거나 다운시킨다.

이어서 코드변환부(250)는 2진 업/다운 카운터(220)에 출력되는 2진 디지털신호중 상위6비트의 신호를 온도계코드(thermometer)로 변환하여 세그먼트 디지털-아날로그 변환기(270)로 출력한다. 한편, 딜레이는 2진 업/다운 카운터(220)에 출력되는 하위 6비트의 2진 디지털신호를 입력받아 코드변환부(250)에서 코드가 변환되는 소정의 시간만큼 지연시켜 바이너리 디지털-아날로그 변환기(280)로 출력한다.

이렇게 2진 업/다운 카운터(220)에서 출력되는 2진 디지털 신호의 상위 6비트신호를 온도계코드로 변환하여 디지털-아날로그 변환기(270)로 출력시키는 이유는 2진 디지털 신호를 변환없이 바로 디지털-아날로그 변환기(270)로 출력하게 될 때 발생하는 글리치(Glitch)를 줄이기 위해서이다.

그러나 2진 업/다운 카운터(220)에서 출력되는 8비트의 2진 디지털 신호 모두를 온도계코드로 변환하게 될 때에는 회로면적이 크게 증가되기 때문에, 상위 6비트의 2진 디지털 신호만을 온도계코드로 변환하여 세그먼트 디지털-아날로그 변환기(270)로 출력하는 것이다.

아래의 표1에는 온도계코드의 일예가 도시되어 있다. 도시된 바와 같이 온도계코드는 2진 디지털신호를 디코딩하여 가중치에 해당되는 갯수만큼 하이레벨의 신호를 출력하게 된다. 온도계 코드로 디코딩한 디지털 신호를 입력받아 아날로그 신호로 변환하게 되면 변환하는 동작에서 발생하는 신호의 글리치 성분을 크게 줄일 수 있게 되는 것이다.

[표 1]

이진수			온도코드						
D3	D2	D1	T7	T6	T5	T4	T3	T2	T1
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	1
0	1	1	0	0	0	0	1	1	1
1	0	0	0	0	0	1	1	1	1
1	0	1	0	0	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1

계속해서 살펴보면, 세그먼트 디지털-아날로그 변환기(270)는 온도계코드로 디코딩되어 입력되는 디지털신호에 대응하는 제1 아날로그신호(Va)를 출력하고, 바이너리 디지털-아날로그 변환기(280)에서는 딜레이(260)에서 출력되는 2진 디지털 신호를 제2 아날로그신호(Vb)를 변환하여 출력한다.

이어서 DAC로드(290)에서는 세그먼트 디지털-아날로그 변환기(270)와 바이너리 디지털-아날로그 변환기(280)에서 출력되는 제1 및 제2 아날로그신호(Va, Vb)를 조합한 하나의 아날로그신호로 출력하고, 여기서 출력된 아날로그신호 연산증폭기(40)에 의해 버퍼링되어 전압비교기(210)의 내부전압으로 출력된다.

한편, 변환 제어부(230)는 입력되는 인에이블 제어신호(T_enable)에 응답하여 전압비교기(210)와 2진 업/다운카운터(220)의 인에이블 상태를 제어하게 된다.

변환 제어부(230)는, 본 발명의 아날로그-디지털 변환부(200)는 리프레쉬 동작을 수행하는 데에만 필요하기 때문에, 반도체 메모리 장치가 리프레쉬 동작을 수행하기 위해 현재 동작에 적절한 리프레쉬 동작주기를 결정할 때에만 아날로그-디지털 변환부(200)를 동작시키기 위해 구비되는 블럭이다.

변환제어부(230)는 링발진기 형태로 구성되는데, 인에이블 제어신호(T_enable)가 로우레벨인 경우에는 링발진기가 디스에이블되어 인에이블 신호(en)를 비활성화시켜 출력하고, 하이레벨인 경우에는 인에이블신호(en)을 활성화시켜 출력한다.

본 실시예에서는 아날로그-디지털 변환부(200)에서 온도 감지된 전압(V_t)에 대응하여 8비트의 디지털 신호를 출력하였으나, 그 비트수는 메모리 장치에 따라서 임의로 조정가능하다. 아날로그-디지털 변환부(200)에서 온도 감지된 전압(V_t)에 대응하여 출력되는 디지털 신호의 비트수가 증가하면 할수록 온도의 변화에 리프레쉬 동작 주기를 정밀하게 제할 수 있을 것이다.

계속해서 리프레쉬 제어부(300)의 동작을 살펴본다.

리프레쉬 제어부(300)는 크게 리프레쉬동작용 발진기(310)와, 주파수 분주기(320)으로 구성되는데, 아날로그-디지털 변환부(200)에서 출력되는 온도정보가 포함된 8비트의 디지털 신호중에서 상위 4비트의 신호(M3,M4,M5,M6)는 주파수 분주기(320)로 입력되고, 하위 4비트의 신호(L1,L2,M1,M2)는 리프레쉬 동작용 발진기(310)로 입력된다.

리프레쉬 동작용 발진기(310)는 하위 4비트의 신호(L1,L2,M1,M2)에 대응하여 주파수가 조정된 클럭신호(CKref1)를 생성하여 출력하고, 주파수분배기(320)는 상위 4비트의 신호(M3,M4,M5,M6)에 대응하여 주파수가 조정된 클럭신호(CKref1)의 주기를 분주하여 리프레쉬 동작신호(Ref)로 출력한다.

리프레쉬 동작용 발진기(310)의 동작을 살펴보면, 기준전류생성부(311)에 구비되는 서로 다른 채널폭을 가지는 다수의 MOST랜지스터(MN2,MN3,MN4,MN5)는 하위 4비트의 신호(L1,L2,M1,M2)에 응답하여 각각 턴온된다. 다수의 MOST랜지스터(MN2,MN3,MN4,MN5)가 턴온된 상태에 따라 클럭발진용 기준전류(Ickr)의 전류량이 정해진다. 전류미러(311_2)는 클럭발진용 기준전류(Ickr)를 미러링하여 클럭발진용 동작전류(Ick)를 출력하고, 클럭발진용 동작전류(Ick)는 다이오드 접속된 MOST랜지스터(MP6)을 통해 접지전압(VSS)으로 흐르게 된다.

링발진기(312)는 홀수의 직렬연결된 다수의 인버터를 구비하는데, 각각의 인버터(예를 들면 3 12_1)는 각각 두개의 전류원용 MOST랜지스터(MP11,MN8)를 구비한다. 각각의 인버터에 구비되는 두개의 전류원용 MOST랜지스터는 클럭발진용 기준전류(Ickr)와 클럭발진용 동작전류(Ick)의 전류량에 미러링되어 턴온되고, 이 때 턴온되는 정도에 따라 링발진기(312)의 출력 클럭신호의 주파수가 조정된다.

주파수분주기(320)는 주파수 조정된 클럭신호(CKref)를 분주하여 리프레쉬 동작을 수행하기 위한 기준신호인 리프레쉬 동작신호(Ref)를 출력한다.

본 실시예의 리프레쉬 제어부(300)는 아날로그-디지털 변환부(200)에서 출력되는 8비트의 디지털 신호중에서 상위 4비트의 신호(M3,M4,M5,M6)는 리프레쉬 주기를 크게 변화시킬 수 있는 리프레쉬 동작신호(Ref)의 분주에 사용하고, 하위 4비트의 신호(L1,L2,M1,M2)는 리프레쉬 주기를 미세하게 변화시킬 수 있는 리프레쉬 동작신호(Ref)의 주파수를 조정하는데 사용하였다. 이는 각 메모리 장치의 경우에 따라 다르게 제어할 수 있다.

이상에서 살펴본 바와 같이, 본 실시예에 따르는 메모리 장치는 메모리 장치의 동작온도를 감지하고, 감지된 동작온도에 대응하는 온도감지된 전압을 생성하고, 온도감지된 전압에 대응하는 N비트의 디지털값을 출력하고, 출력되는 디지털값에 대응하여 리프레쉬 동작용 클럭신호를 출력한다. 마지막으로 리프레쉬 동작용 클럭신호에 따라서 리프레쉬 동작을 수행하게 된다.

이렇게 온도감지된 전압을 N비트의 디지털값으로 변환하고 변환된 N비트의 디지털값에 대응하여 리프레쉬 동작 주기를 변화시킴으로서, 온도의 변화에 대응하여 최적화된 주기로 리프레쉬 동작을 수행할 수 있다.

따라서 종래에 필요이상으로 리프레쉬 동작을 수행함으로 낭비되던 전류소모를 본 발명의 메모리 장치는 크게 줄일 수 있게 된다.

기술이 발달하게 됨에 따라, 반도체 장치는 보다 고속으로 동작하면서도 점점 더 저전력으로 동작하도록 요구받고 있다. 리프레쉬 동작시 소모되는 전류는 반도체 메모리 장치에서 사용되는 전체 동작 전류량에서 비교적 큰 비중을 차지하고 있다.

따라서 온도의 변화에 보다 정밀하게 리프레쉬 주기를 변화시킬 수 있다는 것은 메모리 장치의 동작전류를 크게 줄일 수 있는 것을 의미하고, 차세대 저전력 메모리 장치를 개발하는데 있어서도 매우 유리하게 된다.

도11은 본 발명의 바람직한 제 2실시예에 따른 반도체 메모리 장치를 나타내는 블럭구성도이다.

도11을 참조하여 살펴보면, 제2 실시예에 따른 반도체 메모리 장치는 온도변화에 대응하여 온도감지된 전압을 출력하기 위한 온도감지부(100)와, 온도감지된 전압(Vt)에 대응하는 리프레쉬 동작용 클럭신호(Ref)를 생성하여 출력하는 전압제어발진기를 구비하여, 리프레쉬 동작용 클럭신호(Ref)에 응답하여 리프레쉬 동작을 수행하게 된다.

도11에 도시된 온도감지부(100)는 도6에 도시된 온도감지부(100)와 같은 형태로 구성이 가지게 되므로, 그에 관한 설명은 생략한다. 또한, 제2 실시예에서도 도6에 도시된 온도의 증가에 따라 감소하는 제1 전류(Ic)를 이용하는 제1 온도센싱부(110)를 이용하여 온도 감지된 전압을 출력할 수도 있고, 온도의 증가에 따라 증가하는 제2 전류(Ip)를 이용하는 제2 온도센싱부(130)를 이용하여 온도 감지된 전압(Vt)를 출력할 수 있다.

이하에서는 도11을 참조하여 제2 실시예에 따른 반도체 메모리 장치의 동작을 간단하게 살펴본다.

도11을 참조하여 살펴보면, 제2 실시예에 따른 반도체 메모리 장치의 온도감지부(500)에서 동작온도를 감지하고, 감지된 동작온도에 대응하는 온도감지된 전압(Vt)을 생성하여 출력한다. 이어서 전압제어 발진기(Voltage controlled Oscillator)(600)는 온도감지된 전압(Vt)에 대응하는 발진된 클럭신호(Ref2)를 생성하고, 발진된 클럭신호에 응답하여 리프레쉬 동작을 수행하게 된다.

제2 실시예에 따른 반도체 메모리 장치는 온도의 변화에 따라서 온도감지된 전압(Vt)에 응답하여 바로 리프레쉬 동작의 주기를 정하게 된다. 이렇게 함으로서 전술한 제1 실시예보다는 리프레쉬 관련회로의 면적을 크게 줄일 수 있으나, 리프레쉬 동작 주기를 디지털적으로 제어할 수는 없는 단점이 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

본 발명에 의해 리프레쉬 동작을 수행하는 메모리 장치에 있어서, 동작온도의 변화에 최적화된 주기로 리프레쉬 동작을 수행할 수 있어, 필요 이상으로 리프레쉬 동작을 자주 수행함으로써 발생되었던 전류소모를 크게 줄일 수 있다.

특히, 리프레쉬 동작은 메모리장치에 데이터 액세스가 일어나지 않는 대기시간에도 반드시 수행해야 하는 동작이기 때문에, 본 발명에 의해 대기시간의 소모전력을 크게 줄일 수 있게 되었다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

온도의 변화에 대응하여 온도감지된 전압을 출력하는 온도감지수단과, 상기 온도감지된 전압에 대응하는 N비트의 디지털값을 출력하는 아날로그-디지털 변환수단과, 상기 N비트의 디지털값에 대응하여 리프레쉬 동작 주기를 제어하는 리프레쉬 제어수단을 구비하는 반도체 메모리 장치에 있어서,

상기 온도감지수단은,

온도의 증가에 대응하여 반비례하는 제1 전류를 출력하는 제1 온도센싱부와, 상기 제1 전류에 대응하여 상기 온도감지된 전압을 출력하는 온도감지된 전압출력부와, 온도의 증가에 대응하여 비례하는 제2 전류를 출력하는 제2 온도센싱부와, 상기 제1 전류와 상기 제2 전류를 합한 기준전류를 출력하는 기준전류 생성부를 구비하며,

상기 제1 온도센싱부는,

전원전압에 일측이 접속된 제1 MOST랜지스터;

상기 제1 MOST랜지스터의 타측과 접지전압 사이에 제공된 제1 저항;

상기 전원전압에 일측이 접속되며 게이트이 상기 제1 MOST랜지스터의 게이트에 접속된 제2 MOST랜지스터;

상기 제2 MOST랜지스터의 타측과 상기 접지전압 사이에 제공되며, 다이오드접속된 제1 바이폴라트랜지스터;

정입력단(+)이 상기 제1 MOST랜지스터의 타측에 부입력단(-)이 상기 제2 MOST랜지스터의 타측단에 접속되며, 출력단이 상기 제1 및 제2 MOST랜지스터의 게이트에 접속된 제1 연산증폭기;

상기 전원전압에 일측이 접속되며, 게이트이 상기 제1 및 제2 MOST랜지스터의 게이트에 접속된 제3 MOST랜지스터; 및

상기 제3 MOST랜지스터와 상기 접지전압사이에 제공된 제2 저항을 구비하여, 상기 제3 MOST랜지스터와 상기 제2 저항을 관통하여 상기 제1 전류를 흐르게 하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7.

제 6 항에 있어서,

상기 온도감지된 전압출력부는

일측이 상기 전원전압에 접속된 제4 MOST랜지스터;

상기 제4 MOST랜지스터의 타측과 접지전압사이에 직렬연결되는 제3 및 제4 저항; 및

정입력단(+)이 상기 제2 저항의 일측단에, 부입력단(-)이 상기 제3 및 제4 저항의 공통노드에 접속되고, 출력단이 상기 제4 MOST랜지스터의 게이트에 접속된 제2 연산증폭기를 구비하여 상기 제4 MOST랜지스터의 타측으로 상기 온도감지된 전압을 출력하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8.

제 7 항에 있어서,

상기 제2 온도센싱부는

상기 전원전압에 일측이 접속된 제5 MOST랜지스터;

상기 제5 MOSTRANZISTAR의 타측에 일측이 접속된 제5 저항;

상기 제5 저항의 타측과 상기 접지전압 사이에 제공되며 다이오드 접속된 제2 바이폴라트랜지스터;

상기 전원전압에 일측이 접속되고, 게이트가 상기 제5 MOSTRANZISTAR의 게이트에 접속된 제6 MOSTRANZISTAR;

상기 제6 MOSTRANZISTAR의 타측과 상기 접지전압 사이에 제공되며 다이오드 접속된 제3 바이폴라트랜지스터;

정입력단(+)이 상기 제5 저항의 일측에, 부입력단(-)이 상기 제6 MOSTRANZISTAR의 타측에 접속되며, 출력단이 상기 제5 및 제6 MOSTRANZISTAR의 게이트에 접속된 제3 연산증폭기를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9.

제 8 항에 있어서,

상기 기준전류 생성부는

상기 전원전압에 일측이 접속되고, 게이트가 상기 제5 및 제6 MOSTRANZISTAR의 게이트에 접속된 제7 MOSTRANZISTAR;

상기 전원전압에 일측이 접속되고, 게이트가 상기 제1 내지 제3 MOSTRANZISTAR의 공통 게이트에 접속된 제8 MOSTRANZISTAR;

상기 제7 및 제8 MOSTRANZISTAR의 타측과 상기 접지전압 사이에 제공되며 다이오드 접속된 제9 MOSTRANZISTAR를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

리프레쉬 동작을 수행하는 메모리 장치에 있어서,

온도의 변화에 대응하여 온도감지된 전압을 출력하는 온도감지수단;

상기 온도감지된 전압에 대응하는 N비트의 디지털값을 출력하는 아날로그-디지털 변환수단; 및

상기 N비트의 디지털값에 대응하여 리프레쉬 동작 주기를 제어하는 리프레쉬 제어수단을 구비하며,

상기 리프레쉬 제어수단은,

상기 N비트의 디지털값중 소정의 하위 비트수에 해당되는 제1 디지털값에 대응하여 주파수 조정된 클럭신호를 출력하는 리프레쉬 동작용 발진기와,

상기 N비트의 디지털값중 나머지 비트수에 해당되는 제2 디지털값에 대응하여 상기 클럭신호를 분주하여 리프레쉬 동작을 수행하기 위한 리프레쉬 동작신호로 출력하는 주파수분주기를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13.

제 12 항에 있어서,

상기 리프레쉬 동작용 발진기는

상기 제1 디지털값에 대응하여 클럭발진용 기준전류를 생성하는 클럭발진용 기준전류 생성부; 및

상기 클럭발진용 기준전류에 대응하는 클럭신호를 발진시켜 출력하는 링발진기를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 14.

제 13 항에 있어서,

상기 클럭발진용 기준전류 생성부는

전원전압으로부터 접지전압으로 흐르게 되는 클럭발진용 기준전류를 미리링한 동작전류를 출력하는 전류미러링 수단;

상기 제1 디지털값에 대응하여 서로 다른 패턴으로 턴온되어, 상기 클럭발진용 기준전류의 전류량을 조절하기 위한 다수의 제1 모스트랜지스터; 및

상기 동작전류를 상기 접지전압으로 흐르게 하기 위한 다이오드 접속된 제2 모스트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15.

제 14 항에 있어서,

상기 링발진기는 최종단의 인버터 출력이 첫번째 인버터의 입력으로 연결되는 홀수개의 직렬연결된 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 16.

제 15 항에 있어서,

상기 링발진기에 구비되는 인버터는

전원전압에 일측이 접속되며, 상기 클럭발진용 기준전류를 미리링하기 위한 제3 모스트랜지스터;

접지전압에 일측이 접속되며, 게이트가 상기 제2 모스트랜지스터의 게이트에 접속되어 상기 동작전류를 미리링하기 위한 제4 모스트랜지스터; 및

앞단 인버터의 출력신호를 공통 게이트로 입력받으며, 상기 제3 모스트랜지스터와 상기 제4 모스트랜지스터의 사이에 제공되며 직렬연결된 제5 및 제6 모스트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 17.

리프레쉬 동작을 수행하는 메모리 장치에 있어서,

온도의 변화에 대응하여 온도감지된 전압을 출력하는 온도감지수단;

상기 온도감지된 전압에 대응하는 N비트의 디지털값을 출력하는 아날로그-디지털 변환수단; 및

상기 N비트의 디지털값에 대응하여 리프레쉬 동작 주기를 제어하는 리프레쉬 제어수단을 구비하며,

상기 아날로그-디지털 변환수단은,

상기 온도감지된 전압과 내부전압을 비교하기 위한 전압비교기;

상기 전압비교기에 비교된 결과에 따라 출력되는 2진 디지털값을 업 또는 다운시키는 2진 업/다운 카운터;

상기 업/다운 카운터의 출력중 소정의 상위비트수에 해당되는 2진 디지털값을 온도계코드로 변환하여 출력하는 코드변환부;

상기 코드변환부에서 코드를 변환시키는 타이밍동안 상기 코드변환부에 의해 변환되지 않는 나머지 2진 디지털값을 지연시켜 출력하는 딜레이;

상기 코드변환부에서 변환된 온도계코드를 제1 아날로그값으로 출력하는 세그먼트 디지털-아날로그 변환기;

상기 딜레이에서 출력되는 2진 디지털값을 제2 아날로그값으로 출력하는 바이너리 디지털-아날로그 변환기; 및

상기 제1 및 제2 아날로그값에 대응하는 상기 내부전압으로 변환하여 출력하는 전압변환수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 18.

삭제

청구항 19.

제 17 항에 있어서,

상기 아날로그-디지털 변환수단은

인에이블 신호를 입력받아 상기 전압비교기 및 상기 2진 업/다운 카운터의 활성화를 제어하는 변환제어부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 20.

제 19 항에 있어서,

상기 변환제어부는

상기 인에이블 신호를 일측으로 입력받는 낸드게이트; 및

상기 낸드게이트의 출력을 첫입력으로 하여 앞단의 출력을 반전시켜 출력하되, 최종단의 출력은 상기 낸드게이트의 타측으로 입력되는 다수의 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

온도변화에 대응하여 온도감지된 전압을 출력하기 위한 온도감지수단과, 상기 온도감지된 전압에 대응하는 리프레쉬 동작용 클럭신호를 생성하여 출력하는 전압제어발진기를 구비하여, 상기 리프레쉬 동작용 클럭신호에 응답하여 리프레쉬 동작을 수행하는 반도체 메모리 장치에 있어서,

상기 온도감지수단은,

온도의 증가에 대응하여 반비례하는 온도감지된 전류를 출력하는 온도센싱부와, 상기 온도감지된 전류에 대응하는 상기 온도감지된 전압을 출력하는 온도감지된 전압출력부를 구비하며,

상기 온도센싱부는,

전원전압에 일측이 접속된 제1 MOST랜지스터;

상기 제1 MOST랜지스터의 타측과 접지전압 사이에 제공된 제1 저항;

상기 전원전압에 일측이 접속되며 게이트이 상기 제1 MOST랜지스터의 게이트에 접속된 제2 MOST랜지스터;

상기 제2 MOST랜지스터의 타측과 상기 접지전압 사이에 제공되며, 다이오드접속된 제1 바이폴라트랜지스터;

정입력단(+)이 상기 제1 MOST랜지스터의 타측에 부입력단(-)이 상기 제2 MOST랜지스터의 타측단에 접속된 출력단이 상기 제1 및 제2 MOST랜지스터의 게이트에 접속된 제1 연산증폭기;

상기 전원전압에 일측이 접속되면 게이트이 상기 제1 및 제2 MOST랜지스터의 게이트에 접속된 제3 MOST랜지스터; 및

상기 제3 MOST랜지스터와 상기 접지전압사이에 제공된 제2 저항을 구비하여, 상기 제3 MOST랜지스터와 상기 제2 저항을 관통하여 상기 제1 전류를 흐르게 하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 24.

제 23 항에 있어서,

상기 온도감지된 전압출력부는,

일측이 상기 전원전압에 접속된 제4 MOST랜지스터;

상기 제4 MOST랜지스터의 타측과 접지전압사이에 직렬연결되는 제3 및 제4 저항; 및

정입력단(+)이 상기 제2 저항의 일측단에, 부입력단(-)이 상기 제3 및 제4 저항의 공통노드에 접속되고, 출력단이 상기 제4 MOST랜지스터의 게이트에 접속된 제2 연산증폭기를 구비하여 상기 제4 MOST랜지스터의 타측으로 상기 온도감지된 전압을 출력하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

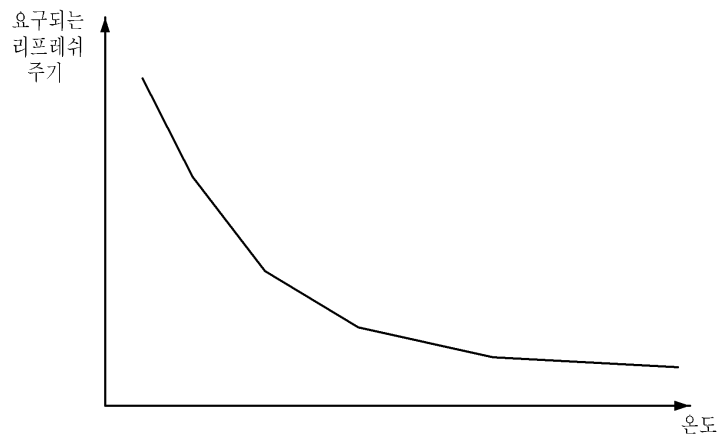
삭제

청구항 28.

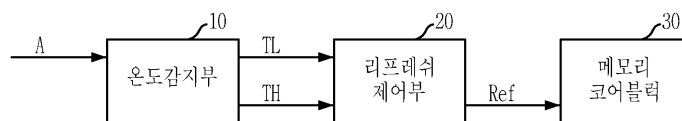
삭제

도면

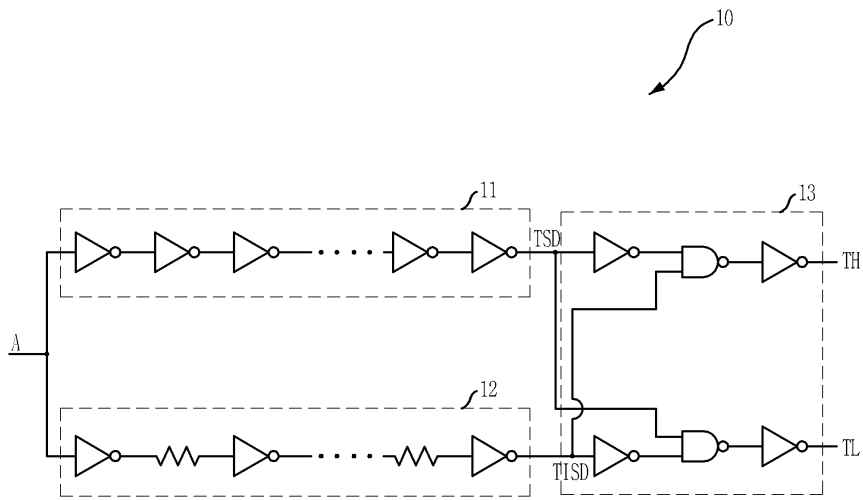
도면1



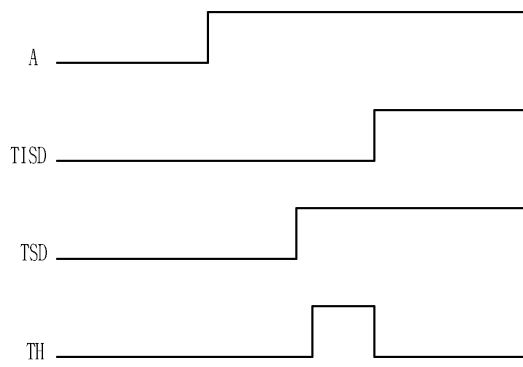
도면2



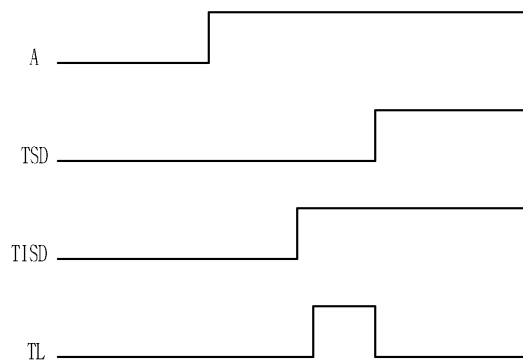
도면3



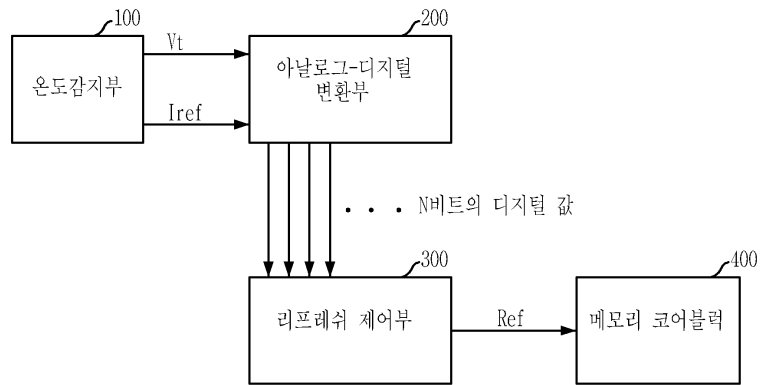
도면4a



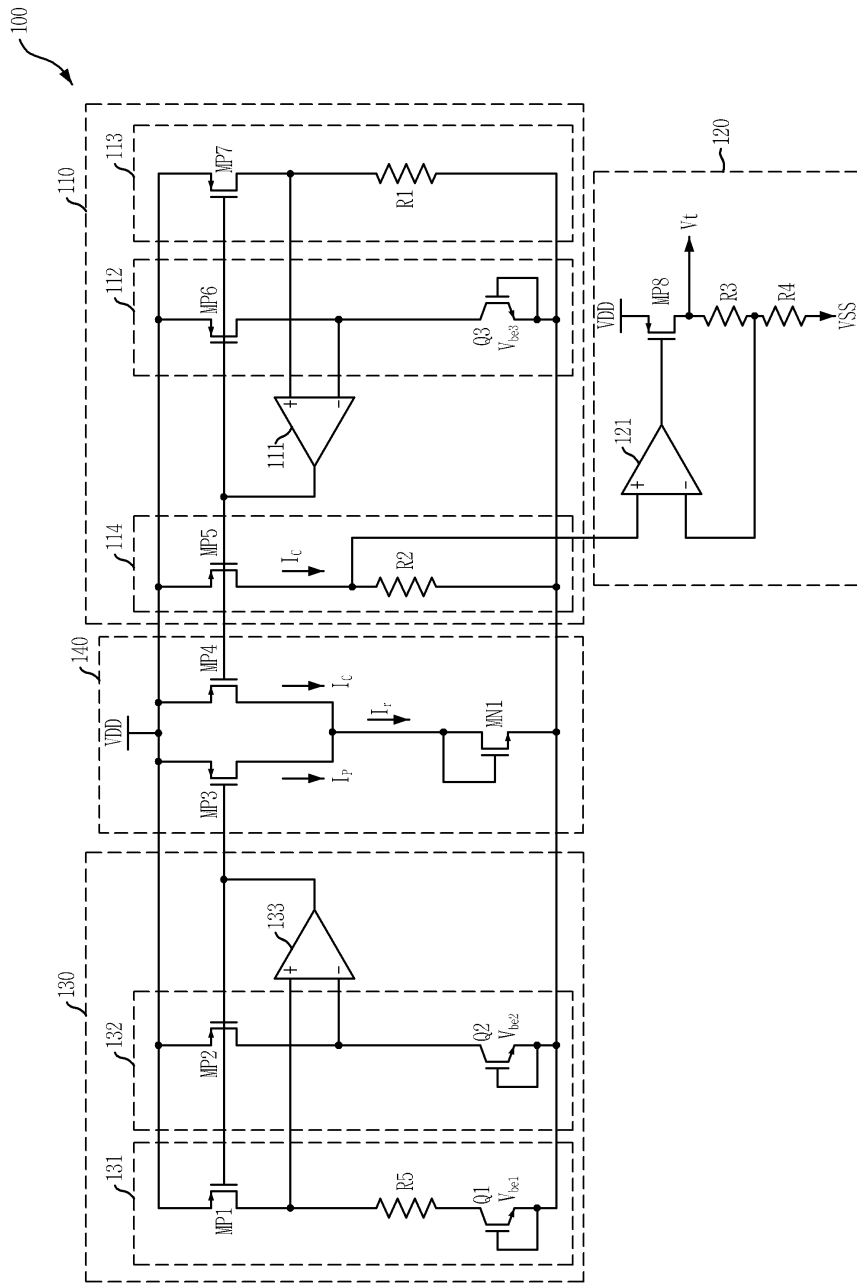
도면4b



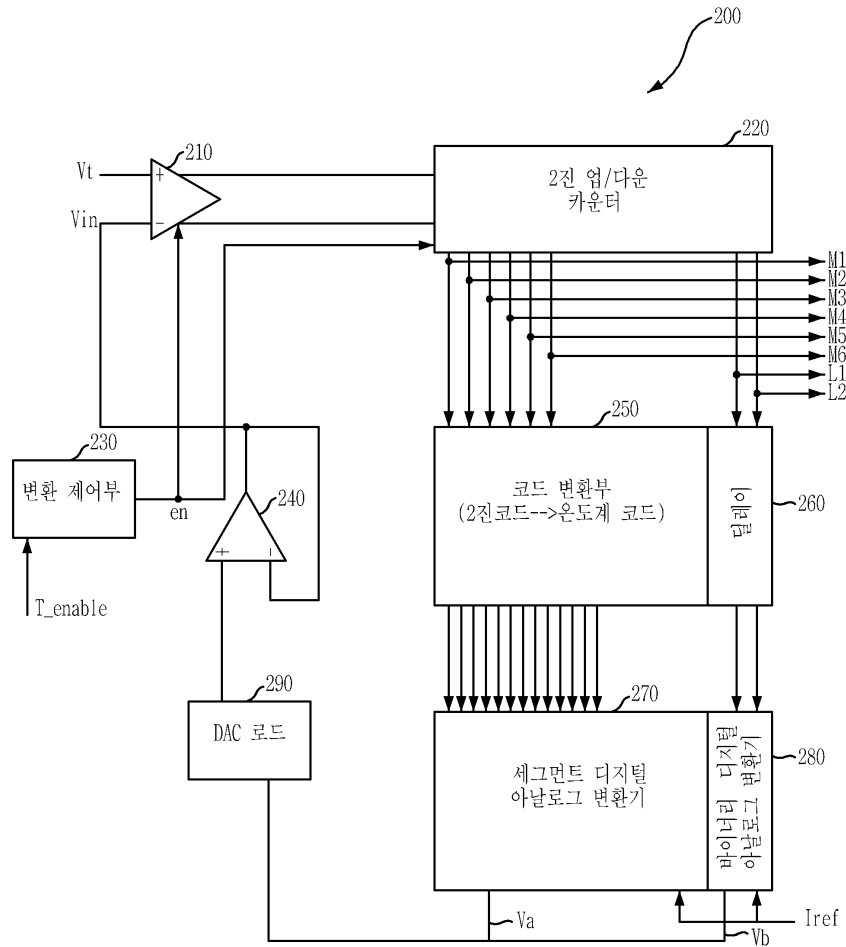
도면5



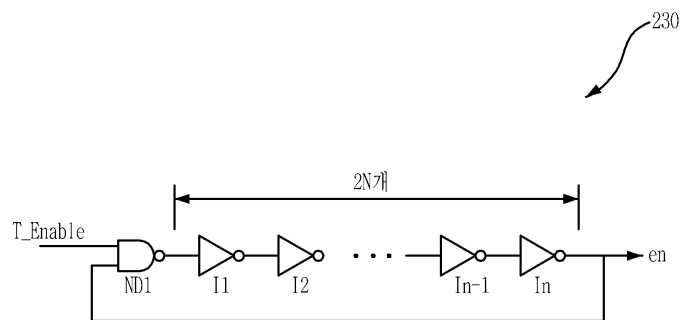
도면6



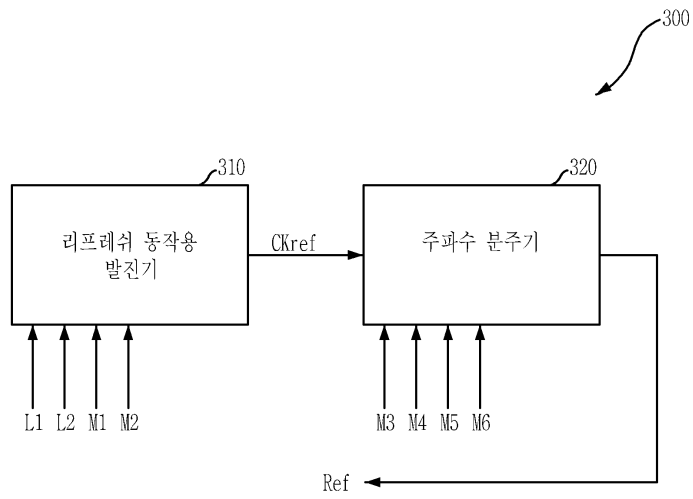
도면7



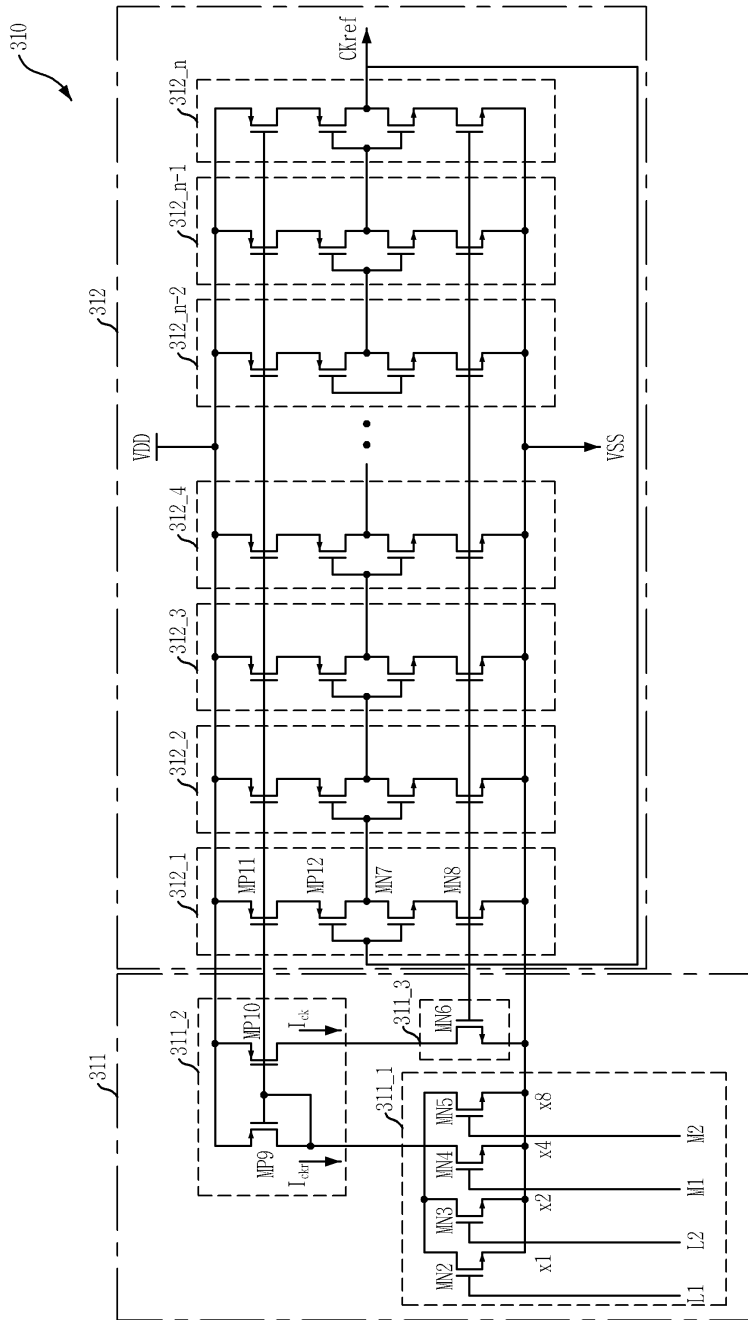
도면8



도면9



도면10



도면11

