



(12) 发明专利

(10) 授权公告号 CN 102867777 B

(45) 授权公告日 2015. 02. 25

(21) 申请号 201210232986. 6

US 2003/0178389 A1, 2003. 09. 25,

(22) 申请日 2012. 07. 05

审查员 黎欣

(30) 优先权数据

13/178, 079 2011. 07. 07 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 谢棋君 吴伟诚 颜孝璁 胡宪斌

侯上勇 郑心圃

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社杲 孙征

(51) Int. Cl.

H01L 21/768(2006. 01)

(56) 对比文件

US 2003/0178389 A1, 2003. 09. 25,

JP 特开 2005-243689 A, 2005. 09. 08,

CN 1671273 A, 2005. 09. 21,

US 2011/0095395 A1, 2011. 04. 28,

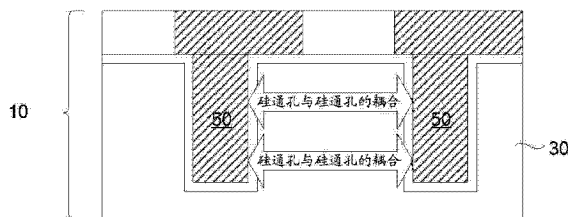
权利要求书3页 说明书7页 附图3页

(54) 发明名称

在半导体衬底中形成接地硅通孔

(57) 摘要

一种形成中介层的方法包括：提供半导体衬底，半导体衬底具有正面和与正面相对的背面；形成一个或多个硅通孔 (TSV)，该一个或多个硅通孔从所述前表面延伸到所述半导体衬底中；形成层间介电 (ILD) 层，该层间介电层覆盖半导体衬底的正面和一个或多个 TSV；以及在 ILD 层中形成互连结构，互连结构电连接半导体衬底的一个或多个 TSV。



1. 一种形成半导体器件的方法,包括:
提供半导体衬底,所述半导体衬底具有第一面和与所述第一面相对的第二面;
形成硅通孔 TSV 开口,所述硅通孔开口从所述半导体衬底的所述第一面延伸到所述半导体衬底中;
在所述半导体衬底的所述第一面上并沿着所述 TSV 开口的侧壁和底部形成衬垫层;
在位于所述开口中的所述衬垫层上方沉积第一导电材料层,从而形成 TSV;
在所述半导体衬底的所述第一面的上方形成层间介电 ILD 层;
形成通孔开口,所述通孔开口从所述 ILD 层延伸到所述半导体衬底的一部分中;
在所述 ILD 层中形成沟道开口,从而暴露所述 TSV 的一部分;以及
在所述通孔和所述沟道开口中沉积第二导电材料层,从而形成互连结构,所述互连结构将所述 TSV 与所述半导体衬底电连接。
2. 根据权利要求 1 所述的方法,其中,形成半导体器件包括形成中介层。
3. 根据权利要求 1 所述的方法,进一步包括:在形成所述 TSV 的步骤以后,平整化所述半导体衬底的所述第一面。
4. 根据权利要求 1 所述的方法,进一步包括:在所述衬垫层和所述 TSV 之间形成第一阻挡层。
5. 根据权利要求 4 所述的方法,进一步包括:在所述第一阻挡层和所述 TSV 之间形成第一种子层。
6. 根据权利要求 1 所述的方法,进一步包括:在所述半导体衬底的所述第一面的上方形成所述 ILD 层的步骤以前,形成蚀刻停止层。
7. 根据权利要求 1 所述的方法,进一步包括:在所述通孔和所述沟道开口的上方形成第二阻挡层。
8. 根据权利要求 7 所述的方法,进一步包括:在所述第二阻挡层的上方形成第二种子层。
9. 根据权利要求 1 所述的方法,其中,通过电化学电镀形成所述互连结构。
10. 根据权利要求 1 所述的方法,其中,形成所述 TSV 和所述互连结构包括:形成由铜或铜合金所制成的结构。
11. 根据权利要求 1 所述的方法,进一步包括:在形成所述互连结构的步骤以后,平整化所述半导体衬底的所述第一面。
12. 一种形成中介层的方法,包括:
提供半导体衬底,所述半导体衬底具有正面和与所述正面相对的背面;
形成一个或多个硅通孔 TSV,所述硅通孔从所述正面延伸到所述半导体衬底中;
形成层间介电 ILD 层,所述层间介电层覆盖所述半导体衬底的所述正面和所述一个或多个硅通孔;以及
形成具有沟道部分和通孔部分的互连结构,所述沟道部分形成在所述 ILD 层中并且所述通孔部分形成在所述半导体衬底的一部分中,其中,所述互连结构将所述半导体衬底电连接至所述一个或多个 TSV。
13. 根据权利要求 12 所述的方法,进一步包括:在至少所述一个或多个 TSV 和所述半导体衬底之间形成衬垫层。

14. 根据权利要求 13 所述的方法,进一步包括:在所述一个或多个 TSV 和所述衬垫层之间形成阻挡层和 / 或种子层。

15. 根据权利要求 12 所述的方法,进一步包括:在至少所述互连结构、所述 ILD 层与所述半导体衬底的所述正面之间形成阻挡层和 / 或种子层。

16. 一种集成电路结构,包括:

半导体衬底,具有正面和与所述正面相对的背面;

硅通孔 TSV,从所述半导体衬底的所述正面延伸到所述半导体衬底中;以及

互连结构,具有沟道部分和通孔部分,所述沟道部分在层间介电 ILD 层中形成,所述 ILD 层覆盖所述半导体衬底的所述正面,并且所述通孔部分在所述半导体衬底的一部分中形成,其中,所述互连结构将所述半导体衬底电连接至所述 TSV。

17. 根据权利要求 16 所述的集成电路结构,其中,所述集成电路结构为中介层。

18. 根据权利要求 17 所述的集成电路结构,其中,所述中介层包括无源器件。

19. 根据权利要求 18 所述的集成电路结构,其中,所述中介层包括有源器件。

20. 根据权利要求 16 所述的集成电路结构,进一步包括:衬垫层,至少在所述 TSV 和所述半导体衬底之间形成。

21. 根据权利要求 20 所述的集成电路结构,进一步包括:阻挡层,在所述 TSV 和所述衬垫层之间形成;以及种子层,在所述 TSV 和所述阻挡层之间形成。

22. 根据权利要求 16 所述的集成电路结构,其中,所述互连结构和所述 TSV 由相同的导电材料形成。

23. 一种中介层,包括:

半导体衬底,具有正面和与所述正面相对的背面;

硅通孔 TSV,形成为从所述半导体衬底的所述正面延伸到所述半导体衬底中;

衬垫层,至少在所述 TSV 和所述半导体衬底之间形成;

层间介电 ILD 层,在所述半导体衬底的所述正面的上方形成;以及

互连结构,具有沟道部分和通孔部分,所述沟道部分在所述 ILD 层中形成,并且所述通孔部分在所述半导体衬底的一部分中形成,其中,所述互连结构将所述 TSV 电连接至所述半导体衬底。

24. 根据权利要求 23 所述的中介层,进一步包括:阻挡层,在所述 TSV 和所述衬垫层之间形成。

25. 根据权利要求 24 所述的中介层,进一步包括:种子层,在所述 TSV 和所述阻挡层之间形成。

26. 根据权利要求 23 所述的中介层,其中,所述互连结构和所述 TSV 由相同的导电材料形成。

27. 根据权利要求 23 所述的中介层,进一步包括无源器件。

28. 根据权利要求 27 所述的中介层,进一步包括有源器件。

29. 一种半导体封装结构,包括:

中介层具有:

半导体衬底,具有正面和与所述正面相对的背面;

硅通孔 TSV,形成为从所述半导体衬底的所述正面延伸到所述半导体衬底中;

- 衬垫层,至少在所述 TSV 和所述半导体衬底之间形成 ;
层间介电 ILD 层,在所述半导体衬底的所述正面的上方形成 ;以及
互连结构,具有沟道部分和通孔部分,所述沟道部分在所述 ILD 层中形成,并且所述通孔部分在所述半导体衬底的一部分中形成,其中,所述互连结构将所述 TSV 电连接至所述半导体衬底 ;
第一半导体芯片 ;以及
多个接合焊盘,将所述第一半导体芯片接合至所述中介层。
30. 根据权利要求 29 所述的半导体封装结构,进一步包括 :第二半导体芯片,接合在所述第一半导体芯片上。
31. 根据权利要求 29 所述的半导体封装结构,其中,所述中介层包括无源器件。
32. 根据权利要求 31 所述的半导体封装结构,其中,所述中介层进一步包括有源器件。
33. 一种半导体封装结构,包括 :
中介层具有 :
半导体衬底,具有正面和与所述正面相对的背面 ;
硅通孔 TSV,形成为从所述半导体衬底的所述正面延伸到所述半导体衬底中 ;
衬垫层,至少在所述 TSV 和所述半导体衬底之间形成 ;
层间介电 ILD 层,在所述半导体衬底的所述正面的上方形成 ;以及
互连结构,具有沟道部分和通孔部分,所述沟道部分在所述 ILD 层中形成,并且所述通孔部分在所述半导体衬底的一部分中形成,其中,所述互连结构将所述 TSV 电连接至所述半导体衬底 ;
多芯片半导体结构,至少具有第一芯片和第二芯片 ;以及
多个接合焊盘,将所述多芯片半导体结构接合至所述中介层。
34. 根据权利要求 33 所述的半导体封装结构,其中,所述中介层包括无源器件。
35. 根据权利要求 34 所述的半导体封装结构,其中,所述中介层进一步包括有源器件。

在半导体衬底中形成接地硅通孔

技术领域

[0001] 本发明通常涉及半导体器件的制造,更具体地来说,涉及在半导体衬底中形成接地硅通孔的方法。

背景技术

[0002] 中介层用于集成电路封装,通常用于空间转换,将该中介层用于在半导体管芯和封装组件之间的布线连接。图 1 示出了中介层 10 的一部分的横截面图。通常,中介层 10 包括衬底 30,该中介层通常由有机材料或陶瓷形成。为了进行来自一个或多个半导体管芯和 / 或封装元件(未示出)的电连接,在衬底 30 中形成一个或多个硅通孔(TSV)50。

[0003] 随着集成电路的规模缩小不断增加和电路功能不断增加,对于逐渐更小的中介层线宽的要求不断增加。当线宽缩小时,由于来自管芯 / 管芯封装电阻、电感、电容的负载,RC 传输线效应增加。而且,当衬底 30 不接地时,在相邻 TSV 之间的交叉耦合或串扰也增加。由于在 TSV 之间的这种交叉耦合,沿相对较长的互连传输的信号具有延迟和其他形式的失真。结果,这些信号可能被损坏,集成电路运行缓慢,或者甚至导致故障。当工作频率增加时,这些影响可能更显著。

发明内容

[0004] 为解决上述问题,本发明提供了一种形成半导体器件的方法,包括:提供半导体衬底,半导体衬底具有第一面和与第一面相对的第二面;形成硅通孔 TSV 开口,硅通孔开口从半导体衬底的第一面延伸到半导体衬底中;在半导体衬底的第一面上并沿着 TSV 开口的侧壁和底部形成衬垫层;在位于开口中的衬垫层上方沉积第一导电材料层,从而形成 TSV;在半导体衬底的第一面的上方形成层间介电 ILD 层;形成通孔开口,通孔开口从 ILD 层延伸到半导体衬底的一部分中;在 ILD 层中形成沟道开口,从而暴露 TSV 的一部分;以及在通孔和沟道开口中沉积第二导电材料层,从而形成互连结构,互连结构将 TSV 与半导体衬底电连接。

[0005] 其中,形成半导体器件包括形成中介层。

[0006] 该方法进一步包括:在形成 TSV 的步骤以后,平整化半导体衬底的第一面。

[0007] 该方法进一步包括:在衬垫层和 TSV 之间形成第一阻挡层。

[0008] 该方法进一步包括:在第一阻挡层和 TSV 之间形成第一种子层。

[0009] 该方法进一步包括:在半导体衬底的第一面的上方形成 ILD 层的步骤以前,形成蚀刻停止层。

[0010] 该方法进一步包括:在通孔和沟道开口的上方形成第二阻挡层。

[0011] 该方法进一步包括:在第二阻挡层的上方形成第二种子层。

[0012] 其中,通过电化学电镀形成互连结构。

[0013] 其中,形成 TSV 和互连结构包括:形成由铜或铜合金所制成的结构。

[0014] 该方法进一步包括:在形成互连结构的步骤以后,平整化半导体衬底的第一面。

[0015] 此外,还提供了一种形成中介层的方法,包括:提供半导体衬底,半导体衬底具有正面和与正面相对的背面;形成一个或多个硅通孔 TSV,硅通孔从正面延伸到半导体衬底中;形成层间介电 ILD 层,层间介电层覆盖半导体衬底的正面和一个或多个硅通孔;以及形成具有第一隔离件和第二隔离件的互连结构,第一隔离件形成在 ILD 层中并且第二隔离件形成在半导体衬底的一部分中,其中,互连结构将半导体衬底电连接至一个或多个 TSV。

[0016] 该方法进一步包括:在至少一个或多个 TSV 和半导体衬底之间形成衬垫层。

[0017] 该方法进一步包括:在一个或多个 TSV 和衬垫层之间形成阻挡层和/或种子层。

[0018] 该方法进一步包括:在至少互连结构、ILD 层与半导体衬底的正面之间形成阻挡层和/或种子层。

[0019] 此外,还提供了一种集成电路结构,包括:半导体衬底,具有正面和与正面相对的背面;硅通孔 TSV,从半导体衬底的正面延伸到半导体衬底中;以及互连结构,具有第一隔离件和第二隔离件,第一隔离件在层间介电 ILD 层中形成,ILD 层覆盖半导体衬底的正面,并且第二隔离件在半导体衬底的一部分中形成,其中,互连结构将半导体衬底电连接至 TSV。

[0020] 其中,集成电路结构为中介层。

[0021] 其中,中介层包括无源器件。

[0022] 其中,中介层包括有源器件。

[0023] 该集成电路结构进一步包括:衬底层,至少在 TSV 和半导体衬底之间形成。

[0024] 该集成电路结构进一步包括:阻挡层,在 TSV 和衬垫层之间形成;以及种子层,在 TSV 和阻挡层之间形成。

[0025] 其中,互连结构和 TSV 由相同的导电材料形成。

[0026] 此外,还提供了一种中介层,包括:半导体衬底,具有正面和与正面相对的背面;硅通孔 TSV,形成为从半导体衬底的正面延伸到半导体衬底中;衬垫层,至少在 TSV 和半导体衬底之间形成;层间介电 ILD 层,在半导体衬底的正面的上方形成;以及互连结构,具有第一隔离件和第二隔离件,第一隔离件在 ILD 层中形成,并且第二隔离件在半导体衬底的一部分中形成,其中,互连结构将 TSV 电连接至半导体衬底。

[0027] 该中介层进一步包括:阻挡层,在 TSV 和衬垫层之间形成。

[0028] 该中介层进一步包括:种子层,在 TSV 和阻挡层之间形成。

[0029] 其中,互连结构和 TSV 由相同的导电材料形成。

[0030] 该中介层进一步包括无源器件。

[0031] 该中介层进一步包括有源器件。

[0032] 此外,还提供了一种半导体封装结构,包括:中介层具有:半导体衬底,具有正面和与正面相对的背面;硅通孔 TSV,形成为从半导体衬底的正面延伸到半导体衬底中;衬垫层,至少在 TSV 和半导体衬底之间形成;层间介电 ILD 层,在半导体衬底的正面的上方形成;以及互连结构,具有第一隔离件和第二隔离件,第一隔离件在 ILD 层中形成,并且第二隔离件在半导体衬底的一部分中形成,其中,互连结构将 TSV 电连接至半导体衬底;第一半导体芯片;以及多个接合焊盘,将第一半导体芯片接合至中介层。

[0033] 该半导体封装结构进一步包括:第二半导体芯片,接合在第一半导体芯片上。

[0034] 其中,中介层包括无源器件。

[0035] 其中,中介层进一步包括有源器件。

[0036] 此外,还提供了一种半导体封装结构,包括:中介层具有:半导体衬底,具有正面和与正面相对的背面;硅通孔 TSV,形成为从半导体衬底的正面延伸到半导体衬底中;衬垫层,至少在 TSV 和半导体衬底之间形成;层间介电 ILD 层,在半导体衬底的正面的上方形成;以及互连结构,具有第一隔离件和第二隔离件,第一隔离件在 ILD 层中形成,并且第二隔离件在半导体衬底的一部分中形成,其中,互连结构将 TSV 电连接至半导体衬底;多芯片半导体结构,至少具有第一芯片和第二芯片;以及多个接合焊盘,将多芯片半导体结构接合至中介层。

[0037] 其中,中介层包括无源器件。

[0038] 其中,中介层进一步包括有源器件。

附图说明

[0039] 从以下详细描述,所附权利要求和附图中,本发明的特征、方面、以及优点更完整地显现,其中:

[0040] 图 1 为示出由 TSV 至 TSV 连接所导致的低信号完整性问题的中介层的一部分的横截面图。

[0041] 图 2 至图 6 为根据本发明的示例性实施例在各个制造阶段的中介层的一部分的横截面图。

具体实施方式

[0042] 在以下描述中,阐述了许多特定的细节从而提供了本公开的实施例的完全理解。然而,本领域的普通技术人员之一应意识到没有这些特定的细节也可实施本公开的实施例。在一些例子中,没有详细描述公知的结构和工艺从而避免了本公开的不必要的模糊的实施例。

[0043] 整个本说明书中引用“一个实施例”或“某个实施例”意味着本公开的至少一个实施例包括关于实施例而描述的特定部件、结构或特征。因此在本说明书的各个位置出现的短语“在一个实施中”或“在某个实施例中”均不一定指同一个实施例。而且,在一个或多个实施例中可以以任何合适的方式组合特定部件、结构或特征。应理解,以下附图没有按比例绘制;而这些附图只是为了阐明。

[0044] 图 2 至图 6 为根据本发明的示例性实施例在各个制造阶段的中介层 20 的一部分的横截面图。应该理解,为了更好地理解本发明的发明概念,已经简化了图 2 至图 6。

[0045] 参考图 2,中介层 20 包括衬底 30,该衬底具有正面 32a 和与正面 32a 相对的背面 32b。衬底 30 由硅形成,但是还可以使用包括 III 族、IV 族、V 族元素和硅锗的其他半导体材料。在可选实施例中,衬底 30 包括通用材料,例如,无机材料和有机材料、陶瓷、和 / 或其多层。

[0046] 在形成 TSV 开口的实施例中,该 TSV 开口从正面 32a 延伸到衬底 30 的一部分中,在衬底 30 的正面 32a 的上方旋涂光刻胶层(未示出)。然后,通过曝光、烘焙、显影、和 / 或其他光刻工艺图案化光刻胶层,使用图案化的光刻胶层作为掩模元件,从而形成穿过衬底 30 的一部分的 TSV。在一些实施例中,可以使用诸如等离子体蚀刻、化学湿蚀刻、激光钻孔、和

/或其他适当工艺的任何适当的蚀刻方法蚀刻 TSV 开口。在实施例中,蚀刻工艺包括:深反应离子蚀刻 (RIE) 工艺,从而蚀刻衬底 30。蚀刻工艺可能导致开口具有垂直侧壁剖面或者锥形侧壁剖面。

[0047] 在形成开口的另一个实施例中,该开口为 TSV 开口,可以在硬掩模层(未示出)上方形成光刻胶层(未示出)。通过曝光、烘焙、显影、和/或其他光刻工艺图案化光刻胶层,从而提供暴露硬掩模层的开口。然后,通过湿蚀刻或干蚀刻工艺蚀刻曝光的硬掩模层,使用图案化的光刻胶作为掩模元件,从而提供开口。使用硬掩模层和图案化的光刻胶作用掩模元件,实施蚀刻工艺,从而蚀刻曝光的衬底 30,以形成 TSV 开口。

[0048] 此后,在衬底 30 上方形成衬垫层 40。为了防止任何导电材料浸入(leach into)衬底 30 中,在衬底 30 的正面 32a 上并沿着 TSV 开口的侧壁和底部共形沉积衬底层 40。在一些实施例中,衬垫层 40 可以由氧化硅、TEOS(正硅酸乙酯)氧化物、氮化硅、聚酰亚胺、或者其组合等形成。可以使用各种技术中的任意一种实施该沉积,各种技术包括:热氧化、LPCVD(低压化学汽相沉积)、APCVD(常压化学汽相沉积)、PECVD(等离子增强化学汽相沉积)、以及其他适当沉积程序。例如,可以采用通过 TEOS 和 O_3 的 LPCVD 或 PECVD 工艺,从而形成 TEOS 氧化膜。

[0049] 还参考图 2,然后,在衬垫层 40 的上方形成阻挡层 45a,加衬里于 TSV 开口。阻挡层 45a 用作防止金属扩散的扩散阻挡并且用作金属和电介质之间的粘合层。在一些实施例中,难熔金属、难熔金属氮化物、难熔金属硅氮化物、或者其组合通常用于阻挡层 45a。例如,可以使用 TaN、Ta、Ti、TiN、TiSiN、WN、或者其组合。在实施例中,阻挡层 45a 包括 TaN 层和 Ta 层。在另一个实施例中,阻挡层 45a 为 TiN 层。在又一个实施例中,阻挡层 45a 为 Ti 层。可以使用 PVD(物理汽相沉积)或者溅射等形成阻挡层 45a。随后,在阻挡层 45a 的上方形成金属种子层(未示出)。在实施例中,金属种子层为铜种子层,可以通过 PVD(物理汽相沉积)、溅射、电镀、或者化学镀形成该铜种子层。在一些实施例中,使用诸如 CVD(化学汽相沉积)的用于形成铜种子层的其他方法。

[0050] 接下来,在中介层 20 上方沉积导电材料层,以填充 TSV 开口,从而形成导体塞 55。在通篇描述中,将导体塞 55 称作硅通孔(TSV)。导电材料层可以包括选自导电材料组的低电阻率导电材料,该导电材料组包括但不限于:铜和铜基合金。在一些实施例中,导电材料层可以包括各种材料,例如,钨、铝、金、银、或者钛等。形成方法包括溅射、印刷、电镀、化学镀、和/或化学汽相沉积(CVD)方法。

[0051] 随后,通过蚀刻或者化学机械抛光(CMP)等去除位于 TSV 开口外部的导电材料层的多余部分,以具有基本上与衬垫层 40 共平面的导体塞 55 的上表面。

[0052] 任选地,在中介层 20 的上方形成一个或多个蚀刻停止层 60。通常,当形成通孔和/或接触时,蚀刻停止层提供机械装置从而停止蚀刻工艺。在一些实施例中,蚀刻停止层 60 由介电材料形成,该介电材料具有与诸如下衬垫层 40、衬底 30、以及上 ILD 层 70 的相邻层不同的蚀刻选择性。在实施例中,通过 CVD 或者 PECVD 技术所沉积的蚀刻停止层 60 可以由 SiN、SiON、ON、或者其组合等形成。

[0053] 还参考图 2,可以在衬底 30 的前表面 32a 在衬垫层 40 和蚀刻停止层 60 的上方形成层间介电(ILD)层 70。ILD 层 70 将 TSV 55 与随后形成的互连结构隔离。ILD 层 70 可以为单层或多层结构。在一些实施例中,ILD 层 70 可以为含硅氧化物层,通过热 CVD 工艺或

高密度等离子 (HDP) 工艺由掺杂或未掺杂硅氧化物形成含硅氧化物层,例如,该掺杂或未掺杂含硅氧化物为未掺杂硅玻璃 (USG)、掺磷硅玻璃 (PSG)、或者硼磷硅玻璃 (BPSG)。在一些可选实施例中,ILD 层 70 可以由掺杂或掺 P 旋涂玻璃 (SOG)、磷硅酸盐 TEOS (PTEOS)、或者硼磷酸盐 TEOS (BPTEOS) 形成。

[0054] 现在,将参考图 3 至图 6 描述电连接进入衬底 30 之中的 TSV 的互连结构。参考图 3,形成的通孔开口 80 从 ILD 层 70 延伸到衬底 30 的一部分中。在一些实施例中,可以通过首先在 ILD 层 70 上涂覆光刻胶层 (未示出) 形成通孔开口 80。然后,通过曝光、烘焙、显影、和 / 或光刻工艺图案化光刻胶层,使用图案化光刻胶层作为掩模元件,从而形成通孔开口。在一些实施例中,通孔开口 80 可以使用例如包括等离子体蚀刻、化学湿蚀刻、激光钻孔、和 / 或其他工艺的任何适当蚀刻方法蚀刻通孔开口 80。蚀刻工艺生成开口,该开口具有垂直侧壁剖面或锥形侧壁剖面。

[0055] 在形成开口的另一个实施例中,该开口为通孔开口,在硬掩模层 (未示出) 上形成光刻胶层 (未示出)。通过曝光、烘焙、显影、和 / 或其他光刻工艺图案化光刻胶层,从而提供暴露硬掩模层的开口。然后,使用图案化的光刻胶层作为掩模元件通过湿蚀刻或干蚀刻来蚀刻暴露的硬掩模层,从而提供开口。使用硬掩模层和图案化光刻胶层作为掩模元件,实施蚀刻工艺,从而蚀刻暴露衬底 30,以形成通孔开口。

[0056] 如图 4 所示,然后,以与形成以上通孔开口 80 类似的方式在 ILD 层 70 中形成沟道开口 90,因此,本文中重复该工艺。沟道开口 90 暴露 TSV55 的一部分,从而使得在随后的工艺中,在中介层 20 上沉积导电材料层,该导电材料形成互连结构,该互连结构连接进入衬底 30 之中的 TSV55。在中介层 20 上方,在通孔开口 80 和沟道开口 90 中形成阻挡层 45b。随后,可以在阻挡层 45b 上方形成种子层 (未示出)。先前,以上参考图 2 已经描述了用于形成阻挡层 45b 和种子层的材料和工艺,因此,没有再描述。

[0057] 参考图 5,将中介层 20 转移到电镀工具,例如,电化学镀 (ECP) 工具,并且通过电镀工艺在中介层 20 上电镀导电材料层,以填充通孔开口 80 和沟道开口 90,从而形成互连结构 100。虽然本文中已经描述了 ECP 工艺,但是实施例不仅限于 ECP 沉积的金属。导电材料层可以包括选自导电材料组的低电阻率导电材料,该导电材料组包括但不限于铜和铜基合金。在一些实施例中,导电材料层 80 可以包括各种材料,例如,钨、铝、金、或者银。电镀工艺形成无空隙金属化结构,从而提供可靠溶液。还可以预期在通孔开口 80 和沟道开口 90 中沉积导电材料层的其他方法。

[0058] 在沉积导电材料层以后,中介层 20 的上表面经受平整化步骤。通过蚀刻、或者化学机械抛光 (CMP) 等去除位于通孔和沟道开口的外部的导电材料层的多余部分,以具有基本上与 ILD 层 70 的上表面共形的互连结构 100 的上表面。

[0059] 优选地,为了适应不同要求,可以容易地定制中介层 20。在示例性实施例中,将有源器件或无源器件 (未示出) 内嵌在中介层 20 中,其中,有源或无源器件可以包括电容器和电感器等。

[0060] 应该理解,可以实施额外的工艺,以完成中介层 20 的制造,从而形成在半导体封装结构中实施的各种部件。随后的制造工艺可以进一步形成诸如金属线、连接通孔、介电层、接合焊盘、或者焊料凸块的部件,将这些部件配置成将中介层 20 的各个部件或结构连接至一个或多个半导体芯片。在示例性实施例中,可以通过多个接合焊盘将半导体芯片接

合在中介层 20 上。本领域技术人员之一可以识别出相应的接合工艺步骤。在另一示例性实施例中,将具有至少两个半导体芯片的多芯片结构接合在中介层 20 上。根据一个实施例,在将至少两个芯片接合在中介层 20 上以前,将至少两个芯片接合在一起。可选地,首先,将第一芯片接合在中介层 20 上,然后,将第二芯片接合在第一芯片上。

[0061] 根据一个实施例,形成半导体器件的方法包括:提供半导体衬底,该半导体衬底具有第一面和与第一面相对的第二面;形成硅通孔(TSV)开口,该硅通孔开口从半导体衬底的第一面延伸到半导体衬底中;在半导体衬底的第一面并沿着 TSV 开口的侧壁和底部形成衬垫层;在位于开口中的衬垫层的上方沉积第一导电材料层,从而形成 TSV;在半导体衬底的第一面上方形成层间介电(ILD)层;在半导体衬底的一部分中形成层间介电(ILD)层;形成通孔开口,该通孔开口从 ILD 层延伸到半导体衬底的一部分中;在 ILD 层中形成沟道开口,从而暴露 TSV 的一部分;以及在通孔和沟道开口中沉积第二导电材料层,从而形成互连结构,该互连结构电连接进入半导体衬底之中的 TSV。

[0062] 根据另一个实施例,形成中介层的方法包括:提供半导体衬底,该半导体衬底具有正面和与正面相对的背面;形成一个或多个硅通孔(TSV),该硅通孔从正面延伸到半导体衬底中;形成层间介电(ILD)层,该层间介电层覆盖半导体衬底的正面和一个或多个 TSV;以及形成互连结构,该互连结构具有第一隔离件和第二隔离件,第一隔离件在 ILD 层中形成并且第二隔离件在半导体衬底的一部分中形成,其中,互连结构电连接半导体衬底的一个或多个 TSV。

[0063] 根据又一个实施例,集成电路结构包括半导体衬底,该半导体衬底具有正面和与正面相对的背面;所形成的 TSV 从半导体衬底的正面延伸到半导体衬底中;以及互连结构,具有第一隔离件和第二隔离件,第一隔离件在 ILD 中形成,ILD 层覆盖半导体衬底的正面,并且第二隔离件在半导体衬底的一部分中形成,其中,互连结构电连接半导体衬底的 TSV。

[0064] 根据又一个实施例,中介层包括:半导体衬底,该半导体衬底具有正面和与正面相对的背面;TSV,所形成的 TSV 从半导体衬底的正面延伸到半导体衬底中;衬垫,该衬垫层至少在 TSV 和半导体衬底之间形成;ILD 层,该 ILD 层至少在半导体衬底的正面的上方形成;以及互连结构,具有第一隔离件和第二隔离件,第一隔离件在 ILD 层中形成,并且第二隔离件在半导体衬底的一部分中形成,其中,互连结构电连接半导体衬底的 TSV。

[0065] 仍根据又一个实施例,半导体封装结构包括:中介层,具有半导体衬底,该半导体衬底具有正面和与正面相对的背面;TSV,所形成的 TSV 从半导体衬底的正面延伸到半导体衬底中;衬底层,至少在 TSV 和半导体衬底之间形成该衬底层;ILD 层,在半导体衬底的正面的上方形成;以及互连结构,具有第一隔离件和第二隔离件,第一隔离件在 ILD 中形成,并且第二隔离件在半导体衬底的一部分中形成,其中,互连结构电连接半导体衬底的 TSV。封装结构进一步包括半导体芯片;和多个接合焊盘,将半导体芯片接合至中介层。

[0066] 根据又一实施例,半导体封装结构包括:中介层,具有半导体衬底,该半导体衬底具有正面和与正面相对的背面;TSV,所形成的 TSV 从半导体衬底的正面延伸到半导体衬底中;衬垫层,该衬垫层至少在 TSV 和半导体衬底之间形成;ILD 层,在半导体衬底的正面的上方形成该 ILD 层;以及互连结构,具有第一隔离件和第二隔离件,第一隔离件在 ILD 层中形成并且第二隔离件在半导体衬底的一部分中形成,其中,互连结构电连接半导体衬底的 TSV。封装结构进一步包括:多芯片半导体衬底,至少具有第一芯片和第二芯片;和多个接

合焊盘,将半导体衬底接合至中介层。

[0067] 上述一个或多个本发明的实施例具有优于现有方法的优点。然而,应该理解,其他实施例可以具有不同优点,并且没有特定优点是所有实施例都具备的。

[0068] 优点之一是,当 TSV55 接地(例如,TSV55 电连接至衬底 30)时,可以最小化相邻 TSV 之间的交叉耦合和串扰。通过具有接地的 TSV,最小化阻碍微电子集成电路的速度的进一步增长的阻容延迟并且从而改善了信号完整性。此外,作为附加优点,尤其是在具有越来越小的特征尺寸的微电子 IC 中,接地的 TSV 提供了更好的热耗散。作为接地 TSV 的其他优点,防止来自 ESD 事件的静电放电(ESD)感测集成电路的内建电荷,因此降低了对集成电路的损害。

[0069] 在以上详细描述中,已经描述了特定的示例性实施例。然而很明显在不背离本公开的宽泛主旨和范围的情况下,可以做各种更改、结构、工艺和改变。因此,说明书和附图是为了说明而不用于限定。据了解本公开的实施例可以使用各种其它组合和环境且可以在本权利要求的范围内改变和更改。

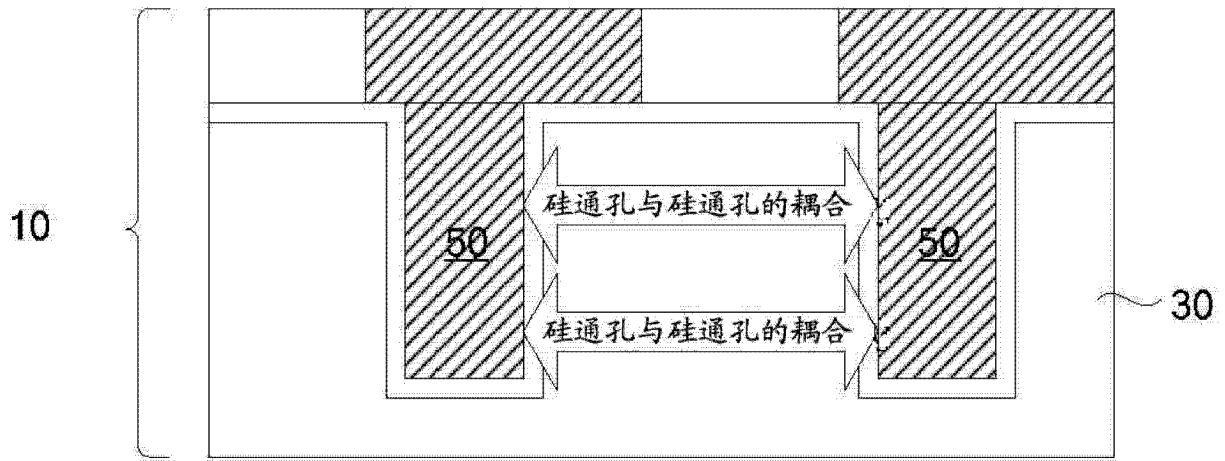


图 1

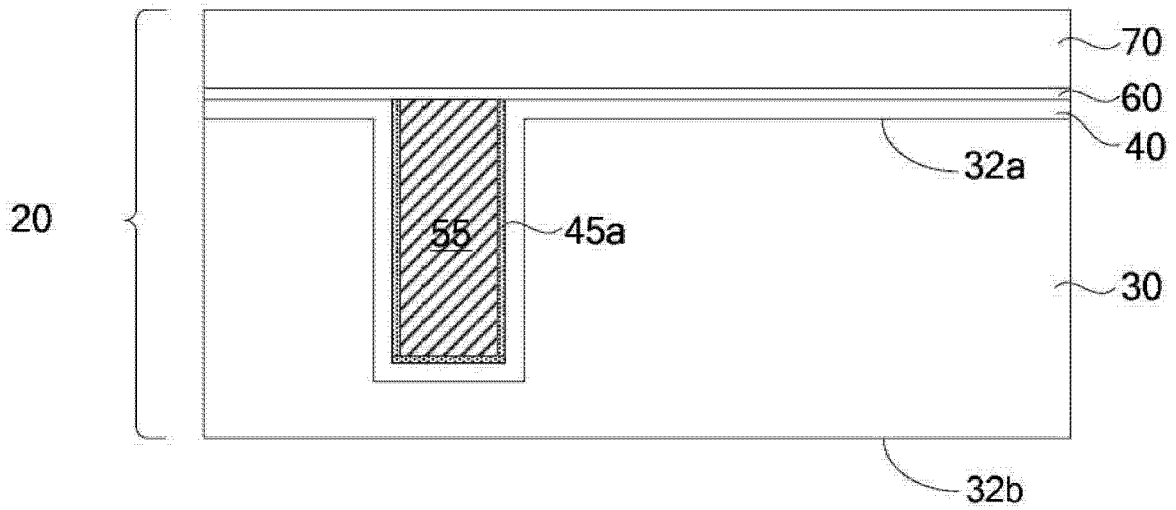


图 2

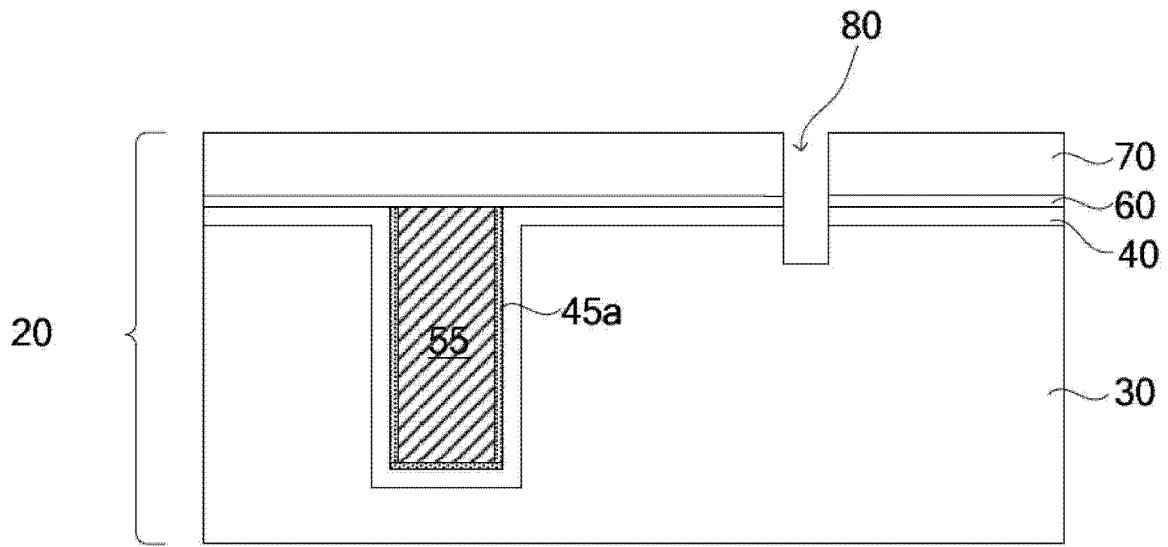


图 3

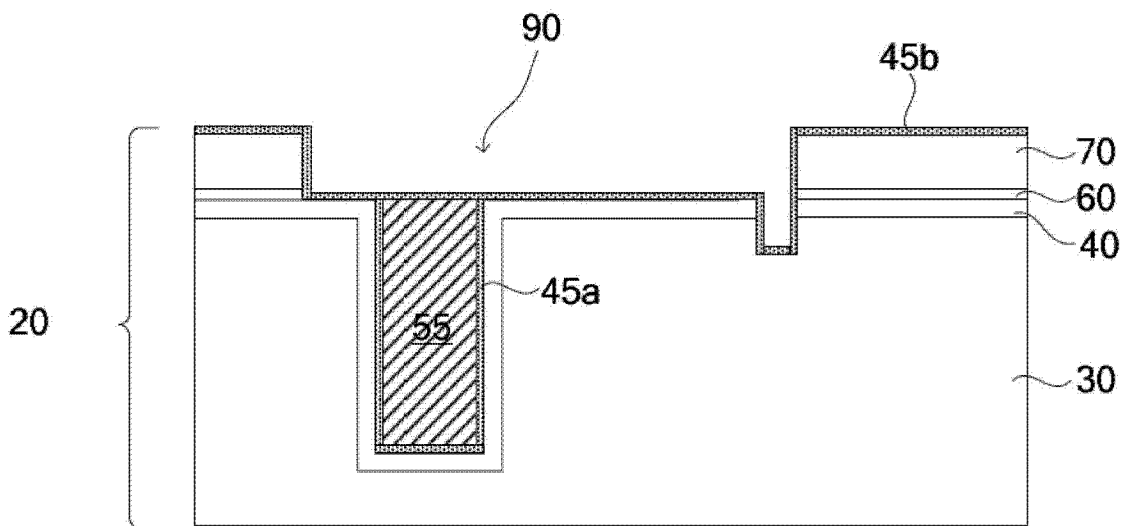


图 4

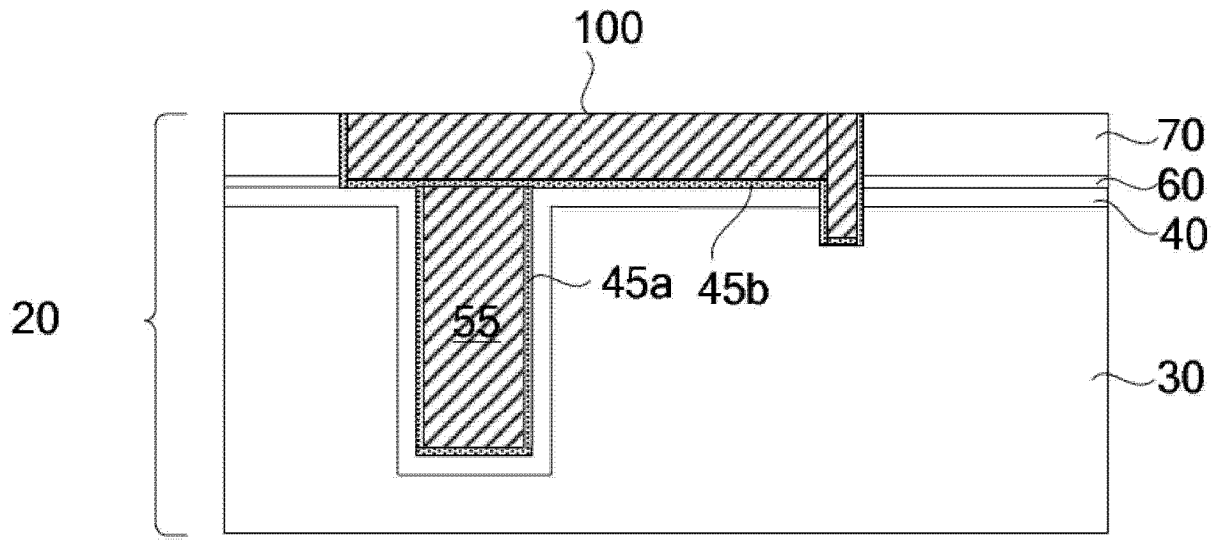


图 5

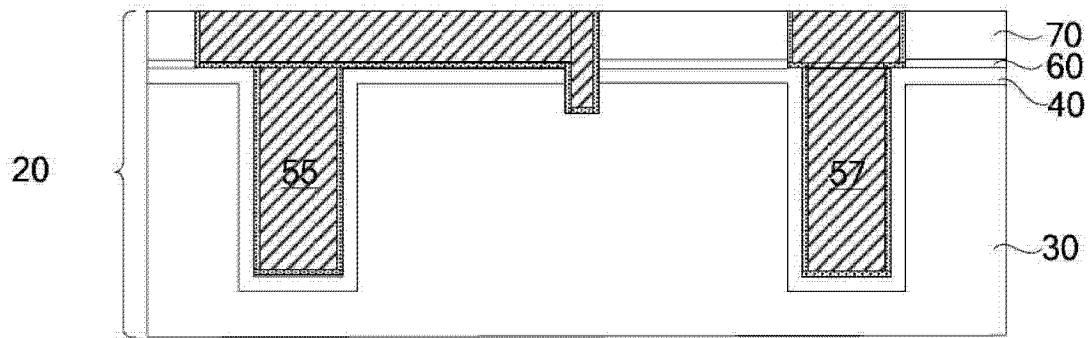


图 6