



(12) 发明专利申请

(10) 申请公布号 CN 104091572 A

(43) 申请公布日 2014. 10. 08

(21) 申请号 201410270425. 4

(22) 申请日 2014. 06. 17

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
申请人 成都京东方光电科技有限公司

(72) 发明人 青海刚 祁小敬

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112
代理人 彭瑞欣 陈源

(51) Int. Cl.
G09G 3/36 (2006. 01)
G11C 19/28 (2006. 01)

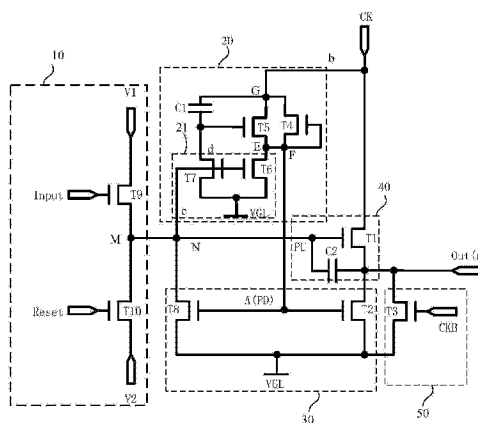
权利要求书2页 说明书9页 附图3页

(54) 发明名称

双下拉控制模块、移位寄存单元、栅极驱动器和显示面板

(57) 摘要

本发明提供一种双下拉控制模块,包括信号输入端、下拉信号输出端、时钟输入端,其中,双下拉控制模块包括:控制子单元,控制子单元的第一端与信号输入端相连;第五薄膜晶体管,第五薄膜晶体管的栅极与控制子单元的第二端相连,第五薄膜晶体管的第一极与控制子单元的第三端相连,第五薄膜晶体管的第二极与时钟输入端相连;和单向导通元件,单向导通元件的第一端与控制子单元的第三端相连,单向导通元件的第二端与第五薄膜晶体管的第二极相连,当单向导通元件的第一端电平高于单向导通元件的第二端电平时,单向导通元件导通。本发明还提供一种移位寄存单元、一种栅极驱动器和一种显示面板。所述显示面板具有较低的功耗。



1. 一种双下拉控制模块,该双下拉控制模块包括信号输入端、下拉信号输出端、时钟输入端,其特征在于,所述双下拉控制模块包括:

控制子单元,所述控制子单元的第一端与所述信号输入端相连,当所述信号输入端输入高电平时,所述控制子单元的第二端和所述控制子单元的第三端输出低电平;

第五薄膜晶体管,所述第五薄膜晶体管的栅极与所述控制子单元的第二端相连,所述第五薄膜晶体管的第一极与所述控制子单元的第三端相连,所述第五薄膜晶体管的第二极与所述时钟输入端相连;和

单向导通元件,所述单向导通元件的第一端与所述控制子单元的第三端相连,所述单向导通元件的第二端与所述第五薄膜晶体管的第二极相连,当所述单向导通元件的第一端电平高于所述单向导通元件的第二端电平时,所述单向导通元件导通。

2. 根据权利要求1所述的双下拉控制模块,其特征在于,所述控制子单元包括低电平输入端、第六薄膜晶体管和第七薄膜晶体管,所述第六薄膜晶体管的栅极和所述第七薄膜晶体管的栅极与所述控制子单元的第一端相连,所述第六薄膜晶体管的第一极与所述低电平输入端相连,所述第六薄膜晶体管的第二极与所述控制子单元的第三端相连,所述第七薄膜晶体管的第一极与所述低电平输入端相连,所述第七薄膜晶体管的第二极与所述控制子单元的第二端相连。

3. 根据权利要求1所述的双下拉控制模块,其特征在于,所述单向导通元件为薄膜晶体管,所述单向导通元件的第二极与所述第五薄膜晶体管的第二极相连,所述单向导通元件的栅极和所述单向导通元件的第一极与所述下拉信号输出端相连;或者

所述单向导通元件为二极管,所述二极管的阳极形成为所述单向导通元件的第一端,所述二极管的阴极形成为所述单向导通元件的第二端。

4. 根据权利要求1至3中任意一项所述的双下拉控制模块,其特征在于,所述双下拉控制模块还包括第一电容,所述第一电容的第一端与所述第五薄膜晶体管的第二极相连,所述第一电容的第二端与所述第五薄膜晶体管的栅极相连。

5. 一种移位寄存单元,该移位寄存单元包括:

上拉模块;

充电与复位模块,所述充电与复位模块包括扫描输入端与复位端,在所述移位寄存单元的预充电阶段,所述扫描输入端输入高电平,以向所述上拉模块充电,在所述移位寄存单元的放电阶段,所述复位端输入高电平,以为所述上拉模块放电;

第一时钟输入端,所述第一时钟输入端用于为所述移位寄存单元提供第一时钟信号;

双下拉控制模块;

输出下拉模块,该输出下拉模块用于在所述移位寄存单元的输出端输出高电平后的阶段将所述移位寄存单元的输出端下拉至低电平;和

双下拉模块,其特征在于,

所述双下拉控制模块为权利要求1至4中任意一项所述的双下拉控制模块,所述双下拉控制模块的信号输入端与所述充电与复位模块的输出端相连,且所述双下拉控制模块的信号输入端与所述上拉模块的上拉节点相连,所述双下拉控制模块的下拉信号输出端与所述双下拉模块的下拉节点相连,所述双下拉控制模块的时钟输入端与所述第一时钟信号输入端相连。

6. 根据权利要求 5 所述的移位寄存单元,其特征在于,所述充电与复位模块包括第九薄膜晶体管、第十薄膜晶体管、第一参考电压输入端、第二参考电压输入端,所述第九薄膜晶体管的栅极与所述扫描输入端相连,所述第九薄膜晶体管的第一极与所述第一参考电压输入端相连,所述第九薄膜晶体管的第二极与所述第十薄膜晶体管的第一极相连,所述第十薄膜晶体管的栅极与所述复位端相连,所述第十薄膜晶体管的第二极与所述第二参考电压输入端相连,所述第一参考电压输入端和所述第二参考电压输入端中的一者为高电平输入端,所述第一参考电压输入端和所述第二参考电压输入端中的另一者为低电平输入端。

7. 根据权利要求 5 所述的移位寄存单元,其特征在于,所述输出下拉模块包括第二时钟输入端和第三薄膜晶体管,所述第三薄膜晶体管的栅极与所述第二时钟输入端相连,所述第三薄膜晶体管的第一极与所述移位寄存单元的输出端相连,所述第三薄膜晶体管的第二极与低电平输入端相连。

8. 根据权利要求 7 所述的移位寄存单元,其特征在于,所述双下拉单元包括第二薄膜晶体管和第八薄膜晶体管,所述第二薄膜晶体管的栅极和所述第八薄膜晶体管的栅极均与所述下拉节点相连,所述第二薄膜晶体管的第一极与所述移位寄存单元的输出端相连,所述第二薄膜晶体管的第二极与所述低电平输入端相连,所述第八薄膜晶体管的第一极与所述上拉节点相连,所述第八薄膜晶体管的第二极与所述低电平输入端相连。

9. 一种栅极驱动器,该栅极驱动器包括多个级联的移位寄存单元,其特征在于,所述移位寄存单元为权利要求 5 至 8 中任意一项所述的移位寄存单元,所述扫描输入端与上一级移位寄存单元的输出端相连,所述复位端与下一级移位寄存单元的输出端相连。

10. 一种显示面板,该显示面板包括栅极驱动器,其特征在于,所述栅极驱动器为权利要求 9 所述的栅极驱动器。

双下拉控制模块、移位寄存单元、栅极驱动器和显示面板

技术领域

[0001] 本发明涉及显示装置的驱动,具体地,涉及一种双下拉控制模块、包括该双下拉控制模块的移位寄存单元、包括该移位寄存单元的栅极驱动器和包括该栅极驱动器的显示面板。

背景技术

[0002] 在 TFT-LCD 中,实现一幅画面显示的基本原理是通过源极驱动将每一行像素所需的数据信号依次从上往下输出,栅极驱动依次从上到下对每一行像素栅极输入一定宽度的方波进行选通。

[0003] 很多集成栅极驱动电路追求交流下拉以克服电路输出的 floating(悬空、浮空)和 TFT(薄膜晶体管)的特性漂移,然而在双时钟电路中,在使用交流下拉方案的同时引入了另一个问题,即在输出时刻,输出上拉时钟对双下拉节点大电流放电的问题,由于此时双下拉节点对低电平完全开启,而上拉管也对双下拉节点开启,因此导致高电平时钟直接对低电平放电,不但使得双下拉节点无法下拉到应有的低电位使下拉管关闭,导致输出端漏电增大,同时上拉时钟直接对低电平放电大大增加了电源的负载,功耗也因此大大增加。

[0004] 因此,如何降低显示面板的功耗成为本领域亟待解决的技术问题。

发明内容

[0005] 本发明的目的在于提供一种双下拉控制模块、包括该双下拉控制模块的移位寄存单元、包括该移位寄存单元的栅极驱动器和包括该栅极驱动器的显示面板。所述显示面板具有较小的功耗。

[0006] 为了实现上述目的,作为本发明的一个方面,提供一种双下拉控制模块,该双下拉控制模块包括信号输入端、下拉信号输出端、时钟输入端,其中,所述双下拉控制模块包括:

[0007] 控制子单元,所述控制子单元的第一端与所述信号输入端相连,当所述信号输入端输入高电平时,所述控制子单元的第二端和所述控制子单元的第三端输出低电平;

[0008] 第五薄膜晶体管,所述第五薄膜晶体管的栅极与所述控制子单元的第二端相连,所述第五薄膜晶体管的第一极与所述控制子单元的第三端相连,所述第五薄膜晶体管的第二极与所述时钟输入端相连;和

[0009] 单向导通元件,所述单向导通元件的第一端与所述控制子单元的第三端相连,所述单向导通元件的第二端与所述第五薄膜晶体管的第二极相连,当所述单向导通元件的第一端电平高于所述单向导通元件的第二端电平时,所述单向导通元件导通。

[0010] 优选地,所述控制子单元包括低电平输入端、第六薄膜晶体管和第七薄膜晶体管,所述第六薄膜晶体管的栅极和所述第七薄膜晶体管的栅极与所述控制子单元的第一端相连,所述第六薄膜晶体管的第一极与所述低电平输入端相连,所述第六薄膜晶体管的第二极与所述控制子单元的第三端相连,所述第七薄膜晶体管的第一极与所述低电平输入端相

连,所述第七薄膜晶体管的第二极与所述控制子单元的第二端相连。

[0011] 优选地,所述单向导通元件为薄膜晶体管,所述单向导通元件的第二极与所述第五薄膜晶体管的第二极相连,所述单向导通元件的栅极和所述单向导通元件的第一极与所述下拉信号输出端相连;或者

[0012] 所述单向导通元件为二极管,所述二极管的阳极形成为所述单向导通元件的第一端,所述二极管的阴极形成为所述单向导通元件的第二端。

[0013] 优选地,所述双下拉控制模块还包括第一电容,所述第一电容的第一端与所述第五薄膜晶体管的第二极相连,所述第一电容的第二端与所述第五薄膜晶体管的栅极相连。

[0014] 作为本发明的另一个方面,提供一种移位寄存单元,该移位寄存单元包括:

[0015] 上拉模块;

[0016] 充电与复位模块,所述充电与复位模块包括扫描输入端与复位端,在所述移位寄存单元的预充电阶段,所述扫描输入端输入高电平,以向所述上拉模块充电,在所述移位寄存单元的放电阶段,所述复位端输入高电平,以为所述上拉模块放电;

[0017] 第一时钟输入端,所述第一时钟输入端用于为所述移位寄存单元提供第一时钟信号;

[0018] 双下拉控制模块;

[0019] 输出下拉模块,该输出下拉模块用于在所述移位寄存单元的输出端输出高电平后的阶段将所述移位寄存单元的输出端下拉至低电平;和

[0020] 双下拉模块,其中,

[0021] 所述双下拉控制模块为本发明所提供的上述双下拉控制模块,所述双下拉控制模块的信号输入端与所述充电与复位模块的输出端相连,且所述双下拉控制模块的信号输入端与所述上拉模块的上拉节点相连,所述双下拉控制模块的下拉信号输出端与所述双下拉模块的下拉节点相连,所述双下拉控制模块的时钟输入端与所述第一时钟信号输入端相连。

[0022] 优选地,所述充电与复位模块包括第九薄膜晶体管、第十薄膜晶体管、第一参考电压输入端、第二参考电压输入端,所述第九薄膜晶体管的栅极与所述扫描输入端相连,所述第九薄膜晶体管的第一极与所述第一参考电压输入端相连,所述第九薄膜晶体管的第二极与所述第十薄膜晶体管的第一极相连,所述第十薄膜晶体管的栅极与所述复位端相连,所述第十薄膜晶体管的第二极与所述第二参考电压输入端相连,所述第一参考电压输入端和所述第二参考电压输入端中的一者为高电平输入端,所述第一参考电压输入端和所述第二参考电压输入端中的另一者为低电平输入端。

[0023] 优选地,所述输出下拉模块包括第二时钟输入端和第三薄膜晶体管,所述第三薄膜晶体管的栅极与所述第二时钟输入端相连,所述第三薄膜晶体管的第一极与所述移位寄存单元的输出端相连,所述第三薄膜晶体管的第二极与低电平输入端相连。

[0024] 优选地,所述双下拉单元包括第二薄膜晶体管和第八薄膜晶体管,所述第二薄膜晶体管的栅极和所述第八薄膜晶体管的栅极均与所述下拉节点相连,所述第二薄膜晶体管的第一极与所述移位寄存单元的输出端相连,所述第二薄膜晶体管的第二极与所述低电平输入端相连,所述第八薄膜晶体管的第一极与所述上拉节点相连,所述第八薄膜晶体管的第二极与所述低电平输入端相连。

[0025] 作为本发明的再一个方面,提供一种栅极驱动器,该栅极驱动器包括多个级联的移位寄存单元,其特征在于,所述移位寄存单元为本发明所提供的上述移位寄存单元,所述扫描输入端与上一级移位寄存单元的输出端相连,所述复位端与下一级移位寄存单元的输出端相连。

[0026] 作为本发明的还一个方面,提供一种显示面板,该显示面板包括栅极驱动器,其中,所述栅极驱动器为本发明所提供的上述栅极驱动器。

[0027] 在本发明所提供的移位寄存单元的上拉阶段,从信号输入端输入到控制子单元中的信号为上拉节点处的高电平。因此,控制子单元的第二端和控制子单元的第三端仍然输出低电平,在该阶段,第五薄膜晶体管仍然关闭,单向导通元件是截止的,因此,与时钟输入端相连的第一时钟输入端不会向下拉节点放电,从而降低了移位寄存单元的能耗。

[0028] 在所述移位寄存单元中,通过双下拉控制模块和输出下拉模块可以对输出端进行交流下拉,很好地克服了输出端的漂移(floating)效应和偏离(stray)效应。

附图说明

[0029] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:

[0030] 图 1 是本发明所提供的移位寄存单元的电路图;

[0031] 图 2 是图 1 中所示的移位寄存单元的信号时序图;

[0032] 图 3 是本发明所提供的栅极驱动器的示意图。

[0033] 附图标记说明

[0034]	10 : 充电与复位模块	20 : 双下拉控制模块
[0035]	21 : 控制子单元	30 : 双下拉模块
[0036]	40 : 上拉模块	50 : 输出下拉模块
[0037]	T1 : 第一薄膜晶体管	T2 : 第二薄膜晶体管
[0038]	T3 : 第三薄膜晶体管	T4 : 单向导通元件
[0039]	T5 : 第五薄膜晶体管	T6 : 第六薄膜晶体管
[0040]	T7 : 第七薄膜晶体管	T8 : 第八薄膜晶体管
[0041]	T9 : 第九薄膜晶体管	T10 : 第十薄膜晶体管
[0042]	C1 : 第一电容	C2 : 第二电容
[0043]	Reset : 复位端	

具体实施方式

[0044] 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是,此处所描述的具体实施方式仅用于说明和解释本发明,并不用于限制本发明。

[0045] 应当理解的是,在说明书中所使用的术语“第一极”是指薄膜晶体管的源极和漏极中的一者,术语“第二极”是指薄膜晶体管的源极和漏极中的另一者。

[0046] 如图 1 所示,作为本发明的一个方面,提供一种双下拉控制模块 20,该双下拉控制模块 20 包括信号输入端 N、下拉信号输出端 A、时钟输入端 b,其中,所述双下拉控制模块还包括:

[0047] 控制子单元 21, 该控制子单元 21 的第一端 c 与信号输入端 N 相连, 当信号输入端 N 输入高电平 VGH 时, 控制子单元 21 的第二端 d 和控制子单元 21 的第三端 E 输出低电平 VGL;

[0048] 第五薄膜晶体管 T5, 该第五薄膜晶体管 T5 的栅极与控制子单元 21 的第二端 d 相连, 第五薄膜晶体管 T5 的第一极与控制子单元 21 的第三端 E 相连, 第五薄膜晶体管 T5 的第二极与所述时钟输入端 b 相连; 和

[0049] 单向导通元件 T4, 该单向导通元件 T4 的第一端 F 与控制子单元 21 的第三端 E 相连, 单向导通元件 T4 的第二端 G 与第五薄膜晶体管 T5 的第二极相连, 当单向导通元件 T4 的第一端 F 电平高于该单向导通元件 T4 的第二端 G 电平时, 该单向导通元件 T4 导通。

[0050] 如图 1 和图 2 中所示, 双下拉控制模块 20 用于移位寄存单元中。在移位寄存单元的上拉阶段 (图 2 中的阶段 B), 从信号输入端 N 输入到控制子单元 21 中的信号为上拉节点 PU 处的高电平 VGH。因此, 控制子单元 21 的第二端 d 和控制子单元 21 的第三端 E 输出低电平 VGL, 在该阶段, 第五薄膜晶体管 T5 关闭, 单向导通元件 T4 是截止的, 因此, 与时钟输入端 b 相连的第一时钟输入端 CK 不会向下拉节点 PD 放电, 从而降低了移位寄存单元的能耗。

[0051] 下文中将详细介绍双下拉控制模块 20 在移位寄存单元各个阶段中的具体工作情况, 这里先不赘述。

[0052] 在本发明中, 对控制子单元 21 的具体结构并没有特殊的限定, 只要可以使得控制子单元 21 的第二端 d 和控制子单元 21 的第三端 E 在移位寄存单元的上拉阶段 (图 2 中的阶段 B) 输出低电平即可。具体地, 作为本发明的一种优选实施方式, 如图 1 中所示, 所述控制子单元还可以包括低电平输入端、第六薄膜晶体管 T6 和第七薄膜晶体管 T7。第六薄膜晶体管 T6 的栅极和第七薄膜晶体管 T7 的栅极与控制子单元 21 的第一端 c 相连, 第六薄膜晶体管 T6 的第一极与所述低电平输入端相连, 第六薄膜晶体管 T6 的第二极与控制子单元 21 的第三端 E 相连, 所述第七薄膜晶体管 T7 的第一极与所述低电平输入端相连, 所述第七薄膜晶体管 T7 的第二极与控制子单元 21 的第二端 d 相连。

[0053] 当双下拉控制模块 20 的信号输入端 N 为高电平时, 第六薄膜晶体管 T6 和第七薄膜晶体管 T7 开启, 导致控制子单元 21 的第二端 d 和控制子单元 21 的第三端 E 的电平均被下拉至低电平 VGL。

[0054] 在本发明中, 对单向导通元件的具体结构也没有特殊的限定, 只要可以在单向导通元件 T4 的第二端 G 的电平高于该单向导通元件 T4 的第一端 F 的电平时截止即可。例如, 单向导通元件 T4 可以为二极管。该二极管的阳极可以用作单向导通元件 T4 的第一端, 所述二极管的阴极可以用作单向导通元件 T4 的第二端。

[0055] 作为本发明的一种优选实施方式, 如图 1 所示, 单向导通元件 T4 为薄膜晶体管, 单向导通元件 T4 的第二极与第五薄膜晶体管 T5 的第二极相连, 单向导通元件 T4 的栅极和该单向导通元件 T4 的第一极与所述下拉信号输出端相连 (即, 单向导通元件 T4 的栅极和该单向导通元件 T4 的第一极相连)。当时钟输入端 b 向单向导通元件 T4 的第二极输入高电平 VGH, 而控制子单元 21 的第三端输出低电平时, 单向导通元件 T4 是截止的。应当理解的是, 此处, 单向导通元件 T4 的第二极即为上文中所述的单向导通元件 T4 的第二端 G, 而此处连接在一起的单向导通元件的第一极和单向导通元件的栅极即为上文中所述的单向导通元件 T4 的第一端 F。

[0056] 为了确保第五薄膜晶体管在移位寄存单元的低电平保持阶段（即，图 2 中的阶段 D）时开启以使图 1 中所示的移位寄存单元中的第一薄膜晶体管 T1 完全关闭，优选地，在低电平保持阶段，第五薄膜晶体管 T5 可以是开启的，从而可以将第一时钟信号输入端 CK 输入的高电平的第一时钟信号输入至下拉节点 PD，使得图 1 中所示的移位寄存单元的双下拉模块 30 中的第二薄膜晶体管 T2 和第八薄膜晶体管 T8 开启，以将上拉节点 PU 的电平下拉至低电平 VGL，从而将上拉模块 40 中的第一薄膜晶体管 T1 完全关闭。

[0057] 在本发明中，可以通过多种手段实现第五薄膜晶体管 T5 在移位寄存单元的低电平保持阶段导通。例如，可以引入一个外接的信号源，利用该外接信号源向第五薄膜晶体管 T5 的栅极提供信号，使得该第五薄膜晶体管 T5 在移位寄存单元的低电平保持阶段开启。

[0058] 为了简化包括所述双下拉控制模块的移位寄存单元的机构，优选地，所述双下拉控制模块还可以包括第一电容 C1，第一电容 C1 的第一端与第五薄膜晶体管 T5 的第二极相连，第一电容 C1 的第二端与第五薄膜晶体管 T5 的栅极相连。在所述移位寄存单元的低电平保持阶段，第一时钟信号输入端 CK 向双下拉控制模块 20 的时钟输入端 b 输入高电平信号 VGH，通过第一电容 C1 的耦合，将第五薄膜晶体管 T5 的栅极拉高为高电平，因此第五薄膜晶体管 T5 开启，第一时钟信号输入端 CK 输入的高电平通过第五薄膜晶体管 T5 进入，并把下拉节点 PD 上拉至高电平，使得图 1 中的第二薄膜晶体管 T2 和第八薄膜晶体管 T8 开启，上拉节点 PU 被第八薄膜晶体管 T8 下拉为低电平 VGL，从而可以将第一薄膜晶体管 T1 关闭，以确保移位寄存单元的输出端可以输出低电平。

[0059] 作为本发明的另一个方面，如图 1 所示，提供一种移位寄存单元，该移位寄存单元包括：

[0060] 上拉模块 40；

[0061] 充电与复位模块 10，该充电与复位模块 10 包括扫描输入端 Input 与复位端 Reset，在所述移位寄存单元的预充电阶段，所述扫描输入端 Input 输入高电平，以向上拉模块 40 充电，在所述移位寄存单元的放电阶段，所述复位端 Reset 输入高电平，以为上拉模块 40 放电；

[0062] 第一时钟输入端 CK，第一时钟输入端 CK 用于为所述移位寄存单元提供第一时钟信号；

[0063] 双下拉控制模块 20；

[0064] 输出下拉模块 50，该输出下拉模块用于在所述移位寄存单元的输出端输出高电平后的阶段（包括图 2 中的下拉阶段 C）将所述移位寄存单元的输出端下拉至低电平；和

[0065] 双下拉模块 30，其中，

[0066] 双下拉控制模块 20 为本发明所提供的上述双下拉控制模块，该双下拉控制模块 20 的信号输入端 N 与充电与复位模块 10 的信号输出端 M 相连，且双下拉控制模块 20 的信号输入端 N 与上拉模块 40 的上拉节点 PU 相连，双下拉控制模块 20 的下拉信号输出端 A 与双下拉模块 30 的下拉节点 PD 相连，双下拉控制模块 20 的时钟输入端 b 与第一时钟信号输入端 CK 相连。

[0067] 在本发明中，对上拉模块 40 的具体结构并没有特殊的限制。如图 1 中所示，作为本发明的一种实施方式，上拉模块 40 可以包括第一薄膜晶体管 T1 和第二电容 C2。第一薄膜晶体管 T1 的栅极与上拉节点 PU 相连，第一薄膜晶体管 T1 的第一端与第一时钟信号输入

端 CK 相连,第一薄膜晶体管 T1 的第二端与所述移位寄存单元的输出端 Out(n) 相连。第二电容 C2 的第一端与上拉节点 PU 相连,第二电容 C2 的第二端与所述移位寄存单元的输出端 Out(n) 相连。

[0068] 同样地,本发明中对双下拉模块 30 的具体结构也没有特殊的限制。如图 1 中所示,双下拉模块 30 可以包括第八薄膜晶体管 T8、第二薄膜晶体管 T2 和低电平输入端,该低电平输入端能够提供低电平信号 VGL。双下拉模块 30 的低电平输入端可以与控制子单元 21 的低电平输入端可以为同一个。第八薄膜晶体管 T8 的栅极与下拉节点 PD 相连,第八薄膜晶体管 T8 的第一极与双下拉控制模块 20 的信号输入端 N 相连,第八薄膜晶体管 T8 的第二极与低电平输入端相连。第二薄膜晶体管 T2 的栅极与下拉节点 PD 相连,第二薄膜晶体管 T2 的第一极与所述移位寄存单元的输出端 Out(n) 相连,第二薄膜晶体管 T2 的第二极与低电平输入端相连。

[0069] 在现有技术中,上拉模块 40 和双下拉模块 30 的设置方式是多种多样的,这里不再赘述。

[0070] 在移位寄存单元的预充电阶段(图 2 中的阶段 A)中,信号输入端 N 中输入的信号为从充电与复位模块 10 中输入的高电平 VGH。因此,控制子单元 21 的第二端 d 和控制子单元 21 的第三端 E 输出低电平 VGL,在该阶段,第五薄膜晶体管 T5 是关闭的,单向导通元件 T4 是截止的,因此,与双下拉控制模块 20 的下拉信号输出端 A 相连的下拉节点 PD 的电位是双下拉控制模块 20 第三端 E 输出的低电平 VGL。

[0071] 如上文中所述,在移位寄存单元的上拉阶段(图 2 中的阶段 B),从信号输入端 N 输入到控制子单元 21 中的信号为上拉节点 PU 处的高电平 VGH。因此,控制子单元 21 的第二端 d 和控制子单元 21 的第三端 E 仍然输出低电平 VGL,在该阶段,第五薄膜晶体管仍然关闭,单向导通元件 T4 是截止的,因此,与时钟输入端 b 相连的第一时钟输入端 CK 不会向下拉节点 PD 放电,从而降低了移位寄存单元的能耗。

[0072] 在移位寄存单元的下拉阶段(图 2 中的阶段 C),上拉节点 PU 被下拉为低电平,所述移位寄存单元的输出电平为输出下拉模块 50 输出的低电平。输出下拉模块 50 的主要作用即为在移位寄存单元的下拉阶段为移位寄存单元的输出端提供低电平。

[0073] 在移位寄存单元的低电平维持阶段(图 2 中的阶段 D),信号输入端 N 输入到控制子单元 21 中的信号为低电平信号,第五薄膜晶体管 T5 开启,上拉节点 PD 被第一时钟信号输出端 CK 输出的高电平拉高,上拉节点 PU 被下拉为低电平 VGL,从而可以将上拉模块 40 中的第一薄膜晶体管 T1 关闭,确保输出端 Out(n) 可以被双下拉单元的第二薄膜晶体管 T2 下拉至低电平 VGL。

[0074] 作为本发明的一种具体实施方式,如图 1 所示,充电与复位模块 10 可以包括第九薄膜晶体管 T9、第十薄膜晶体管 T10、第一参考电压输入端 V1、第二参考电压输入端 V2、扫描输入端 Input 和复位端 Reset,第九薄膜晶体管 T9 的栅极与所述输入端相连,第九薄膜晶体管 T9 的第一极与第一参考电压输入端 V1 相连,第九薄膜晶体管 T9 的第二极与第十薄膜晶体管 T10 的第一极相连,第十薄膜晶体管 T10 的栅极与所述复位端 Reset 相连,第十薄膜晶体管 T10 的第二极与第二参考电压输入端 V2 相连,第一参考电压输入端 V1 和第二参考电压输入端 V2 中的一者为高电平输入端,第一参考电压输入端 V1 和第二参考电压输入端 V2 中的另一者为低电平输入端。高电平输入端可以提供高电平信号 VGH,低电平输入端可

以提供低电平信号 VGL。

[0075] 容易理解的是,栅极驱动器包括多个级联的移位寄存单元,当本发明所提供的移位寄存单元用于栅极驱动器中时,扫描输入端 Input 与上一级移位寄存单元的输出端相连,复位端 Reset 与下一级的移位寄存单元的输出端相连。当对包括所述栅极驱动器的显示面板进行正向扫描时,则第一参考电压输入端 V1 为高电平输入端,第二参考电压输入端 V2 为低电平输入端;当对包括所述栅极驱动器的显示面板进行反向扫描时,则第一参考电压输入端 V1 为低电平输入端,第二参考电压输入端 V2 为高电平输入端。

[0076] 作为本发明的一种优选实施方式,输出下拉模块 50 包括第二时钟输入端 CKB 和第三薄膜晶体管 T3,该第三薄膜晶体管 T3 的栅极与第二时钟输入端 CKB 相连,第三薄膜晶体管 T3 的第一极与所述移位寄存单元的输出端 Out (n) 相连,第三薄膜晶体管 T3 的第二极与低电平输入端相连。输出下拉模块 50 具有上述结构的优点在于,可以实现对移位寄存单元的输出端的交流下拉。

[0077] 如图 2 中所示,第一时钟输入端 CK 输入的第一时钟信号的时序与第二时钟输入端 CKB 输入的第二时钟信号的时序是互补的。即,第一时钟输入端 CK 输入高电平时,第二时钟输入端 CKB 输入低电平,当第一时钟输入端 CK 输入低电平时,第二时钟输入端 CKB 输入高电平。当第二时钟输入端 CKB 输入高电平后,第三薄膜晶体管 T3 开启,将移位寄存单元的输出端 Out (n) 的电位下拉至低电平 VGL。将移位寄存单元的输出端 Out (n) 输出高电平之后的阶段中(即,阶段 B 之后的阶段,包括图 2 中的阶段 C 和阶段 D),第一时钟输入端 CK 和第二时钟输入端点 CKB 交替地控制所述移位寄存单元的输出端输出低电平(即,实现对移位寄存单元的输出端的交流下拉)。

[0078] 具体地,在移位寄存单元的下拉阶段(即,图 2 中的阶段 C),第二时钟输入端 CKB 输入高电平信号,第三薄膜晶体管 T3 开启,从而可以将 Out (n) 的电位下拉至低电平。在移位寄存单元的低电平维持阶段(图 2 中的阶段 D),第五薄膜晶体管 T5 开启,上拉节点 PD 被第一时钟信号输出端 CK 输出的高电平拉高,上拉节点 PU 被下拉为低电平 VGL,从而可以将上拉模块 40 中的第一薄膜晶体管 T1 关闭,确保输出端 Out (n) 可以被双下拉单元的第二薄膜晶体管 T2 下拉至低电平 VGL。

[0079] 作为本发明的一种具体实施方式,如图 1 中所示,双下拉模块 30 可以包括第二薄膜晶体管 T2 和第八薄膜晶体管 T8,第二薄膜晶体管 T2 的栅极和第八薄膜晶体管 T8 的栅极均与下拉节点 PD 相连,第二薄膜晶体管 T2 的第一极与所述移位寄存单元的输出端 Out (n) 相连,所述第二薄膜晶体管 T2 的第二极与低电平输入端相连,第八薄膜晶体管 T8 的第一极与上拉节点 PU 相连,第八薄膜晶体管 T8 的第二极与低电平输入端相连。

[0080] 作为本发明的另一个方面,如图 3 所示,提供一种栅极驱动器,该栅极驱动器包括多个级联的移位寄存单元,其中,所述移位寄存单元为本发明所提供的上述移位寄存单元,所述扫描输入端 Input 与上一级移位寄存单元的输出端相连,所述复位端 Reset 与下一级移位寄存单元的输出端相连。

[0081] 当 $n > 1$ 时,第 n 级移位寄存单元的充电与复位模块 10 的扫描输入端 Input 接收的是第 $n-1$ 级移位寄存单元的输出信号 Out ($n-1$),第 n 级的移位寄存单元的充电与复位模块的复位端 Reset 接收的是第 $n+1$ 级移位寄存单元的输出信号 Out ($n+1$)。第 $n-1$ 级移位寄存单元的上拉阶段(即,图 2 中的阶段 B)对应于第 n 级移位寄存单元的预充电阶段,第 $n+1$

级移位寄存单元的上拉阶段对应于第 n 级移位寄存单元的下拉阶段。其中,图 3 中还示出了第 $n+2$ 级移位寄存单元,该第 $n+2$ 级移位寄存单元的输出信号为 $Out(n+2)$ 。

[0082] 当 $n = 1$ 时,第 n 级移位寄存单元的充电与复位模块 10 的扫描输入端 Input 接收的是 STV 信号。本领域技术人员应当理解的是,STV 信号仅在第 1 级移位寄存单元的预充电阶段(即,图 2 中的阶段 A)为高电平,其余阶段均为低电平。

[0083] 下面结合图 1 至图 3 介绍包括移位寄存单元的具体工作过程。在该实施方式中,包括所述移位寄存单元的栅极驱动器对显示面板进行正向扫描,第一参考电压输入端 V1 输入高电平 VGH,第二参考电压输入端 V2 输入低电平 VGL。

[0084] 在图 2 中的阶段 A,第一时钟输入端 CK 输入低电平的第一时钟信号,第二时钟输入端 CKB 输入高电平的第二时钟信号,第 n 级移位寄存单元的充电与复位模块 10 的输入端接收的是第 $n-1$ 级移位寄存单元的输出信号 $Out(n-1)$,该输出信号 $Out(n-1)$ 为高电平 VGH,第 n 级的移位寄存单元的充电与复位模块的复位端 Reset 接收的是第 $n+1$ 级移位寄存单元的输出信号 $Out(n+1)$,此时第 $n+1$ 级移位寄存单元输出的信号尚为低电平 VGL。在阶段 A,充电与复位模块 10 的第九薄膜晶体管 T9 的栅极接收到高电平 VGH,因此第九薄膜晶体管 T9 导通,因此双下拉控制模块 20 的信号输入端 N 以及上拉模块 40 的上拉节点 PU 处的电平为第一参考电压输入端 V1 的高电平 VGH,通过上拉节点 PU 为第二电容 C2 充电。由于双下拉控制模块 20 的信号输入端 N 为高电平,因此,第六薄膜晶体管 T6 和第七薄膜晶体管 T7 导通,使得控制子单元 21 的第二端 d 以及控制子单元 21 的第三端 E 均输出低电平 VGL,因此第五薄膜晶体管 T5 关闭,双下拉模块 30 的下拉节点 PD 处的电位被第六薄膜晶体管 T6 下拉为低电平 VGL。由于第一时钟信号输入端 CK 输入的第一时钟信号为低电平,因此,单向导通元件 T4 截止。由于第一薄膜晶体管 T1 的栅极为上拉节点 PU,因此第一薄膜晶体管 T1 开启。由于第二时钟信号输入端 CKB 输入的第二时钟信号为高电平,因此,第三薄膜晶体管 T3 开启,将第 n 级移位寄存单元的输出端 $Out(n)$ 的电位拉低至低电平 VGL。

[0085] 在图 2 中的阶段 B,充电与复位模块 10 的扫描输入端 Input 的电位跳变为低电平,充电与复位模块 10 的复位端 Reset 的电位依然为低电平,因此,第九薄膜晶体管 T9 和第十薄膜晶体管 T10 均关闭。第一时钟信号输入端 CK 输入的第一时钟信号为高电平 VGH。上拉节点 PU 没有放电路径,因此该上拉节点 PU 以及双下拉控制模块 20 的信号输入端 N 保持高电平,导致第一薄膜晶体管 T1、第六薄膜晶体管 T6 以及第七薄膜晶体管 T7 保持开启,控制子单元 21 的第二端 d 输出低电平,所以第五薄膜晶体管 T5 仍然彻底关闭,下拉节点 PD 仍然保持低电平 VGL。因此,第二薄膜晶体管 T2 和第八薄膜晶体管 T8 关闭。由于第五薄膜晶体管 T5 完全关闭,因此,第一时钟信号输入端 CK 输入的第一时钟信号无法通过第五薄膜晶体管 T5 进入下拉节点 PD,并且,由于单向导通元件 T4 此时处于截止状态,因此,第一时钟信号输入端 CK 输入的第一时钟信号无法通过单向导通元件 T4 对下拉节点 PD 放电,从而可以避免栅极驱动器功耗过大的问题。由于第一时钟信号输入端 CK 输入的第一时钟信号为高电平 VGH,且第一薄膜晶体管 T1 开启,第三薄膜晶体管 T3 关闭,因此,本级移位寄存单元的输出端 $Out(n)$ 输出的信号为第一时钟信号输入端 CK 输入的高电平信号。

[0086] 在图 2 中的阶段 C 中,第一时钟信号输入端 CK 输入的第一时钟信号为低电平,第二时钟信号输入端 CKB 输入的第二时钟信号为高电平,充电与复位模块 10 的扫描输入端 Input 的电位依然为低电平,充电与复位模块 10 的复位端 Reset 的电位跳变为高电平,第九

薄膜晶体管 T9 关闭,第十薄膜晶体管 T10 开启,上拉节点 PU 的电位被第十薄膜晶体管 T10 下拉为低电平 VGL,此动作完成电路的复位。因此,第一薄膜晶体管 T1、第六薄膜晶体管 T6 和第七薄膜晶体管 T7 都关闭,下拉节点 PD 仍然为低电平,第二薄膜晶体管 T2 和第八薄膜晶体管 T8 也仍然关闭。由于第二时钟信号输入端 CKB 输入的第二时钟信号为高电平,因此,第三薄膜晶体管 T3 开启,将第 n 级移位寄存单元的输出端 Out (n) 的电位拉低至低电平 VGL。

[0087] 在图 2 中的阶段 D 中,第一时钟信号输入端 CK 输入的第一时钟信号为高电平,第二时钟信号输入端 CKB 输入的第二时钟信号为低电平,充电与复位模块 10 的扫描输入端 Input 的电位依然为低电平,充电与复位模块 10 的复位端 Reset 的电位跳变为低电平。由于第一时钟信号输入端 CK 输入的第一时钟信号为高电平,通过第一电容 C1 的耦合,第五薄膜晶体管 T5 的栅极被耦合为高电平,使得第五薄膜晶体管 T5 开启,此时,下拉节点 PD 被第一时钟信号拉高为高电平,第二薄膜晶体管 T2 和第八薄膜晶体管 T8 开启,上拉节点 PU 进一步被第八薄膜晶体管 T8 下拉为低电平 VGL,从而可以将第一薄膜晶体管 T1 很好的关闭,从而使得输出端 Out (n) 被第二薄膜晶体管 T2 下拉为低电平 VGL。由此可知,通过双下拉控制模块 20 和双下拉模块 30 可以对输出端进行交流下拉,很好地克服了输出端的漂移 (floating) 效应和偏离 (stray) 效应。

[0088] 作为本发明的再一个方面,提供一种显示面板,该显示面板包括栅极驱动器,其中,所述栅极驱动电路为本发明所提供的上述栅极驱动器。

[0089] 本领域技术人员应当理解的是,每级移位寄存单元对应显示面板的一条栅线。即,每级移位寄存单元的输出端与一条栅线相连,以为相应的栅线提供扫描信号。

[0090] 由于本发明所提供的上述显示面板中采用了本发明所提供个上述栅极驱动器,因此,本发明所提供的上述显示面板具有较低的能耗。并且,在移位寄存单元的低电平保持阶段中,输出端可以被可靠地下拉至低电平,因此,本发明所提供的显示面板中避免了输出端的漂移效应和偏离效应。

[0091] 本发明所提供的显示面板可以用作手机、电脑显示器、平板电脑等显示装置中。

[0092] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

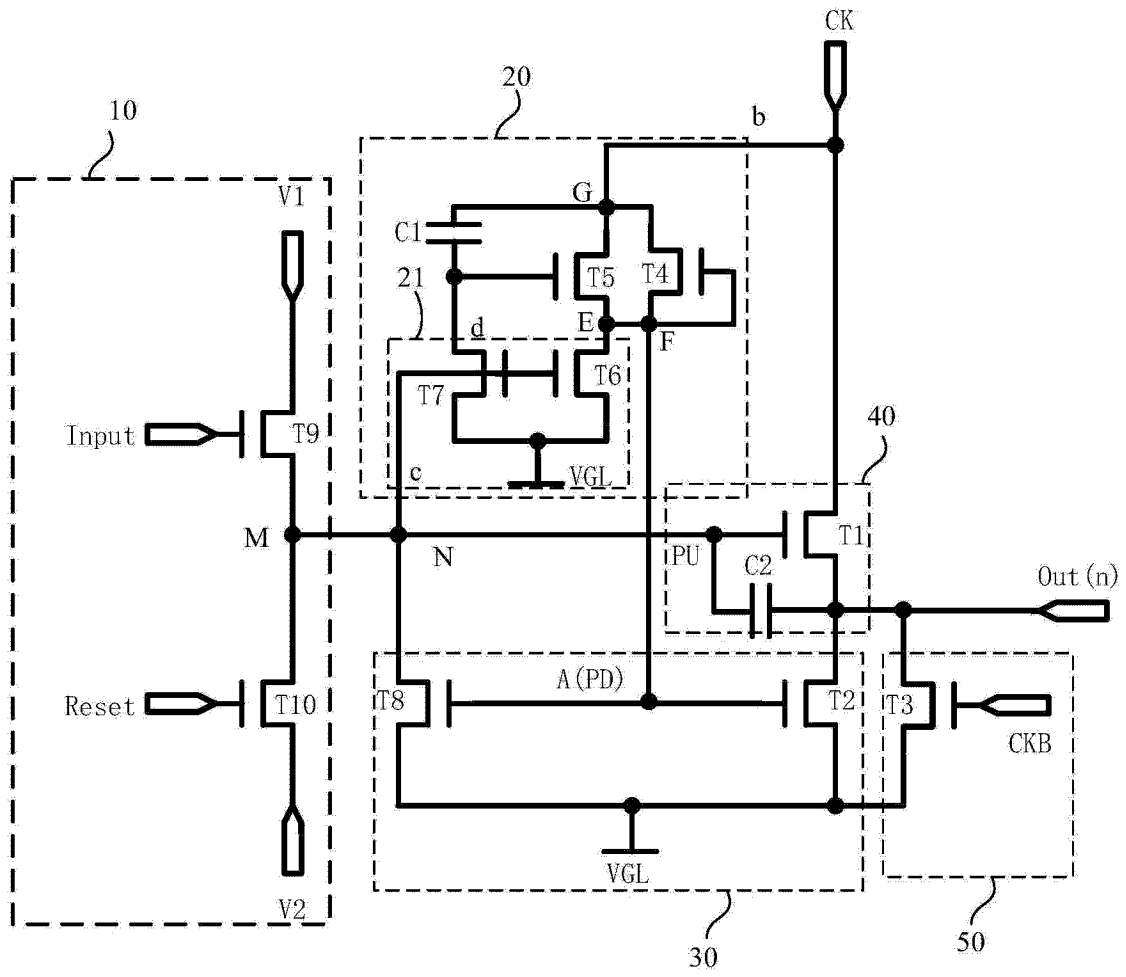


图 1

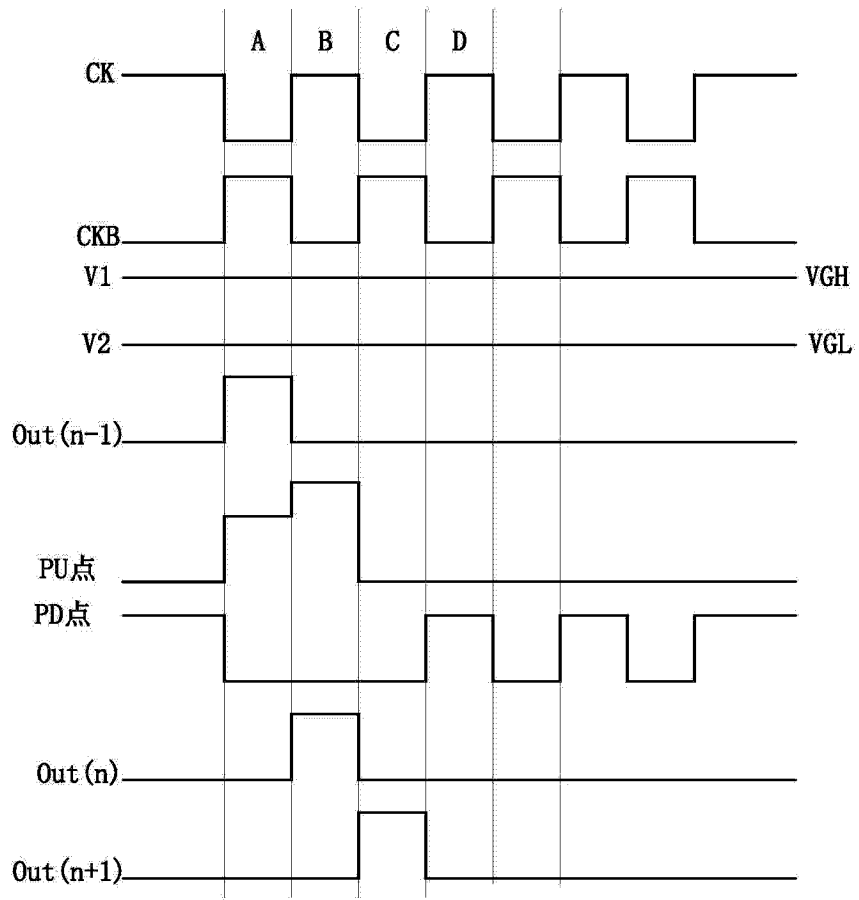


图 2

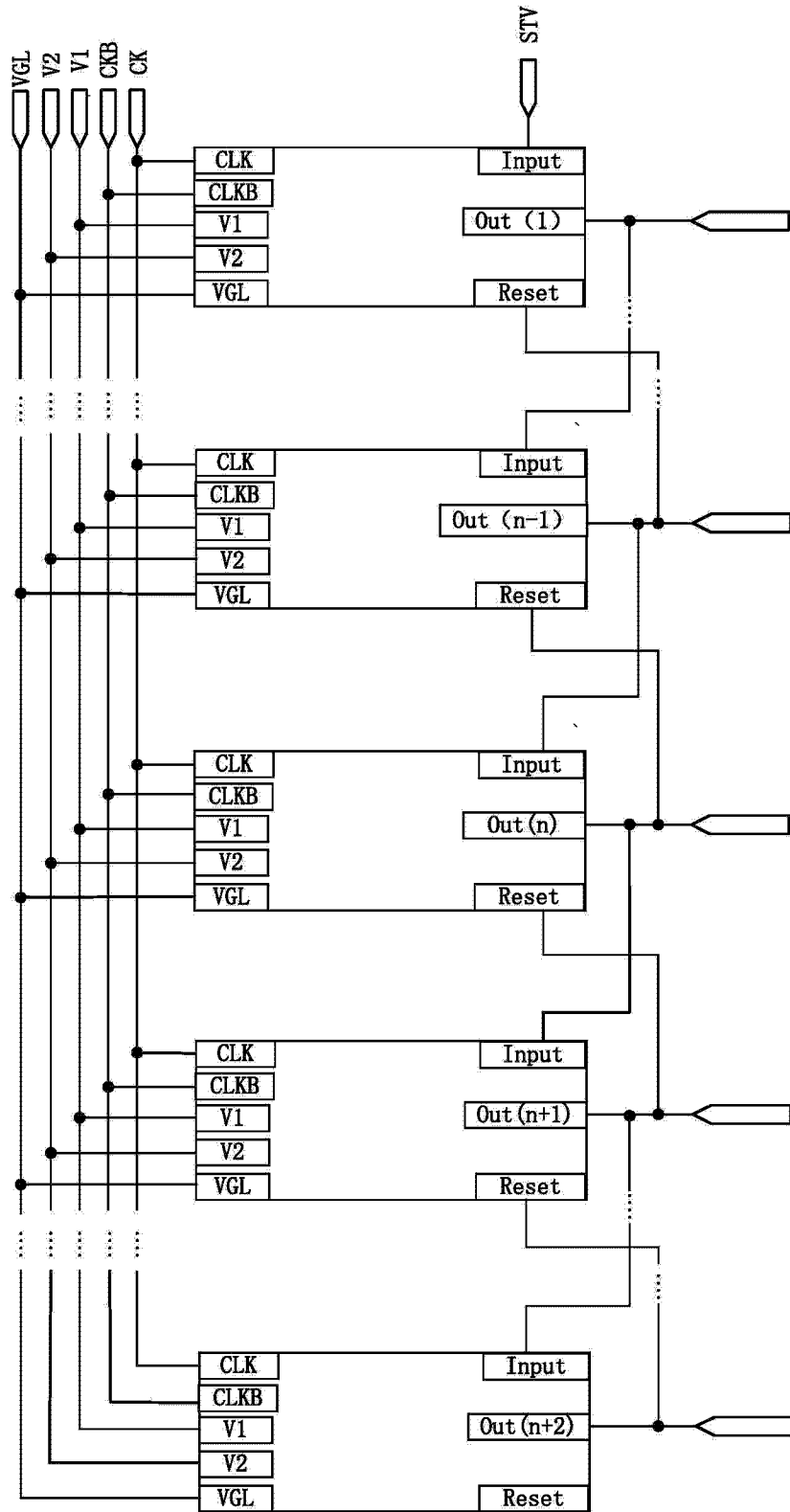


图 3