



(12)发明专利申请

(10)申请公布号 CN 106409919 A

(43)申请公布日 2017.02.15

(21)申请号 201610584634.5

(22)申请日 2016.07.22

(30)优先权数据

2015-150218 2015.07.30 JP

(71)申请人 株式会社半导体能源研究所

地址 日本神奈川县

(72)发明人 山崎舜平 肥塚纯一 冈崎健一

神长正美 井口贵弘 后藤尚人

(74)专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 李雪春 王维玉

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 27/12(2006.01)

H01L 21/34(2006.01)

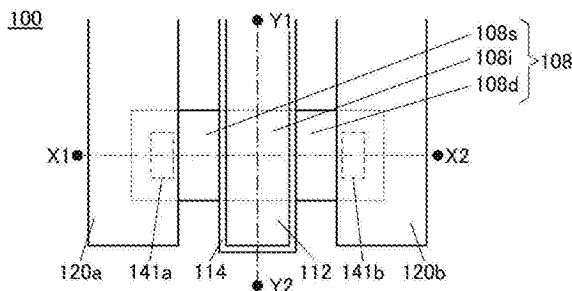
权利要求书3页 说明书61页 附图60页

(54)发明名称

半导体装置以及包括该半导体装置的显示装置

(57)摘要

抑制包括氧化物半导体的晶体管的电特性变动并提高其可靠性。晶体管包括：第一绝缘膜上的氧化物半导体膜；氧化物半导体膜上的第二绝缘膜；第二绝缘膜上的栅电极；与第二绝缘膜的侧面接触的金属氧化膜；以及氧化物半导体膜、栅电极以及金属氧化膜上的第三绝缘膜。氧化物半导体膜包括：重叠于栅电极的沟道区域；与第三绝缘膜接触的源区域；以及与第三绝缘膜接触的漏区域。源区域及漏区域包含如下一种以上：氢、硼、碳、氮、氟、磷、硫、氯、钛、稀有气体。



1. 一种半导体装置,包括:
晶体管,包括:
第一绝缘膜上的氧化物半导体膜;
所述氧化物半导体膜上的第二绝缘膜;
所述第二绝缘膜上的栅电极;
与所述第二绝缘膜的侧面接触的金属氧化膜;以及
所述氧化物半导体膜、所述栅电极以及所述金属氧化膜上的第三绝缘膜,
其中,所述氧化物半导体膜包括重叠于所述栅电极的沟道区域、与所述第三绝缘膜接触的源区域以及与所述第三绝缘膜接触的漏区域,
并且,各所述源区域及所述漏区域包含选自稀有气体、氢、硼、碳、氮、氟、磷、硫、氯和钛中的一种以上。
2. 根据权利要求1所述的半导体装置,
其中所述晶体管还包括:
所述第三绝缘膜上的第四绝缘膜;
通过所述第三绝缘膜及所述第四绝缘膜中的第一开口部与所述源区域连接的源电极;
以及
通过所述第三绝缘膜及所述第四绝缘膜中的第二开口部与所述漏区域连接的漏电极。
3. 根据权利要求1所述的半导体装置,
其中所述金属氧化膜包括与所述栅电极的侧面接触的区域。
4. 根据权利要求1所述的半导体装置,
其中所述金属氧化膜包含Al、Ta、Y和Hf中的一种以上。
5. 根据权利要求1所述的半导体装置,
其中所述稀有气体包括氦、氖、氩、氪和氙中的一种以上。
6. 根据权利要求1所述的半导体装置,
其中所述第三绝缘膜包含氮、氢和氟中的一种以上。
7. 根据权利要求1所述的半导体装置,
其中所述氧化物半导体膜包含In、Zn及M,
并且M为Al、Ga、Y和Sn中的一种。
8. 根据权利要求1所述的半导体装置,
其中所述氧化物半导体膜包含结晶部,
并且所述结晶部具有c轴取向性。
9. 一种显示装置,包括:
权利要求1所述的半导体装置;以及
显示元件。
10. 一种显示模块,包括:
权利要求9所述的显示装置;以及
触摸传感器。
11. 一种电子设备,包括:
权利要求9所述的显示装置;以及

操作键或电池。

12. 一种包括晶体管的半导体装置,其中该晶体管包括:

导电膜;

所述导电膜上的第一绝缘膜;

所述第一绝缘膜上的氧化物半导体膜;

所述氧化物半导体膜上的第二绝缘膜;

所述第二绝缘膜上的栅电极;

与所述第二绝缘膜的侧面接触的金属氧化膜;以及

所述氧化物半导体膜、所述栅电极以及所述金属氧化膜上的第三绝缘膜,

其中,所述氧化物半导体膜包括重叠于所述栅电极的沟道区域、与所述第三绝缘膜接触的源区域以及与所述第三绝缘膜接触的漏区域,

并且,各所述源区域及所述漏区域包含选自稀有气体、氢、硼、碳、氮、氟、磷、硫、氯、钛中的一种。

13. 根据权利要求12所述的半导体装置,

其中所述导电膜与所述栅电极电连接。

14. 根据权利要求12所述的半导体装置,

其中所述晶体管还包括:

所述第三绝缘膜上的第四绝缘膜;

通过所述第三绝缘膜及所述第四绝缘膜中的第一开口部与所述源区域连接的源电极;

以及

通过所述第三绝缘膜及所述第四绝缘膜中的第二开口部与所述漏区域连接的漏电极。

15. 根据权利要求12所述的半导体装置,

其中所述金属氧化膜与所述栅电极的侧面接触。

16. 根据权利要求12所述的半导体装置,

其中所述金属氧化膜包含Al、Ta、Y和Hf中的一种以上。

17. 根据权利要求12所述的半导体装置,

其中各所述源区域及所述漏区域包含氦、氖、氩、氪和氙中的一种以上。

18. 根据权利要求12所述的半导体装置,

其中所述第三绝缘膜包含氮、氢和氟中的一种以上。

19. 根据权利要求12所述的半导体装置,

其中所述氧化物半导体膜包含In、Zn及M,

并且M为Al、Ga、Y和Sn中的一种。

20. 根据权利要求12所述的半导体装置,

其中所述氧化物半导体膜包含结晶部,

并且所述结晶部具有c轴取向性。

21. 一种显示装置,包括:

权利要求12所述的半导体装置;以及

显示元件。

22. 一种显示模块,包括:

权利要求21所述的显示装置;以及
触摸传感器。

23.一种电子设备,包括:

权利要求12所述的半导体装置;以及
操作键或电池。

半导体装置以及包括该半导体装置的显示装置

技术领域

[0001] 本发明的一个方式涉及一种包括氧化物半导体膜的半导体装置以及包括该半导体装置的显示装置。

[0002] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式的技术领域涉及一种物体、方法或制造方法。此外,本发明涉及一种工序(process)、机器(machine)、产品(manufacture)或组合物(composition of matter)。本发明的一个方式尤其涉及一种半导体装置、显示装置、发光装置、蓄电装置、存储装置、其驱动方法或其制造方法。

[0003] 注意,在本说明书等中,半导体装置是指通过利用半导体特性而能够工作的所有装置。除了晶体管等半导体元件之外,半导体电路、运算装置、存储装置都是半导体装置的一个方式。摄像装置、显示装置、液晶显示装置、发光装置、电光装置、发电装置(包括薄膜太阳能电池或有机薄膜太阳能电池等)及电子设备有时包括半导体装置。

背景技术

[0004] 通过利用形成在具有绝缘表面的衬底上的半导体薄膜来构成晶体管(也称为场效应晶体管(FET)或薄膜晶体管(TFT))的技术受到关注。该晶体管被广泛地应用于如集成电路(IC)及图像显示装置(显示装置)等电子器件。作为可以应用于晶体管的半导体薄膜,以硅为代表的半导体材料被周知。另外,作为其他材料,氧化物半导体受到关注。

[0005] 例如,公开了一种技术,其中作为氧化物半导体使用包含In、Zn、Ga、Sn等的非晶氧化物制造晶体管(参照专利文献1)。另外,也公开了一种技术,其中使用氧化物薄膜制造具有自对准的顶栅结构的晶体管(参照专利文献2)。

[0006] 此外,已公开了如下半导体装置:将由于加热而释放氧的绝缘层用作其中形成沟道的氧化物半导体层的基底绝缘层,来降低该氧化物半导体层的氧缺陷(参照专利文献3)。

[0007] [专利文献1]日本专利申请公开2006-165529号公报

[专利文献2]日本专利申请公开2009-278115号公报

[专利文献3]日本专利申请公开2012-009836号公报

发明内容

[0008] 作为包括氧化物半导体膜的晶体管,例如可以举出反交错型(也称为底栅结构)晶体管或交错型(也称为顶栅结构)晶体管等。当将包括氧化物半导体膜的晶体管用于显示装置时,使用反交错型的情况多于使用交错型晶体管的情况,这是因为反交错型晶体管的制造工序比较简单且能够抑制其制造成本。然而,随着在显示装置中屏幕的大型化或者高清晰化(例如,以4K×2K(水平方向的像素数为3840,垂直方向的像素数为2160)或8K×4K(水平方向的像素数为7680,垂直方向的像素数为4320)为代表的高清晰显示装置)日益进步,有时在反交错型晶体管中产生栅电极与源电极之间的寄生电容及栅电极与漏电极之间的寄生电容。此时有如下问题:根据该寄生电容而信号迟延等增大,这会导致显示装置的显示

质量的降低。于是,作为包括氧化物半导体膜的交错型晶体管,期待着具有稳定的半导体特性及较高的可靠性的晶体管的开发。

[0009] 当将氧化物半导体膜用于沟道区域形成晶体管时,形成在氧化物半导体膜的沟道区域中的氧缺陷对晶体管特性造成负面影响,所以会成为问题。例如,当在氧化物半导体膜的沟道区域中形成氧缺陷时,因该氧缺陷而形成载流子。当在氧化物半导体膜中的沟道区域中形成有载流子时,发生在沟道区域中包括氧化物半导体膜的晶体管的电特性的变动,典型地发生阈值电压的漂移。此外,有各晶体管的电特性不均匀的问题。由此,在氧化物半导体膜的沟道区域中氧缺陷越少越优选。另一方面,将氧化物半导体膜用于沟道区域的晶体管优选具有如下结构:与源电极及漏电极接触的氧化物半导体膜的氧缺陷较多且其电阻较低,以降低与源电极和漏电极的接触电阻。

[0010] 鉴于上述问题,本发明的一个方式的目的之一是抑制包括氧化物半导体的晶体管的电特性变动并提高其可靠性。另外,本发明的一个方式的目的之一是提供一种包括氧化物半导体的交错型晶体管。另外,本发明的一个方式的目的之一是提供一种包括氧化物半导体的通态电流(on-state current)大的晶体管。另外,本发明的一个方式的目的之一是提供一种包括氧化物半导体的关态电流(off-state current)小的晶体管。另外,本发明的一个方式的目的之一是提供一种功耗得到降低的半导体装置。另外,本发明的一个方式的目的之一是提供一种新颖的半导体装置。

[0011] 注意,上述目的的记载不妨碍其他目的的存在。本发明的一个方式并不需要实现所有上述目的。上述目的以外的目的从说明书等的记载看来是显而易见的,并可以从说明书等中抽取上述目的以外的目的。

发明内容

[0012] 本发明的一个方式是一种包括晶体管的半导体装置,其中晶体管包括:第一绝缘膜上的氧化物半导体膜;氧化物半导体膜上的第二绝缘膜;第二绝缘膜上的栅电极;与第二绝缘膜的侧面接触的金属氧化膜;以及氧化物半导体膜、栅电极以及金属氧化膜上的第三绝缘膜。氧化物半导体膜包括:重叠于栅电极的沟道区域;与第三绝缘膜接触的源区域;以及与第三绝缘膜接触的漏区域。源区域及漏区域包含如下一种以上:氢、硼、碳、氮、氟、磷、硫、氯、钛、稀有气体。

[0013] 另外,本发明的另一个方式是一种包括晶体管的半导体装置,晶体管包括:导电膜;导电膜上的第一绝缘膜;第一绝缘膜上的氧化物半导体膜;氧化物半导体膜上的第二绝缘膜;第二绝缘膜上的栅电极;与第二绝缘膜的侧面接触的金属氧化膜;以及氧化物半导体膜、栅电极以及金属氧化膜上的第三绝缘膜。氧化物半导体膜包括:重叠于栅电极的沟道区域;与第三绝缘膜接触的源区域;以及与第三绝缘膜接触的漏区域。源区域及漏区域包含如下一种以上:氢、硼、碳、氮、氟、磷、硫、氯、钛、稀有气体。

[0014] 另外,本发明的另一个方式是一种包括晶体管的半导体装置,其中晶体管包括:导电膜;导电膜上的第一绝缘膜;第一绝缘膜上的氧化物半导体膜;氧化物半导体膜上的第二绝缘膜;第二绝缘膜上的栅电极;与第二绝缘膜的侧面接触的金属氧化膜;以及氧化物半导体膜、栅电极以及金属氧化膜上的第三绝缘膜。导电膜与栅电极电连接。氧化物半导体膜包括:重叠于栅电极的沟道区域;与第三绝缘膜接触的源区域;以及与第三绝缘膜接触的漏区

域。源区域及漏区域包含如下一种以上：氢、硼、碳、氮、氟、磷、硫、氯、钛、稀有气体。

[0015] 在上述方式中，优选的是，晶体管还包括：第三绝缘膜上的第四绝缘膜；通过形成在第三绝缘膜及第四绝缘膜中的开口部与源区域连接的源电极；以及通过形成在第三绝缘膜及第四绝缘膜中的开口部与漏区域连接的漏电极。

[0016] 在上述方式中，优选的是，金属氧化膜包括与栅电极的侧面接触的区域。另外，在上述方式中，优选的是，金属氧化膜包含Al、Ta、Y和Hf中的一种以上。

[0017] 在上述方式中，优选的是，稀有气体包括氦、氖、氩、氪和氙中的一种以上。

[0018] 在上述方式中，优选的是，第三绝缘膜包含氮、氢和氟中的一种以上。

[0019] 在上述方式中，优选的是，氧化物半导体膜包含In、Zn及M(M为Al、Ga、Y或Sn)。另外，在上述方式中，优选的是，氧化物半导体膜包含结晶部且结晶部具有c轴取向性。

[0020] 另外，本发明的另一个方式是一种显示装置，包括：上述各方式中任一个所述的半导体装置；以及显示元件。另外，本发明的另一个方式是一种显示模块，包括：上述显示装置；以及触摸传感器。另外，本发明的另一个方式是一种电子设备，包括：上述各方式中任一个所述的半导体装置、上述显示装置或上述显示模块；以及操作键或电池。

[0021] 根据本发明的一个方式，可以抑制包括氧化物半导体的晶体管的电特性变动并可以提高其可靠性。另外，根据本发明的一个方式，可以提供一种包括氧化物半导体的交错型晶体管。另外，根据本发明的一个方式，可以提供一种包括氧化物半导体的通态电流大的晶体管。另外，根据本发明的一个方式，可以提供一种包括氧化物半导体的关态电流小的晶体管。另外，根据本发明的一个方式，可以提供一种功耗得到降低的半导体装置。另外，根据本发明的一个方式，可以提供一种新颖的半导体装置。

[0022] 注意，这些效果的记载不妨碍其他效果的存在。本发明的一个方式并不需要具有所有上述效果。另外，这些效果以外的效果从说明书、附图、权利要求书等的记载看来是显而易见的，并可以从说明书、附图、权利要求书等的记载中抽取上述目的以外的效果。

附图说明

[0023] 图1A至图1C是说明半导体装置的俯视图及截面图；

图2A至图2C是说明半导体装置的俯视图及截面图；

图3A和图3B是说明半导体装置的截面图；

图4A和图4B是说明半导体装置的截面图；

图5A和图5B是说明半导体装置的截面图；

图6A和图6B是说明半导体装置的截面图；

图7A和图7B是说明半导体装置的截面图；

图8A和图8B是说明半导体装置的截面图；

图9A和图9B是说明半导体装置的截面图；

图10A和图10B是说明半导体装置的截面图；

图11A和图11B是说明半导体装置的截面图；

图12A和图12B是说明半导体装置的截面图；

图13A和图13B是说明半导体装置的截面图；

图14A至图14C是说明带结构的图；

图15A至图15D是说明半导体装置的制造方法的截面图；
图16A至图16D是说明半导体装置的制造方法的截面图；
图17A至图17C是说明半导体装置的制造方法的截面图；
图18A和图18B是说明半导体装置的制造方法的截面图；
图19A至图19D是说明半导体装置的制造方法的截面图；
图20A至图20C是说明半导体装置的制造方法的截面图；
图21A至图21D是说明半导体装置的制造方法的截面图；
图22A至图22C是说明半导体装置的制造方法的截面图；
图23A至图23E是说明利用XRD的CAAC-OS及单晶氧化物半导体的结构分析的图以及CAAC-OS的选区电子衍射图案；
图24A至图24E是CAAC-OS的截面TEM图像、平面TEM图像及其图像分析；
图25A至图25D是nc-OS的电子衍射图案以及nc-OS的截面TEM图像；
图26A和图26B是a-like OS的截面TEM图像；
图27示出In-Ga-Zn氧化物的电子照射所引起的结晶部的变化；
图28是示出显示装置的一个方式的俯视图；
图29是示出显示装置的一个方式的截面图；
图30是示出显示装置的一个方式的截面图；
图31A至图31C是示出半导体装置的一个方式的俯视图及截面图；
图32A至图32C是示出半导体装置的一个方式的俯视图及截面图；
图33A至图33C是示出半导体装置的一个方式的俯视图及截面图；
图34A至图34C是示出半导体装置的一个方式的俯视图及截面图；
图35A至图35D是示出半导体装置的一个方式的截面图；
图36是说明半导体装置的电路结构的图；
图37A和图37B是说明像素电路的结构图以及说明像素结构的工作的时序图；
图38A至图38C是说明显示装置的框图及电路图；
图39A至图39C是说明本发明的一个方式的电路图及时序图；
图40A至图40C是说明本发明的一个方式的图表及电路图；
图41A和图41B是说明本发明的一个方式的电路图及时序图；
图42A和图42B是说明本发明的一个方式的电路图及时序图；
图43A至图43E是说明本发明的一个方式的框图、电路图及波形图；
图44A和图44B是说明本发明的一个方式的电路图及时序图；
图45A和图45B是说明本发明的一个方式的电路图；
图46A至图46C是说明本发明的一个方式的电路图；
图47A和图47B是说明本发明的一个方式的电路图；
图48A至图48C是说明本发明的一个方式的电路图；
图49A和图49B是说明本发明的一个方式的电路图；
图50A和图50B是示出输入输出装置的一个例子的截面图；
图51是说明显示模块的图；
图52A至图52G是说明电子设备的图；

图53A和图53B是显示装置的透视图；
图54是说明成膜装置的结构图；
图55是说明实施例的绝缘膜的透射率的图；
图56A至图56C是说明实施例的TDS测定结果的图；
图57A至图57C是说明实施例的TDS测定结果的图。

具体实施方式

[0024] 下面,参照附图对实施方式进行了说明。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面的实施方式所记载的内容中。

[0025] 注意,在附图中,有时为了明确起见,夸大表示各构成要素的大小、层的厚度或区域。因此,本发明并不一定限定于该尺寸。此外,在附图中示意性地示出了理想的例子,本发明的一个方式不局限于附图所示的形状或数值等。

[0026] 另外,在本说明书中使用的“第一”、“第二”、“第三”等序数词是为了方便识别构成要素而附的,而不是为了在数目方面上进行限定的。

[0027] 在本说明书中,为了方便起见,使用“上”、“下”等表示配置的词句以参照附图说明构成要素的位置关系。另外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于在说明书中说明的词句,根据情况可以适当地更换。

[0028] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有沟道区域,并且电流能够流过漏极、沟道区域以及源极。注意,在本说明书等中,沟道区域是指电流主要流过的区域。

[0029] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极及漏极的功能有时互相调换。因此,在本说明书等中,源极和漏极可以互相调换。

[0030] 在本说明书等中,“电连接”包括通过“具有某种电作用的元件”连接的情况。在此,“具有某种电作用的元件”只要可以进行连接对象间的电信号的授受,就对其没有特别的限制。例如,“具有某种电作用的元件”不仅包括电极和布线,而且还包括晶体管等的开关元件、电阻元件、电感器、电容器、其他具有各种功能的元件等。

[0031] 在本说明书等中,“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态。因此,也包括该角度为 -5° 以上且 5° 以下的状态。另外,“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态。因此也包括 85° 以上且 95° 以下的角度的状态。

[0032] 在本说明书等中,“膜”和“层”可以相互调换。例如,有时可以将“导电层”换称为“导电膜”。或者,例如有时可以将“绝缘膜”换称为“绝缘层”。

[0033] 另外,在本说明书等中,在没有特别的说明的情况下,关态电流是指晶体管处于关闭状态(也称为非导通状态、遮断状态)时的漏极电流。在没有特别的说明的情况下,在n沟道型晶体管中,关闭状态是指栅极与源极间的电压 V_{gs} 低于阈值电压 V_{th} 的状态,在p沟道型晶体管中,关闭状态是指栅极与源极间的电压 V_{gs} 高于阈值电压 V_{th} 的状态。例如,n沟道型晶体管的关态电流有时是指栅极与源极间的电压 V_{gs} 低于阈值电压 V_{th} 时的漏极电流。

[0034] 晶体管的关态电流有时取决于 V_{gs} 。因此，“晶体管的关态电流为 I 以下”有时指存在使晶体管的关态电流成为 I 以下的 V_{gs} 的值。晶体管的关态电流有时是指预定的 V_{gs} 中的关闭状态、预定的范围内的 V_{gs} 中的关闭状态或能够获得充分被降低的关态电流的 V_{gs} 中的关闭状态等时的关态电流。

[0035] 作为一个例子,设想一种n沟道型晶体管,该n沟道型晶体管的阈值电压 V_{th} 为0.5V, V_{gs} 为0.5V时的漏极电流为 $1 \times 10^{-9}A$, V_{gs} 为0.1V时的漏极电流为 $1 \times 10^{-13}A$, V_{gs} 为-0.5V时的漏极电流为 $1 \times 10^{-19}A$, V_{gs} 为-0.8V时的漏极电流为 $1 \times 10^{-22}A$ 。在 V_{gs} 为-0.5V时或在 V_{gs} 为-0.5V至-0.8V的范围内,该晶体管的漏极电流为 $1 \times 10^{-19}A$ 以下,所以有时称该晶体管的关态电流为 $1 \times 10^{-19}A$ 以下。由于存在该晶体管的漏极电流为 $1 \times 10^{-22}A$ 以下的 V_{gs} ,因此有时称该晶体管的关态电流为 $1 \times 10^{-22}A$ 以下。

[0036] 在本说明书等中,有时以每沟道宽度 W 的电流值表示具有沟道宽度 W 的晶体管的关态电流。另外,有时以每预定的沟道宽度(例如 $1\mu m$)的电流值表示具有沟道宽度 W 的晶体管的关态电流。在为后者时,关态电流的单位有时以具有电流/长度的因次的单位(例如, $A/\mu m$)表示。

[0037] 晶体管的关态电流有时取决于温度。在本说明书中,在没有特别的说明的情况下,关态电流有时表示室温、 $60^{\circ}C$ 、 $85^{\circ}C$ 、 $95^{\circ}C$ 或 $125^{\circ}C$ 下的关态电流。或者,有时表示保证包括该晶体管的半导体装置等的可靠性的温度或者包括该晶体管的半导体装置等被使用的温度(例如, $5^{\circ}C$ 至 $35^{\circ}C$ 中的任一温度)下的关态电流。“晶体管的关态电流为 I 以下”是指:在室温、 $60^{\circ}C$ 、 $85^{\circ}C$ 、 $95^{\circ}C$ 、 $125^{\circ}C$ 、保证包括该晶体管的半导体装置等的可靠性的温度或者包括该晶体管的半导体装置等被使用的温度(例如, $5^{\circ}C$ 至 $35^{\circ}C$ 中的任一温度)下,存在使晶体管的关态电流成为 I 以下的 V_{gs} 的值。

[0038] 晶体管的关态电流有时取决于漏极与源极间的电压 V_{ds} 。在本说明书中,在没有特别的说明的情况下,关态电流有时表示 V_{ds} 为0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V或20V时的关态电流。或者,有时表示保证包括该晶体管的半导体装置等的可靠性的 V_{ds} ,或者,有时表示包括该晶体管的半导体装置等所使用的 V_{ds} 下的关态电流。“晶体管的关态电流为 I 以下”是指:在 V_{ds} 为0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、20V、在保证包括该晶体管的半导体装置等的可靠性的 V_{ds} 或包括该晶体管的半导体装置等所使用的 V_{ds} 下,存在使晶体管的关态电流成为 I 以下的 V_{gs} 的值。

[0039] 在上述关态电流的说明中,可以将漏极换称为源极。也就是说,关态电流有时指晶体管处于关闭状态时的流过源极的电流。

[0040] 在本说明书等中,有时将关态电流记作泄漏电流。在本说明书等中,关态电流例如有时指当晶体管处于关闭状态时流在源极与漏极间的电流。

[0041] 在本说明书等中,例如当导电性充分低时,有时即使表示为“半导体”也具有“绝缘体”的特性。此外,“半导体”和“绝缘体”的边境不太清楚,因此有时不能精确地区别。由此,有时可以将本说明书等所记载的“半导体”换称为“绝缘体”。同样地,有时可以将本说明书等所记载的“绝缘体”换称为“半导体”。另外,有时可以将本说明书等所记载的“绝缘体”换称为“半绝缘体”。

[0042] 在本说明书等中,例如当导电性充分高时,有时即使表示为“半导体”也具有“导体”的特性。此外,“半导体”和“导体”的边境不太清楚,因此有时不能精确地区别。由此,

有时可以将本说明书等所记载的“半导体”换称为“导电体”。同样地,有时可以将本说明书等所记载的“导电体”换称为“半导体”。

[0043] 在本说明书等中,半导体的杂质是指构成半导体的主要成分之外的物质。例如,浓度低于0.1atomic%的元素是杂质。当包含杂质时,有可能在半导体中形成DOS(Density of States:态密度),载流子迁移率有可能降低或结晶性有可能降低。在半导体包含氧化物半导体时,作为改变半导体特性的杂质,例如有第1族元素、第2族元素、第14族元素、第15族元素或主要成分之外的过渡金属等,尤其是,有氢(包含于水中)、锂、钠、硅、硼、磷、碳、氮等。在是氧化物半导体的情况下,有时例如由于氢等杂质的混入导致氧缺陷的产生。此外,当半导体包含硅时,作为改变半导体特性的杂质,例如有氧、除氢之外的第1族元素、第2族元素、第13族元素、第15族元素等。

[0044] 实施方式1

在本实施方式中,参照图1A至图22C说明具有晶体管的半导体装置及该半导体装置的制造方法的一个例子。

[0045] <1-1. 半导体装置的结构例子1>

图1A至图1C示出包括晶体管的半导体装置的一个例子。图1A至图1C所示的晶体管为交错型(顶栅结构)。

[0046] 图1A是晶体管100的俯视图,图1B是沿着图1A的点划线X1-X2的截面图,图1C是沿着图1A的点划线Y1-Y2的截面图。注意,为了明确起见,在图1A中,省略绝缘膜110等构成要素。注意,有时在后面的晶体管的俯视图中,与图1A同样地省略构成要素的一部分。此外,有时将点划线X1-X2方向称为沟道长度(L)方向,将点划线Y1-Y2方向称为沟道宽度(W)方向。

[0047] 图1A至图1C所示的晶体管100包括:衬底102上的绝缘膜104;绝缘膜104上的氧化物半导体膜108;氧化物半导体膜108上的绝缘膜110;绝缘膜110上的导电膜112;与绝缘膜110的侧面接触的金属氧化膜114;以及绝缘膜104、氧化物半导体膜108、导电膜112及金属氧化膜114上的绝缘膜116。氧化物半导体膜108包括重叠于导电膜112的沟道区域108i、与绝缘膜116接触的源区域108s以及与绝缘膜116接触的漏区域108d。

[0048] 另外,绝缘膜116包含氮、氢及氟中的一种以上。通过使绝缘膜116与源区域108s及漏区域108d接触,绝缘膜116中的氮、氢及氟中的一种以上被添加到源区域108s及漏区域108d中。通过添加氮、氢及氟中的一种以上,源区域108s及漏区域108d的载流子密度得到提高。

[0049] 晶体管100也可以包括绝缘膜116上的绝缘膜118、经过形成在绝缘膜116、118中的开口部141a与源区域108s电连接的导电膜120a以及经过形成在绝缘膜116、118中的开口部141b与漏区域108d电连接的导电膜120b。

[0050] 在本说明书等中,有时将绝缘膜104称为第一绝缘膜,将绝缘膜110称为第二绝缘膜,将绝缘膜116称为第三绝缘膜并将绝缘膜118称为第四绝缘膜。另外,导电膜112具有栅电极的功能,导电膜120a具有源电极的功能,导电膜120b具有漏电极的功能。

[0051] 绝缘膜110具有过剩氧区域。当绝缘膜110具有过剩氧区域时,可以对氧化物半导体膜108所包括的沟道区域108i供应过剩氧。因此,由于可以利用过剩氧填补沟道区域108i中可能会形成的氧缺陷,所以可以提供一种可靠性高的半导体装置。

[0052] 另外,为了对氧化物半导体膜108供应过剩氧,也可以对形成在氧化物半导体膜

108下的绝缘膜104供应过剩氧。但是,此时包含在绝缘膜104中的过剩氧有可能被供应到氧化物半导体膜108所具有的源区域108s及漏区域108d。当源区域108s及漏区域108d被供应过剩氧时,有可能使源区域108s及漏区域108d的电阻变高。

[0053] 另一方面,当形成在氧化物半导体膜108上的绝缘膜110包含过剩氧时,可以只对沟道区域108i选择性地供应过剩氧。或者,通过可以在对沟道区域108i、源区域108s及漏区域108d供应过剩氧之后,选择性地提高源区域108s及漏区域108d的载流子密度,可以抑制源区域108s及漏区域108d的电阻变高。

[0054] 金属氧化膜114具有保护绝缘膜110的侧面的功能。金属氧化膜114优选含有铝(Al)、镓(Ga)、钇(Y)或铪(Hf)。作为可用于金属氧化膜114的材料,可以举出氧化铝、氧化镓、氧化钇及氧化铪等。尤其是,作为金属氧化膜114优选使用氧化铝。另外,作为金属氧化膜114,也可以使用氧化铈、氧化镧或氧化钽。

[0055] 另外,保护绝缘膜110的侧面的金属氧化膜114大致具有三种功能。第一,金属氧化膜114具有抑制将保护绝缘膜110所包含的过剩氧从绝缘膜110的侧面释放到外部的功能。第二,金属氧化膜114具有抑制杂质从外部进入绝缘膜110的功能。具体而言,抑制绝缘膜116所包含的氮、氢或氟进入绝缘膜110。第三,由于金属氧化膜114将绝缘膜110的侧面与绝缘膜116隔开,因此金属氧化膜114具有抑制绝缘膜116中的氮、氢或氟与绝缘膜110的构成元素起反应的功能。例如,在绝缘膜110为氧化膜(氧化硅膜等)而绝缘膜116为氮化膜(氮化硅膜等)的情况下,当绝缘膜110与绝缘膜116接触时有可能会在绝缘膜110与绝缘膜116之间的界面附近产生氮氧化物(NO_x , x 为大于0且2以下,优选为1以上且2以下,典型为NO或 NO_2)。因此,通过设置金属氧化膜114,可以将绝缘膜110与绝缘膜116隔开,并且抑制氮氧化物(NO_x)的产生。

[0056] 氮氧化物(NO_x)在绝缘膜110中形成能级。该能级位于氧化物半导体膜108的能隙内。由此,当氮氧化物(NO_x)扩散到绝缘膜110与氧化物半导体膜108的界面时,电子有可能在绝缘膜110一侧被该能级俘获。其结果,被俘获的电子留在绝缘膜110与氧化物半导体膜108的界面附近,而使晶体管的阈值电压向正方向漂移。因此,当使用氮氧化物的含量少的膜作为绝缘膜110时,可以降低晶体管的阈值电压的漂移。

[0057] 如此,在本发明的一个方式中,通过作为绝缘膜110使用氮氧化物的含量少的膜,并且利用金属氧化膜114将绝缘膜110与绝缘膜116隔开,可以抑制氮氧化物的产生。由此,在具有氧化物半导体的晶体管中,可以抑制电特性的变动并可以提高其可靠性。

[0058] 另外,如图1B及图1C所示,金属氧化膜114可以覆盖导电膜112的侧面。

[0059] 氧化物半导体膜108所包括的源区域108s及漏区域108d优选都包含形成氧缺陷的元素或与氧缺陷键合的元素。作为上述形成氧缺陷的元素或与氧缺陷键合的元素,典型地可以举出氢、硼、碳、氮、氟、磷、硫、氯、钛、稀有气体等。作为稀有气体的典型例子,有氦、氖、氩、氪以及氙等。在上述形成氧缺陷的元素包含在绝缘膜116中,绝缘膜116的构成元素扩散到源区域108s及漏区域108d中,或者通过杂质添加处理上述形成氧缺陷的元素添加到源区域108s及漏区域108d中。

[0060] 当对氧化物半导体膜添加杂质元素时,氧化物半导体膜中的金属元素和氧的键合断开,而形成氧缺陷。或者,当对氧化物半导体膜添加杂质元素时,与氧化物半导体膜中的金属元素键合的氧与该杂质元素键合,氧从金属元素脱离,而形成氧缺陷。其结果是,氧化

物半导体膜中的载流子密度增高而使导电率得到提高。

[0061] 接着,详细地说明图1A至图1C所示的半导体装置的构成要素。

[0062] [衬底]

衬底102可以使用各种衬底,对衬底的种类没有特别的限制。作为该衬底的例子,可以举出半导体衬底(例如,单晶衬底或硅衬底)、SOI衬底、玻璃衬底、石英衬底、塑料衬底、金属衬底、不锈钢衬底、包含不锈钢箔的衬底、钨衬底、包含钨箔的衬底、柔性衬底、贴合薄膜、包含纤维状材料的纸或基材薄膜等。作为玻璃衬底的例子,可以举出钡硼硅酸盐玻璃、铝硼硅酸盐玻璃或钠钙玻璃等。作为柔性衬底、贴合薄膜、基材薄膜等,可以举出如下例子。例如可以举出以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)为代表的塑料。或者,作为一个例子,可以举出丙烯酸等合成树脂等。或者,作为例子,可以举出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者,作为例子,可以举出聚酰胺、聚酰亚胺、芳族聚酰胺、环氧树脂、无机蒸镀薄膜、纸类等。尤其是,通过使用半导体衬底、单晶衬底或SOI衬底等制造晶体管,可以制造特性、尺寸或形状等的偏差小、电流能力高且尺寸小的晶体管。当利用上述晶体管构成电路时,可以实现电路的低功耗化或电路的高集成化。

[0063] 另外,作为衬底102也可以使用柔性衬底,在该柔性衬底上直接形成晶体管。或者,也可以在衬底102与晶体管之间设置剥离层。剥离层可以在如下情况下使用,即在剥离层上制造半导体装置的一部分或全部,然后将其从衬底102分离并转置到其他衬底上的情况。此时,也可以将晶体管转置到耐热性低的衬底或柔性衬底上。另外,作为上述剥离层,例如可以使用钨膜与氧化硅膜的无机膜的层叠结构或在衬底上形成有聚酰亚胺等有机树脂膜的结构等。

[0064] 作为被转置晶体管的衬底,除了上述可以形成晶体管的衬底之外,例如还可以使用纸衬底、玻璃纸衬底、芳族聚酰胺薄膜衬底、聚酰亚胺薄膜衬底、石材衬底、木材衬底、布衬底(包括天然纤维(丝、棉、麻)、合成纤维(尼龙、聚氨酯、聚酯)或再生纤维(醋酯纤维、铜氨纤维、人造纤维、再生聚酯)等)、皮革衬底、橡胶衬底等。通过使用上述衬底,可以形成特性良好的晶体管或功耗低的晶体管,可以制造不容易发生故障并具有耐热性的装置,或者可以实现轻量化或薄型化。

[0065] [第一绝缘膜]

绝缘膜104可以通过适当地利用溅射法、CVD法、蒸镀法、脉冲激光沉积(PLD)法、印刷法、涂敷法等形成。绝缘膜104例如可以是氧化物绝缘膜及/或氮化物绝缘膜的单层或叠层。注意,为了提高绝缘膜104与氧化物半导体膜108的界面特性,绝缘膜104中的至少与氧化物半导体膜108接触的区域优选使用氧化物绝缘膜形成。另外,通过作为绝缘膜104使用因加热而释放氧的氧化物绝缘膜,可以利用加热处理使绝缘膜104所包含的氧移动到氧化物半导体膜108中。

[0066] 绝缘膜104的厚度可以为50nm以上、100nm以上且3000nm以下或200nm以上且1000nm以下。通过增加绝缘膜104的厚度,可以使绝缘膜104的氧释放量增加,而能够减少绝缘膜104与氧化物半导体膜108之间的界面能级,并且减少包含在氧化物半导体膜108的沟道区域108i中的氧缺陷。

[0067] 绝缘膜104例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧化钪、氧化镓或者Ga-Zn氧化物等,并且以叠层或单层设置。在本实施方式中,作为绝缘膜104,使用

氮化硅膜和氧氮化硅膜的叠层结构。如此,在绝缘膜104具有叠层结构时,作为下侧的层使用氮化硅膜,作为上侧的层使用氧氮化硅膜,由此可以对氧化物半导体膜108高效地供应氧。

[0068] [氧化物半导体膜]

氧化物半导体膜108使用In-M-Zn氧化物(M为Al、Ga、Y或Sn)等金属氧化物形成。作为氧化物半导体膜108也可以使用In-Ga氧化物、In-Zn氧化物。

[0069] 注意,在氧化物半导体膜108为In-M-Zn氧化物的情况下,In及M的和为100atomic%时的In及M的比例为In高于25atomic%且M低于75atomic%,或者In高于34atomic%以上且M低于66atomic%。

[0070] 氧化物半导体膜108的能隙优选为2eV以上、2.5eV以上或3eV以上。

[0071] 氧化物半导体膜108的厚度为3nm以上且200nm以下,优选为3nm以上且100nm以下,更优选为3nm以上且60nm以下。

[0072] 当氧化物半导体膜108为In-M-Zn氧化物时,用来形成In-M-Zn氧化物的溅射靶材的金属元素的原子个数比优选满足 $\text{In} \geq \text{M}$ 及 $\text{Zn} \geq \text{M}$ 。上述溅射靶材的金属元素的原子个数比优选为In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=2:1:1.5、In:M:Zn=2:1:2.3、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:4.1、In:M:Zn=5:1:7等。注意,所形成的氧化物半导体膜108中的金属元素的原子个数比可以与上述溅射靶材中的金属元素的原子个数比在 $\pm 40\%$ 左右的范围内不同。例如,当作为溅射靶材使用原子个数比为In:Ga:Zn=4:2:4.1的靶材时,所形成的氧化物半导体膜的原子个数比可能接近In:Ga:Zn=4:2:3。另外,当作为溅射靶材使用原子个数比为In:Ga:Zn=5:1:7的靶材时,所形成的氧化物半导体膜的原子个数比可能接近In:Ga:Zn=5:1:6。

[0073] 当氧化物半导体膜108包含第14族元素之一的硅或碳时,有可能引起氧缺陷增加而使氧化物半导体膜108n型化。因此,可以将氧化物半导体膜108中尤其是沟道区域108i中的硅或碳的浓度设定为 2×10^{18} atoms/cm³以下或 2×10^{17} atoms/cm³以下。其结果,晶体管具有阈值电压成为正的电特性(也称为常关闭特性)。另外,上述硅或碳的浓度例如可以利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测量。

[0074] 另外,在沟道区域108i中,可以将利用SIMS测得的碱金属或碱土金属的浓度设定为 1×10^{18} atoms/cm³以下或者 2×10^{16} atoms/cm³以下。有时当碱金属及碱土金属与氧化物半导体键合时生成载流子而使晶体管的关态电流增大。由此,优选降低沟道区域108i的碱金属或碱土金属的浓度。其结果,晶体管具有阈值电压成为正的电特性(也称为常关闭特性)。

[0075] 当在沟道区域108i中含有氮时,有时生成作为载流子的电子,载流子密度增加而使沟道区域108i n型化。其结果是,使用含有氮的氧化物半导体膜的晶体管容易具有常导通特性。因此,在沟道区域108i中优选尽可能地减少氮,例如,可以将利用SIMS测得的氮浓度设定为 5×10^{18} atoms/cm³以下。

[0076] 通过降低沟道区域108i中的杂质元素,可以降低氧化物半导体膜的载流子密度。因此,在沟道区域108i中,可以将载流子密度设定为 1×10^{17} /cm³以下、 1×10^{15} /cm³以下、 1×10^{13} /cm³以下或 1×10^{11} /cm³以下。

[0077] 通过作为沟道区域108i使用杂质浓度低且缺陷态密度低的氧化物半导体膜,可以制造具有更优良的电特性的晶体管。这里,将杂质浓度低且缺陷态密度低(氧缺陷少)的状

态称为“高纯度本征”或“实质上高纯度本征”。或者,称为本征或实质上本征。因为高纯度本征或实质上高纯度本征的氧化物半导体的载流子发生源较少,所以有可能降低载流子密度。因此,在该氧化物半导体膜中形成有沟道区域的晶体管容易实现正阈值电压的电特性(也称为常关闭特性)。因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。高纯度本征或实质上高纯度本征的氧化物半导体膜可以得到关态电流显著小的特性。因此,在该氧化物半导体膜中形成有沟道区域的晶体管的电特性变动小,该晶体管有时成为可靠性高的晶体管。

[0078] 另一方面,源区域108s及漏区域108d与绝缘膜116接触。当源区域108s及漏区域108d与绝缘膜116接触时,源区域108s及漏区域108d被添加来自绝缘膜116的氢、氮和氟中的一种以上,因此载流子密度增高。

[0079] 氧化物半导体膜108可以为非单晶结构。非单晶结构例如包括下述CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor:c轴取向结晶氧化物半导体)、多晶结构、下述微晶结构或非晶结构。在非单晶结构中,非晶结构的缺陷态密度最高,而CAAC-OS的缺陷态密度最低。

[0080] 此外,氧化物半导体膜108也可以为具有非晶结构的区域、微晶结构的区域、多晶结构的区域、CAAC-OS的区域和单晶结构的区域中的两种以上的区域的单层膜或层叠有该膜的结构。

[0081] 在氧化物半导体膜108中,有时沟道区域108i的结晶性与源区域108s及漏区域108d不同。具体而言,在氧化物半导体膜108中,有时源区域108s及漏区域108d的结晶性比沟道区域108i低。这是因为在对源区域108s及漏区域108d添加杂质元素时源区域108s及漏区域108d会受到损伤而使结晶性降低的缘故。

[0082] [第二绝缘膜]

绝缘膜110被用作晶体管100的栅极绝缘膜。绝缘膜110具有对氧化物半导体膜108尤其是沟道区域108i供应氧的功能。例如,可以以单层或叠层使用氧化物绝缘膜或氮化物绝缘膜形成绝缘膜110。此外,为了提高绝缘膜110与氧化物半导体膜108的界面特性,优选至少使用氧化物绝缘膜形成绝缘膜110的与氧化物半导体膜108接触的区域。绝缘膜110例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅等。

[0083] 绝缘膜110的厚度例如可以为5nm以上且400nm以下、5nm以上且300nm以下或者10nm以上且250nm以下。

[0084] 另外,优选绝缘膜110中的缺陷少,典型的是,优选利用ESR(Electron Spin Resonance:电子自旋共振)测得的信号少。例如,作为上述信号,可以举出在2.001处观察到g值的E'中心。E'中心起因于硅的悬空键。作为绝缘膜110,可以使用起因于E'中心的自旋密度为 3×10^{17} spins/cm³以下,优选为 5×10^{16} spins/cm³以下的氧化硅膜或氧氮化硅膜。

[0085] 另外,在绝缘膜110中,除了上述信号以外,有时观察到起因于二氧化氮(NO₂)的信号。该信号根据N的核自旋分裂成如下三个信号:在2.037以上且2.039以下观察到g值的信号(表示为第一信号);在2.001以上且2.003以下处观察到g值的信号(表示为第二信号);以及在1.964以上且1.966以下处观察到g值的信号(表示为第三信号)。

[0086] 例如,作为绝缘膜110,优选使用起因于二氧化氮(NO₂)的信号的自旋密度为 1×10^{17} spins/cm³以上且小于 1×10^{18} spins/cm³的绝缘膜。

[0087] 注意,如上所述,二氧化氮(NO_2)等氮氧化物(NO_x)在绝缘膜110中形成能级,因此当作为绝缘膜110使用氮氧化物(NO_x)的含量少,即,氮氧化物(NO_x)的释放量少的膜时,可以降低晶体管的阈值电压的漂移。

[0088] 作为氮氧化物(NO_x)的释放量少的绝缘膜,例如可以使用氧氮化硅膜。氧氮化硅膜是在热脱附谱分析法(TDS:Thermal Desorption Spectroscopy)中()氨释放量比氮氧化物(NO_x)的释放量多的膜,典型的是氨释放量为 1×10^{18} 个/ cm^3 以上且 5×10^{19} 个/ cm^3 以下。另外,上述氨释放量为在TDS中在加热处理的温度为 50°C 以上且 650°C 以下或者 50°C 以上且 550°C 以下的范围内的总量。

[0089] 由于氮氧化物(NO_x)在加热处理中()与氨及氧起反应,因此通过使用氨的释放量多的绝缘膜可以降低氮氧化物(NO_x)。

[0090] 另外,当利用SIMS对绝缘膜110进行分析时,优选膜中的氮浓度为 6×10^{20} atoms/ cm^3 以下。

[0091] 此外,作为绝缘膜110,也可以使用硅酸铪(HfSiO_x)、添加有氮的硅酸铪($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加有氮的铝酸铪($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化铪等high-k材料。通过使用该high-k材料,可以降低晶体管的栅极漏电流。

[0092] [金属氧化膜]

作为金属氧化膜114,可以使用上述材料。作为金属氧化膜114的形成方法,优选利用溅射法或ALD(原子层堆积)法。另外,金属氧化膜114的厚度可以为1nm以上且100nm以下,优选为3nm以上且小于50nm,更优选为5nm以上且20nm以下。

[0093] [第三绝缘膜]

绝缘膜116包含氮、氢和氟中的一种以上。作为绝缘膜116,例如可以举出氮化物绝缘膜。该氮化物绝缘膜可以使用氮化硅、氮氧化硅、氮氟化硅、氟氮化硅等形成。绝缘膜116中的氢浓度优选为 1×10^{22} atoms/ cm^3 以上。绝缘膜116与氧化物半导体膜108中的源区域108s及漏区域108d接触。因此,与绝缘膜116接触的源区域108s及漏区域108d中的杂质(氮、氢或氟)浓度变高,而可以增高源区域108s及漏区域108d的载流子密度。

[0094] [第四绝缘膜]

可以使用氧化物绝缘膜及/或氮化物绝缘膜的单层或叠层形成绝缘膜118。绝缘膜118例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧化铪、氧化镓或者Ga-Zn氧化物等,并且以单层或叠层设置。

[0095] 绝缘膜118优选具有阻挡来自外部的氢、水等的阻挡膜的功能。

[0096] 绝缘膜118的厚度可以为30nm以上且500nm以下或者100nm以上且400nm以下。

[0097] [导电膜]

可以利用溅射法、真空蒸镀法、脉冲激光沉积(PLD)法及热CVD法等形成导电膜112、120a、120b。导电膜112、120a、120b例如可以使用选自铝、铬、铜、钽、钛、钼、镍、铁、钴、钨中的金属元素、以上述金属元素为成分的合金或组合上述金属元素的合金等形成。另外,还可以使用选自锰和锆中的一种或多种的金属元素。导电膜112、120a、120b可以具有单层结构或两层以上的叠层结构。例如,可以举出:包含硅的铝膜的单层结构;包含锰的铜膜的单层结构;在铝膜上层叠钛膜的两层结构;在氮化钛膜上层叠钛膜的两层结构;在氮化钛膜上层叠钨膜的两层结构;在氮化钽膜或氮化钨膜上层叠钨膜的两层结构;在包含锰的铜膜上层

叠铜膜的两层结构;在钛膜上层叠铜膜的两层结构;依次层叠钛膜、铝膜及钛膜的三层结构;以及依次层叠包含锰的铜膜、铜膜及包含锰的铜膜的三层结构;等。另外,还可以使用组合铝与选自钛、钽、钨、钼、铬、钨、钨中的一种或多种而形成的合金膜或氮化膜。

[0098] 尤其是,作为导电膜112、120a、120b,优选使用包含铜的材料。当作为导电膜112、120a、120b使用包含铜的材料时,可以降低电阻。例如,即使作为衬底102使用大面积衬底,也可以抑制信号的延迟等。

[0099] 导电膜112、120a、120b也可以使用铟锡氧化物(Indium Tin Oxide:ITO)、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、包含硅的铟锡氧化物(In-Sn-Si氧化物:ITSO)等透光导电材料。另外,也可以采用上述透光导电材料与上述金属元素的叠层结构。

[0100] 另外,导电膜112可以使用以In-Ga-Zn氧化物为代表的氧化物半导体。通过从绝缘膜116向上述氧化物半导体供应氮、氢或氟,载流子密度得到提高。换句话说,氧化物半导体用作氧化物导体(OC:Oxide Conductor)。由此,可以将氧化物半导体用作栅电极。

[0101] 例如,作为导电膜112,可以举出氧化物导体(OC)的单层结构、金属膜的单层结构或者氧化物导体(OC)与金属膜的叠层结构等。

[0102] 当作为导电膜112使用具有遮光性的金属膜的单层结构或者氧化物导体(OC)与具有遮光性的金属膜的叠层结构时,可以遮住光照射到形成在导电膜112的下方的沟道区域108i,所以是优选的。另外,当作为导电膜112使用氧化物半导体或氧化物导体(OC)与具有遮光性的金属膜的叠层结构时,通过在氧化物半导体或氧化物导体(OC)上形成金属膜(例如,钛膜、钨膜等)可以产生如下效果:金属膜中的构成元素扩散至氧化物半导体或氧化物导体(OC)一侧而实现低电阻化;由于金属膜的成膜时的损伤(例如,溅射损伤等)而实现低电阻化;或者由于氧化物半导体或氧化物导体(OC)中的氧扩散至金属膜中形成氧缺陷而实现低电阻化。

[0103] 导电膜112、120a、120b的厚度例如可以为30nm以上且500nm以下或者100nm以上且400nm以下。

[0104] <1-2. 半导体装置的结构例子2>

接着,参照图2A至图2C说明与图1A至图1C所示的半导体装置不同的结构。

[0105] 图2A是晶体管100A的俯视图,图2B是沿着图2A的点划线X1-X2的截面图,图2C是沿着图2A的点划线Y1-Y2的截面图。

[0106] 图2A至图2C所示的晶体管100A包括:衬底102上的导电膜106;导电膜106上的绝缘膜104;绝缘膜104上的氧化物半导体膜108;氧化物半导体膜108上的绝缘膜110;绝缘膜110上的导电膜112;与绝缘膜110的侧面接触的金属氧化膜114;以及绝缘膜104、氧化物半导体膜108、导电膜112及金属氧化膜114上的绝缘膜116。氧化物半导体膜108具有重叠于导电膜112的沟道区域108i、与绝缘膜116接触的源区域108s以及与绝缘膜116接触的漏区域108d。

[0107] 晶体管100A除了上述晶体管100的构成要素之外还包括导电膜106及开口部143。

[0108] 开口部143设置在绝缘膜104、110中。此外,导电膜106通过开口部143电连接于导电膜112。因此,导电膜106和导电膜112被供应相同的电位。另外,也可以不设置开口部143而对导电膜106和导电膜112供应不同的电位。或者,也可以不设置开口部143而将导电膜106用作遮光膜。例如,通过使用具有遮光性的材料形成导电膜106,可以抑制来自下方的光

照射到沟道区域108i。

[0109] 当采用晶体管100A的结构时,导电膜106具有第一栅电极(也称为底栅电极)的功能,导电膜112具有第二栅电极(也称为顶栅电极)的功能。绝缘膜104具有第一栅极绝缘膜的功能,绝缘膜110被用作第二栅极绝缘膜的功能。

[0110] 导电膜106可以使用与上述导电膜112、120a及120b相同的材料。尤其是,当使用包含铜的材料形成导电膜106时,可以降低电阻,所以是优选的。例如,优选导电膜106、导电膜120a、导电膜120b都具有在氮化钛膜、氮化钽膜或钨膜上设置铜膜的叠层结构。此时,通过将晶体管100A用于显示装置的像素晶体管和驱动晶体管中的一方或双方,可以降低产生在导电膜106与导电膜120a之间的寄生电容以及产生在导电膜106与导电膜120b之间的寄生电容。由此,不仅可以将导电膜106、导电膜120a、导电膜120b用于晶体管100A的第一栅电极、源电极及漏电极,还可以将其用于显示装置的电源供应用的布线、信号供应用的布线或连接用的布线等。

[0111] 如此,与上述晶体管100不同地,图2A至图2C所示的晶体管100A具有在氧化物半导体膜108的上下包括被用作栅电极的导电膜的结构。如晶体管100A所示,在本发明的一个方式的半导体装置中,也可以设置多个栅电极。

[0112] 如图2C所示,氧化物半导体膜108位于与被用作第一栅电极的导电膜106及被用作第二栅电极的导电膜112的每一个相对的位置,夹在两个被用作栅电极的导电膜之间。

[0113] 在沟道宽度方向上,导电膜112的长度比氧化物半导体膜108大,并且氧化物半导体膜108整体隔着绝缘膜110被导电膜112覆盖。导电膜112和导电膜106在形成于绝缘膜104及绝缘膜110中的开口部143中连接,因此在沟道宽度方向上,氧化物半导体膜108的一个侧面隔着绝缘膜110与导电膜112相对。

[0114] 换言之,在晶体管100A的沟道宽度方向上,导电膜106及导电膜112在形成于绝缘膜104及绝缘膜110中的开口部143中连接,并隔着绝缘膜104及绝缘膜110围绕氧化物半导体膜108。

[0115] 通过采用上述结构,可以利用被用作第一栅电极的导电膜106及被用作第二栅电极的导电膜112的电场电围绕晶体管100A所包括的氧化物半导体膜108。如晶体管100A那样,可以将利用第一栅电极及第二栅电极的电场电围绕形成有沟道区域的氧化物半导体膜的晶体管的装置结构称为Surrounded channel(S-channel:围绕沟道)结构。

[0116] 因为晶体管100A具有S-channel结构,所以可以使用导电膜106或导电膜112对氧化物半导体膜108有效地施加用来引起沟道的电场。由此,晶体管100A的电流驱动能力得到提高,从而可以得到高的通态电流特性。此外,由于可以增加通态电流,所以可以使晶体管100A微型化。另外,由于晶体管100A具有氧化物半导体膜108被导电膜106及导电膜112围绕的结构,所以可以提高晶体管100A的机械强度。

[0117] 在晶体管100A的沟道宽度方向上,可以在氧化物半导体膜108的没有形成开口部143一侧形成与开口部143不同的开口。

[0118] 此外,如晶体管100A那样,在晶体管包括其间设置有半导体膜的一对栅电极的情况下,也可以对一个栅电极供应信号A,并且对另一个栅电极供应固定电位Vb。另外,也可以对一个栅电极供应信号A,并且对另一个栅电极供应信号B。另外,也可以对一个栅电极供应固定电位Va,并且对另一个栅电极供应固定电位Vb。

[0119] 信号A例如为用来控制导通状态/非导通状态的信号。信号A也可以为具有电位V1或者电位V2($V1 > V2$)的两种电位的数字信号。例如,可以将电位V1设定为高电源电位且将电位V2设定为低电源电位。信号A也可以为模拟信号。

[0120] 固定电位Vb例如为用来控制阈值电压 V_{thA} 的电位。固定电位Vb可以为电位V1或者电位V2。此时,不需要另外设置用来生成固定电位Vb的电位产生电路,所以是优选的。固定电位Vb也可以为与电位V1或者电位V2不同的电位。通过降低固定电位Vb,有时可以提高阈值电压 V_{thA} 。其结果,有时可以降低栅极与源极之间的电压 V_{gs} 为0V时的漏极电流,而可以降低包括晶体管的电路的泄漏电流。例如,可以使固定电位Vb低于低电源电位。另一方面,通过提高固定电位Vb,有时可以降低阈值电压 V_{thA} 。其结果,有时可以提高栅极与源极之间的电压 V_{gs} 为高电源电位时的漏极电流,而可以提高包括晶体管的电路的工作速度。例如,可以使固定电位Vb高于低电源电位。

[0121] 信号B例如为用来控制晶体管的导通状态/非导通状态的信号。信号B也可以为具有电位V3或者电位V4($V3 > V4$)的两种电位的数字信号。例如,可以将电位V3设定为高电源电位且将电位V4设定为低电源电位。信号B也可以为模拟信号。

[0122] 在信号A与信号B都是数字信号的情况下,信号B也可以为具有与信号A相同的数字值的信号。此时,有时可以增加晶体管的通态电流,而可以提高包括晶体管的电路的工作速度。此时,信号A的电位V1及电位V2也可以与信号B的电位V3及电位V4不同。例如,当对应于被输入信号B的栅极的栅极绝缘膜的厚度大于对应于被输入信号A的栅极的栅极绝缘膜时,可以使信号B的电位振幅($V3 - V4$)大于信号A的电位振幅($V1 - V2$)。由此,有时可以使信号A及信号B给晶体管的导通状态或非导通状态带来的影响大致相同。

[0123] 在信号A与信号B都是数字信号的情况下,信号B也可以为具有与信号A不同的数字值的信号。此时,有时可以分别利用信号A及信号B控制晶体管,而可以实现更高的功能。例如,当晶体管为n沟道晶体管时,在仅在信号A为电位V1且信号B为电位V3时该晶体管处于导通状态的情况下或者在仅在信号A为电位V2且信号B为电位V4时该晶体管处于非导通状态的情况下,有时可以由一个晶体管实现NAND电路或NOR电路等的功能。另外,信号B也可以为用来控制阈值电压 V_{thA} 的信号。例如,信号B也可以在包括晶体管的电路工作的期间与该电路不工作的期间具有不同电位。信号B也可以根据电路的工作模式具有不同电位。此时,有时信号B没有信号A那么频繁地切换电位。

[0124] 在信号A与信号B都是模拟信号的情况下,信号B也可以具有与信号A相同的电位的模拟信号、用常数乘以信号A的电位而得的模拟信号或者将常数加到信号A的电位或从信号A的电位减去常数而得的模拟信号等。此时,有可能增加晶体管的通态电流,而提高包括晶体管的电路的工作速度。信号B也可以为与信号A不同的模拟信号。此时,有时可以分别利用信号A及信号B控制晶体管,而可以实现更高的功能。

[0125] 信号A也可以为数字信号,信号B也可以为模拟信号。或者,信号A也可以为模拟信号,信号B也可以为数字信号。

[0126] 当对晶体管的两个栅电极供应固定电位时,有时可以将晶体管用作相当于电阻元件的元件。例如,当晶体管为n沟道晶体管时,通过提高(降低)固定电位Va或固定电位Vb,有时可以降低(提高)晶体管的实效电阻。通过提高(降低)固定电位Va和固定电位Vb,有时可以获得比只具有一个栅极的晶体管低(高)的实效电阻。

[0127] 晶体管100A的其他结构与上述晶体管100相同,并具有同样的效果。

[0128] <1-3. 半导体装置的结构例子3>

接着,参照图3A至图8B说明与图2A至图2C所示的半导体装置不同的结构。

[0129] 图3A和图3B是晶体管100B的截面图,图4A和图4B是晶体管100C的截面图,图5A和图5B是晶体管100D的截面图,图6A和图6B是晶体管100E的截面图,图7A和图7B是晶体管100F的截面图,图8A和图8B是晶体管100G的截面图。注意,晶体管100B、晶体管100C、晶体管100D、晶体管100E、晶体管100F及晶体管100G的俯视图与图2A所示的晶体管100A相同,所以在此省略说明。

[0130] 图3A和图3B所示的晶体管100B与上面所示的晶体管100A的不同点在于绝缘膜110、导电膜112及金属氧化膜114的形状。具体而言,在晶体管的沟道长度(L)方向上的截面中,晶体管100A的绝缘膜110、导电膜112及金属氧化膜114的形状为矩形,而晶体管100B的绝缘膜110、导电膜112及金属氧化膜114的形状为锥形。更具体地说,在晶体管的沟道长度(L)方向上的截面中,晶体管100A中的导电膜112的上端部与绝缘膜110的下端部大致形成在相同的位置上。另一方面,在晶体管的沟道长度(L)方向上的截面中,晶体管100B中的导电膜112的上端部形成在绝缘膜110的下端部的内侧。换句话说,绝缘膜110的侧端部位于导电膜112的侧端部的外侧。

[0131] 晶体管100A可以通过利用干溅射法使用同一掩模一次性地进行加工来形成导电膜112及绝缘膜110。晶体管100B可以通过组合湿溅射法及干溅射法使用同一掩模进行加工来形成导电膜112及绝缘膜110。

[0132] 通过采用晶体管100A的结构,可以使源区域108s及漏区域108d与导电膜112的端部形成在大致相同的位置上,所以是优选的。另一方面,通过采用晶体管100B的结构,可以使金属氧化膜114及绝缘膜116的覆盖性得到提高,所以是优选的。注意,当导电膜112及绝缘膜110的侧面的锥形角度大时,会难以形成金属氧化膜114。

[0133] 图4A和图4B所示的晶体管100C与上面所示的晶体管100A的不同点在于金属氧化膜114的形状。具体而言,在晶体管100A中,金属氧化膜114覆盖绝缘膜110及导电膜112的侧面,而在晶体管100C中金属氧化膜114覆盖绝缘膜110的侧面。如上所述,金属氧化膜114至少覆盖绝缘膜110的侧面。

[0134] 图5A和图5B所示的晶体管100D与上面所示的晶体管100A的不同点在于金属氧化膜114、导电膜112及绝缘膜110的形状。具体而言,在晶体管的沟道长度(L)方向上的截面中,晶体管100D中的导电膜112的下端部的位置与绝缘膜110的上端部的位置不同。导电膜112的下端部形成在绝缘膜110的上端部的内侧。

[0135] 例如,可以通过如下方法实现晶体管100D的结构:使用同一掩模,利用湿蚀刻法进行加工来形成导电膜112,并利用干蚀刻法进行加工来形成绝缘膜110。

[0136] 在晶体管100D中,例示出只在绝缘膜110的侧面上设置有金属氧化膜114的结构,但是结构不局限于此,也可以采用在绝缘膜110的侧面及导电膜112的侧面设置有金属氧化膜114的结构或者在绝缘膜110的侧面、绝缘膜110的顶面及导电膜112的侧面上设置有金属氧化膜114的结构。

[0137] 另外,通过采用晶体管100D的结构,有时区域108f形成在氧化物半导体膜108中。区域108f形成在沟道区域108i和源区域108s之间以及沟道区域108i和漏区域108d之间。

[0138] 区域108f被用作高电阻区域或低电阻区域。高电阻区域是具有与沟道区域108i相等的电阻且不与被用作栅电极的导电膜112重叠的区域。当区域108f是高电阻区域时,区域108f被用作所谓的偏移(offset)区域。在区域108f被用作偏置区域的情况下,为了抑制晶体管100D的通态电流的降低,可以在沟道长度(L)方向上的截面中将区域108f的长度设定为1 μ m以下。

[0139] 低电阻区域是其电阻低于沟道区域108i且高于源区域108s及漏区域108d的区域。当区域108f是低电阻区域时,区域108f被用作所谓的LDD(Lightly Doped Drain:轻掺杂漏)区域。在区域108f被用作LDD区域时,可以缓和漏区域的电场,因此可以降低起因于漏区域的电场的晶体管的阈值电压变动。

[0140] 当区域108f是LDD区域时,例如可以通过如下方法形成区域108f:从绝缘膜116对区域108f供应氮、氢和氮中的一种以上或者将绝缘膜110及金属氧化膜114用作掩模从绝缘膜110及金属氧化膜114的上方添加杂质元素来使该杂质元素经过绝缘膜110及金属氧化膜114添加到氧化物半导体膜108而形成区域108f。

[0141] 另外,氧化物半导体膜108中与金属氧化膜114接触的区域成为上述高电阻区域或低电阻区域。例如,当金属氧化膜114的厚度厚(典型的是,50nm以上且100nm以下)时,与氧化物半导体膜108的顶面接触的的金属氧化膜114的宽度长(典型的是,50nm以上且100nm以下)。另一方面,当金属氧化膜114的厚度薄(典型的是,5nm以上且20nm以下)时,与氧化物半导体膜108的顶面接触的的金属氧化膜114的宽度短(典型的是,5nm以上且20nm以下)。当与氧化物半导体膜108的顶面接触的的金属氧化膜114的宽度长时,来自源区域108s及漏区域108d的杂质(氮、氢或氟)在横方向上能够扩散的距离长,所以有可能形成高电阻区域。另一方面,当接触于氧化物半导体膜108的顶面的金属氧化膜114的宽度短时,来自源区域108s及漏区域108d的杂质(氮、氢或氟)在横方向上能够扩散的距离短,所以有可能形成低电阻区域。另外,关于上面所说明的其他晶体管(例如晶体管100、晶体管100A等)中的接触于金属氧化膜114的氧化物半导体膜108的区域,具有与上述相同的结构。

[0142] 图6A和图6B所示的晶体管100E与上面所示的晶体管100A的不同点在于金属氧化膜114、导电膜112及绝缘膜110的形状。具体而言,在晶体管的沟道长度(L)方向上的截面中,晶体管100E中的导电膜112的下端部的位置与绝缘膜110的上端部的位置不同。导电膜112的下端部形成在绝缘膜110的上端部的外侧。

[0143] 例如,可以通过如下方法实现晶体管100E的结构:使用同一掩模利用干蚀刻法进行加工来形成导电膜112,并利用湿蚀刻法进行加工来形成绝缘膜110。

[0144] 在晶体管100E中,例示出对绝缘膜110及导电膜112设置有金属氧化膜114的结构,但是结构不局限于此,也可以采用只在绝缘膜110的侧面上设置有金属氧化膜114的结构。图7A和图7B示出此时的一个例子。在图7A和图7B所示的晶体管100F中,在晶体管的沟道长度(L)方向上的截面中,导电膜112的下端部的位置与绝缘膜110的上端部的位置不同。导电膜112的下端部形成在绝缘膜110的上端部的外侧。另外,金属氧化膜114设置在绝缘膜110的侧面上。

[0145] 通过采用晶体管100F的结构,可以将源区域108s及漏区域108d的一部分设置在用作栅电极的导电膜112的侧面的内侧。另外,导电膜112与源区域108s重叠的区域及导电膜112与漏区域108d重叠的区域被用作所谓的重叠区域(也称为Lov区域)。注意,Lov区域是指

重叠于用作栅电极的导电膜112且其电阻比沟道区域108i低的区域。通过采用具有Lov区域的结构,沟道区域108i与源区域108s及沟道区域108i与漏区域108d之间不形成高电阻区域,因此可以提高晶体管的通态电流。

[0146] 图8A和图8B所示的晶体管100G与上面所示的晶体管100A的不同点在于:在绝缘膜118上设置有用作平坦化膜的绝缘膜122。晶体管100G的其他结构与上述晶体管100A相同,并具有同样的效果。

[0147] 另外,绝缘膜122具有使起因于晶体管等的凹凸等平坦的功能。绝缘膜122只要具有绝缘性即可,使用无机材料或有机材料形成。作为该无机材料,可以举出氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜、氧化铝膜、氮化铝膜等。作为该有机材料,例如可以举出丙烯酸树脂或聚酰亚胺树脂等感光性树脂材料。

[0148] 注意,在图8A和图8B中,绝缘膜122中的开口部的尺寸大于开口部141a、141b,但是不局限于此,例如,绝缘膜122中的开口部的尺寸也可以与开口部141a、141b相同或者小于开口部141a、141b。

[0149] 另外,在图8A和图8B中,例示出在绝缘膜122上设置导电膜120a、120b的结构,但是不局限于此,例如可以采用在绝缘膜118上设置导电膜120a、120b,且在导电膜120a、120b上设置绝缘膜122的结构。

[0150] <1-4. 半导体装置的结构例子4>

接着,参照图9A至图14C说明与图2A至图2C所示的半导体装置不同的例子。

[0151] 图9A和图9B是晶体管100H的截面图,图10A和图10B是晶体管100J的截面图,图11A和图11B是晶体管100K的截面图,图12A和图12B是晶体管100L的截面图,图13A和图13B是晶体管100M的截面图。注意,晶体管100H、晶体管100J、晶体管100K、晶体管100L及晶体管100M的俯视图与图2A所示的晶体管100A相同,所以在此省略说明。

[0152] 晶体管100H、晶体管100J、晶体管100K、晶体管100L及晶体管100M与晶体管100A的不同点在于氧化物半导体膜108的结构。晶体管100H、晶体管100J、晶体管100K、晶体管100L及晶体管100M的其他构成要素与上述晶体管100A相同,并具有同样的效果。

[0153] 图9A和图9B所示的晶体管100H所具有的氧化物半导体膜108包括绝缘膜104上的氧化物半导体膜108_1、氧化物半导体膜108_1上的氧化物半导体膜108_2以及氧化物半导体膜108_2上的氧化物半导体膜108_3。另外,沟道区域108i、源区域108s以及漏区域108d都具有氧化物半导体膜108_1、氧化物半导体膜108_2及氧化物半导体膜108_3的三层结构。

[0154] 图10A和图10B所示的晶体管100J所具有的氧化物半导体膜108包括绝缘膜104上的氧化物半导体膜108_2及氧化物半导体膜108_2上的氧化物半导体膜108_3。另外,沟道区域108i、源区域108s以及漏区域108d都具有氧化物半导体膜108_2及氧化物半导体膜108_3的两层结构。

[0155] 图11A和图11B所示的晶体管100K所具有的氧化物半导体膜108包括绝缘膜104上的氧化物半导体膜108_1及氧化物半导体膜108_1上的氧化物半导体膜108_2。另外,沟道区域108i、源区域108s以及漏区域108d都具有氧化物半导体膜108_1及氧化物半导体膜108_2的两层结构。

[0156] 图12A和图12B所示的晶体管100L所具有的氧化物半导体膜108包括绝缘膜104上的氧化物半导体膜108_1、氧化物半导体膜108_1上的氧化物半导体膜108_2以及氧化物半

导体膜108_2上的氧化物半导体膜108_3。另外,沟道区域108i具有氧化物半导体膜108_1、氧化物半导体膜108_2及氧化物半导体膜108_3的三层结构,源区域108s以及漏区域108d都具有氧化物半导体膜108_1及氧化物半导体膜108_2的两层结构。另外,在晶体管100L的沟道宽度(W)方向上的截面中,氧化物半导体膜108_3覆盖氧化物半导体膜108_1及氧化物半导体膜108_2的侧面。

[0157] 图13A和图13B所示的晶体管100M所具有的氧化物半导体膜108包括绝缘膜104上的氧化物半导体膜108_2以及氧化物半导体膜108_2上的氧化物半导体膜108_3。另外,沟道区域108i具有氧化物半导体膜108_2及氧化物半导体膜108_3的两层结构,源区域108s以及漏区域108d都具有氧化物半导体膜108_2的单层结构。另外,在晶体管100M的沟道宽度(W)方向上的截面中,氧化物半导体膜108_3覆盖氧化物半导体膜108_2的侧面。

[0158] 沟道区域108i的沟道宽度(W)方向上的侧面或其附近的区域容易在加工时受损而形成缺陷(例如,氧缺陷)或者容易被附着的杂质污染。因此,即使沟道区域108i在实质上本征,由于被施加电场等压力沟道区域108i的沟道宽度(W)方向上的侧面或其附近的区域被活化,而容易成为低电阻(n型)区域。另外,当沟道区域108i的沟道宽度(W)方向上的侧面或其附近的区域为低电阻(n型)区域时,该n型区域成为载流子路径而有可能形成寄生沟道。

[0159] 由此,在晶体管100L及晶体管100M中,沟道区域108i具有叠层结构并且沟道区域108i的沟道宽度(W)方向上的侧面被叠层中的一个层覆盖。通过采用上述结构,可以抑制沟道区域108i的侧面或其附近的区域的缺陷,或者可以降低杂质附着于沟道区域108i的侧面或其附近的区域。

[0160] <1-5.带结构>

在此,参照图14A至图14C分别说明绝缘膜104、氧化物半导体膜108_1、108_2、108_3及绝缘膜110的带结构、绝缘膜104、氧化物半导体膜108_2、108_3及绝缘膜110的带结构以及绝缘膜104、氧化物半导体膜108_1、108_2及绝缘膜110的带结构。另外,图14A至图14C分别是沟道区域108i的带结构。

[0161] 图14A是叠层结构的膜厚度方向上的带结构的一个例子,该叠层体具有绝缘膜104、氧化物半导体膜108_1、108_2、108_3及绝缘膜110。另外,图14B是叠层结构的膜厚度方向上的带结构的一个例子,该叠层体具有绝缘膜104、氧化物半导体膜108_2、108_3及绝缘膜110。图14C是叠层结构的膜厚度方向上的带结构的一个例子,该叠层结构具有绝缘膜104、氧化物半导体膜108_1、108_2及绝缘膜110。在带结构中,为了容易理解,示出绝缘膜104、氧化物半导体膜108_1、108_2、108_3及绝缘膜110的导带底的能级(E_c)。

[0162] 在图14A的带结构中,作为绝缘膜104、110使用氧化硅膜,作为氧化物半导体膜108_1使用利用金属元素的原子个数比为In:Ga:Zn=1:3:2的金属氧化物靶材而形成的氧化物半导体膜,作为氧化物半导体膜108_2使用利用金属元素的原子个数比为In:Ga:Zn=4:2:4.1的金属氧化物靶材而形成的氧化物半导体膜,作为氧化物半导体膜108_3使用利用金属元素的原子个数比为In:Ga:Zn=1:3:2的金属氧化物靶材而形成的氧化物半导体膜。

[0163] 在图14B的带结构中,作为绝缘膜104、110使用氧化硅膜,作为氧化物半导体膜108_2使用利用金属元素的原子个数比为In:Ga:Zn=4:2:4.1的金属氧化物靶材而形成的氧化物半导体膜,作为氧化物半导体膜108_3使用利用金属元素的原子个数比为In:Ga:Zn=1:3:2的金属氧化物靶材而形成的氧化物半导体膜。

[0164] 在图14C的带结构中,作为绝缘膜104、110使用氧化硅膜,作为氧化物半导体膜108_1使用利用金属元素的原子个数比为In:Ga:Zn=1:3:2的金属氧化物靶材而形成的氧化物半导体膜,作为氧化物半导体膜108_2使用利用金属元素的原子个数比为In:Ga:Zn=4:2:4.1的金属氧化物靶材而形成的氧化物半导体膜。

[0165] 如图14A所示,在氧化物半导体膜108_1、108_2、108_3中,导带底的能级平缓地变化。如图14B所示,在氧化物半导体膜108_2、108_3中,导带底的能级平缓地变化。如图14C所示,在氧化物半导体膜108_1、108_2中,导带底的能级平缓地变化。换言之,也可以说是连续地变化或连续接合。为了实现这种带结构,使在氧化物半导体膜108_1与氧化物半导体膜108_2之间的界面处或氧化物半导体膜108_2与氧化物半导体膜108_3之间的界面处不存在形成陷阱中心或复合中心等缺陷能级的杂质。

[0166] 为了在氧化物半导体膜108_1、108_2、108_3中形成连续接合,需要使用具备装载闭锁室的多室方式的成膜装置(溅射装置)在不使各膜暴露于大气的情况下连续地层叠。

[0167] 通过采用图14A至图14C所示的结构,氧化物半导体膜108_2成为阱(well),并且在使用上述叠层结构的晶体管中,沟道区域形成在氧化物半导体膜108_2中。

[0168] 通过设置氧化物半导体膜108_1、108_3,可以使陷阱能级远离氧化物半导体膜108_2。

[0169] 有时与用作沟道区域的氧化物半导体膜108_2的导带底能级(E_c)相比,陷阱能级离真空能级更远,而电子容易积累在陷阱能级中。当电子积累在陷阱能级中时,成为负固定电荷,导致晶体管的阈值电压向正方向漂移。因此,优选采用陷阱能级比氧化物半导体膜108_2的导带底能级(E_c)更接近于真空能级的结构。通过采用上述结构,电子不容易积累在陷阱能级,所以能够增大晶体管的通态电流,并且还能够在提高场效应迁移率。

[0170] 氧化物半导体膜108_1、108_3与氧化物半导体膜108_2相比导带底的能级更接近于真空能级,典型的是,氧化物半导体膜108_2的导带底能级与氧化物半导体膜108_1、108_3的导带底能级之差为0.15eV以上或0.5eV以上,且为2eV以下或1eV以下。换言之,氧化物半导体膜108_1、108_3的电子亲和势与氧化物半导体膜108_2的电子亲和势之差为0.15eV以上或0.5eV以上,且为2eV以下或1eV以下。

[0171] 通过具有上述结构,氧化物半导体膜108_2成为主要的电流路径。就是说,氧化物半导体膜108_2具有沟道区域的功能,氧化物半导体膜108_1、108_3具有氧化物绝缘膜的功能。此外,氧化物半导体膜108_1、108_3优选使用由形成沟道区域的氧化物半导体膜108_2所包含的金属元素中的一种以上构成的氧化物半导体膜。通过采用上述结构,在氧化物半导体膜108_1与氧化物半导体膜108_2之间的界面处或在氧化物半导体膜108_2与氧化物半导体膜108_3之间的界面处不容易产生界面散射。由此,在该界面处载流子的移动不被阻碍,因此晶体管的场效应迁移率得到提高。

[0172] 注意,为了防止氧化物半导体膜108_1、108_3被用作沟道区域的一部分,氧化物半导体膜108_1、108_3使用导电率足够低的材料。因此,根据其物性及/或功能可以将氧化物半导体膜108_1、108_3称为氧化物绝缘膜。或者,氧化物半导体膜108_1、108_3使用其电子亲和势(真空能级与导带底能级之差)低于氧化物半导体膜108_2且其导带底能级与氧化物半导体膜108_2的导带底能级有差异(能带偏移(band offset))的材料。此外,为了抑制产生起因于漏电压值的阈值电压之间的差异,氧化物半导体膜108_1、108_3优选使用其导带

底能级比氧化物半导体膜108_2的导带底能级更接近于真空能级材料。例如,氧化物半导体膜108_2的导带底能级与氧化物半导体膜108_1、108_3的导带底能级之差优选为0.2eV以上,更优选为0.5eV以上。

[0173] 在氧化物半导体膜108_1、108_3中优选不具有尖晶石型结晶结构。在氧化物半导体膜108_1、108_3中具有尖晶石型结晶结构时,导电膜120a、120b的构成元素可能会在该尖晶石型结晶结构与其他区域之间的界面处扩散到氧化物半导体膜108_2中。注意,在氧化物半导体膜108_1、108_3为后面说明的CAAC-OS的情况下,阻挡导电膜120a、120b的构成元素如铜元素的性质得到提高,所以是优选的。

[0174] 另外,在本实施方式中,示出作为氧化物半导体膜108_1、108_3使用利用其金属元素的原子个数比为In:Ga:Zn=1:3:2的金属氧化物靶材形成的氧化物半导体膜的结构,但是不局限于此。例如,作为氧化物半导体膜108_1、108_3,也可以使用如下氧化物半导体膜:该氧化物半导体膜利用In:Ga:Zn=1:1:1[原子个数比]、In:Ga:Zn=1:1:1.2[原子个数比]、In:Ga:Zn=1:3:4[原子个数比]、In:Ga:Zn=1:3:6[原子个数比]、In:Ga:Zn=1:4:5[原子个数比]、In:Ga:Zn=1:5:6[原子个数比]或In:Ga:Zn=1:10:1[原子个数比]的金属氧化物靶材形成。或者,作为氧化物半导体膜108_1、108_3,可以使用利用其金属元素的原子个数比为Ga:Zn=10:1的金属氧化物靶材形成的氧化物半导体膜。此时,通过作为氧化物半导体膜108_2使用利用其金属元素的原子个数比为In:Ga:Zn=1:1:1的金属氧化物靶材形成的氧化物半导体膜,氧化物半导体膜108_2的导电底能级与氧化物半导体膜108_1及氧化物半导体膜108_3的导电底能级之间的差异可以为0.6eV以上,所以是优选的。另外,作为氧化物半导体膜108_1、108_3,也可以使用其金属元素的原子个数比为In:Ga=7:93的金属氧化物靶材形成的氧化物半导体膜。

[0175] 当作为氧化物半导体膜108_1、108_3使用利用In:Ga:Zn=1:1:1[原子个数比]的金属氧化物靶材形成的氧化物半导体膜时,在氧化物半导体膜108_1、108_3中有时为In:Ga:Zn=1: β_1 ($0 < \beta_1 \leq 2$): β_2 ($0 < \beta_2 \leq 2$)。另外,当作为氧化物半导体膜108_1、108_3使用利用In:Ga:Zn=1:3:4[原子个数比]的金属氧化物靶材形成的氧化物半导体膜时,在氧化物半导体膜108_1、108_3中有时为In:Ga:Zn=1: β_3 ($1 \leq \beta_3 \leq 5$): β_4 ($2 \leq \beta_4 \leq 6$)。另外,当作为氧化物半导体膜108_1、108_3使用利用In:Ga:Zn=1:3:6[原子个数比]的金属氧化物靶材形成的氧化物半导体膜时,在氧化物半导体膜108_1、108_3中有时为In:Ga:Zn=1: β_5 ($1 \leq \beta_5 \leq 5$): β_6 ($4 \leq \beta_6 \leq 8$)。

[0176] <1-6. 半导体装置的制造方法1>

接着,使用图15A至图18B说明图1A至图1C所示的晶体管100的制造方法的例子。图15A至图18B是说明晶体管100的制造方法的沟道长度(L)方向及沟道宽度(W)方向的截面图。

[0177] 首先,在衬底102上形成绝缘膜104。接着,在绝缘膜104上形成氧化物半导体膜。然后,将该氧化物半导体膜加工为岛状,由此形成氧化物半导体膜107(参照图15A)。

[0178] 通过适当地利用溅射法、CVD法、蒸镀法、脉冲激光沉积(PLD)法、印刷法及涂敷法等,可以形成绝缘膜104。在本实施方式中,利用PECVD装置,作为绝缘膜104形成厚度为400nm的氮化硅膜及厚度为50nm的氧氮化硅膜。

[0179] 此外,也可以在形成绝缘膜104之后,对绝缘膜104添加氧。作为对绝缘膜104添加的氧,有氧自由基、氧原子、氧原子离子、氧分子离子等。作为添加方法,有离子掺杂法、离子

注入法、等离子体处理等。另外,也可以在绝缘膜上形成抑制氧脱离的膜之后,经过该膜对绝缘膜104添加氧。

[0180] 作为上述抑制氧脱离的膜,可以使用具有铟、锌、镓、锡、铝、铬、钽、钛、钼、镍、铁、钴和钨中的一种以上的导电膜或半导体膜来形成。

[0181] 当利用等离子体处理添加氧时,通过利用微波使氧激发而产生高密度的氧等离子体,可以增加对绝缘膜104添加的氧量。

[0182] 可以通过溅射法、涂敷法、脉冲激光蒸镀法、激光烧蚀法、热CVD法等形成氧化物半导体膜107。在氧化物半导体膜上通过光刻工序形成掩模,然后使用该掩模对氧化物半导体膜的一部分进行蚀刻,由此可以将该氧化物半导体膜加工为氧化物半导体膜107。另外,通过使用印刷法,可以直接形成元件分离的氧化物半导体膜107。

[0183] 在通过溅射法形成氧化物半导体膜的情况下,作为用来产生等离子体的电源装置,可以适当地使用RF电源装置、AC电源装置、DC电源装置等。作为形成氧化物半导体膜时的溅射气体,适当地使用稀有气体(典型的是氩)、氧及稀有气体和氧的混合气体。此外,当采用稀有气体和氧的混合气体时,优选增高相对于稀有气体的氧比例。

[0184] 另外,在例如使用溅射法形成氧化物半导体膜的情况下,通过将衬底温度设定为150℃以上且750℃以下、150℃以上且450℃以下或者200℃以上且350℃以下形成氧化物半导体膜,可以提高结晶性,所以是优选的。

[0185] 在本实施方式中,作为氧化物半导体膜107,使用溅射装置,作为溅射靶材使用In-Ga-Zn金属氧化物(In:Ga:Zn=4:2:4.1[原子个数比]),形成厚度为35nm的氧化物半导体膜。

[0186] 另外,也可以在形成氧化物半导体膜107之后进行加热处理来实现氧化物半导体膜107的脱氢化或脱水化。作为加热处理的温度,典型地为150℃以上且低于衬底的应变点、250℃以上且450℃以下或者300℃以上且450℃以下。

[0187] 可以在包含氦、氖、氩、氪、氙等稀有气体或包含氮的惰性气体气氛中进行加热处理。或者,也可以在惰性气体气氛中进行加热之后在氧气氛中进行加热。另外,上述惰性气体气氛及氧气氛优选不包含氢、水等。处理时间可以是3分钟以上且24小时以下。

[0188] 该加热处理可以使用电炉、RTA装置等。通过使用RTA装置,可以限定于短时间内在衬底的应变点以上的温度下进行加热处理。由此,可以缩短加热处理时间。

[0189] 边对氧化物半导体膜进行加热边形成该氧化物半导体膜,或者在形成氧化物半导体膜之后进行加热处理,由此,利用SIMS测得的氧化物半导体膜中的氢浓度可以为 5×10^{19} atoms/cm³以下, 1×10^{19} atoms/cm³以下, 5×10^{18} atoms/cm³以下, 1×10^{18} atoms/cm³以下, 5×10^{17} atoms/cm³以下或者 1×10^{16} atoms/cm³以下。

[0190] 接着,在绝缘膜104及氧化物半导体膜107上形成绝缘膜110_0(参照图15B)。

[0191] 作为绝缘膜110_0,可以通过使用PECVD法形成氧化硅膜或氧氮化硅膜。此时,作为源气体,优选使用包含硅的沉积气体及氧化性气体。作为包含硅的沉积气体的典型例子,有硅烷、乙硅烷、丙硅烷、氟化硅烷等。作为氧化性气体,有氧、臭氧、一氧化二氮、二氧化氮等。

[0192] 另外,作为绝缘膜110_0,可以在如下条件下利用PECVD法形成缺陷量少的氧氮化硅膜:相对于沉积气体流量的氧化性气体流量大于20倍且小于100倍,或者为40倍以上且80倍以下;并且处理室内的压力低于100Pa,或为50Pa以下。

[0193] 此外,作为绝缘膜110_0,可以在如下条件形成致密的氧化硅膜或氧氮化硅膜:将设置在PECVD装置的抽成真空的处理室内的衬底保持在280℃以上且400℃以下的温度,将源气体引入处理室内而将处理室内的压力设定为20Pa以上且250Pa以下,更优选为100Pa以上且250Pa以下,并对设置在处理室内的电极供应高频功率。

[0194] 另外,可以通过使用微波的等离子体CVD法形成绝缘膜110_0。微波是指300MHz至300GHz的频率范围。微波的电子温度低,并且其电子能量小。此外,在被供应的电力中,用于加速电子的比例少,能够用于更多分子的离解及电离,并且能够使密度高的等离子体(高密度等离子体)激发。因此,等离子体对被形成面及沉积物造成的损伤少,由此能够形成缺陷少的绝缘膜110_0。

[0195] 另外,可以通过使用有机硅烷气体的CVD法形成绝缘膜110_0。作为有机硅烷气体,可以使用正硅酸乙酯(TEOS:化学式为 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基硅烷(TMS:化学式为 $\text{Si}(\text{CH}_3)_4$)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅氮烷(HMDS)、三乙氧基硅烷($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三(二甲氨基)硅烷($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等含有硅的化合物。通过利用使用有机硅烷气体的CVD法,能够形成覆盖性高的绝缘膜110_0。

[0196] 在本实施方式中,作为绝缘膜110_0,使用PECVD装置形成厚度为100nm的氧氮化硅膜。

[0197] 接着,在绝缘膜110_0上形成导电膜112_0。另外,例如在作为导电膜112_0使用金属氧化膜的情况下,在形成导电膜112_0时有时氧从导电膜112_0被添加到绝缘膜110_0中(参照图15C)。

[0198] 在图15C中,以箭头示意性地示出被添加到绝缘膜110_0的氧。

[0199] 当作为导电膜112_0使用金属氧化膜时,优选在包含氧气体的气氛下利用溅射法形成导电膜112_0。通过在包含氧气体的气氛下形成导电膜112_0,可以将氧适当地添加到绝缘膜110_0中。另外,作为导电膜112_0的形成方法,不局限于溅射法,也可以利用其他方法,例如ALD法。

[0200] 在本实施方式中,作为导电膜112_0,利用溅射法形成100nm厚的In-Ga-Zn氧化物的IGZO膜(In:Ga:Zn=4:2:4.1(原子个数比))。另外,可以在形成导电膜112_0之前或之后对绝缘膜110_0进行氧添加处理。该氧添加处理可以与能够在形成绝缘膜104之后进行的氧添加处理同样地进行。

[0201] 接着,在导电膜112_0上的所希望的位置上通过光刻工序形成掩模140(参照图15D)。

[0202] 接着,从掩模140的上方进行蚀刻来对导电膜112_0及绝缘膜110_0进行加工。然后,去除掩模140以形成岛状的导电膜112及岛状的绝缘膜110(参照图16A)。

[0203] 在本实施方式中,利用干蚀刻法对导电膜112_0及绝缘膜110_0进行加工。

[0204] 另外,当对导电膜112_0及绝缘膜110_0进行加工时,有时不与导电膜112重叠的区域的氧化物半导体膜107的厚度变薄。另外,当对导电膜112_0及绝缘膜110_0进行加工时,有时不与氧化物半导体膜107重叠的区域的绝缘膜104的厚度变薄。另外,当对导电膜112_0及绝缘膜110_0进行加工时,有时蚀刻剂或蚀刻气体(例如,氯等)被添加到氧化物半导体膜107中或者导电膜112_0及绝缘膜110_0的构成元素被添加到氧化物半导体膜107中。

[0205] 接着,在绝缘膜104的顶面、氧化物半导体膜107的顶面及导电膜112的顶面以及绝

缘膜110的侧面上形成金属氧化膜114_0(参照图16B)。

[0206] 作为金属氧化膜114_0的形成方法,可以举出溅射法或ALD法。在本实施方式中,利用溅射法形成10nm厚的氧化铝膜。另外,可以以氧及氩为成膜气体利用使用铝靶材的反应溅射法形成氧化铝膜。或者,可以以氩为成膜气体利用使用氧化铝靶材的溅射法。

[0207] 当用于形成金属氧化膜114_0的成膜气体包含氧时,氧有可能被添加到后面成为源区域108s及漏区域108d的氧化物半导体膜107中,而有可能使源区域108s及漏区域108d的电阻变高。由此,当用于形成金属氧化膜114_0的成膜气体包含氧时,优选控制在整个气体中氧所占的比率。具体而言,当作为金属氧化膜114_0形成氧化铝时,在整个气体中氧所占的比率大于0%且60%以下,优选为1%以上且20%以下,更优选为5%以上且10%以下。注意,如果源区域108s及漏区域108d的电阻在形成金属氧化膜114_0之后能够被充分地降低,就不局限于上述比率。

[0208] 接着,从金属氧化膜114_0的上方添加杂质元素145(参照图16C)。

[0209] 在本实施方式中,作为杂质元素145使用氩,利用掺杂装置将氩添加到氧化物半导体膜107。该氩经过金属氧化膜114_0被添加到氧化物半导体膜107中。

[0210] 作为杂质元素145的添加方法,有离子掺杂法、离子注入法、等离子体处理法等。在采用等离子体处理法的情况下,通过在包含所添加的杂质元素的气体气氛下产生等离子体,然后进行等离子体处理,能够添加杂质元素。作为产生上述等离子体的装置,可以使用干蚀刻装置、灰化装置、等离子体CVD装置或高密度等离子体CVD装置等。

[0211] 另外,作为杂质元素145的源气体,可以使用 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 、 H_2 和稀有气体中的一种以上。或者,也可以使用由稀有气体稀释的 B_2H_6 、 PH_3 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 F_2 、 HF 和 H_2 中的一种以上。通过使用由稀有气体稀释的 B_2H_6 、 PH_3 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 F_2 、 HF 和 H_2 中的一种以上将杂质元素145添加到氧化物半导体膜107,可以将稀有气体、氢、硼、碳、氮、氟、磷、硫及氯中的一种以上添加到氧化物半导体膜107。作为稀有气体元素的典型例子,有氦、氖、氩、氪以及氙等。

[0212] 或者,也可以在添加稀有气体之后,将 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 和 H_2 中的一种以上对氧化物半导体膜107添加。或者,也可以在添加 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 及 H_2 中的一种以上之后,对氧化物半导体膜107添加稀有气体。

[0213] 杂质元素145的添加通过适当地设定加速电压或剂量等的注入条件来控制即可。例如,在通过离子注入法添加氩时,可以将加速电压设定为10kV以上且100kV以下并将剂量设定为 1×10^{13} ions/cm²以上且 1×10^{16} ions/cm²以下,例如, 1×10^{14} ions/cm²。此外,在通过离子注入法添加磷离子时,可以将加速电压设定为30kV并将剂量设定为 1×10^{13} ions/cm²以上且 5×10^{16} ions/cm²以下,例如, 1×10^{15} ions/cm²。

[0214] 另外,在本实施方式中,例示出在金属氧化膜114_0上添加杂质元素145的结构,但是不局限于此,例如,也可以在形成金属氧化膜114_0之前添加杂质元素145。或者,也可以不进行添加杂质元素145的工序。这里,由于不进行添加杂质元素145的工序,可以简化制造工序。

[0215] 接着,对金属氧化膜114_0进行加工,形成岛状的金属氧化膜114(参照图16D)。

[0216] 作为金属氧化膜114_0的加工方法,可以利用干蚀刻法。尤其是,通过利用干蚀刻

法进行各向异性蚀刻,可以将金属氧化膜114选择性地形成在绝缘膜110及导电膜112的侧面上。

[0217] 在本实施方式中,利用了干蚀刻装置并使用 C_4F_8 、 H_2 、 CF_4 、 Ar 作为蚀刻气体。

[0218] 接着,在绝缘膜104、氧化物半导体膜107、导电膜112及金属氧化膜114上形成绝缘膜116。通过形成绝缘膜116,与绝缘膜116接触的氧化物半导体膜107成为源区域108s及漏区域108d。另外,与绝缘膜110接触的氧化物半导体膜107成为沟道区域108i。由此,形成包括沟道区域108i、源区域108s及漏区域108d的氧化物半导体膜108(参照图17A)。

[0219] 作为绝缘膜116可以选择上述材料形成。在本实施方式中,作为绝缘膜116,使用PECVD装置形成厚度为100nm的氮氧化硅膜。

[0220] 通过作为绝缘膜116使用氮氧化硅膜,氮氧化硅膜中的氮或氢被供给至与绝缘膜116接触的源区域108s及漏区域108d中。

[0221] 接着,在绝缘膜116上形成绝缘膜118(参照图17B)。

[0222] 作为绝缘膜118可以选择上述材料形成。在本实施方式中,作为绝缘膜118,使用PECVD装置形成厚度为300nm的氧氮化硅膜。

[0223] 接着,在利用光刻工序在绝缘膜118上的所希望的位置上形成掩模之后,对绝缘膜118的一部分及绝缘膜116的一部分进行蚀刻,由此形成到达源区域108s的开口部141a以及到达漏区域108d的开口部141b(参照图17C)。

[0224] 作为对绝缘膜118及绝缘膜116进行蚀刻的方法,可以使用湿蚀刻法和干蚀刻法中的一方或双方。在本实施方式中,利用干蚀刻法对绝缘膜118及绝缘膜116进行加工。

[0225] 接着,以覆盖开口部141a、141b的方式在绝缘膜118、源区域108s及漏区域108d上形成导电膜120(参照图18A)。

[0226] 作为导电膜120可以选择可用于导电膜120a、120b的材料形成。在本实施方式中,作为导电膜120,使用溅射装置形成厚度为50nm的钨膜及厚度为400nm的铜膜的叠层膜。

[0227] 接着,在利用光刻工序在导电膜120上的所希望的位置上形成掩模之后,对导电膜120的一部分进行蚀刻,由此形成导电膜120a、120b(参照图18B)。

[0228] 作为导电膜120的加工方法,可以使用湿蚀刻法和干蚀刻法中的一方或双方。在本实施方式中,在利用湿蚀刻法对铜膜进行蚀刻之后,利用干蚀刻法对钨膜进行蚀刻,由此将导电膜120加工成导电膜120a、120b。

[0229] 通过上述工序,可以制造图1A至图1C所示的晶体管100。

[0230] 作为构成晶体管100的膜(绝缘膜、金属氧化膜、氧化物半导体膜、导电膜等),除了上述方法以外,还可以通过溅射法、化学气相沉积(CVD)法、真空蒸镀法、脉冲激光沉积(PLD)法、ALD(原子层沉积)法形成。或者,可以通过涂敷法或印刷法形成。作为成膜方法,典型的有溅射法、等离子体增强化学气相沉积(PECVD)法,但也可以使用热CVD法。作为热CVD法的例子,可以举出MOCVD(有机金属化学气相沉积)法。

[0231] 热CVD法通过如下方式进行成膜:将处理室内的压力设定为大气压或减压,将源气体及氧化剂同时供应到处理室内,并使其在衬底附近或衬底上发生反应而沉积在衬底上。如此,由于在利用热CVD法进行成膜时不产生等离子体,因此具有不产生起因于等离子体损伤的缺陷的优点。

[0232] 通过MOCVD法等热CVD法可以形成上述导电膜、绝缘膜、氧化物半导体膜、金属氧化

膜等膜,例如,当形成In-Ga-Zn-O膜时,使用三甲基铟($\text{In}(\text{CH}_3)_3$)、三甲基镓($\text{Ga}(\text{CH}_3)_3$)及二甲基锌($\text{Zn}(\text{CH}_3)_2$)。不局限于上述组合,也可以使用三乙基镓($\text{Ga}(\text{C}_2\text{H}_5)_3$)代替三甲基镓,并且可以使用二乙基锌($\text{Zn}(\text{C}_2\text{H}_5)_2$)代替二甲基锌。

[0233] 另外,在使用利用ALD法的成膜装置形成氧化铪膜时,使用如下两种气体:通过使包含溶剂和铪前体的液体(铪醇盐、四二甲基酰胺铪(TDMAH、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$)或四(乙基甲基酰胺)铪等铪酰胺)气化而得到的源气体;以及用作氧化剂的臭氧(O_3)。

[0234] 在使用利用ALD法的成膜装置形成氧化铝膜时,使用如下两种气体:通过使包含溶剂和铝前体的液体(三甲基铝(TMA、 $\text{Al}(\text{CH}_3)_3$)等)气化而得到的源气体;以及用作氧化剂的 H_2O 。作为其它材料有三(二甲基酰胺)铝、三异丁基铝、铝三(2,2,6,6-四甲基-3,5-庚二酮)等。

[0235] 在使用利用ALD法的成膜装置形成氧化硅膜时,使六氯乙硅烷附着在被成膜面上,供应氧化性气体(O_2 、一氧化二氮)的自由基使其与附着物起反应。

[0236] 在使用利用ALD法的成膜装置形成钨膜时,依次引入 WF_6 气体和 B_2H_6 气体形成初始钨膜,然后使用 WF_6 气体和 H_2 气体形成钨膜。注意,也可以使用 SiH_4 气体代替 B_2H_6 气体。

[0237] 在使用利用ALD法的成膜装置形成氧化物半导体膜如In-Ga-Zn-O膜时,使用 $\text{In}(\text{CH}_3)_3$ 气体和 O_3 气体形成In-O层,然后使用 $\text{Ga}(\text{CH}_3)_3$ 气体和 O_3 气体形成Ga-O层,之后使用 $\text{Zn}(\text{CH}_3)_2$ 气体和 O_3 气体形成Zn-O层。注意,这些层的顺序不局限于上述例子。此外,也可以使用这些气体来形成混合化合物层如In-Ga-O层、In-Zn-O层、Ga-Zn-O层等。注意,虽然也可以使用利用Ar等惰性气体进行鼓泡而得到的 H_2O 气体代替 O_3 气体,但是优选使用不包含H的 O_3 气体。

[0238] <1-7. 半导体装置的制造方法2>

接着,使用图19A至图22C说明图2A至图2C所示的晶体管100A的制造方法的例子。图19A至图22C是说明晶体管100A的制造方法的沟道长度(L)方向及沟道宽度(W)方向的截面图。

[0239] 首先,在衬底102上形成导电膜106。接着,在衬底102及导电膜106上形成绝缘膜104,在绝缘膜104上形成氧化物半导体膜。然后,将该氧化物半导体膜加工为岛状,由此形成氧化物半导体膜107(参照图19A)。

[0240] 导电膜106可以使用与导电膜120a、120b相同的材料及相同的方法形成。在本实施方式中,作为导电膜106,利用溅射法形成厚度为50nm的氮化钽膜及厚度为100nm的铜膜的叠层膜。

[0241] 接着,在绝缘膜104及氧化物半导体膜107上形成绝缘膜110_0(参照图19B)。

[0242] 接着,在利用光刻工序在绝缘膜110_0上的所希望的位置上形成掩模之后,对绝缘膜110_0的一部分及绝缘膜104的一部分进行蚀刻,由此形成到达导电膜106的开口部143(参照图19C)。

[0243] 作为开口部143的形成方法,可以使用湿蚀刻法和干蚀刻法中的一方或双方。在本实施方式中,利用干蚀刻法形成开口部143。

[0244] 接着,以覆盖开口部143的方式在导电膜106及绝缘膜110_0上形成导电膜112_0。另外,例如在作为导电膜112_0使用金属氧化膜的情况下,有时在形成导电膜112_0时氧从导电膜112_0被添加到绝缘膜110_0(参照图19D)。

[0245] 在图19D中,以箭头示意性地示出被添加到绝缘膜110_0的氧。通过以覆盖开口部

143的方式形成导电膜112_0,使导电膜106与导电膜112_0电连接。

[0246] 接着,利用光刻工序在导电膜112_0上的所希望的位置上形成掩模140(参照图20A)。

[0247] 接着,从掩模140的上方进行蚀刻来对导电膜112_0及绝缘膜110_0进行加工。另外,在对导电膜112_0及绝缘膜110_0进行加工之后,去除掩模140。通过对导电膜112_0及绝缘膜110_0进行加工形成岛状的导电膜112及绝缘膜110(参照图20B)。

[0248] 在本实施方式中,利用干蚀刻法对导电膜112_0及绝缘膜110_0进行加工。

[0249] 接着,在绝缘膜104的顶面、氧化物半导体膜107的顶面及导电膜112的顶面以及绝缘膜110的侧面上形成金属氧化膜114_0(参照图20C)。

[0250] 接着,从金属氧化膜114_0的上方添加杂质元素145(参照图21A)。

[0251] 接着,将金属氧化膜114_0加工成岛状的金屬氧化膜114(参照图21B)。

[0252] 接着,在绝缘膜104、氧化物半导体膜107、导电膜112及金属氧化膜114上形成绝缘膜116。通过形成绝缘膜116,与绝缘膜116接触的氧化物半导体膜107成为源区域108s及漏区域108d。另外,与绝缘膜110接触的氧化物半导体膜107成为沟道区域108i。由此,形成包括沟道区域108i、源区域108s及漏区域108d的氧化物半导体膜108(参照图21C)。

[0253] 接着,在绝缘膜116上形成绝缘膜118(参照图21D)。

[0254] 接着,在利用光刻工序在绝缘膜118上的所希望的位置上形成掩模之后,对绝缘膜118的一部分及绝缘膜116的一部分进行蚀刻,由此形成到达源区域108s的开口部141a以及到达漏区域108d的开口部141b(参照图22A)。

[0255] 接着,以覆盖开口部141a、141b的方式在源区域108s、漏区域108d及绝缘膜118上形成导电膜120(参照图22B)。

[0256] 接着,在利用光刻工序在导电膜120上的所希望的位置上形成掩模之后,对导电膜120的一部分进行蚀刻,由此形成导电膜120a、120b(参照图22C)。

[0257] 通过上述工序,可以制造图2A和图2B所示的晶体管100A。

[0258] 在本实施方式中,示出晶体管包括氧化物半导体膜的情况的例子,但是本发明的一个方式不局限于此。在本发明的一个方式中,晶体管也可以不包括氧化物半导体膜。例如,晶体管的沟道区域、沟道区域附近、源区域或漏区域也可以使用包含Si(硅)、Ge(锗)、SiGe(硅锗)、GaAs(砷化镓)等的材料形成。

[0259] 本实施方式所示的结构、方法可以与其他实施方式或实施例所示的结构、方法适当地组合而使用。

[0260] 实施方式2

在本实施方式中,参照图23A至图27对氧化物半导体的结构等进行说明。

[0261] <2-1.氧化物半导体的结构>

氧化物半导体被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体有CAAC-OS(c-axis-aligned crystalline oxide semiconductor)、多晶氧化物半导体、nc-OS(nanocrystalline oxide semiconductor)、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0262] 从其他观点看来,氧化物半导体被分为非晶氧化物半导体和结晶氧化物半导体。作为结晶氧化物半导体,有单晶氧化物半导体、CAAC-OS、多晶氧化物半导体以及nc-OS等。

[0263] 一般而言,非晶结构具有如下特征:具有各向同性而不具有不均匀结构;处于亚稳态且原子的配置没有被固定化;键角不固定;具有短程有序性而不具有长程有序性;等。

[0264] 就是说,不能将稳定的氧化物半导体称为完全非晶(completely amorphous)氧化物半导体。另外,不能将不具有各向同性(例如,在微小区域中具有周期结构)的氧化物半导体称为完全非晶氧化物半导体。另一方面,a-like OS不具有各向同性但却是具有空洞(void)的不稳定结构。在不稳定这一点上,a-like OS在物性上接近于非晶氧化物半导体。

[0265] <2-2.CAAC-OS>

首先,说明CAAC-OS。

[0266] CAAC-OS是包含多个c轴取向的结晶部(也称为颗粒)的氧化物半导体之一。

[0267] 说明使用X射线衍射(XRD:X-Ray Diffraction)装置对CAAC-OS进行分析时的情况。例如,当利用out-of-plane法分析包含分类为空间群R-3m的InGaZnO₄结晶的CAAC-OS的结构时,如图23A所示,在衍射角(2 θ)为31°附近出现峰值。由于该峰值来源于InGaZnO₄结晶的(009)面,由此可确认到在CAAC-OS中结晶具有c轴取向性,并且c轴朝向大致垂直于形成CAAC-OS的膜的面(也称为被形成面)或顶面的方向。注意,除了2 θ 为31°附近的峰值以外,有时在2 θ 为36°附近时也出现峰值。2 θ 为36°附近的峰值起因于分类为空间群Fd-3m的结晶结构。因此,优选的是,在CAAC-OS中不出现该峰值。

[0268] 另一方面,当利用从平行于被形成面的方向使X射线入射到样品的in-plane法分析CAAC-OS的结构时,在2 θ 为56°附近出现峰值。该峰值来源于InGaZnO₄结晶的(110)面。并且,即使将2 θ 固定为56°附近并在以样品面的法线向量为轴(ϕ 轴)旋转样品的条件下进行分析(ϕ 扫描),也如图23B所示的那样观察不到明确的峰值。另一方面,当对单晶InGaZnO₄将2 θ 固定为56°附近来进行 ϕ 扫描时,如图23C所示,观察到来源于相等于(110)面的结晶面的六个峰值。因此,由使用XRD的结构分析可以确认到CAAC-OS中的a轴和b轴的取向没有规律性。

[0269] 接着,说明利用电子衍射分析的CAAC-OS。例如,当对包含InGaZnO₄结晶的CAAC-OS在平行于CAAC-OS的被形成面的方向上入射束径为300nm的电子束时,有可能出现图23D所示的衍射图案(也称为选区电子衍射图案)。在该衍射图案中包含起因于InGaZnO₄结晶的(009)面的斑点。因此,电子衍射也示出CAAC-OS所包含的颗粒具有c轴取向性,并且c轴朝向大致垂直于被形成面或顶面的方向。另一方面,图23E示出对相同的样品在垂直于样品面的方向上入射束径为300nm的电子束时的衍射图案。从图23E观察到环状的衍射图案。因此,使用束径为300nm的电子束的电子衍射也示出CAAC-OS所包含的颗粒的a轴和b轴不具有取向性。可以认为图23E中的第一环起因于InGaZnO₄结晶的(010)面和(100)面等。另外,可以认为图23E中的第二环起因于(110)面等。

[0270] 另外,在利用透射电子显微镜(TEM:Transmission Electron Microscope)观察所获取的CAAC-OS的明视场图像与衍射图案的复合分析图像(也称为高分辨率TEM图像)中,可以观察到多个颗粒。然而,即使在高分辨率TEM图像中,有时也观察不到颗粒与颗粒之间的明确的边界,即晶界(grain boundary)。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。

[0271] 图24A示出从大致平行于样品面的方向观察所获取的CAAC-OS的截面的高分辨率TEM图像。利用球面像差校正(Spherical Aberration Corrector)功能得到高分辨率TEM图

像。尤其将利用球面像差校正功能获取的高分辨率TEM图像称为Cs校正高分辨率TEM图像。例如可以使用日本电子株式会社制造的原子分辨率分析型电子显微镜JEM-ARM200F等观察Cs校正高分辨率TEM图像。

[0272] 从图24A可确认到其中金属原子排列为层状的颗粒。并且可知一个颗粒的尺寸为1nm以上或者3nm以上。因此,也可以将颗粒称为纳米晶(nc:nanocrystal)。另外,也可以将CAAC-OS称为具有CANC(C-Axis Aligned nanocrystals:c轴取向纳米晶)的氧化物半导体。颗粒反映CAAC-OS的被形成面或顶面的凸凹并平行于CAAC-OS的被形成面或顶面。

[0273] 另外,图24B及图24C示出从大致垂直于样品面的方向观察所获取的CAAC-OS的平面的Cs校正高分辨率TEM图像。图24D及图24E是通过图24B及图24C进行图像处理得到的图像。下面说明图像处理的方法。首先,通过对图24B进行快速傅里叶变换(FFT:Fast Fourier Transform)处理,获取FFT图像。接着,以保留所获取的FFT图像中的离原点 2.8nm^{-1} 至 5.0nm^{-1} 的范围的方式进行掩模处理。接着,对经过掩模处理的FFT图像进行快速傅立叶逆变换(IFFT:Inverse Fast Fourier Transform)处理而获取经过处理的图像。将所获取的图像称为FFT滤波图像。FFT滤波图像是从Cs校正高分辨率TEM图像中提取出周期分量的图像,其示出晶格排列。

[0274] 在图24D中,以虚线示出晶格排列被打乱的部分。由虚线围绕的区域是一个颗粒。并且,以虚线示出的部分是颗粒与颗粒的联结部。虚线呈现六角形,由此可知颗粒为六角形。注意,颗粒的形状并不局限于正六角形,不是正六角形的情况较多。

[0275] 在图24E中,以点线示出晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分,以虚线示出晶格排列的方向变化。在点线附近也无法确认到明确的晶界。当以点线附近的晶格点为中心周围的晶格点相接时,可以形成畸变的六角形、五角形、七角形等。即,可知通过使晶格排列畸变,可抑制晶界的形成。这可能是由于CAAC-OS可容许因如下原因而发生的畸变:a-b面方向上的原子排列的密度低或因金属元素被取代而使原子间的键合距离产生变化等。

[0276] 如上所示,CAAC-OS具有c轴取向性,其多个颗粒(纳米晶)在a-b面方向上连结而结晶结构具有畸变。因此,也可以将CAAC-OS称为具有CAA crystal(c-axis-aligned a-b-plane-anchored crystal)的氧化物半导体。

[0277] CAAC-OS是结晶性高的氧化物半导体。氧化物半导体的结晶性有时因杂质的混入或缺陷的生成等而降低,因此,可以说CAAC-OS是杂质或缺陷(氧缺陷等)少的氧化物半导体。

[0278] 此外,杂质是指氧化物半导体的主要成分以外的元素,诸如氢、碳、硅和过渡金属元素等。例如,与氧的键合力比构成氧化物半导体的金属元素强的硅等元素会夺取氧化物半导体中的氧,由此打乱氧化物半导体的原子排列,导致结晶性下降。另外,由于铁或镍等重金属、氫、二氧化碳等的原子半径(或分子半径)大,所以会打乱氧化物半导体的原子排列,导致结晶性下降。

[0279] 当氧化物半导体包含杂质或缺陷时,其特性有时会因光或热等发生变动。例如,包含于氧化物半导体的杂质有时会成为载流子陷阱或载流子发生源。例如,氧化物半导体中的氧缺陷有时会成为载流子陷阱或因俘获氢而成为载流子发生源。

[0280] 杂质及氧缺陷少的CAAC-OS是载流子密度低的氧化物半导体。具体而言,可以使用

载流子密度低于 $8 \times 10^{11}/\text{cm}^3$, 优选低于 $1 \times 10^{11}/\text{cm}^3$, 更优选低于 $1 \times 10^{10}/\text{cm}^3$, 且是 $1 \times 10^{-9}/\text{cm}^3$ 以上的氧化物半导体。将这样的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。CAAC-OS的杂质浓度和缺陷态密度低。即, 可以说CAAC-OS是具有稳定特性的氧化物半导体。

[0281] <2-3.nc-OS>

接着, 对nc-OS进行说明。

[0282] 说明使用XRD对nc-OS进行分析的情况。例如, 当利用out-of-plane法分析nc-OS的结构时, 不出现表示取向性的峰值。换言之, nc-OS的结晶不具有取向性。

[0283] 另外, 例如, 当使包含InGaZnO₄结晶的nc-OS薄片化, 并在平行于被形成面的方向上使束径为50nm的电子束入射到厚度为34nm的区域时, 观察到如图25A所示的环状衍射图案(纳米束电子衍射图案)。另外, 图25B示出将束径为1nm的电子束入射到相同的样品时的衍射图案(纳米束电子衍射图案)。从图25B观察到环状区域内的多个斑点。因此, nc-OS在入射束径为50nm的电子束时观察不到秩序性, 但是在入射束径为1nm的电子束时确认到秩序性。

[0284] 另外, 当使束径为1nm的电子束入射到厚度小于10nm的区域时, 如图25C所示, 有时观察到斑点被配置为准正六角形的电子衍射图案。由此可知, nc-OS在厚度小于10nm的范围内包含秩序性高的区域, 即结晶。注意, 因为结晶朝向各种各样的方向, 所以也有观察不到有规律性的电子衍射图案的区域。

[0285] 图25D示出从大致平行于被形成面的方向观察到的nc-OS的截面的Cs校正高分辨率TEM图像。在nc-OS的高分辨率TEM图像中有如由辅助线所示的部分那样能够观察到结晶部的区域和观察不到明确的结晶部的区域。nc-OS所包含的结晶部的尺寸为1nm以上且10nm以下, 尤其大多为1nm以上且3nm以下。注意, 有时将其结晶部的尺寸大于10nm且是100nm以下的氧化物半导体称为微晶氧化物半导体(microcrystalline oxide semiconductor)。例如, 在nc-OS的高分辨率TEM图像中, 有时无法明确地观察到晶界。注意, 纳米晶的来源有可能与CAAC-OS中的颗粒相同。因此, 下面有时将nc-OS的结晶部称为颗粒。

[0286] 如此, 在nc-OS中, 微小的区域(例如1nm以上且10nm以下的区域, 特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外, nc-OS在不同的颗粒之间观察不到结晶取向的规律性。因此, 在膜整体中观察不到取向性。所以, 有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0287] 另外, 由于在颗粒(纳米晶)之间结晶取向没有规律性, 所以也可以将nc-OS称为包含RANC(Random Aligned nanocrystals: 无规取向纳米晶)的氧化物半导体或包含NANC(Non-Aligned nanocrystals: 无取向纳米晶)的氧化物半导体。

[0288] nc-OS是规律性比非晶氧化物半导体高的氧化物半导体。因此, nc-OS的缺陷态密度比a-like OS或非晶氧化物半导体低。但是, 在nc-OS中的不同的颗粒之间观察不到晶体取向的规律性。所以, nc-OS的缺陷态密度比CAAC-OS高。

[0289] <2-4.a-like OS>

a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。

[0290] 图26A和图26B示出a-like OS的高分辨率截面TEM图像。图26A示出电子照射开始时的a-like OS的高分辨率截面TEM图像。图26B示出照射 $4.3 \times 10^8 \text{e}^-/\text{nm}^2$ 的电子(e^-)之后的

a-like OS的高分辨率截面TEM图像。由图26A和图26B可知,a-like OS从电子照射开始时被观察到在纵向方向上延伸的条状明亮区域。另外,可知明亮区域的形状在照射电子之后变化。明亮区域被估计为空洞或低密度区域。

[0291] 由于a-like OS包含空洞,所以其结构不稳定。为了证明与CAAC-OS及nc-OS相比a-like OS具有不稳定的结构,下面示出电子照射所导致的结构变化。

[0292] 作为样品,准备a-like OS、nc-OS和CAAC-OS。每个样品都是In-Ga-Zn氧化物。

[0293] 首先,取得各样品的高分辨率截面TEM图像。由高分辨率截面TEM图像可知,每个样品都具有结晶部。

[0294] 已知InGaZnO₄结晶的单位晶格具有所包括的三个In-O层和六个Ga-Zn-O层共计九个层在c轴方向上以层状层叠的结构。这些彼此靠近的层之间的间隔与(009)面的晶格表面间隔(也称为d值)几乎相等,由结晶结构分析求出其值为0.29nm。由此,以下可以将晶格条纹的间隔为0.28nm以上且0.30nm以下的部分看作InGaZnO₄结晶部。晶格条纹对应于InGaZnO₄结晶的a-b面。

[0295] 图27示出调查了各样品的结晶部(22至30处)的平均尺寸的例子。注意,结晶部尺寸对应于上述晶格条纹的长度。由图27可知,在a-like OS中,结晶部根据有关取得TEM图像等的电子的累积照射量逐渐变大。由图27可知,在利用TEM的观察初期尺寸为1.2nm左右的结晶部(也称为初始晶核)在电子(e⁻)的累积照射量为 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 时生长到1.9nm左右。另一方面,可知nc-OS和CAAC-OS在开始电子照射时到电子的累积照射量为 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 的范围内,结晶部的尺寸都没有变化。由图27可知,无论电子的累积照射量如何,nc-OS及CAAC-OS的结晶部尺寸分别为1.3nm左右及1.8nm左右。此外,使用日立透射电子显微镜H-9000NAR进行电子束照射及TEM的观察。作为电子束照射条件,加速电压为300kV;电流密度为 $6.7 \times 10^5 \text{e}^-/(\text{nm}^2 \cdot \text{s})$;照射区域的直径为230nm。

[0296] 如此,有时电子照射引起a-like OS中的结晶部的生长。另一方面,在nc-OS和CAAC-OS中,几乎没有电子照射所引起的结晶部的生长。也就是说,a-like OS与CAAC-OS及nc-OS相比具有不稳定的结构。

[0297] 此外,由于a-like OS包含空洞,所以其密度比nc-OS及CAAC-OS低。具体地,a-like OS的密度为具有相同组成的单晶氧化物半导体的78.6%以上且低于92.3%。nc-OS的密度及CAAC-OS的密度为具有相同组成的单晶氧化物半导体的92.3%以上且低于100%。注意,难以形成其密度低于单晶氧化物半导体的密度的78%的氧化物半导体。

[0298] 例如,在原子个数比满足In:Ga:Zn=1:1:1的氧化物半导体中,具有菱方晶系结构的单晶InGaZnO₄的密度为6.357g/cm³。因此,例如,在原子个数比满足In:Ga:Zn=1:1:1的氧化物半导体中,a-like OS的密度为5.0g/cm³以上且低于5.9g/cm³。另外,例如,在原子个数比满足In:Ga:Zn=1:1:1的氧化物半导体中,nc-OS的密度和CAAC-OS的密度为5.9g/cm³以上且低于6.3g/cm³。

[0299] 注意,当不存在相同组成的单晶氧化物半导体时,通过以任意比例组合组成不同的单晶氧化物半导体,可以估计出相当于所希望的组成的单晶氧化物半导体的密度。根据组成不同的单晶氧化物半导体的组合比例使用加权平均估计出相当于所希望的组成的单晶氧化物半导体的密度即可。注意,优选尽可能减少所组合的单晶氧化物半导体的种类来估计密度。

[0300] 如上所述,氧化物半导体具有各种结构及各种特性。注意,氧化物半导体例如可以是包括非晶氧化物半导体、a-like OS、nc-OS和CAAC-OS中的两种以上的叠层膜。

[0301] 本实施方式所示的结构可以与其他实施方式或实施例所示的结构适当地组合而实施。

[0302] 实施方式3

在本实施方式中,使用图28至图30说明包括在前面的实施方式中例示的晶体管的显示装置的一个例子。

[0303] 图28是示出显示装置的一个例子的俯视图。图28所示的显示装置700包括:设置在第一衬底701上的像素部702;设置在第一衬底701上的源极驱动电路部704及栅极驱动电路部706;以围绕像素部702、源极驱动电路部704及栅极驱动电路部706的方式设置的密封剂712;以及以与第一衬底701对置的方式设置的第二衬底705。注意,由密封剂712密封第一衬底701及第二衬底705。也就是说,像素部702、源极驱动电路部704及栅极驱动电路部706被第一衬底701、密封剂712及第二衬底705密封。注意,虽然在图28中未图示,但是在第一衬底701与第二衬底705之间设置有显示元件。

[0304] 另外,在显示装置700中,在第一衬底701上的不由密封剂712围绕的区域中设置有分别电连接于像素部702、源极驱动电路部704及栅极驱动电路部706的FPC(Flexible printed circuit:柔性印刷电路)端子部708。另外,FPC端子部708连接于FPC716,并且通过FPC716对像素部702、源极驱动电路部704及栅极驱动电路部706供应各种信号等。另外,像素部702、源极驱动电路部704、栅极驱动电路部706以及FPC端子部708各与信号线710连接。由FPC716供应的各种信号等是通过信号线710供应到像素部702、源极驱动电路部704、栅极驱动电路部706以及FPC端子部708的。

[0305] 另外,也可以在显示装置700中设置多个栅极驱动电路部706。另外,作为显示装置700,虽然示出将源极驱动电路部704及栅极驱动电路部706形成在与像素部702相同的第一衬底701上的例子,但是并不局限于该结构。例如,可以只将栅极驱动电路部706形成在第一衬底701上,或者可以只将源极驱动电路部704形成在第一衬底701上。此时,也可以采用将形成有源极驱动电路或栅极驱动电路等的衬底(例如,由单晶半导体膜、多晶半导体膜形成的驱动电路衬底)安装于第一衬底701的结构。另外,对另行形成的驱动电路衬底的连接方法没有特别的限制,而可以采用COG(Chip On Glass:玻璃覆晶封装)方法、引线键合方法等。

[0306] 另外,显示装置700所包括的像素部702、源极驱动电路部704及栅极驱动电路部706包括多个晶体管,作为该晶体管可以适用本发明的一个方式的半导体装置的晶体管。

[0307] 另外,显示装置700可以包括各种元件。作为该元件,例如可以举出电致发光(EL)元件(包含有机物及无机物的EL元件、有机EL元件、无机EL元件、LED等)、发光晶体管元件(根据电流发光的晶体管)、电子发射元件、液晶元件、电子墨水元件、电泳元件、电湿润(electrowetting)元件、等离子体显示器面板(PDP)、MEMS(微电子机械系统)、显示器(例如光栅光阀(GLV)、数字微镜设备(DMD)、数码微快门(DMS)元件、干涉调制(IMOD)元件等)、压电陶瓷显示器等。

[0308] 此外,作为使用EL元件的显示装置的一个例子,有EL显示器等。作为使用电子发射元件的显示装置的一个例子,有场致发射显示器(FED)或SED方式平面型显示器(SED:

Surface-conduction Electron-emitter Display、表面传导电子发射显示器)等。作为使用液晶元件的显示装置的一个例子,有液晶显示器(透射式液晶显示器、半透射式液晶显示器、反射式液晶显示器、直观式液晶显示器、投射式液晶显示器)等。作为使用电子墨水元件或电泳元件的显示装置的一个例子,有电子纸等。注意,当实现半透射式液晶显示器或反射式液晶显示器时,使像素电极的一部分或全部具有反射电极的功能,即可。例如,使像素电极的一部分或全部包含铝、银等,即可。并且,此时也可以将SRAM等存储电路设置在反射电极下。由此,可以进一步降低功耗。

[0309] 作为显示装置700的显示方式,可以采用逐行扫描方式或隔行扫描方式等。另外,作为当进行彩色显示时在像素中控制的色要素,不局限于RGB(R表示红色,G表示绿色,B表示蓝色)这三种颜色。例如,可以由R像素、G像素、B像素及W(白色)像素的四个像素构成。或者,如PenTile排列,也可以由RGB中的两个颜色构成一个色要素,并根据色要素选择不同的两个颜色来构成。或者可以对RGB追加黄色(yellow)、青色(cyan)、品红色(magenta)等中的一种以上的颜色。另外,各个色要素的点的显示区域的大小可以不同。但是,所公开的发明不局限于彩色显示的显示装置,而也可以应用于黑白显示的显示装置。

[0310] 另外,为了将白色光(W)用于背光(有机EL元件、无机EL元件、LED、荧光灯等)使显示装置进行全彩色显示,也可以使用着色层(也称为滤光片)。作为着色层,例如可以适当地组合红色(R)、绿色(G)、蓝色(B)、黄色(Y)等而使用。通过使用着色层,可以与不使用着色层的情况相比进一步提高颜色再现性。此时,也可以通过设置包括着色层的区域和不包括着色层的区域,将不包括着色层的区域中的白色光直接用于显示。通过部分地设置不包括着色层的区域,在显示明亮的图像时,有时可以减少着色层所引起的亮度降低而减少功耗两成至三成左右。但是,在使用有机EL元件或无机EL元件等自发光元件进行全彩色显示时,也可以从具有各发光颜色的元件发射R、G、B、Y、W。通过使用自发光元件,有时与使用着色层的情况相比进一步减少功耗。

[0311] 此外,作为彩色化的方式,除了经过滤色片将上述白色光的一部分转换为红色、绿色及蓝色的方式(滤色片方式)之外,还可以使用分别使用红色、绿色及蓝色的发光的方式(三色方式)以及将来自蓝色光的发光的一部分转换为红色或绿色的方式(颜色转换方式或量子点方式)。

[0312] 在本实施方式中,使用图29及图30说明作为显示元件使用液晶元件及EL元件的结构。图29是沿着图28所示的点划线Q-R的截面图,作为显示元件使用液晶元件的结构。另外,图30是沿着图28所示的点划线Q-R的截面图,作为显示元件使用EL元件的结构。

[0313] 下面,首先说明图29与图30所示的共同部分,接着说明不同的部分。

[0314] <3-1. 显示装置的共同部分的说明>

图29及图30所示的显示装置700包括:引绕布线部711;像素部702;源极驱动电路部704;以及FPC端子部708。另外,引绕布线部711包括信号线710。另外,像素部702包括晶体管750及电容器790。另外,源极驱动电路部704包括晶体管752。

[0315] 晶体管750及晶体管752具有与上述晶体管100同样的结构。晶体管750及晶体管752也可以采用使用上述实施方式所示的其他晶体管的结构。

[0316] 在本实施方式中使用的晶体管包括高度纯化且氧缺陷的形成被抑制的氧化物半导体膜。该晶体管可以降低关态电流。因此,可以延长图像信号等电信号的保持时间,在开

启电源的状态下也可以延长写入间隔。因此,可以降低刷新工作的频度,由此可以发挥抑制功耗的效果。

[0317] 另外,在本实施方式中使用的晶体管能够得到较高的场效应迁移率,因此能够进行高速驱动。例如,通过将这种能够进行高速驱动的晶体管用于液晶显示装置,可以在同一衬底上形成像素部的开关晶体管及用于驱动电路部的驱动晶体管。也就是说,因为作为驱动电路不需要另行使用由硅片等形成的半导体装置,所以可以缩减半导体装置的构件数。另外,在像素部中也可以通过使用能够进行高速驱动的晶体管提供高品质的图像。

[0318] 电容器790包括下部电极及上部电极。下部电极通过对与晶体管750所包括的氧化物半导体膜为同一膜的氧化物半导体膜进行加工而形成。上部电极通过对与晶体管750所包括的源电极或漏电极的导电膜为同一膜的导电膜进行加工而形成。另外,在下部电极与上部电极之间设置绝缘膜,该绝缘膜为对与晶体管750所包括的用作第三绝缘膜及第四绝缘膜为同一膜的绝缘膜进行加工而形成的。就是说,电容器790具有将用作电介质的绝缘膜夹在一对电极之间的叠层型结构。

[0319] 另外,在图29及图30中,在晶体管750、晶体管752以及电容器790上设置有平坦化绝缘膜770。

[0320] 作为平坦化绝缘膜770,可以使用具有耐热性的有机材料如聚酰亚胺树脂、丙烯酸树脂、聚酰亚胺酰胺树脂、苯并环丁烯类树脂、聚酰胺树脂、环氧树脂等。此外,也可以通过层叠多个由这些材料形成的绝缘膜,形成平坦化绝缘膜770。另外,也可以采用不设置平坦化绝缘膜770的结构。

[0321] 在图29及图30中,例示出像素部702所具有的晶体管750及源极驱动电路部704所具有的晶体管752具有相同结构的例子,但是本发明的一个方式不局限此。例如,像素部702与源极驱动电路部704也可以采用不同的晶体管。

[0322] 另外,当像素部702及源极驱动电路部704使用不同晶体管时,可以组合使用实施方式1所示的交错型晶体管和反交错型晶体管。具体而言,可以举出如下结构:像素部702中使用交错型晶体管而源极驱动电路部704中使用反交错型晶体管的结构;或者像素部702中使用反交错型晶体管而源极驱动电路部704中使用交错型晶体管的结构等。另外,也可以将上述源极驱动电路部704称为栅极驱动部。

[0323] 在此,图31A至图35D示出可用于像素部702或源极驱动电路部704的反交错型晶体管。

[0324] 图31A是晶体管300A的俯视图,图31B相当于沿着图31A所示的点划线X1-X2的切断面的截面图,图31C相当于沿着图31A所示的点划线Y1-Y2的切断面的截面图。注意,在图31A中,为了方便起见,省略晶体管300A的构成要素的一部分(用作栅极绝缘膜的绝缘膜等)而进行图示。此外,有时将点划线X1-X2方向称为沟道长度(L)方向,将点划线Y1-Y2方向称为沟道宽度(W)方向。注意,有时在后面的晶体管的俯视图中,与图31A同样地省略构成要素的一部分。

[0325] 晶体管300A包括:衬底302上的用作栅电极的导电膜304;衬底302及导电膜304上的绝缘膜306;绝缘膜306上的绝缘膜307;绝缘膜307上的氧化物半导体膜308;与氧化物半导体膜308电连接的用作源电极的导电膜312a;以及与氧化物半导体膜308电连接的用作漏电极的导电膜312b。另外,在晶体管300A上,更具体而言,在导电膜312a、导电膜312b及氧化

物半导体膜308上设置有绝缘膜314、绝缘膜316及绝缘膜318。绝缘膜314、316及318具有晶体管300A的保护绝缘膜的功能。

[0326] 图32A是晶体管300B的俯视图,图32B相当于沿着图32A所示的点划线X1-X2的切断面的截面图,图32C相当于沿着图32A所示的点划线Y1-Y2的切断面的截面图。

[0327] 晶体管300B包括:衬底302上的用作栅电极的导电膜304;衬底302及导电膜304上的绝缘膜306;绝缘膜306上的绝缘膜307;绝缘膜307上的氧化物半导体膜308;氧化物半导体膜308上的绝缘膜314;绝缘膜314上的绝缘膜316;通过形成在绝缘膜314及绝缘膜316中的开口部341a与氧化物半导体膜308电连接的用作源电极的导电膜312a;以及通过形成在绝缘膜314及绝缘膜316中的开口部341b与氧化物半导体膜308电连接的用作漏电极的导电膜312b。另外,在晶体管300B上,更具体而言,在导电膜312a、导电膜312b及绝缘膜316上设置有绝缘膜318。绝缘膜314及绝缘膜316具有氧化物半导体膜308的保护绝缘膜的功能。绝缘膜318具有晶体管300B的保护绝缘膜的功能。

[0328] 晶体管300A具有沟道蚀刻型结构,而图32A至图32C所示的晶体管300B具有沟道保护型结构。

[0329] 图33A是晶体管300C的俯视图,图33B相当于沿着图33A所示的点划线X1-X2的切断面的截面图,图33C相当于沿着图33A所示的点划线Y1-Y2的切断面的截面图。

[0330] 晶体管300C与图32A至32C所示的晶体管300B的不同之处在于绝缘膜314、316的形状。具体而言,晶体管300C的绝缘膜314、绝缘膜316以岛状设置在氧化物半导体膜308的沟道区域上。晶体管300C的其他构成要素与晶体管300B相同。

[0331] 图34A是晶体管300D的俯视图,图34B相当于沿着图34A所示的点划线X1-X2的切断面的截面图,图34C相当于沿着图34A所示的点划线Y1-Y2的切断面的截面图。

[0332] 晶体管300D包括:衬底302上的用作第一栅电极的导电膜304;衬底302及导电膜304上的绝缘膜306;绝缘膜306上的绝缘膜307;绝缘膜307上的氧化物半导体膜308;氧化物半导体膜308上的绝缘膜314;绝缘膜314上的绝缘膜316;与氧化物半导体膜308电连接的用作源电极的导电膜312a;与氧化物半导体膜308电连接的用作漏电极的导电膜312b;导电膜312a、导电膜312b及绝缘膜316上的绝缘膜318;以及绝缘膜318上的导电膜320a、320b。

[0333] 在晶体管300D中,绝缘膜314、316、318具有晶体管300D的第二栅极绝缘膜的功能。在晶体管300D中,导电膜320a具有作用于显示装置的像素电极的功能。导电膜320a通过设置于绝缘膜314、316、318中的开口部342c与导电膜312b连接。另外,在晶体管300D中,导电膜320b被用作第二栅电极(也称为背栅极)。

[0334] 如图34C所示,导电膜320b通过设置于绝缘膜306、307、314、316、318中的开口部342a、342b连接到用作第一栅电极的导电膜304。因此,导电膜320b及导电膜304被施加相同电位。

[0335] 另外,在晶体管300D中,例示出设置开口部342a、342b使导电膜320b与导电膜304连接的结构,但是不局限于此。例如,也可以采用仅形成开口部342a和开口部342b中的一个而使导电膜320b与导电膜304连接的结构,或者,不设置开口部342a和开口部342b而不使导电膜320b与导电膜304连接的结构。当采用不使导电膜320b与导电膜304连接的结构时,可以对导电膜320b和导电膜304分别供应不同的电位。

[0336] 另外,晶体管300D具有上述S-channel结构。

[0337] 另外,图31A至图31C所示的晶体管300A所具有的氧化物半导体膜308可以具有叠层结构。图35A至图35D示出该种情况的例子。

[0338] 图35A和图35B是晶体管300E的截面图,图35C和图35D是晶体管300F的截面图。另外,晶体管300E和晶体管300F的俯视图与图31A所示的晶体管300A相同。

[0339] 图35A和图35B所示的晶体管300E所具有的氧化物半导体膜308包括氧化物半导体膜308_1、氧化物半导体膜308_2及氧化物半导体膜308_3。图35C和图35D所示的晶体管300F所具有的氧化物半导体膜308包括氧化物半导体膜308_2及氧化物半导体膜308_3。

[0340] 另外,导电膜304、绝缘膜306、绝缘膜307、氧化物半导体膜308、导电膜312a、导电膜312b、绝缘膜314、绝缘膜316、绝缘膜318以及导电膜320a、320b分别可以使用上述实施方式1所示的导电膜112、绝缘膜116、绝缘膜110、氧化物半导体膜108、导电膜120a、导电膜120b、绝缘膜104、绝缘膜118、绝缘膜116、导电膜112的材料及形成方法形成。

[0341] 另外,晶体管300A至晶体管300F的结构可以自由地组合而使用。

[0342] 回到图28至图30对显示装置进行说明。信号线710与用作晶体管750、752的源电极及漏电极的导电膜在同一工序中形成。信号线710也可以使用在与用作晶体管750、752的源电极及漏电极的导电膜不同的工序中形成的导电膜,诸如使用通过与用作栅电极的氧化物半导体膜在同一工序中形成的氧化物半导体膜。作为信号线710,例如,当使用包含铜元素的材料时,起因于布线电阻的信号延迟等较少,而可以实现大屏幕的显示。

[0343] 另外,FPC端子部708包括连接电极760、各向异性导电膜780及FPC716。连接电极760与用作晶体管750、752的源电极及漏电极的导电膜在同一工序中形成。另外,连接电极760与FPC716所包括的端子通过各向异性导电膜780电连接。

[0344] 另外,作为第一衬底701及第二衬底705,例如可以使用玻璃衬底。另外,作为第一衬底701及第二衬底705,也可以使用具有柔性的衬底。作为该具有柔性的衬底,例如可以举出塑料衬底等。

[0345] 另外,在第一衬底701与第二衬底705之间设置有结构体778。结构体778是通过选择性地对绝缘膜进行蚀刻而得到的柱状的间隔物,用来控制第一衬底701与第二衬底705之间的距离(液晶盒厚(cell gap))。另外,作为结构体778,也可以使用球状的间隔物。

[0346] 另外,在第二衬底705一侧,设置有用作黑矩阵的遮光膜738、用作滤色片的着色膜736、与遮光膜738及着色膜736接触的绝缘膜734。

[0347] <3-2. 使用液晶元件的显示装置的结构实例>

图29所示的显示装置700包括液晶元件775。液晶元件775包括导电膜772、导电膜774及液晶层776。导电膜774设置在第二衬底705一侧并具有对置电极的功能。图29所示的显示装置700可以通过由施加到导电膜772及导电膜774的电压改变液晶层776的取向状态,由此控制光的透过及非透过而显示图像。

[0348] 导电膜772连接到晶体管750所具有的被用作源电极或漏电极的导电膜。导电膜772形成在平坦化绝缘膜770上并被用作像素电极,即显示元件的一个电极。另外,导电膜772具有反射电极的功能。图29所示的显示装置700是由导电膜772反射外光并经过着色膜736进行显示的所谓反射式彩色液晶显示装置。

[0349] 另外,作为导电膜772,可以使用对可见光具有透光性的导电膜或对可见光具有反射性的导电膜。作为对可见光具有透光性的导电膜,例如,优选使用包含选自铟(In)、锌

(Zn)、锡(Sn)中的一种的材料。作为对可见光具有反射性的导电膜,例如,优选使用包含铝或银的材料。在本实施方式中,作为导电膜772使用对可见光具有反射性的导电膜。

[0350] 在图29所示的显示装置700中,对像素部702的平坦化绝缘膜770的一部分设置有凹凸。例如,使用树脂膜形成平坦化绝缘膜770,使该树脂膜的表面具有凹凸,由此可以形成该凹凸。用作反射电极的导电膜772沿着上述凹凸而形成。由此,在外光入射到导电膜772的情况下,可以在导电膜772的表面上使光漫反射,由此可以提高可见度。

[0351] 另外,图29所示的显示装置700例示出反射式彩色液晶显示装置,但是显示装置700的方式不局限于此。例如,也可以采用作为导电膜772利用使可视光透过的导电膜的透过式彩色液晶显示装置。当采用透过式彩色液晶显示装置时,也可以不设置平坦化绝缘膜770上的凹凸。

[0352] 注意,虽然在图29中未图示,但是也可以分别在导电膜772、774与液晶层776接触的一侧设置取向膜。此外,虽然在图29中未图示,但是也可以适当地设置偏振构件、相位差构件、抗反射构件等光学构件(光学衬底)等。例如,也可以使用利用偏振衬底及相位差衬底的圆偏振。此外,作为光源,也可以使用背光、侧光等。

[0353] 在作为显示元件使用液晶元件的情况下,可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶、铁电液晶、反铁电液晶等。这些液晶材料根据条件呈现出胆甾相、近晶相、立方相、手征向列相、均质相等。

[0354] 此外,在采用横向电场方式的情况下,也可以使用不使用取向膜的呈现蓝相的液晶。蓝相是液晶相的一种,是指当使胆甾型液晶的温度上升时即将从胆甾相转变到均质相之前出现的相。因为蓝相只在较窄的温度范围内出现,所以将其中混合了几wt%以上的手征试剂的液晶组合物用于液晶层,以扩大温度范围。由于包含呈现蓝相的液晶和手征试剂的液晶组成物的响应速度快,并且其具有光学各向同性。由此,包含呈现蓝相的液晶和手征试剂的液晶组成物不需要取向处理。另外,因不需要设置取向膜而不需要摩擦处理,因此可以防止由于摩擦处理而引起的静电破坏,由此可以降低制造工序中的液晶显示装置的不良和破损。此外,呈现蓝相的液晶材料的视角依赖性小。

[0355] 另外,当作为显示元件使用液晶元件时,可以使用:TN(Twisted Nematic:扭曲向列)模式、IPS(In-Plane-Switching:平面内转换)模式、FFS(Fringe Field Switching:边缘电场转换)模式、ASM(Axially Symmetric aligned Micro-cell:轴对称排列微单元)模式、OCB(Optical Compensated Birefringence:光学补偿弯曲)模式、FLC(Ferroelectric Liquid Crystal:铁电性液晶)模式以及AFLC(AntiFerroelectric Liquid Crystal:反铁电性液晶)模式等。

[0356] 另外,也可以使用常黑型液晶显示装置,例如采用垂直取向(VA)模式的透过式液晶显示装置。作为垂直配向模式,可以举出几个例子,例如可以使用MVA(Multi-Domain Vertical Alignment:多畴垂直配向)模式、PVA(Patterned Vertical Alignment:垂直取向构型)模式、ASV(Advanced Super View:高级超视觉)模式等。

[0357] <3-3. 使用发光元件的显示装置>

图30所示的显示装置700包括发光元件782。发光元件782包括导电膜784、EL层786及导电膜788。图30所示的显示装置700通过使发光元件782所包括的EL层786发光,可以显示图像。另外,EL层786具有有机化合物或量子点等无极化合物。

[0358] 作为可用于有机化合物的材料,可以举出荧光性材料或磷光性材料等。另外,可用于量子点的材料,可以举出胶状量子点、合金型量子点、核壳(Core Shell)型量子点、核型量子点等。另外,可以使用包含第12族和第16族、第13族和第15族或者第14族和第16族的元素群的材料。另外,也可以使用包含镉(Cd)、硒(Se)、锌(Zn)、硫(S)、磷(P)、铟(In)、碲(Te)、铅(Pb)、镓(Ga)、砷(As)、铝(Al)等元素的量子点材料。

[0359] 导电膜784连接于晶体管750所具有的作用源电极或漏电极的导电膜。导电膜784被用作形成在平坦化绝缘膜770上的像素电极,即,显示元件的一个电极。作为导电膜784,可以使用对可见光具有透光性的导电膜或对可见光具有反射性的导电膜。作为对可见光具有透光性的导电膜,例如优选使用包含选自铟(In)、锌(Zn)和锡(Sn)中的一种的材料。作为对可见光具有反射性的导电膜,例如优选使用包含铝或银的材料。

[0360] 在图30所示的显示装置700中,在平坦化绝缘膜770及导电膜784上设置有绝缘膜730。绝缘膜730覆盖导电膜784的一部分。发光元件782采用顶部发射结构。因此,导电膜788具有透光性且使EL层786发射的光透过。注意,虽然在本实施方式中例示出顶部发射结构,但是不局限于此。例如,也可以应用于向导电膜784一侧发射光的底部发射结构或向导电膜784一侧及导电膜788一侧的双方发射光的双面发射结构。

[0361] 另外,在与发光元件782重叠的位置上设置有着色膜736,并在与绝缘膜730重叠的位置、引绕布线部711及源极驱动电路部704中设置有遮光膜738。着色膜736及遮光膜738被绝缘膜734覆盖。由密封膜732填充发光元件782与绝缘膜734之间。注意,虽然例示出在图30所示的显示装置700中设置着色膜736的结构,但是并不局限于此。例如,在通过分别涂布来形成EL层786时,也可以采用不设置着色膜736的结构。

[0362] 本实施方式所示的结构可以与其他实施方式或实施例所示的结构适当地组合而使用。

[0363] 实施方式4

在本实施方式中,参照图36对半导体装置的电路结构的一个例子进行说明,在该半导体装置的电路结构中,即使在没有电力供应的情况下也能够保持存储内容,并且对写入次数也没有限制。

[0364] <4-1.电路结构>

图36是说明半导体装置的电路结构的图。在图36中,第一布线(1st Line)与p型晶体管1280a的源电极和漏电极中的一个电连接。另外,p型晶体管1280a的源电极和漏电极中的另一个与n型晶体管1280b的源电极和漏电极中的一个电连接。另外,n型晶体管1280b的源电极和漏电极中的另一个与n型晶体管1280c的源电极和漏电极中的一个电连接。

[0365] 另外,第二布线(2nd Line)与晶体管1282的源电极和漏电极中的一个电连接。另外,晶体管1282的源电极和漏电极中的另一个与电容器1281的一个电极及n型晶体管1280c的栅电极电连接。

[0366] 另外,第三布线(3rd Line)与p型晶体管1280a及n型晶体管1280b的栅电极电连接。第四布线(4th Line)与晶体管1282的栅电极电连接。第五布线(5th Line)与电容器1281的另一个电极及n型晶体管1280c的源电极和漏电极中的另一个电连接。第六布线(6th Line)与p型晶体管1280a的源电极和漏电极中的另一个及n型晶体管1280b的源电极和漏电极中的一个电连接。

[0367] 另外,晶体管1282可以利用氧化物半导体(OS:Oxide Semiconductor)形成。因此,在图36中,对晶体管1282附有“OS”的标记。可以对晶体管1282适用上面实施方式所说明的晶体管。此外,也可以利用氧化物半导体以外的材料形成晶体管1282。

[0368] 另外,在图36中,对晶体管1282的源电极和漏电极中的另一个、电容器1281的一个电极以及n型晶体管1280c的栅电极的连接部分附有浮动节点(FN)。通过使晶体管1282成为关闭状态,可以保持施加到浮动节点、电容器1281的一个电极以及n型晶体管1280c的栅电极的电位。

[0369] 在图36所示的电路结构中,通过有效地利用能够保持n型晶体管1280c的栅电极的电位的特征,可以以如下方式进行数据的写入、保持及读出。

[0370] 〈4-2.数据的写入及保持〉

首先,对数据的写入及保持进行说明。将第四布线的电位设定为使晶体管1282成为开启状态的电位,由此使晶体管1282成为开启状态。由此,第二布线的电位施加到n型晶体管1280c的栅电极及电容器1281。也就是说,对n型晶体管1280c的栅电极施加指定的电荷(写入)。然后,将第四布线的电位设定为使晶体管1282成为关闭状态的电位,由此使晶体管1282成为关闭状态。由此,施加到n型晶体管1280c的栅电极的电荷被保持(保持)。

[0371] 由于晶体管1282的关态电流极小,所以n型晶体管1280c的栅电极的电荷被长时间保持。

[0372] 〈4-3.数据的读出〉

接着,对数据的读出进行说明。当第三布线的电位为低电平电位时,p型晶体管1280a成为开启状态,n型晶体管1280b成为关闭状态。此时,第一布线的电位施加到第六布线。另一方面,当第三布线的电位为高电平电位时,p型晶体管1280a成为关闭状态,n型晶体管1280b成为开启状态。此时,第六布线根据保持在浮动节点(FN)的电荷量而具有不同的电位。因此,可以通过测量第六布线的电位读出所保持的数据(读出)。

[0373] 另外,由于晶体管1282在其沟道形成区域中使用氧化物半导体,所以是关态电流极小的晶体管。由于使用氧化物半导体的晶体管1282的关态电流是由硅半导体等形成的晶体管的关态电流的十万分之一以下,所以可以忽视因晶体管1282的泄漏电流而引起的储存在浮动节点(FN)的电荷的消失。也就是说,使用氧化物半导体的晶体管1282可以实现即使没有电力供应也能够保持数据的非易失性存储电路。

[0374] 另外,通过将使用这样的电路结构的半导体装置用于寄存器或高速缓冲存储器等存储装置,可以防止因电源电压的供应停止而存储装置内的数据消失。另外,可以在电源电压的供应重新开始后,立刻恢复到电源供应停止前的状态。因此,在整个存储装置或构成存储装置的一个或多个逻辑电路中,在待机状态中即使在短时间内也可以停止电源,所以可以抑制功耗。

[0375] 本实施方式所示的结构、方法等可以与其他实施方式或实施例所示的结构、方法等适当地组合而使用。

[0376] 实施方式5

在本实施方式中,参照图37A说明可以用于本发明的一个方式的半导体装置的像素电路结构。

[0377] 〈5-1.像素电路的结构〉

图37A是说明像素电路的结构的图。图37A所示的电路包括光电转换元件1360、晶体管1351、晶体管1352、晶体管1353以及晶体管1354。

[0378] 光电转换元件1360的阳极连接到布线1316,光电转换元件1360的阴极连接到晶体管1351的源电极和漏电极中的一个。晶体管1351的源电极和漏电极中的另一个连接到电荷存储部(FD),晶体管1351的栅电极连接到布线1312(TX)。晶体管1352的源电极和漏电极中的一个连接到布线1314(GND),晶体管1352的源电极和漏电极中的另一个连接到晶体管1354的源电极和漏电极中的一个,晶体管1352的栅电极连接到电荷存储部(FD)。晶体管1353的源电极和漏电极中的一个连接到电荷存储部(FD),晶体管1353的源电极和漏电极中的另一个连接到布线1317,晶体管1353的栅电极连接到布线1311(RS)。晶体管1354的源电极和漏电极中的另一个连接到布线1315(OUT),晶体管1354的栅电极连接到布线1313(SE)。注意,上述连接都是电连接。

[0379] 注意,也可以对布线1314供应GND、VSS、VDD等的电位。在此,电位或电压是相对的。因此,GND不局限于0V。

[0380] 光电转换元件1360是受光元件,具有生成对应于入射到像素电路的光的电流的功能。晶体管1353具有控制电荷从光电转换元件1360到电荷存储部(FD)的供应的功能。晶体管1354具有将对应于电荷存储部(FD)的电位的信号输出的功能。晶体管1352具有将电荷存储部(FD)的电位复位的功能。晶体管1352具有在读出时控制像素电路的选择的功能。

[0381] 注意,电荷存储部(FD)是保持电荷的节点,保持根据光电转换元件1360所受到的光量而变化的电荷。

[0382] 晶体管1352与晶体管1354在布线1315与布线1314之间串联连接即可。因此,既可以按布线1314、晶体管1352、晶体管1354、布线1315的顺序配置,又可以按布线1314、晶体管1354、晶体管1352、布线1315的顺序配置。

[0383] 布线1311(RS)具有控制晶体管1353的信号线的功能。布线1312(TX)具有控制晶体管1351的信号线的功能。布线1313(SE)具有控制晶体管1354的信号线的功能。布线1314(GND)具有供应参考电位(例如,GND)的信号线的功能。布线1315(OUT)具有读出从晶体管1352输出的信号的信号线的功能。布线1316具有将电荷从电荷存储部(FD)经由光电转换元件1360输出的信号线的功能,在图37A的电路中为低电位线。布线1317是将电荷存储部(FD)的电位复位的信号线,在图37A的电路中为高电位线。

[0384] 接着,对图37A所示的各元件的结构进行说明。

[0385] <5-2. 光电转换元件>

光电转换元件1360可以使用包含硒或含有硒的化合物(以下,称为硒类材料)的元件或者包含硅的元件(例如,形成有pin结的元件)。另外,通过将使用氧化物半导体的晶体管与使用硒类材料的光电转换元件组合,可以提高可靠性,所以是优选的。

[0386] <5-3. 晶体管>

晶体管1351、晶体管1352、晶体管1353及晶体管1354虽然可以为使用非晶硅、微晶硅、多晶硅、单晶硅等硅半导体形成的晶体管,但是优选为使用氧化物半导体形成的晶体管。由氧化物半导体形成沟道形成区域的晶体管具有关态电流极低的特性。此外,作为由氧化物半导体形成沟道形成区域的晶体管,可以使用实施方式1所示的晶体管。

[0387] 尤其是,在电连接到电荷存储部(FD)的晶体管1351及晶体管1353的泄漏电流大的

情况下,不能在足够的时间内保持储存在电荷存储部(FD)中的电荷。因此,通过将使用氧化物半导体的晶体管至少用于该两个晶体管,可以防止电荷不必要地从电荷存储部(FD)流出。

[0388] 此外,在晶体管1352及晶体管1354的泄漏电流大的情况下,电荷也不必要地输出到布线1314或布线1315,因此,作为这些晶体管,优选使用由氧化物半导体形成沟道形成区域的晶体管。

[0389] 此外,在图37A中,虽然示出包括一个栅电极的晶体管,但是不局限于此。例如,晶体管也可以包括多个栅电极。作为包括多个栅电极的晶体管,例如可以具有包括与形成沟道形成区域的半导体膜重叠的第一栅电极及第二栅电极(也称为背栅极)的结构。例如,可以对背栅极供应与第一栅电极相同的电位、浮动电位或与第一栅电极不同的电位。

[0390] <5-4. 电路工作的时序图>

接着,参照图37B所示的时序图对图37A所示的电路的电路工作的一个例子进行说明。

[0391] 为了简化起见,在图37B中,对各布线供应二值信号。注意,因为该信号是模拟信号,因此实际上该信号的电位根据情况有可能具有各种各样的值,而不局限于两个值。另外,图37B所示的信号1401相当于布线1311(RS)的电位,信号1402相当于布线1312(TX)的电位,信号1403相当于布线1313(SE)的电位,信号1404相当于电荷存储部(FD)的电位,信号1405相当于布线1315(OUT)的电位。注意,布线1316的电位一直是“Low”,布线1317的电位一直是“High”。

[0392] 在时刻A,将布线1311的电位(信号1401)设定为“High”,将布线1312的电位(信号1402)设定为“High”,由此将电荷存储部(FD)的电位(信号1404)初始化为布线1317的电位(“High”),开始复位工作。注意,将布线1315的电位(信号1405)预充电至“High”。

[0393] 在时刻B,将布线1311的电位(信号1401)设定为“Low”,由此结束复位工作,开始积蓄工作。在此,反向偏压施加到光电转换元件1360,因此产生反向电流,电荷存储部(FD)的电位(信号1404)开始下降。反向电流在光照射到光电转换元件1360时增大,因此电荷存储部(FD)的电位(信号1404)的下降速度根据被照射的光量而变化。换言之,晶体管1354的源极与漏极之间的沟道电阻根据照射到光电转换元件1360的光量而变化。

[0394] 在时刻C,将布线1312的电位(信号1402)设定为“Low”,由此结束积蓄工作,电荷存储部(FD)的电位(信号1404)被固定。此时的该电位取决于在积蓄工作中由光电转换元件1360所生成的电荷的量。换言之,该电位根据照射到光电转换元件1360的光量而不同。另外,晶体管1351及晶体管1353为由氧化物半导体形成沟道形成区域的关态电流极低的晶体管,因此直到后面的选择工作(读出工作)为止能够将电荷存储部(FD)的电位保持为恒定。

[0395] 注意,在将布线1312的电位(信号1402)设定为“Low”时,有时由于布线1312与电荷存储部(FD)之间的寄生电容,电荷存储部(FD)的电位发生变化。在该电位的变化量较大的情况下,不能准确地取得在积蓄工作中由光电转换元件1360生成的电荷的量。为了降低该电位的变化量而有效的是降低晶体管1351的栅电极与源电极(或栅电极与漏电极)之间的电容、增大晶体管1352的栅极电容、在电荷存储部(FD)中设置存储电容器等。注意,在本实施方式中,通过实施上述对策,可以不考虑该电位的变化。

[0396] 在时刻D,将布线1313的电位(信号1403)设定为“High”,由此使晶体管1354处于导通状态而开始选择工作,布线1314与布线1315通过晶体管1352及晶体管1354导通。于是,布

线1315的电位(信号1405)开始下降。布线1315的预充电在开始时刻D之前结束即可。在此,布线1315的电位(信号1405)的下降速度依赖于晶体管1352的源电极与漏电极之间的电流。换言之,布线1315的电位(信号1405)根据在积蓄工作中照射到光电转换元件1360的光量而变化。

[0397] 在时刻E,将布线1313的电位(信号1403)设定为“Low”,由此使晶体管1354处于关闭状态而结束选择工作,布线1315的电位(信号1405)被固定。此时的电位根据照射到光电转换元件1360的光量而不同。因此,通过取得布线1315的电位,可以得知在积蓄工作中照射到光电转换元件1360的光量。

[0398] 更具体地说,在照射到光电转换元件1360的光量较大时,电荷存储部(FD)的电位(即晶体管1352的栅极电压)较低。因此,流过晶体管1352的源电极与漏电极之间的电流减少,布线1315的电位(信号1405)缓慢下降。因此,从布线1315读出的电位比较高。

[0399] 反之,在照射到光电转换元件1360的光量较小时,电荷存储部(FD)的电位(即晶体管1352的栅极电压)较高。因此,流过晶体管1352的源电极与漏电极之间的电流增加,布线1315的电位(信号1405)迅速下降。因此,从布线1315读出的电位比较低。

[0400] 本实施方式所示的结构可以与其他实施方式或实施例所示的结构适当地组合而使用。

[0401] 实施方式6

在本实施方式中,参照图38A至图38C说明具有本发明的一个方式的半导体装置的显示装置。

[0402] <6.显示装置的电路结构>

图38A所示的显示装置包括:具有显示元件的像素的区域(以下称为像素部502);配置在像素部502外侧并具有用来驱动像素的电路的电路部(以下称为驱动电路部504);具有保护元件的功能的电路(以下称为保护电路506);以及端子部507。此外,也可以采用不设置保护电路506的结构。

[0403] 驱动电路部504的一部分或全部优选形成在与像素部502同一的衬底上。由此,可以减少构件的数量或端子的数量。当驱动电路部504的一部分或全部不形成在与像素部502相同的衬底上时,可以通过COG或TAB(Tape Automated Bonding:卷带自动结合)安装驱动电路部504的一部分或全部。

[0404] 像素部502包括用来驱动配置为X行(X为2以上的自然数)Y列(Y为2以上的自然数)的多个显示元件的电路(以下称为像素电路501),驱动电路部504包括输出选择像素的信号(扫描信号)的电路(以下称为栅极驱动器504a)、用来供应用来驱动像素的显示元件的信号(数据信号)的电路(以下称为源极驱动器504b)等的驱动电路。

[0405] 栅极驱动器504a具有移位寄存器等。栅极驱动器504a通过端子部507被输入用来驱动移位寄存器的信号并将该信号输出。例如,栅极驱动器504a被输入起始脉冲信号、时钟信号等并输出脉冲信号。栅极驱动器504a具有控制被供应扫描信号的布线(以下称为扫描线GL₁至GL_X。)的电位的功能。另外,也可以设置多个栅极驱动器504a,并通过多个栅极驱动器504a分别控制扫描线GL₁至GL_X。或者,栅极驱动器504a具有能够供应初始化信号的功能。但是,不局限于此,栅极驱动器504a可以供应其他信号。

[0406] 源极驱动器504b具有移位寄存器等。除了用来驱动移位寄存器的信号之外,作为

数据信号的基础的信号(图像信号)也通过端子部507被输入到源极驱动器504b。源极驱动器504b具有以图像信号为基础生成写入到像素电路501的数据信号的功能。另外,源极驱动器504b具有依照输入起始脉冲信号、时钟信号等而得到的脉冲信号来控制数据信号的输出的功能。另外,源极驱动器504b具有控制被供应数据信号的布线(以下称为数据线DL₁至DL_Y)的电位的功能。或者,源极驱动器504b具有能够供应初始化信号的功能。但是,不局限于此,源极驱动器504b也可以供应其他信号。

[0407] 源极驱动器504b例如使用多个模拟开关等来构成。通过依次使多个模拟开关成为导通状态,源极驱动器504b可以输出对图像信号进行时间分割而成的信号作为数据信号。此外,也可以使用移位寄存器等构成源极驱动器504b。

[0408] 多个像素电路501的每一个分别通过被供应扫描信号的多个扫描线GL之一而被输入脉冲信号,并通过被供应数据信号的多个数据线DL之一而被输入数据信号。另外,多个像素电路501的每一个通过栅极驱动器504a来控制数据信号的数据的写入及保持。例如,通过扫描线GL_m(m是X以下的自然数)从栅极驱动器504a对第m行第n列的像素电路501输入脉冲信号,并根据扫描线GL_m的电位而通过数据线DL_n(n是Y以下的自然数)从源极驱动器504b对第m行第n列的像素电路501输入数据信号。

[0409] 图38A所示的保护电路506例如与作为栅极驱动器504a和像素电路501之间的布线的扫描线GL连接。或者,保护电路506与作为源极驱动器504b和像素电路501之间的布线的数据线DL连接。或者,保护电路506可以与栅极驱动器504a和端子部507之间的布线连接。或者,保护电路506可以与源极驱动器504b和端子部507之间的布线连接。此外,端子部507是指设置有用来从外部的电路对显示装置输入电源、控制信号及图像信号的端子的部分。

[0410] 保护电路506是在自身所连接的布线被供应一定范围之外的电位时使该布线和和其他布线导通的电路。

[0411] 如图38A所示,通过对各像素部502和驱动电路部504设置保护电路506,可以提高显示装置对因ESD(Electro Static Discharge:静电放电)等而产生的过电流的电阻。但是,保护电路506的结构不局限于此,例如,也可以采用将栅极驱动器504a与保护电路506连接的结构或将源极驱动器504b与保护电路506连接的结构。或者,也可以采用将端子部507与保护电路506连接的结构。

[0412] 另外,虽然在图38A中示出由栅极驱动器504a和源极驱动器504b形成驱动电路部504的例子,但是不局限于此结构。例如,也可以采用只形成栅极驱动器504a并安装另外准备的形成有源极驱动电路的衬底(例如,使用单晶半导体膜、多晶半导体膜形成的驱动电路衬底)的结构。

[0413] 此外,图38A所示的多个像素电路501例如可以采用图38B所示的结构。

[0414] 图38B所示的像素电路501包括液晶元件570、晶体管550以及电容器560。作为晶体管550,可以应用上述实施方式所示的晶体管。

[0415] 根据像素电路501的规格适当地设定液晶元件570的一对电极中的一个的电位。根据被写入的数据设定液晶元件570的取向状态。此外,也可以对多个像素电路501的每一个所具有的液晶元件570的一对电极中的一个供应公共电位。此外,也可以对各行的像素电路501的每一个所具有的液晶元件570的一对电极中的一个供应不同电位。

[0416] 例如,作为具备液晶元件570的显示装置的驱动方法也可以使用如下模式:TN模

式;STN模式;VA模式;ASM(Axially Symmetric Aligned Micro-cell:轴对称排列微单元)模式;OCB(Optically Compensated Birefringence:光学补偿弯曲)模式;FLC(Ferroelectric Liquid Crystal:铁电性液晶)模式;AFLC(AntiFerroelectric Liquid Crystal:反铁电液晶)模式;MVA模式;PVA(Patterned Vertical Alignment:垂直取向构型)模式;IPS模式;FFS模式;或TBA(Transverse Bend Alignment:横向弯曲取向)模式等。另外,作为显示装置的驱动方法,除了上述驱动方法之外,还有ECB(Electrically Controlled Birefringence:电控双折射)模式、PDLC(Polymer Dispersed Liquid Crystal:聚合物分散型液晶)模式、PNLC(Polymer Network Liquid Crystal:聚合物网络型液晶)模式、宾主模式等。但是,不局限于此,作为液晶元件及其驱动方式可以使用各种液晶元件及驱动方式。

[0417] 在第m行第n列的像素电路501中,晶体管550的源电极和漏电极中的一个与数据线DL_n电连接,源极和漏极中的另一个与液晶元件570的一对电极中的另一个电连接。此外,晶体管550的栅电极与扫描线GL_m电连接。晶体管550具有通过成为导通状态或关闭状态而对数据信号的数据的写入进行控制的功能。

[0418] 电容器560的一对电极中的一个与被供应电位的布线(以下,称为电位供应线VL)电连接,另一个与液晶元件570的一对电极中的另一个电连接。此外,根据像素电路501的规格适当地设定电位供应线VL的电位的值。电容器560具有储存被写入的数据的存储电容器的功能。

[0419] 例如,在具有图38B的像素电路501的显示装置中,例如,通过图38A所示的栅极驱动器504a依次选择各行的像素电路501,并使晶体管550成为导通状态而写入数据信号的数据。

[0420] 当晶体管550成为关闭状态时,被写入数据的像素电路501成为保持状态。通过按行依次进行上述步骤,可以显示图像。

[0421] 图38A所示的多个像素电路501例如可以采用图38C所示的结构。

[0422] 另外,图38C所示的像素电路501包括晶体管552及554、电容器562以及发光元件572。可以将上述实施方式所示的晶体管应用于晶体管552和晶体管554中的一个或两个。

[0423] 晶体管552的源电极和漏电极中的一个电连接于被供应数据信号的布线(以下,称为数据线DL_n)。并且,晶体管552的栅电极电连接于被供应栅极信号的布线(以下,称为扫描线GL_m)。

[0424] 晶体管552具有通过成为开启状态或关闭状态而对数据信号的写入进行控制的功能。

[0425] 电容器562的一对电极中的一个与被供应电位的布线(以下,称为电位供应线VL_a)电连接,另一个与晶体管552的源电极和漏电极中的另一个电连接。

[0426] 电容器562具有储存被写入的数据的存储电容器的功能。

[0427] 晶体管554的源电极和漏电极中的一个与电位供应线VL_a电连接。并且,晶体管554的栅电极与晶体管552的源电极和漏电极中的另一个电连接。

[0428] 发光元件572的阳极和阴极中的一个与电位供应线VL_b电连接,另一个与晶体管554的源电极和漏电极中的另一个电连接。

[0429] 作为发光元件572,可以使用例如有机电致发光元件(也称为有机EL元件)等。注

意,发光元件572并不局限于有机EL元件,也可以为由无机材料构成的无机EL元件。

[0430] 此外,高电源电位VDD施加到电位供应线VL_a和电位供应线VL_b中的一个,低电源电位VSS施加到另一个。

[0431] 例如,在具有图38C的像素电路501的显示装置中,例如,通过图38A所示的栅极驱动器504a依次选择各行的像素电路501,并使晶体管552成为导通状态而写入数据信号的数据。

[0432] 当晶体管552成为关闭状态时,被写入数据的像素电路501成为保持状态。并且,流在晶体管554的源电极与漏电极之间的电流量根据被写入的数据信号的电位被控制,发光元件572以对应于流动的电流量的亮度发光。通过按行依次进行上述步骤,可以显示图像。

[0433] 本实施方式所示的结构可以与其他实施方式或实施例所示的结构适当地组合而使用。

[0434] 实施方式7

在本实施方式中,使用图39A至图42B对可适用上面实施方式所说明的晶体管的电路结构的一个例子进行说明。

[0435] 注意,在本实施方式中,下面将上面实施方式所说明的包括氧化物半导体的晶体管称为0S晶体管而进行说明。

[0436] <7.反相器的电路结构实例>

图39A示出可适用于驱动电路所包括的移位寄存器及缓冲器等的反相器的电路图。反相器800将供应到输入端子IN的信号的逻辑反转而成的信号输出到输出端子OUT。反相器800包括多个0S晶体管。信号S_{BG}是能够切换0S晶体管的电特性的信号。

[0437] 图39B是反相器800的一个例子。反相器800包括0S晶体管810及0S晶体管820。通过只使用n沟道型晶体管可以形成反相器800,因此与使用CMOS(Complementary Metal Oxide Semiconductor:互补金属氧化物半导体)形成反相器(CMOS反相器)的情况相比,可以以更低成本形成反相器。

[0438] 另外,包括0S晶体管的反相器800也可以配置在包括Si晶体管的CMOS上。通过将反相器800与CMOS电路重叠,可以抑制追加反相器800时被要求的电路面积的增加。

[0439] 0S晶体管810、820包括用作前栅极的第一栅极、用作背栅极的第二栅极、用作源极和漏极中的一个的第一端子以及用作源极和漏极中的另一个的第二端子。

[0440] 0S晶体管810的第一栅极与0S晶体管810的第二端子连接。0S晶体管810的第二栅极与供应信号S_{BG}的布线连接。0S晶体管810的第一端子与供应电压VDD的布线连接。0S晶体管810的第二端子与输出端子OUT连接。

[0441] 0S晶体管820的第一栅极与输入端子IN连接。0S晶体管820的第二栅极与输入端子IN连接。0S晶体管820的第一端子与输出端子OUT连接。0S晶体管820的第二端子与供应电压VSS的布线连接。

[0442] 图39C是说明反相器800的工作的时序图。在图39C的时序图中,示出输入端子IN的信号波形、输出端子OUT的信号波形、信号S_{BG}的信号波形以及0S晶体管810的阈值电压的变化。

[0443] 通过将信号S_{BG}供应至0S晶体管810的第二栅极,可以控制0S晶体管810的阈值电压。

[0444] 信号 S_{BG} 具有使阈值电压向负方向漂移的电压 V_{BG_A} 以及使阈值电压向正方向漂移的电压 V_{BG_B} 。通过对第二栅极供应电压 V_{BG_A} ，可以使OS晶体管810的阈值电压向负方向漂移到阈值电压 V_{TH_A} 。另外，通过对第二栅极供应电压 V_{BG_B} ，可以使OS晶体管810的阈值电压向正方向漂移到阈值电压 V_{TH_B} 。

[0445] 为了使上述说明可视化，图40A示出晶体管的电特性之一的 I_d - V_g 曲线。

[0446] 通过对第二栅极施加电压 V_{BG_A} 那样大的电压，可以使上述OS晶体管810的电特性漂移至描画图40A中的虚线840所示的曲线。通过对第二栅极施加电压 V_{BG_B} 那样小的电压，可以使上述OS晶体管810的电特性漂移至描画图40A中的实线841所示的曲线。如图40A所示，通过将信号 S_{BG} 切换为电压 V_{BG_A} 或电压 V_{BG_B} ，可以使OS晶体管810的阈值电压向正方向或负方向漂移。

[0447] 通过使阈值电压向正方向漂移到阈值电压 V_{TH_B} ，可以使OS晶体管810成为电流不容易流过的状态。图40B是使该状态可见的图。

[0448] 如图40B所示，可以使流过OS晶体管810的电流 I_B 极小。因此，当输入到输入端子IN的信号为高电平且OS晶体管820为导通状态(ON)时，可以使输出端子OUT的电压急剧下降。

[0449] 如图40B所示，由于可以使OS晶体管810成为电流不容易流过的状态，因此可以使图39C所示的时序图的输出端子的信号波形831急剧变化。由于可以减少流过供应电压VDD的布线与供应电压VSS的布线之间的贯通电流，因此可以以低功耗进行工作。

[0450] 通过使阈值电压向负方向漂移到阈值电压 V_{TH_A} ，可以使OS晶体管810成为电流不容易流过的状态。图40C是使该状态可见的图。如图40C所示，可以使此时流过的电流 I_A 至少比电流 I_B 大。因此，当输入到输入端子IN的信号为低电平且OS晶体管820为关闭状态(OFF)时，可以使输出端子OUT的电压急剧上升。如图40C所示，由于可以使OS晶体管810成为电流不容易流过的状态，因此可以使图39C所示的时序图的输出端子的信号波形832急剧变化。

[0451] 另外，通过信号 S_{BG} 对OS晶体管810的阈值电压进行的控制优选在切换OS晶体管820的状态之前，即，时刻T1或T2之前进行。例如，如图39C所示，优选在供应到输入端子IN的信号切换为高电平的时刻T1之前将OS晶体管810的阈值电压从阈值电压 V_{TH_A} 切换至阈值电压 V_{TH_B} 。另外，如图39C所示，优选在供应到输入端子IN的信号切换为低电平的时刻T2之前，将OS晶体管810的阈值电压从阈值电压 V_{TH_B} 切换至阈值电压 V_{TH_A} 。

[0452] 在图39C的时序图中，示出根据供应到输入端子IN的信号切换信号 S_{BG} 的结构，但是也可以采用其他结构。例如，可以将用来控制阈值电压的电压储存于浮动状态的OS晶体管810的第二栅极。图41A示出可以实现上述结构的电路结构的一个例子。

[0453] 除了图39B所示的电路结构以外，图41A还包括OS晶体管850。OS晶体管850的第一端子与OS晶体管810的第二栅极连接。另外，OS晶体管850的第二端子与供应电压 V_{BG_B} (或者电压 V_{BG_A})的布线连接。OS晶体管850的第一栅极与供应信号 S_F 的布线连接。OS晶体管850的第二栅极与供应电压 V_{BG_B} (或者电压 V_{BG_A})的布线连接。

[0454] 使用图41B的时序图对图41A所示的电路结构的工作进行说明。

[0455] 用来控制OS晶体管810的阈值电压的电压在供应到输入端子IN的信号切换为高电平的时刻T3之前被供应到OS晶体管810的第二栅极。使信号 S_F 成为高电平且使OS晶体管850成为导通状态，来对节点 N_{BG} 供应用来控制阈值电压的电压 V_{BG_B} 。

[0456] 在节点 N_{BG} 成为电压 V_{BG_B} 之后，使OS晶体管850成为关闭状态。OS晶体管850具有极

小的关态电流,因此通过保持为关闭状态,可以保持暂时保持在节点 N_{BG} 的电压 V_{BG_B} 。由此,对OS晶体管850的第二栅极供应电压 V_{BG_B} 的工作次数减少,因此可以减少电压 V_{BG_B} 的改写所需要的耗电量。

[0457] 图39B及图41A的电路结构示出通过外部控制对OS晶体管810的第二栅极供应电压的结构,但是也可以采用其他结构。例如,用来控制阈值电压的电压也可以基于供应到输入端子IN的信号而生成来供应到OS晶体管810的第二栅极。图42A示出可以实现上述结构的电路结构的一个例子。

[0458] 在图42A中,除了图39B所示的电路结构以外,还在输入端子IN与OS晶体管810的第二栅极之间包括CMOS反相器860。CMOS反相器860的输入端子与输入端子IN连接。CMOS反相器860的输出端子与OS晶体管810的第二栅极连接。

[0459] 使用图42B的时序图对图42A所示的电路结构的工作进行说明。在图42B的时序图中,示出输入端子IN的信号波形、输出端子OUT的信号波形、CMOS反相器860的输出波形IN_B以及OS晶体管810的阈值电压的变化。

[0460] 使供应到输入端子IN的信号的逻辑反转而成的信号的输出波形IN_B可以被用作控制OS晶体管810的阈值电压的信号。由此,如图40A至图40C所示那样,可以控制OS晶体管810的阈值电压。例如,在图42B所示的时刻T4,供应到输入端子IN的信号为高电平而使OS晶体管820成为导通状态。此时,输出波形IN_B成为低电平。由此,可以使OS晶体管810成为电流不容易流过的状态,因此可以急剧降低输出端子OUT的电压。

[0461] 另外,在图42B所示的时刻T5,供应到输入端子IN的信号为低电平而使OS晶体管820成为关闭状态。此时,输出波形IN_B成为高电平。由此,可以使OS晶体管810成为电流容易流过的状态,因此可以急剧上升输出端子OUT的电压。

[0462] 如上面说明那样,在本实施方式的结构中,根据输入端子IN的信号的逻辑,切换包括OS晶体管的反相器的背栅极的电压。通过采用上述结构,可以控制OS晶体管的阈值电压。通过与供应到输入端子IN的信号对应地控制OS晶体管的阈值电压,可以使输出端子OUT的电压急剧变化。另外,可以减小供应电源电压的布线之间的贯通电流。由此,可以实现低功耗化。

[0463] 本实施方式所示的结构可以与其他实施方式或实施例所示的结构适当地组合而使用。

[0464] 实施方式8

在本实施方式中,参照图43A至图49B说明如下半导体装置的例子:将上述实施方式中说明的具有氧化物半导体的晶体管(OS晶体管)用于多个电路的半导体装置。

[0465] <8. 半导体装置的电路结构实例>

图43A是半导体装置900的框图。半导体装置900包括电源电路901、电路902、电压产生电路903、电路904、电压产生电路905及电路906。

[0466] 电源电路901是生成成为基准的电压 V_{ORG} 的电路。电压 V_{ORG} 也可以为多个电压,而不需要为单一电压。电压 V_{ORG} 可以基于从半导体装置900的外部供应的电压 V 而产生。半导体装置900可以基于从外部供应的单一电源电压而产生电压 V_{ORG} 。由此,半导体装置900可以在从外部没有供应多个电源电压的情况下工作。

[0467] 电路902、电路904及电路906是使用不同的电源电压工作的电路。例如,电路902的

电源电压是基于电压 V_{ORG} 及电压 V_{SS} ($V_{ORG} > V_{SS}$) 的电压。另外,例如,电路904的电源电压是基于电压 V_{POG} 及电压 V_{SS} ($V_{POG} > V_{ORG}$) 的电压。另外,例如,电路906的电源电压是基于电压 V_{ORG} 、电压 V_{SS} 及电压 V_{NEG} ($V_{ORG} > V_{SS} > V_{NEG}$) 的电压。此外,当将电压 V_{SS} 设定为与地电位(GND)相等的电位时,可以减少电源电路901所产生的电压的种类。

[0468] 电压产生电路903是产生电压 V_{POG} 的电路。电压产生电路903可以基于从电源电路901供应的电压 V_{ORG} 产生电压 V_{POG} 。由此,包括电路904的半导体装置900可以基于从外部供应的单一电源电压工作。

[0469] 电压产生电路905是产生电压 V_{NEG} 的电路。电压产生电路905可以基于从电源电路901供应的电压 V_{ORG} 生成电压 V_{NEG} 。由此,包括电路906的半导体装置900可以基于从外部供应的单一电源电压工作。

[0470] 图43B示出以电压 V_{POG} 工作的电路904的一个例子,图43C示出用来使电路904工作的信号波形的一个例子。

[0471] 图43B示出晶体管911。供应到晶体管911的栅极的信号例如基于电压 V_{POG} 及电压 V_{SS} 产生。该信号在使晶体管911成为导通状态时基于电压 V_{POG} 产生;在使晶体管911成为非导通状态时基于电压 V_{SS} 产生。如图43C所示,电压 V_{POG} 比电压 V_{ORG} 高。由此,晶体管911可以确实地使源极(S)和漏极(D)电连接。其结果是,电路904可以实现错误工作的减少。

[0472] 图43D示出以电压 V_{NEG} 工作的电路906的一个例子,图43E示出用来使电路906工作的信号波形的一个例子。

[0473] 图43D示出包括背栅极的晶体管912。供应到晶体管912的栅极的信号例如基于电压 V_{ORG} 及电压 V_{SS} 产生。该信号在使晶体管912成为导通状态时基于电压 V_{ORG} 产生;在使晶体管912成为非导通状态时基于电压 V_{SS} 产生。另外,供应到晶体管912的背栅极的信号基于电压 V_{NEG} 产生。如图43E所示,电压 V_{NEG} 比电压 V_{SS} (GND)低。由此,可以以使晶体管912的阈值电压向正方向漂移的方式进行控制。由此,可以确实地使晶体管912成为非导通状态,从而可以使流过源极(S)和漏极(D)之间的电流小。其结果是,电路906可以实现错误工作的减少及低功耗化。

[0474] 另外,既可以将电压 V_{NEG} 直接施加到晶体管912的背栅极,又可以基于电压 V_{ORG} 及电压 V_{NEG} 产生供应到晶体管912的栅极的信号并将该信号供应到晶体管912的背栅极。

[0475] 图44A和图44B示出图43D及图43E的变形例。

[0476] 在图44A所示的电路图中,示出电压产生电路905与电路906之间能够由控制电路921控制其导通状态的晶体管922。晶体管922为n沟道型0S晶体管。控制电路921所输出的控制信号 S_{BG} 为控制晶体管922的导通状态的信号。另外,电路906所包括的晶体管912A、晶体管912B与晶体管922同样。

[0477] 在图44B的时序图中,示出控制信号 S_{BG} 及节点 N_{BG} 电位变化,节点 N_{BG} 表示晶体管912A、晶体管912B的背栅极的电位状态。当控制信号 S_{BG} 为高电平时,晶体管922成为导通状态,并且节点 N_{BG} 成为电压 V_{NEG} 。然后,当控制信号 S_{BG} 为低电平时,节点 N_{BG} 成为电浮动状态。晶体管922为0S晶体管,因此其关态电流小。由此,即使节点 N_{BG} 成为电浮动状态,也可以保持供应了的电压 V_{NEG} 。

[0478] 图45A示出可适用于上述电压产生电路903的电路结构的一个例子。图45A所示的电压产生电路903是五级电荷泵,其中包括二极管D1至二极管D5、电容器C1至电容器C5以及

反相器INV。时钟信号CLK直接或者通过反相器INV被供应到电容器C1至电容器C5。当反相器INV的电源电压为基于电压 V_{ORG} 及电压 V_{SS} 施加的电压时,可以得到通过时钟信号CLK升压到电压 V_{ORG} 的五倍的正电压的电压 V_{POG} 。另外,二极管D1至二极管D5的顺方向电压为0V。此外,通过改变电荷泵的级数,可以获得所希望的电压 V_{POG} 。

[0479] 图45B示出可适用于上述电压产生电路905的电路结构的一个例子。图45B所示的电压产生电路905是四级电荷泵,其中包括二极管D1至二极管D5、电容器C1至电容器C5以及反相器INV。时钟信号CLK直接或者通过反相器INV被供应到电容器C1至电容器C5。当反相器INV的电源电压为基于电压 V_{ORG} 及电压 V_{SS} 施加的电压时,可以得到通过时钟信号CLK从地电位(即,电压 V_{SS})降压到电压 V_{ORG} 的四倍的负电压的电压 V_{NEG} 。另外,二极管D1至二极管D5的顺方向电压为0V。此外,通过改变电荷泵的级数,可以获得所希望的电压 V_{NEG} 。

[0480] 另外,上述电压产生电路903的电路结构不局限于图45A所示的电路图的结构。图46A至图46C及图47A和图47B示出电压产生电路903的变形例。

[0481] 图46A所示的电压产生电路903A包括晶体管M1至晶体管M10、电容器C11至电容器C14以及反相器INV1。时钟信号CLK直接或者通过反相器INV1被供应到晶体管M1至晶体管M10的栅极。通过供应时钟信号CLK,可以获得升压到电压 V_{ORG} 的四倍的正电压的电压 V_{POG} 。此外,通过改变电荷泵的级数,可以获得所希望的电压 V_{POG} 。在图46A所示的电压产生电路903A中,通过使用0S晶体管作为晶体管M1至晶体管M10,可以使关态电流小,并可以抑制在电容器C11至电容器C14中保持的电荷的泄漏。由此,可以高效地从电压 V_{ORG} 升压到电压 V_{POG} 。

[0482] 图46B所示的电压产生电路903B包括晶体管M11至晶体管M14、电容器C15及电容器C16以及反相器INV2。时钟信号CLK直接或者通过反相器INV2被供应到晶体管M11至晶体管M14的栅极。通过供应时钟信号CLK,可以获得升压到电压 V_{ORG} 的两倍的正电压的电压 V_{POG} 。在图46B所示的电压产生电路903B中,通过使用0S晶体管作为晶体管M11至晶体管M14,可以使关态电流小,并可以抑制在电容器C15及电容器C16中保持的电荷的泄漏。由此,可以高效地从电压 V_{ORG} 升压到电压 V_{POG} 。

[0483] 图46C所示的电压产生电路903C包括电感器I1、晶体管M15、二极管D6以及电容器C17。由控制信号EN控制晶体管M15的导通状态。通过使用控制信号EN,可以获得从电压 V_{ORG} 升压的电压 V_{POG} 。在图46C所示的电压产生电路903C中,通过使用电感器I1进行升压,可以高效地进行升压。

[0484] 图47A所示的电压产生电路903D相当于使用二极管连接的晶体管M16至晶体管M20代替图45A所示的电压产生电路903的二极管D1至二极管D5的结构。在图47A所示的电压产生电路903D中,当作为晶体管M16至晶体管M20使用0S晶体管时,可以使关态电流小,并可以抑制在电容器C1至电容器C5中保持的电荷的泄漏。由此,可以实现高效地从电压 V_{ORG} 升压到电压 V_{POG} 。

[0485] 图47B所示的电压产生电路903E相当于使用包括背栅极的晶体管M21至晶体管M25代替图47A所示的电压产生电路903D的晶体管M16至晶体管M20的结构。在图47B所示的电压产生电路903E中可以对背栅极施加与栅极相同的电压,因此可以增加流过晶体管的电流。由此,可以实现高效地从电压 V_{ORG} 升压到电压 V_{POG} 。

[0486] 另外,电压产生电路903的变形例也可以适用于图45B所示的电压产生电路905。图48A至图48C以及图49A和图49B示出上述情况下的电路图的结构。在图48A所示的电压产生

电路905A中,通过供应时钟信号CLK,可以获得从电压 V_{SS} 降压到电压 V_{ORG} 的三倍的负电压的电压 V_{NEG} 。另外,在图48B所示的电压产生电路905B中,通过供应时钟信号CLK,可以获得从电压 V_{SS} 降压到电压 V_{ORG} 的两倍的负电压的电压 V_{NEG} 。

[0487] 除了施加到各布线的电压及元件的布置的结构以外,图48A至图48C以及图49A和图49B所示的电压产生电路905A至电压产生电路905E与在图46A至图46C以及图47A和图47B所示的电压产生电路903A至电压产生电路903E相同。图48A至图48C以及图49A和图49B所示的电压产生电路905A至电压产生电路905E可以与电压产生电路903A至电压产生电路903E同样地高效地从电压 V_{SS} 降压到电压 V_{NEG} 。

[0488] 如上所述,在本实施方式的结构中,可以在其内部产生半导体装置中包括的电路所需要的电压。由此,在半导体装置中,可以减少从外部施加的电源电压的种类。

[0489] 本实施方式所示的结构等可以与其他实施方式或实施例所示的结构适当地组合而使用。

[0490] 实施方式9

在本实施方式中,参照图50A和图50B对本发明的一个方式的输入输出装置进行说明。

[0491] <9. 输出输入装置的结构实例>

本发明的一个方式的输入输出装置是一种In-Cell型触摸屏,该In-Cell型触摸屏具有显示图像的功能和触摸传感器的功能。

[0492] 对本发明的一个方式的输入输出装置所包括的显示元件没有特别的限制。另外,也可以将各种元件诸如液晶元件、利用MEMS(Micro Electro Mechanical System:微电子机械系统)的光学元件、有机EL(Electro Luminescence:电致发光)元件、发光二极管(LED:Light Emitting Diode)等发光元件、电泳元件等用作显示元件。

[0493] 在本实施方式中,以使用横向电场方式的液晶元件的透过式液晶显示装置为例进行说明。

[0494] 对本发明的一个方式的输入输出装置所包括的感测元件(也称为传感器元件)没有特别的限制。还可以将能够感测出手指、触屏笔等感测对象的接近或接触的各种传感器用作感测元件。

[0495] 例如,作为传感器的方式,可以利用静电电容式、电阻膜式、表面声波式、红外线式、光学式、压敏式等各种方式。

[0496] 在本实施方式中,以包括静电电容式的感测元件的输入输出装置为例进行说明。

[0497] 作为静电电容式,有表面型静电电容式、投影型静电电容式等。另外,作为投影型静电电容式,有自电容式、互电容式等。当使用互电容式时,可以同时进行多点感测,所以是优选的。

[0498] 作为In-Cell型触摸面板,典型地有Hybrid-In-Cell型和Full-In-Cell型。Hybrid-In-Cell型是指对支撑显示元件的衬底及对置衬底或者只对对置衬底设置有构成感测元件的电极等的结构。另一方面,Full-In-Cell型是指只对支撑显示元件的衬底设置有构成感测元件的电极等的结构。本发明的一个方式的输入输出装置是Full-In-Cell型触摸面板。通过采用Full-In-Cell型触摸面板,可以简化对置衬底的结构,所以是优选的。

[0499] 在本发明的一个方式的输入输出装置中,构成显示元件的电极兼用作构成感测元件的电极,因此可以简化制造工序,并且可以降低制造成本,所以是优选的。

[0500] 通过采用本发明的一个方式,与贴合分别制造的显示面板与感测元件的结构、在对置衬底一侧制造感测元件的结构相比,可以实现输入输出装置的薄型化或轻量化,或者可以减少输入输出装置的构件数。

[0501] 在本发明的一个方式的输入输出装置中,将供应驱动像素的信号的FPC以及供应驱动感测元件的信号的FPC都设置在一个衬底一侧。由此,可以将其容易安装于电子设备,并且可以减少构件数。注意,一个FPC也可以供应驱动像素的信号和驱动感测元件的信号。

[0502] 以下,对本发明的一个方式的输入输出装置的结构进行说明。

[0503] [输入输出装置的截面结构实例1]

图50A示出输入输出装置中相邻的两个子像素的截面图。图50A所示的两个子像素包括在不同像素中。

[0504] 如图50A所示,输入输出装置在衬底211上包括晶体管201、晶体管203及液晶元件207a等。另外,在衬底211上设置有绝缘膜212、绝缘膜213、绝缘膜215、绝缘膜217及绝缘膜219等绝缘膜。

[0505] 例如,通过使用呈现红色的子像素、呈现绿色的子像素及呈现蓝色的子像素构成一个像素,显示部可以进行全彩色显示。注意,子像素呈现的颜色不局限于红色、绿色及蓝色。在像素中,例如也可以使用呈现白色、黄色、品红色(magenta)、青色(cyan)等颜色的子像素。

[0506] 可以对子像素所具有的晶体管201、晶体管203适用上述实施方式所例示出的晶体管。

[0507] 液晶元件207a是应用FFS(Fringe Field Switching:边缘场切换)模式的液晶元件。液晶元件207a包括导电膜251、导电膜252及液晶249。通过产生在导电膜251与导电膜252之间的电场,可以控制液晶249的取向。导电膜251可以被用作像素电极。导电膜252可以被用作公共电极。

[0508] 通过将使可见光透过的导电材料用于导电膜251及导电膜252,可以使输入输出装置具有透过式液晶显示装置的功能。另外,通过将反射可见光的导电材料用于导电膜251,并且将使可见光透过的导电材料用于导电膜252,可以使输入输出装置具有反射式液晶显示装置的功能。

[0509] 作为使可见光透过的导电材料,例如优选使用包含选自铟(In)、锌(Zn)、锡(Sn)中的一种的材料。具体而言,可以举出氧化铟、铟锡氧化物(ITO:Indium Tin Oxide)、铟锌氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、添加有氧化硅的铟锡氧化物、氧化锌、添加有镓的氧化锌等。另外,也可以使用包含石墨烯的膜。包含石墨烯的膜例如可以使形成为膜状的包含氧化石墨烯的膜还原而形成。

[0510] 作为导电膜251优选使用氧化物导电膜。另外,作为导电膜252优选使用氧化物导电膜。氧化物导电膜优选包含氧化物半导体膜223所包含的金属元素中的一种以上。例如,导电膜251优选包含铟,更优选的是In-M-Zn氧化物(M为Al、Ga、Y或Sn)膜。同样地,导电膜252优选包含铟,更优选的是In-M-Zn氧化物。

[0511] 另外,也可以使用氧化物半导体形成导电膜251和导电膜252中的至少一个。如上所述,通过将具有相同的金属元素的氧化物半导体用于构成输入输出装置的层中的两层以

上,可以在两个以上的工序中共同使用制造装置(例如,成膜装置、加工装置等),所以可以抑制制造成本。

[0512] 例如,通过将包含氢的氮化硅膜用于绝缘膜253,并且将氧化物半导体用于导电膜251,由于从绝缘膜253被供应的氢,而可以提高氧化物半导体的导电率。

[0513] 作为使可见光反射的导电材料,例如可以举出包含铝、银或包含上述金属材料的合金等。

[0514] 用作像素电极的导电膜251与晶体管203的源极或漏极电连接。

[0515] 导电膜252具有梳齿状的顶面形状(也称为平面形状)或形成有狭缝的顶面形状。在导电膜251与导电膜252之间设置有绝缘膜253。导电膜251与导电膜252隔着绝缘膜253部分地重叠。另外,在导电膜251与着色膜241重叠的区域中,有导电膜252没有设置在导电膜251上的部分。

[0516] 在绝缘膜253上设置有导电膜255。导电膜255与导电膜252电连接,并可以被用作导电膜252的辅助布线。通过设置与公共电极电连接的辅助布线,可以抑制起因于公共电极的电阻的电压下降。另外,此时,在采用包含金属氧化物的导电膜和包含金属的导电膜的叠层结构的情况下,通过利用使用半色调掩模的图案化技术,可以简化工序,所以是优选的。

[0517] 导电膜255的电阻值比导电膜252低,即可。导电膜255例如可以通过使用钼、钛、铬、钽、钨、铝、铜、银、钕、铈等金属材料或含有上述元素的合金材料,以单层或叠层形成。

[0518] 为了防止使输入输出装置的使用者看到导电膜255,导电膜255优选设置在与遮光膜243等重叠的位置。

[0519] 着色膜241与液晶元件207a部分地重叠。遮光膜243与晶体管201和203中的至少一个部分地重叠。

[0520] 绝缘膜245优选具有防止着色膜241及遮光膜243等所包含的杂质扩散到液晶249中的保护层的功能。如果不需要,则可以不设置绝缘膜245。

[0521] 另外,也可以在连接于液晶249的顶面和底面中的一方或双方上设置有与液晶249接触的取向膜。取向膜可以控制液晶249的取向。例如,在图50A中,也可以形成覆盖导电膜252的取向膜。另外,在图50A中,在绝缘膜245与液晶249之间也可以包括取向膜。此外,绝缘膜245也可以具有取向膜的功能和保护层的功能。

[0522] 另外,输入输出装置包括间隔物247。间隔物247具有防止衬底211与衬底261之间的距离短于一定距离的功能。

[0523] 虽然图50A示出间隔物247设置在绝缘膜253及导电膜252上的例子,但是本发明的一个方式不局限于此。间隔物247既可以设置在衬底211一侧,又可以设置在衬底261一侧。例如,也可以在绝缘膜245上形成间隔物247。另外,虽然图50A示出间隔物247与绝缘膜253及绝缘膜245接触的例子,但是间隔物247也可以不与设置在衬底211一侧和衬底261一侧中的任何一侧的结构物接触。

[0524] 作为间隔物247也可以使用粒状的间隔物。虽然作为粒状的间隔物可以使用二氧化硅等的材料,但是优选使用树脂或橡胶等具有弹性的材料。此时,粒状的间隔物有时成为在垂直方向上成为压扁的形状。

[0525] 使用未图示的粘合层将衬底211与衬底261贴合。在由衬底211、衬底261及粘合层围绕的区域中密封有液晶249。

[0526] 另外,在将输入输出装置用作透过式液晶装置的情况下,以夹有显示部的方式配置两个偏振片。来自位于偏振片的外侧的背光的光经过偏振片进入。此时,可以由施加到导电膜251和导电膜252之间的电压控制液晶249的取向,来控制光的光学调制。就是说,可以控制经过偏振片射出的光的强度。另外,因为入射光的指定波长范围以外的光被着色膜241吸收,所以所射出的光成为例如呈现红色、蓝色或绿色的光。

[0527] 另外,除了偏振片之外,例如还可以利用圆偏振片。作为圆偏振片,例如可以使用将直线偏振片和四分之一波相位差板层叠而成的偏振片。通过圆偏振片可以减小输入输出装置的显示的视角依赖性。

[0528] 另外,在此作为液晶元件207a使用应用FFS模式的元件,但是不局限于此,可使用采用各种模式的液晶元件。例如,可以采用VA(Vertical Alignment:垂直取向)模式、TN(Twisted Nematic:扭曲向列)模式、IPS(In-Plane-Switching:平面切换)模式;ASM(Axially Symmetric Aligned Micro-cell:轴对称排列微单元)模式、OCB(Optically Compensated Birefringence:光学补偿弯曲)模式、FLC(Ferroelectric Liquid Crystal:铁电性液晶)模式、AFLC(AntiFerroelectric Liquid Crystal:反铁电液晶)模式等的液晶元件。

[0529] 另外,也可以对输入输出装置使用常黑型液晶显示装置,例如采用垂直取向(VA)模式的透过式液晶显示装置。作为垂直取向模式,可以采用MVA(Multi-Domain Vertical Alignment:多象限垂直取向)模式、PVA(Patterned Vertical Alignment:垂直取向构型)模式、ASV模式等。

[0530] 另外,液晶元件是利用液晶的光学调制作用来控制光的透过或非透过的元件。液晶的光学调制作用由施加到液晶的电场(包括横向电场、纵向电场或倾斜方向电场)控制。作为用于液晶元件的液晶可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶(PDLC:Polymer Dispersed Liquid Crystal:聚合物分散液晶)、铁电液晶、反铁电液晶等。这些液晶材料根据条件呈现出胆甾相、近晶相、立方相、手向列相、各向同性相等。

[0531] 另外,作为液晶材料,可以使用正型液晶和负型液晶中的任一种,根据所适用的模式及设计可以采用适当的液晶材料。

[0532] 此外,在采用横向电场方式的情况下,也可以使用不使用取向膜的呈现蓝相的液晶。蓝相是液晶相的一种,是指当使胆甾液晶的温度上升时即将从胆甾相转变到均质相之前出现的相。因为蓝相只在窄的温度范围内出现,所以将其中混合了5wt%以上的手征性试剂的液晶组合物用于液晶249,以扩大温度范围。由于包含呈现蓝相的液晶和手征试剂的液晶组成物的响应速度快,并且其具有光学各向同性。此外,包含呈现蓝相的液晶和手征试剂的液晶组成物不需要取向处理,并且视角依赖性小。另外,由于不需要设置取向膜而不需要摩擦处理,因此可以防止由于摩擦处理而引起的静电破坏,并可以降低制造工序中的液晶显示装置的不良、破损。

[0533] 在此,也可以在衬底261上方设置手指或触屏笔等感测对象直接接触的衬底。此时优选在衬底261和该衬底之间设置偏振片或圆偏振片。在此情况下,优选在该衬底上设置保护层(陶瓷涂层等)。作为保护层,例如可以使用氧化硅、氧化铝、氧化钽、氧化钽稳定氧化锆(YSZ)等无机绝缘材料。此外,该衬底也可以使用钢化玻璃。优选使用通过离子交换法或风冷强化法等被施加物理或化学处理,并且其表面被施加压应力的钢化玻璃。

[0534] 在图50A中,通过利用在左边的子像素所包括的导电膜252与右边的子像素所包括的导电膜252之间形成的容量,可以感测出感测对象的接近或接触等。换言之,在本发明的一个方式的输入输出装置中,导电膜252兼用作液晶元件的公共电极和感测元件的电极。

[0535] 如此,在本发明的一个方式的输入输出装置中,构成液晶元件的电极还用作构成感测元件的电极,所以可以简化制造工序,并且可以降低制造成本。另外,可以实现输入输出装置的薄型化及轻量化。

[0536] 导电膜252与用作辅助布线的导电膜255电连接。通过设置导电膜255,可以降低感测元件的电极的电阻。通过降低感测元件的电极的电阻,可以减少感测元件的电极的时间常数。感测元件的电极的时间常数越小,可以越提高检测灵敏度,并且可以越提高检测准确度。

[0537] 另外,当感测元件的电极与信号线之间的容量过大时,感测元件的电极的时间常数有时变大。因此,优选的是,在晶体管与感测元件的电极之间设置具有平坦化功能的绝缘膜,减少感测元件的电极与信号线之间的容量。例如,在图50A中,作为具有平坦化功能的绝缘膜包括绝缘膜219。通过设置绝缘膜219,可以减少导电膜252与信号线之间的容量。由此,可以减少感测元件的电极的时间常数。如上所述,感测元件的电极的时间常数越小,可以越提高检测灵敏度,并且可以越提高检测准确度。

[0538] 例如,感测元件的电极的时间常数大于0秒且 1×10^{-4} 秒以下,优选大于0秒且 5×10^{-5} 秒以下,更优选大于0秒且 5×10^{-6} 秒以下,进一步优选大于0秒且 5×10^{-7} 秒以下,更进一步优选大于0秒且 2×10^{-7} 秒以下。尤其是,通过将时间常数设定为 1×10^{-6} 秒以下,可以在抑制噪声的影响的同时实现高检测灵敏度。

[0539] [输入输出装置的截面结构实例2]

图50B示出与图50A不同的相邻的两个像素的截面图。图50B所示的两个子像素分别包括在不同的像素中。

[0540] 图50B所示的结构实例2与图50A所示的结构实例1之间的不同之处在于导电膜251、导电膜252、绝缘膜253及导电膜255的叠层顺序。注意,在结构实例2中,关于与结构实例1同样的部分,可以参照上述说明。

[0541] 具体而言,在结构实例2中,在绝缘膜219上包括导电膜255,在导电膜255上包括导电膜252,在导电膜252上包括绝缘膜253,在绝缘膜253上包括导电膜251。

[0542] 如图50B所示的液晶元件207b,也可以将设置在上方且具有梳齿状或狭缝状的顶面形状的导电膜251用作像素电极,将设置在下方的导电膜252用作公共电极。此时,导电膜251与晶体管203的源极或漏极电连接,即可。

[0543] 在图50B中,通过利用在左边的子像素所包括的导电膜252与右边的子像素所包括的导电膜252之间形成的容量,可以感测出感测对象的接近或接触等。换言之,在本发明的一个方式的输入输出装置中,导电膜252兼用作液晶元件的公共电极和感测元件的电极。

[0544] 注意,在结构实例1(图50A)中,兼用作感测元件的电极和公共电极的导电膜252位于比用作像素电极的导电膜251更靠近显示面一侧(近于感测对象的一侧)。由此,与导电膜251位于比导电膜252更靠近显示面一侧的结构实例2相比,在结构实例1中有时检测灵敏度得到提高。

[0545] 本实施方式所示的结构可以与其他实施方式或实施例所示的结构适当地组合而

使用。

[0546] 实施方式10

在本实施方式中,参照图51至图53B说明具有本发明的一个方式的半导体装置的显示模块及电子设备。

[0547] <10-1.显示模块>

图51所示的显示模块8000在上盖8001与下盖8002之间包括连接于FPC8003的触摸面板8004、连接于FPC8005的显示面板8006、背光8007、框架8009、印刷电路板8010、电池8011。

[0548] 可以将本发明的一个方式的半导体装置例如用于显示面板8006。

[0549] 上盖8001及下盖8002可以根据触摸面板8004及显示面板8006的尺寸适当地改变其形状或尺寸。

[0550] 触摸面板8004可以是电阻膜式触摸面板或静容量式触摸面板,并且能够以与显示面板8006重叠的方式被形成。此外,也可以使显示面板8006的对置衬底(密封衬底)具有触摸面板的功能。另外,也可以在显示面板8006的各像素内设置光传感器,以制成光学触摸面板。

[0551] 背光8007包括光源8008。注意,虽然在图51中例示出在背光8007上配置光源8008的结构,但是不局限于此。例如,可以在背光8007的端部设置光源8008,并使用光扩散板。当使用有机EL元件等自发光型发光元件时,或者当使用反射式面板时,可以采用不设置背光8007的结构。

[0552] 框架8009除了具有保护显示面板8006的功能以外还具有用来遮断因印刷电路板8010的工作而产生的电磁波的电磁屏蔽的功能。此外,框架8009也可以具有散热板的功能。

[0553] 印刷电路板8010包括电源电路以及用来输出视频信号及时钟信号的信号处理电路。作为对电源电路供应电力的电源,既可以使用外部的商业电源,又可以使用另行设置的电池8011的电源。当使用商业电源时,可以省略电池8011。

[0554] 此外,在显示模块8000中还可以设置偏振片、相位差板、棱镜片等构件。

[0555] <10-2.电子设备>

图52A至图52G是示出电子设备的图。这些电子设备可以包括框体9000、显示部9001、扬声器9003、操作键9005(包括电源开关或操作开关)、连接端子9006、传感器9007(它具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风9008等。

[0556] 图52A至图52G所示的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上;触摸面板;显示日历、日期或时刻等;通过利用各种软件(程序)控制处理;进行无线通信;通过利用无线通信功能来连接到各种计算机网络;通过利用无线通信功能,进行各种数据的发送或接收;读出储存在记录媒体中的程序或数据来将其显示在显示部上等。注意,图52A至图52G所示的电子设备可具有的功能不局限于上述功能,而可以具有各种各样的功能。另外,虽然在图52A至图52G中未图示,但是电子设备也可以包括多个显示部。再者,在具有相机等的电子设备中,可以具有如下功能:拍摄静态图像;拍摄动态图像;将所拍摄的图像储存在记录媒体(外部或内置于相机)中;将所拍摄的图像显示在显示部上等。

[0557] 下面,对图52A至图52G所示的电子设备进行详细的说明。

[0558] 图52A是示出电视装置9100的透视图。电视装置9100例如能够组装50英寸以上或100英寸以上的大屏幕的显示部9001。

[0559] 图52B是示出便携式信息终端9101的透视图。便携式信息终端9101例如具有选自电话机、电子笔记本和信息阅读装置等中的一种或多种的功能。具体而言,可以将该便携式信息终端9101用作智能手机。注意,在便携式信息终端9101中,也可以设置扬声器、连接端子、传感器等。另外,作为便携式信息终端9101,可以将文字或图像信息显示在其多个面上。例如,可以将三个操作按钮9050(也称为操作图标或图标)显示在显示部9001的一个面上。另外,可以将以虚线的矩形示出的信息9051显示在显示部9001的其他面上。此外,作为信息9051的一个例子,有提醒收到电子邮件、SNS(Social Networking Services:社交网络服务)、电话等的显示;电子邮件或SNS等的标题;电子邮件或SNS等的发送者名字;日期;时间;电池电量;天线接收强度等。或者,也可以在显示信息9051的位置显示操作按钮9050等来代替信息9051。

[0560] 图52C是示出便携式信息终端9102的透视图。便携式信息终端9102具有在显示部9001的三个以上的面显示信息的功能。在此,示出将信息9052、信息9053、信息9054分别显示在不同的面上的例子。例如,便携式信息终端9102的用户能够在将便携式信息终端9102放在上衣口袋里的状态下确认其显示(这里是信息9053)。具体而言,将打来电话的人的电话号码或姓名等显示在能够从便携式信息终端9102的上方观看到这些信息的位置。用户可以确认到该显示,由此判断是否接电话,而无需从口袋里拿出便携式信息终端9102。

[0561] 图52D是示出手表型的便携式信息终端9200的透视图。便携式信息终端9200可以执行移动电话、电子邮件、文章的阅读及编辑、音乐播放、网络通信、电脑游戏等各种应用程序。另外,显示部9001的显示面弯曲,可沿着其弯曲的显示面进行显示。另外,便携式信息终端9200可以进行基于通信标准的近距离无线通信。例如,通过与可进行无线通信的耳麦相互通信,可以进行免提通话。另外,便携式信息终端9200包括连接端子9006,可以通过连接器直接与其他信息终端进行数据的交换。另外,也可以通过连接端子9006进行充电。另外,充电动作也可以利用无线供电进行,而不通过连接端子9006。

[0562] 图52E、图52F、图52G是示出能够折叠的便携式信息终端9201的透视图。另外,图52E是将便携式信息终端9201展开的状态的透视图,图52F是将便携式信息终端9201从展开的状态和折叠的状态中的一方转换成另一方时的中途的状态的透视图,图52G是将便携式信息终端9201折叠的状态的透视图。便携式信息终端9201在折叠状态下可携带性好,而在展开状态下因为具有无缝拼接较大的显示区域所以显示的一览性强。便携式信息终端9201所包括的显示部9001被由铰链9055连结的三个框体9000支撑。通过铰链9055使两个框体9000之间弯曲,可以使便携式信息终端9201从展开的状态可逆性地变为折叠的状态。例如,能够使便携式信息终端9201以1mm以上且150mm以下的曲率半径弯曲。

[0563] 图53A和图53B是包括多个显示面板的显示装置的透视图。图53A是多个显示面板被卷绕时的透视图,图53B是展开多个显示面板时的透视图。

[0564] 图53A和图53B所示的显示装置9500包括多个显示面板9501、轴部9511、轴承部9512。多个显示面板9501都包括显示区域9502、具有透光性的区域9503。

[0565] 多个显示面板9501具有柔性。以其一部分互相重叠的方式设置相邻的两个显示面

板9501。例如,可以重叠相邻的两个显示面板9501的各具有透光性的区域9503。通过使用多个显示面板9501,可以实现屏幕大的显示装置。另外,根据使用情况可以卷绕显示面板9501,所以可以实现通用性高的显示装置。

[0566] 图53A和图53B示出相邻的显示面板9501的显示区域9502彼此分开的情况,但是不局限于此,例如,也可以通过没有间隙地重叠相邻的显示面板9501的显示区域9502,实现连续的显示区域9502。

[0567] 本实施方式所述的电子设备的特征在于具有用来显示某些信息的显示部。注意,本发明的一个方式的半导体装置也能够应用于不包括显示部的电子设备。

[0568] 本实施方式所示的结构可以与其他实施方式或实施例所示的结构适当地组合而使用。

[0569] 实施方式11

在本实施方式中,使用图54对可用于本发明的一个方式的显示模块的制造的成膜装置进行说明。

[0570] <11.成膜装置的结构例子>

图54是说明可用于本发明的一个方式的显示模块的制造的成膜装置3000的图。成膜装置3000是成批式(batch-type)ALD装置的一个例子。

[0571] 本实施方式中说明的成膜装置3000包括成膜室3180及与成膜室3180连接的控制部3182(参照图54)。

[0572] 控制部3182包括提供控制信号的控制装置(未图示)以及被提供控制信号的流量控制器3182a、流量控制器3182b及流量控制器3182c。例如,可以将高速阀用于流量控制器。具体而言,通过使用ALD用阀等可以精密地控制流量。另外,还包括流量控制器及控制管道温度的加热机构3182h。

[0573] 流量控制器3182a被供应控制信号、第一原料及惰性气体,并能够根据控制信号供应第一原料或惰性气体。

[0574] 流量控制器3182b被供应控制信号、第二原料及惰性气体,并能够根据控制信号供应第二原料或惰性气体。

[0575] 流量控制器3182c被供应控制信号,并能够根据控制信号连接到排气装置3185。

[0576] [原料供应部]

另外,原料供应部3181a能够供应第一原料,并与第一流量控制器3182a连接。

[0577] 原料供应部3181b能够供应第二原料,并与第二流量控制器3182b连接。

[0578] 可以将汽化器或加热单元等用于原料供应部。由此,可以由固体原料或液体原料生成气体原料。

[0579] 另外,原料供应部不局限于两个,也可以具有三个以上的原料供应部。

[0580] [原料]

第一原料可以使用各种物质。例如,可以将挥发性有机金属化合物、金属醇盐等用于第一原料。可以将与第一原料起反应的各种物质用于第二原料。例如,可以将有助于氧化反应的物质、有助于还原反应的物质、有助于付加反应的物质、有助于分解反应的物质或有助于加水分解反应的物质等用于第二原料。

[0581] 另外,可以使用自由基等。例如,可以将原料供应给等离子体源而使用等离子体

等。具体而言,可以使用氧自由基、氮自由基等。

[0582] 另外,与第一原料组合使用的第二原料优选使用在接近室温的温度起反应的原料。例如,优选使用反应温度为室温以上且200℃以下,更优选为50℃以上且150℃以下的原料。

[0583] [排气装置]

排气装置3185具有排气功能并与第三流量控制器3182c连接。另外,可以在排出口3184与第三流量控制器3182c之间设置捕捉排出物质的阱。另外,利用去除装置去除排出的气体等。

[0584] [控制部]

控制部3182供应控制流量控制器的控制信号或控制加热机构的控制信号等。例如,在第一步骤中,将第一原料供应至加工构件的表面。并且,在第二步骤中,供应与第一原料起反应的第二原料。由此,第一原料与第二原料发生反应,反应生成物沉积于加工构件3010的表面。

[0585] 另外,沉积于加工构件3010的表面的反应生成物的量可以通过反复进行第一步骤和第二步骤来控制。

[0586] 另外,供应至加工构件3010的第一原料的量受限于加工构件3010的表面能够吸附的量。例如,以第一原料的单分子层形成于加工构件3010的表面上方式选择条件,通过使形成的第一原料的单分子层与第二原料发生反应,可以形成极均匀的含有第一原料与第二原料的反应生成物的层。

[0587] 由此,可以在表面具有复杂结构的加工构件3010的表面上将各种材料沉积成膜。例如,可以在加工构件3010上形成厚度为3nm以上且200nm以下的膜。

[0588] 例如,当加工构件3010的表面形成有被称为针孔的小孔等时,通过将材料沉积到针孔内可以填埋针孔。

[0589] 另外,利用排气装置3185将剩余的第一原料或第二原料从成膜室3180排出。例如,可以边导入氩或氮等惰性气体边进行排气。

[0590] [成膜室]

成膜室3180包括供应第一原料、第二原料及惰性气体的导入口3183以及排出第一原料、第二原料及惰性气体的排出口3184。

[0591] 成膜室3180包括:能够支撑一个或多个加工构件3010的支撑部3186、能够加热加工构件的加热机构3187、能够打开或关闭加工构件3010的搬入及搬出区域的门3188。

[0592] 例如,可以将电阻加热器或红外线灯等用于加热机构3187。加热机构3187具有例如加热至80℃以上,100℃以上或150℃以上的功能。加热机构3187例如将加工构件3010加热为室温以上且200℃以下,优选为50℃以上且150℃以下。

[0593] 另外,成膜室3180也可以具有压力调整器及压力检测器。

[0594] [支撑部]

支撑部3186支撑一个或多个加工构件3010。由此,例如可以在每次处理中在一个或多个加工构件3010上形成绝缘膜。

[0595] [膜的例子]

对能够利用本实施方式中说明的成膜装置3000形成的膜进行说明。

[0596] 例如,可以形成含有氧化物、氮化物、氟化物、硫化物、三元化合物、金属或聚合物的膜。

[0597] 例如,可以形成含有氧化铝、氧化钪、硅酸铝、硅酸钪、氧化镧、氧化硅、钛酸锶、氧化钽、氧化钛、氧化锌、氧化铌、氧化锆、氧化锡、氧化钇、氧化铈、氧化钒、氧化铪、氧化钒或氧化铟等材料的膜。

[0598] 例如,可以形成含有氮化铝、氮化钪、氮化硅、氮化钽、氮化钛、氮化铌、氮化钼、氮化锆或氮化镓等材料的膜。

[0599] 例如,可以形成含有铜、铂、钨、钨、铋、钨、铁、钴或镍等材料的膜。

[0600] 例如,可以形成含有硫化锌、硫化锶、硫化钙、硫化铅、氟化钙、氟化锶或氟化锌等材料的膜。

[0601] 例如,可以形成含有如下材料的膜:含有钛及铝的氮化物;含有钛及铝的氧化物;含有铝及锌的氧化物;含有锰及锌的硫化物;含有铈及锶的硫化物;含有铪及铝的氧化物;含有钇及锆的氧化物;等等。

[0602] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

实施例1

[0603] 在本实施例中,对可用于本发明的一个方式的半导体装置的金属氧化膜进行评价。在本实施例中,制造了表1所示的样品A1至样品A4并对各样品的透射率进行评价。

[0604] [表1]

	结构	成膜条件					备考
		气体流量	厚度	功率	压力	温度	
样品 A1	玻璃	-	-	-	-	-	厚度为 0.7mm
样品 A2	玻璃 \ AlO _x	Ar/O ₂ =45/5sccm	20nm	3kW	0.5Pa	100℃	O ₂ =10%
样品 A3	玻璃 \ AlO _x	Ar/O ₂ =35/15sccm					O ₂ =30%
样品 A4	玻璃 \ AlO _x	Ar/O ₂ =20/30sccm			0.3Pa		O ₂ =60%

[0605] [1-1.各样品的制造方法]

首先,说明各样品的制造方法。

[0606] 样品A1是其上没有形成金属氧化膜的玻璃衬底。该玻璃衬底的厚度为0.7mm。另外,作为样品A2,通过溅射法在玻璃衬底上形成厚度为20nm的氧化铝膜。成膜条件为表1所示的条件。注意,在以下说明中,根据在所有气体中氧的流量比,有时将样品A2的氧流量比记作“O₂=10%”。另外,作为样品A3,通过溅射法在玻璃衬底上形成厚度为20nm的氧化铝膜。成膜条件为表1所示的条件。注意,在以下说明中,有时根据在所有气体中氧的流量比,将在样品A3的氧流量比记作“O₂=30%”。另外,作为样品A4,通过溅射法在玻璃衬底上形成厚度为20nm的氧化铝膜。成膜条件为表1所示的条件。注意,在以下说明中,有时根据在所有气体中氧的流量比,将在样品A4的氧流量比记作“O₂=60%”。

[0607] 样品A2、A3及A4的氧化铝膜通过使用铝靶材的反应溅射法形成。另外,对该铝靶材施加的电力使用DC电源进行供应。

[0608] [1-2.各样品的透射率的测定结果]

图55示出上述制造的样品A1至A4的透射率的测定结果。

[0609] 在图55中,样品A1至A4的透射率的测定结果大致重叠。就是说,为玻璃衬底的样品A1与在玻璃衬底上形成有厚度为20nm的氧化铝膜的样品A2至A4的透射率没有差异或者差异极小。另外,发现氧化铝膜的成膜条件的不同没有引起透射率的差异或者仅使透射率具有极小的差异。

[0610] 如上所述,用作可用于本发明的一个方式的半导体装置的金属氧化膜的通过使用铝靶材的反应溅射法形成的氧化铝膜具有高透射率。

[0611] 本实施例所示的结构可以与其它实施例或实施方式适当地组合而实施。

实施例2

[0612] 在本实施例中,对可用于本发明的一个方式的半导体装置的绝缘膜及金属氧化膜进行评价。在本实施例中,制造表2所示的样品B1至样品B3以及表3所示的样品C1至样品C3,并对各样品进行了TDS分析。

[0613] [表2]

	结构	成膜条件	
		SiN:H	AlO _x
样品 B1	玻璃 \ SiN:H	*1)	-
样品 B2	玻璃 \ AlO _x	-	*2)
样品 B3	玻璃 \ SiN:H \ AlO _x	*1)	*2)

*1) SiH₄/N₂/NH₃ = 200/2000/2000sccm, 2000W(RF), 100Pa, 350°C, 100nm

*2) Ar/O₂ = 45/5sccm(O₂ = 10%), 3kW(DC), 0.5Pa, 100°C, 20nm

[0614] [表3]

	结构	成膜条件	
		SiON	AlO _x
样品 C1	玻璃 \ SiON	*3)	-
样品 C2	玻璃 \ AlO _x	-	*4)
样品 C3	玻璃 \ SiON \ AlO _x	*3)	*4)

*3) SiH₄/N₂O = 20/3000sccm, 100W(RF), 40Pa, 350°C, 100nm

*4) Ar/O₂ = 45/5sccm(O₂ = 10%), 3kW(DC), 0.5Pa, 100°C, 20nm

[0615] [2-1.各样品的制造方法]

首先,说明各样品的制造方法。

[0616] 作为样品B1,利用PECVD装置在玻璃衬底上形成厚度为100nm的氮化硅膜。成膜条件为表2所示的条件。注意,在以下说明中,有时将包含氢的氮化硅膜记作SiN:H。

[0617] 作为样品B2,利用溅射装置在玻璃衬底上形成厚度为20nm的氧化铝膜。成膜条件为表2所示的条件。另外,样品B2具有与实施例1所示的样品A2相同的结构。

[0618] 作为样品B3,在与样品B1相同的条件下在玻璃衬底上形成氮化硅膜并在与样品B2相同的条件下在氮化硅膜上形成氧化铝膜。

[0619] 作为样品C1,利用PECVD装置在玻璃衬底上形成厚度为100nm的氧氮化硅膜。成膜条件为表3所示的条件。

[0620] 作为样品C2,利用溅射装置在玻璃衬底上形成厚度为20nm的氧化铝膜。成膜条件为表3所示的条件。另外,样品C2具有与实施例1所示的样品A2以及上述样品B2相同的结构。

[0621] 作为样品C3,首先,在与样品C1相同的条件下在玻璃衬底上形成氧氮化硅膜,然后在氧氮化硅膜上利用溅射装置形成厚度为50nm的In-Ga-Zn氧化物。该In-Ga-Zn氧化物的成膜条件为如下:衬底温度为170℃;将流量200sccm的氧气体导入腔室;压力为0.2Pa;对设置在溅射装置内的金属氧化物靶材(In:Ga:Zn=4:2:4.1[原子个数比])供应1500W的AC功率。接着,去除该In-Ga-Zn氧化物。然后,在表3所示的条件下在氧氮化硅膜上形成氧化铝膜。另外,在样品C3中,形成在氧氮化硅膜上的In-Ga-Zn氧化物通过对氧氮化硅膜中供应过剩氧而形成并被去除。

[0622] [2-2.各样品的TDS的测定结果]

图56A至图56C示出上面制造的样品B1至样品B3的TDS的测定结果,图57A至图57C示出样品C1至样品C3的TDS的测定结果。图56A示出样品B1的结果,图56B示出样品B2的结果,图56C示出样品B3的结果。另外,图57A示出样品C1的结果,图57B示出样品C2的结果,图57C示出样品C3的结果。此外,在TDS中温度范围是80℃至550℃。

[0623] 在图56A至图56C中,示出相当于氢分子的质荷比 $m/z=2$ 的气体的释放量的TDS测定结果。在图57A至图57C中,示出相当于氧分子的质荷比 $m/z=32$ 的气体的释放量的TDS测定结果。

[0624] 由图56A所示的结果可知,在样品B1的氮化硅膜中,确认到以300℃以上的温度相当于氢分子的气体的谱峰。另外,由图56B所示的结果可知,在样品B2的氧化铝膜中,在测定范围内的温度下确认不到显著的谱峰。另外,由图56C所示的结果可知,在样品B3的氮化硅膜和氧化铝膜的叠层膜中,在测定范围内的温度下确认不到显著的谱峰。

[0625] 由图56A至图56C所示的结果可知,来自氧化铝膜自身的相当于氢分子的气体的释放量少,并且,该氧化铝膜抑制形成在其下方的氮化硅膜释放相当于氢分子的气体。

[0626] 由图57A所示的结果可知,在样品C1的氧氮化硅膜中,在100℃至300℃的温度范围内确认到相当于氧分子的气体的谱峰。另外,由图57B所示的结果可知,在样品C2的氧化铝膜中,在100℃附近确认到相当于氧分子的气体的谱峰,但是其谱峰的强度比样品C1小。由图57C所示的结果可知,在样品C3的氧氮化硅膜和氧化铝膜的叠层膜中,在100℃附近确认到相当于氧分子的气体的谱峰,但是其谱峰的强度比样品C1小。

[0627] 由图57A至图57C所示的结果可知,来自氧化铝膜的相当于氧分子的气体的释放量少,并且,该氧化铝膜抑制形成在其下方的氧氮化硅膜释放相当于氢分子的气体。

[0628] 本实施例所示的结构可以与其它实施例或实施方式适当地组合而实施。

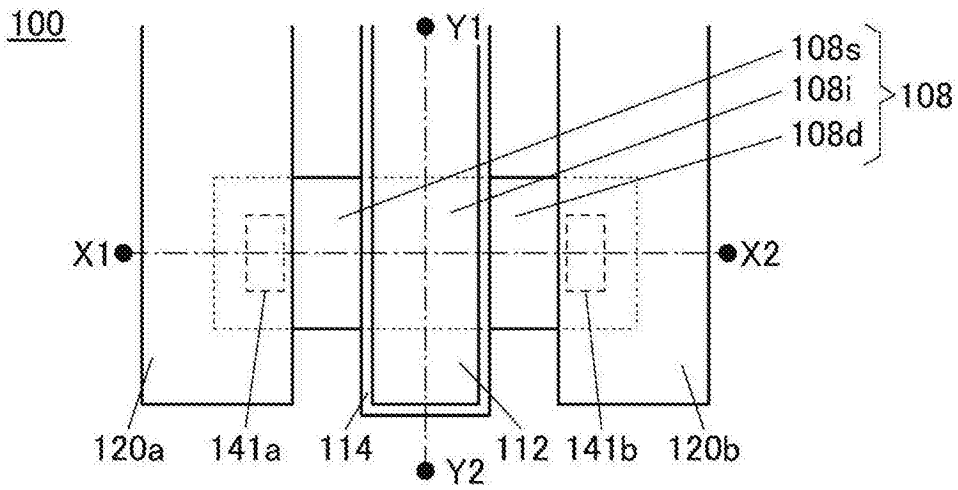


图1A

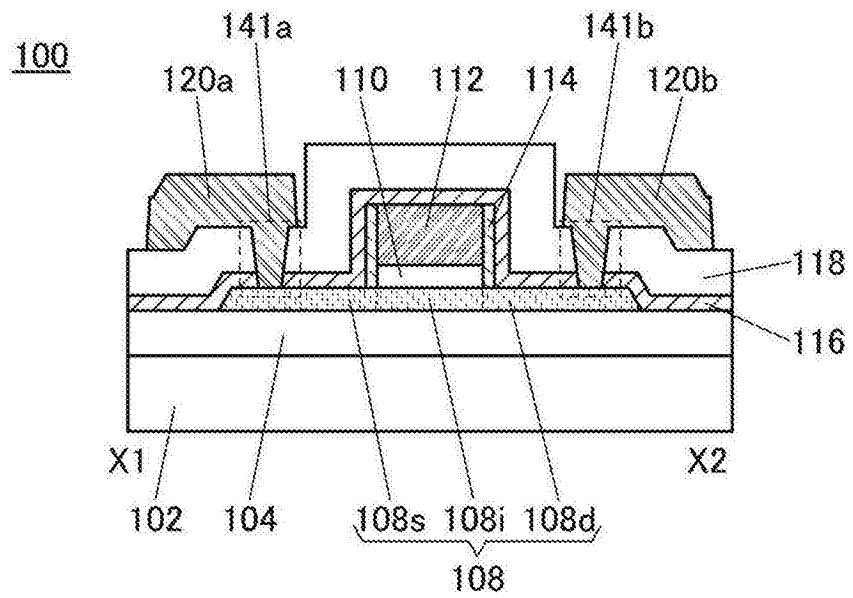


图1B

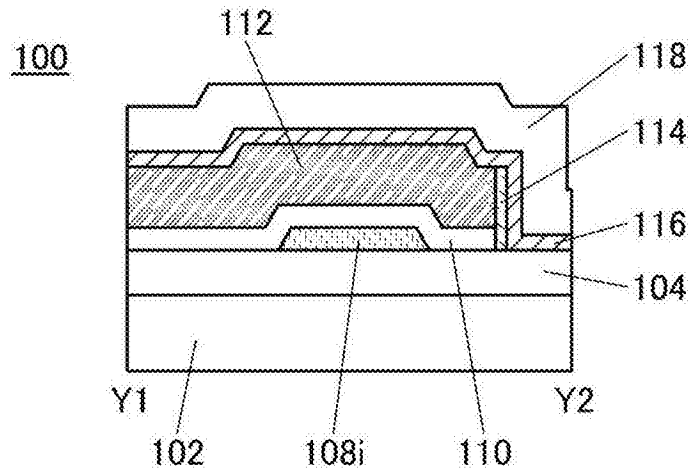


图1C

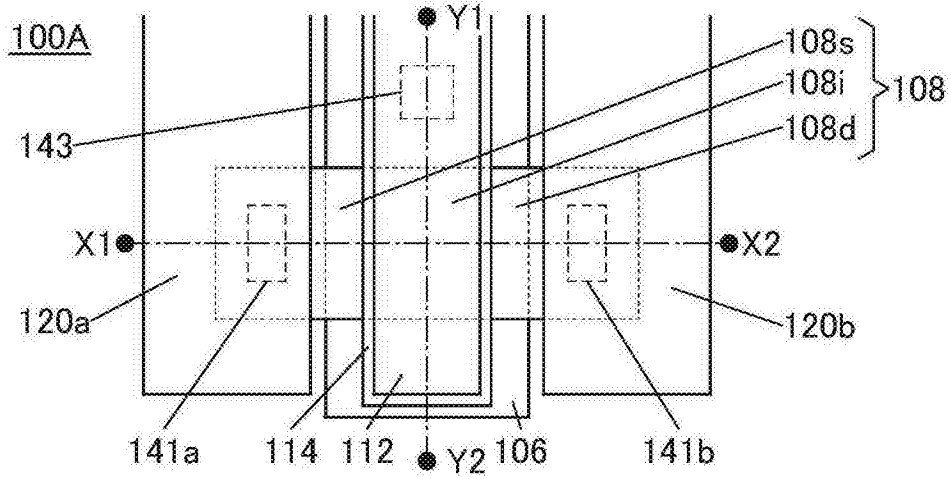


图2A

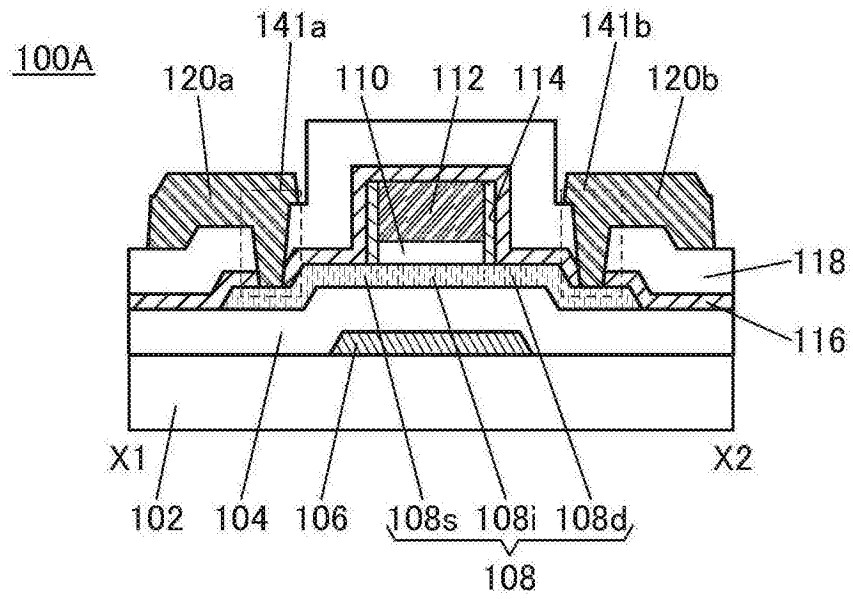


图2B

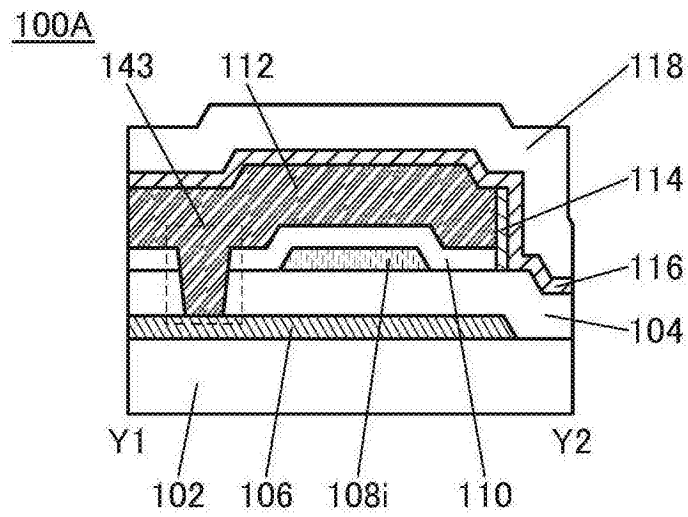


图2C

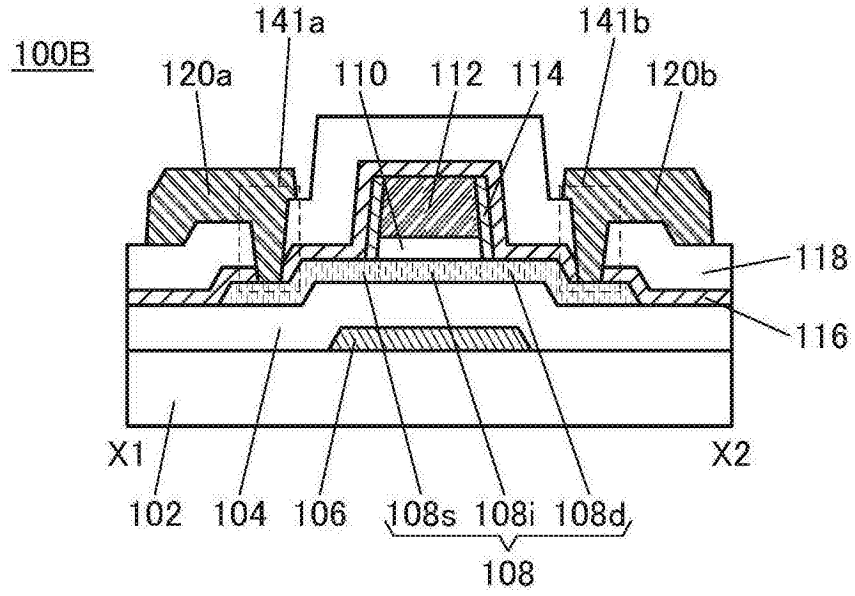


图3A

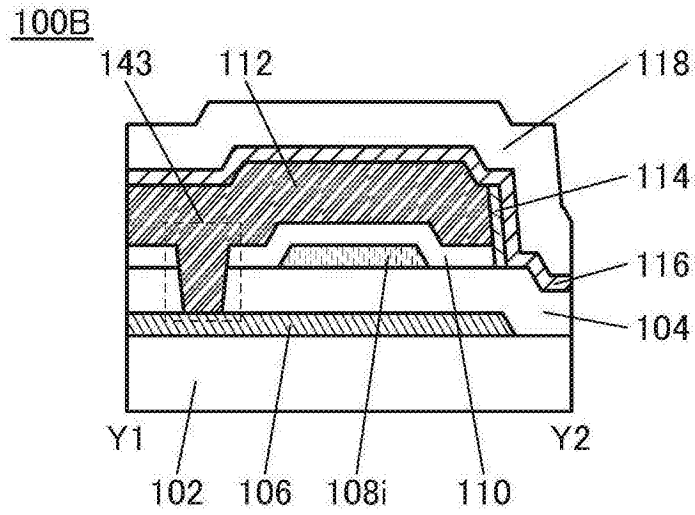


图3B

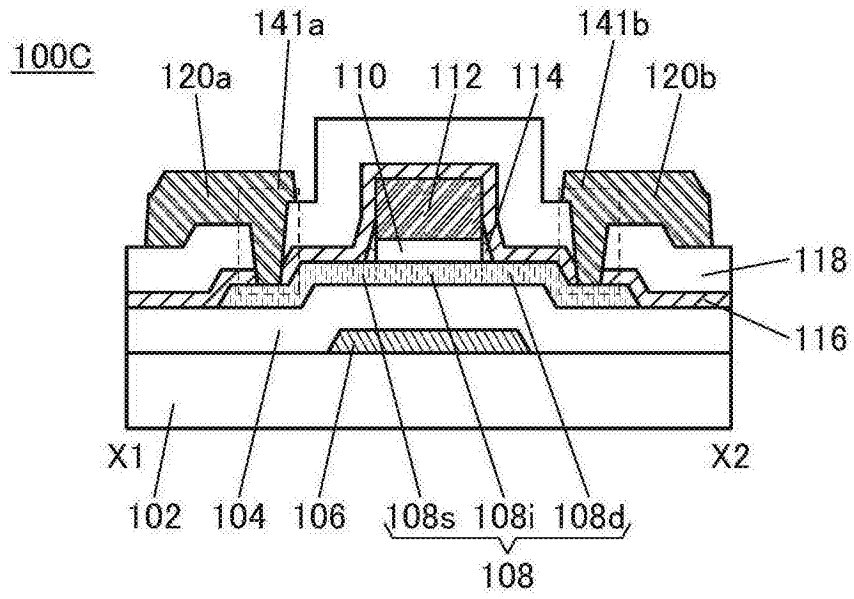


图4A

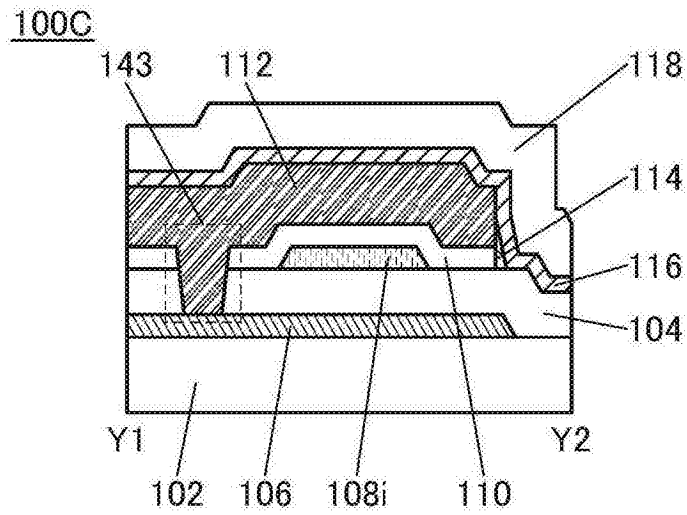


图4B

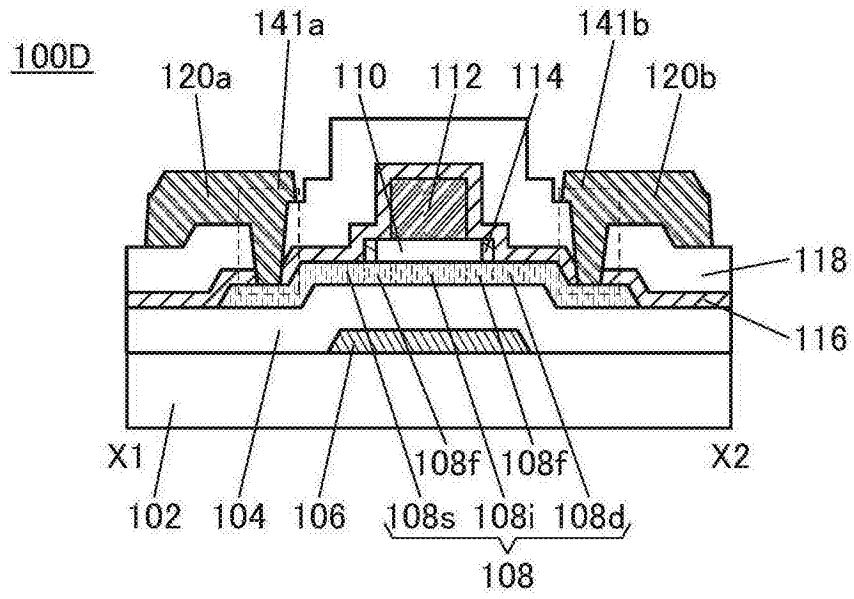


图5A

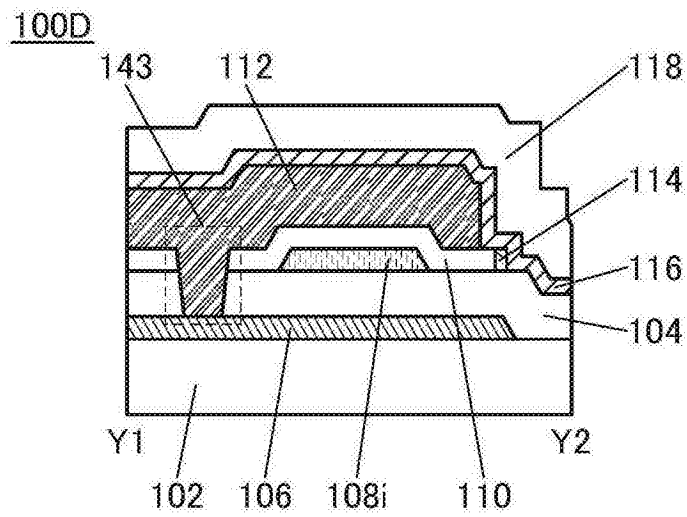


图5B

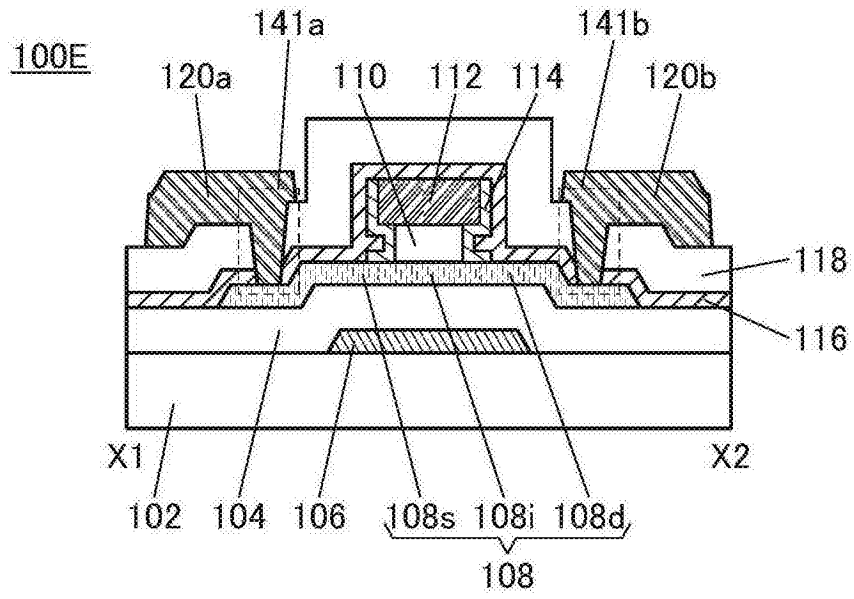


图6A

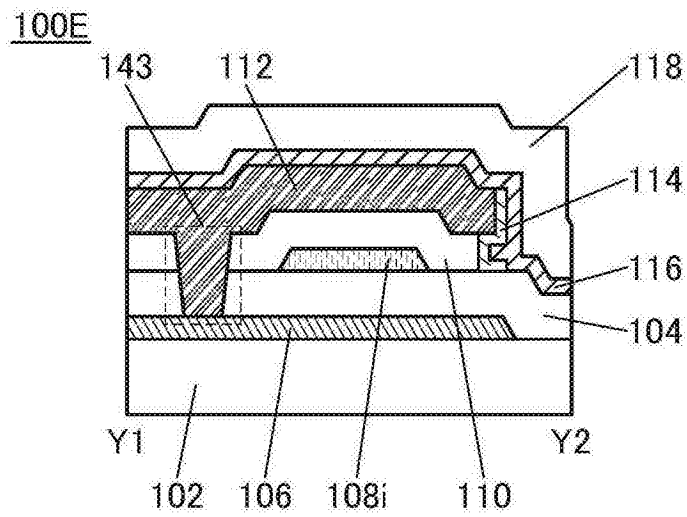


图6B

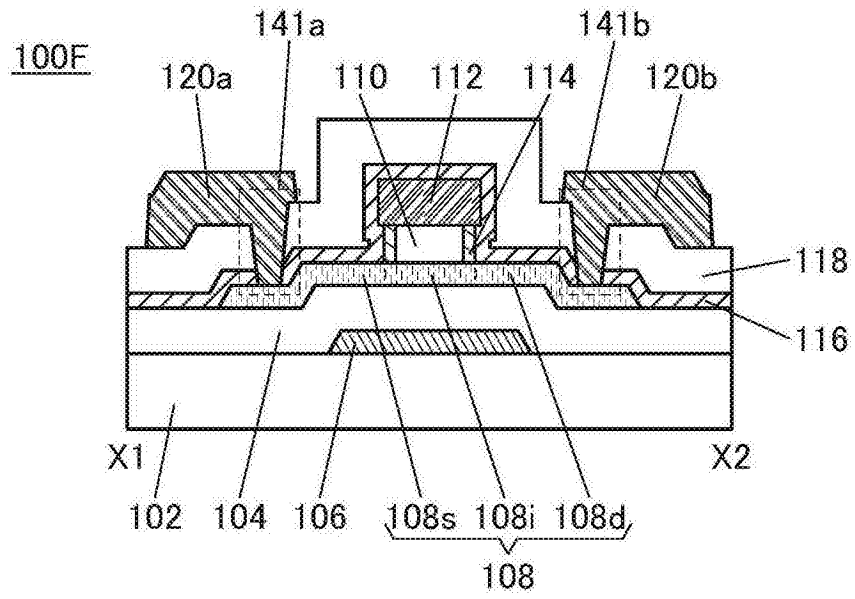


图7A

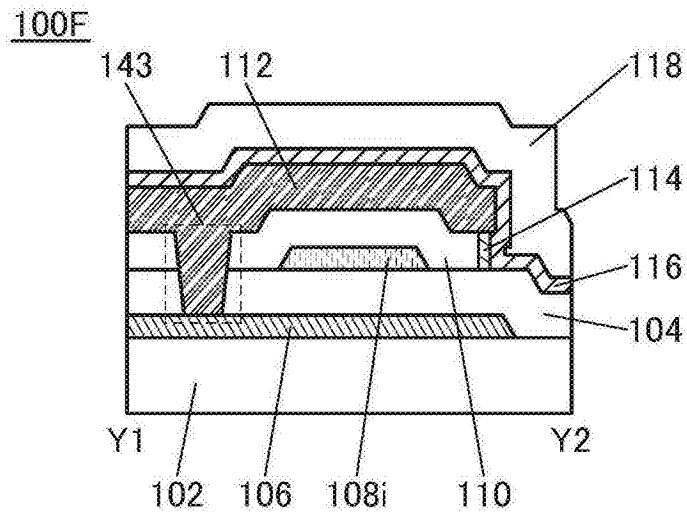


图7B

100G

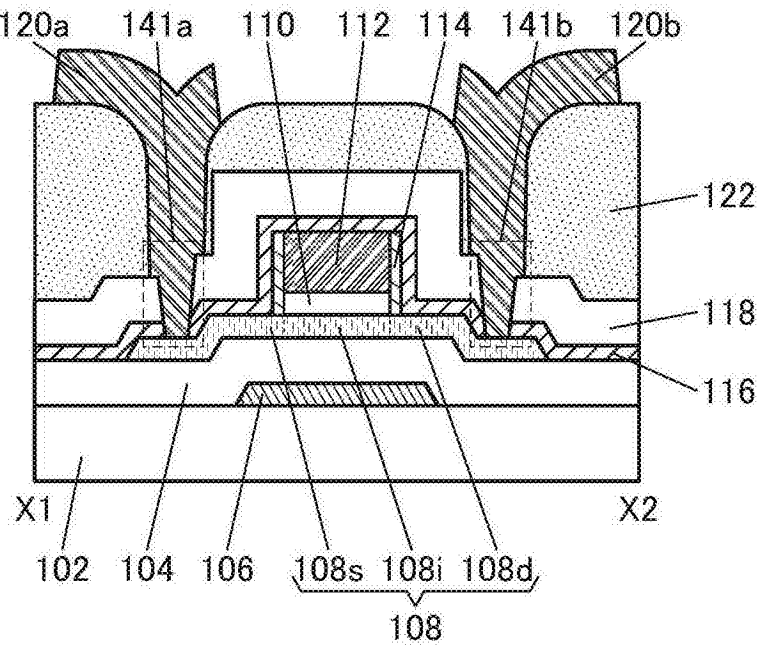


图8A

100G

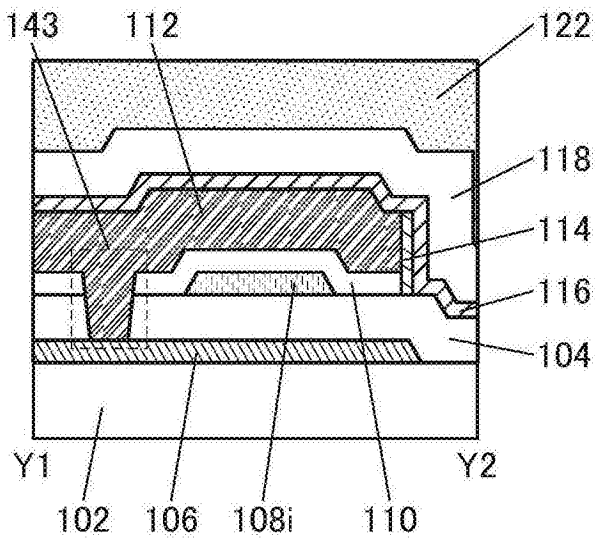


图8B

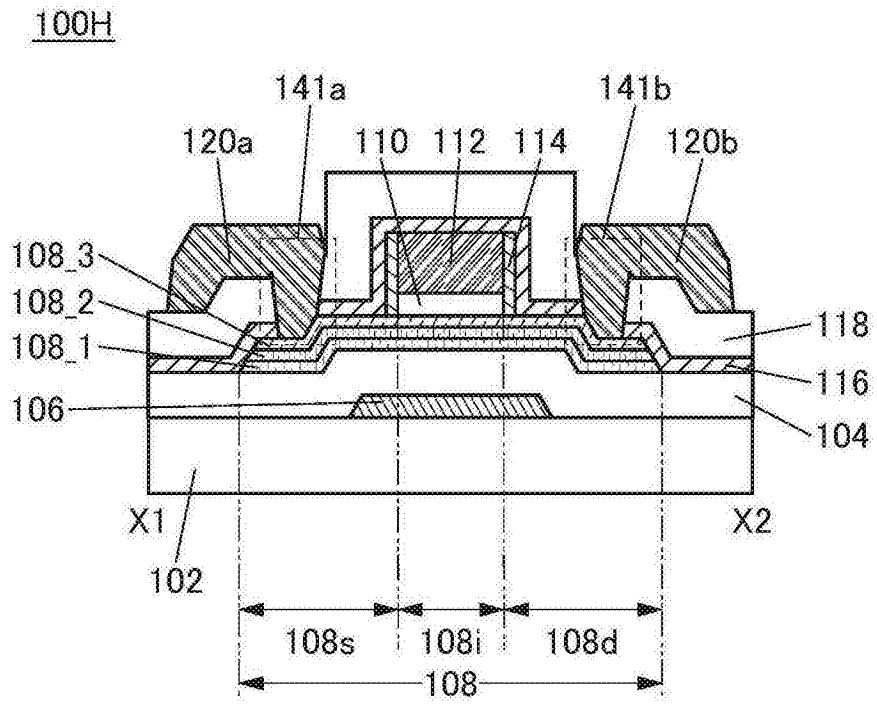


图9A

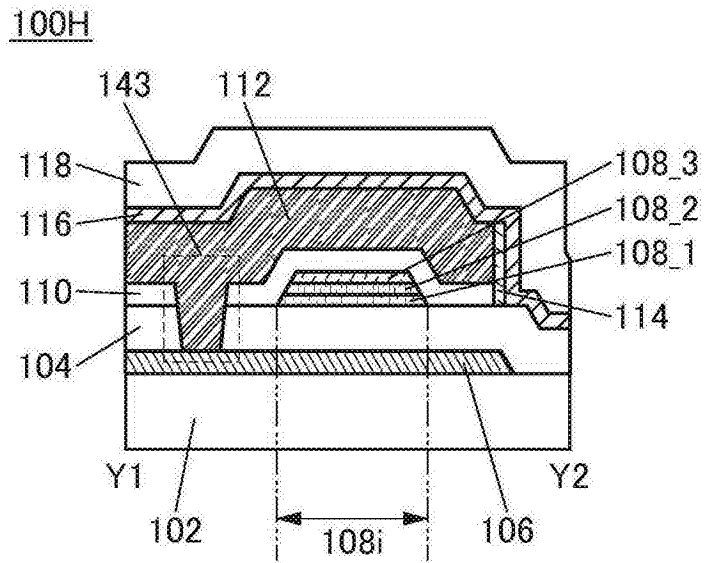


图9B

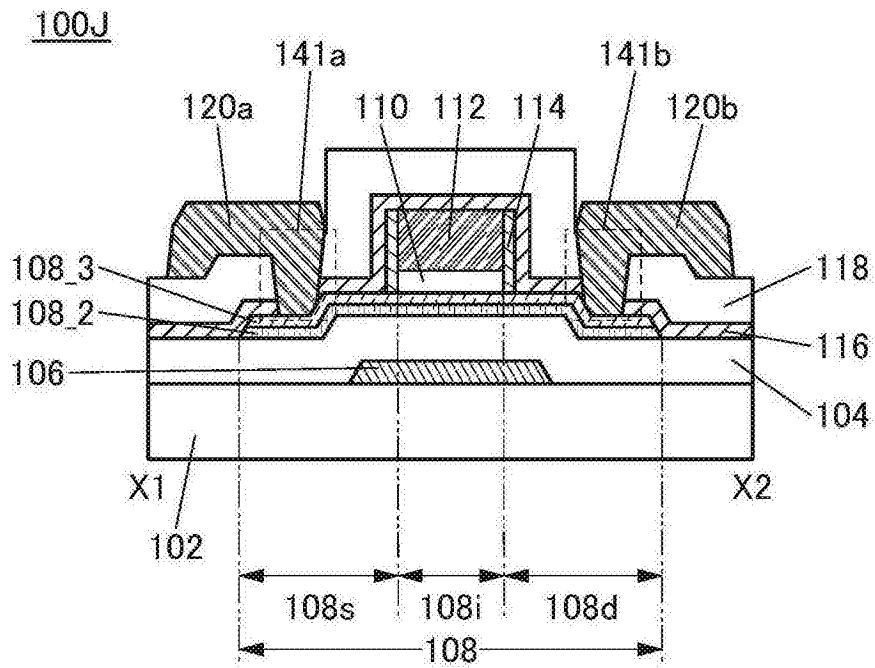


图10A

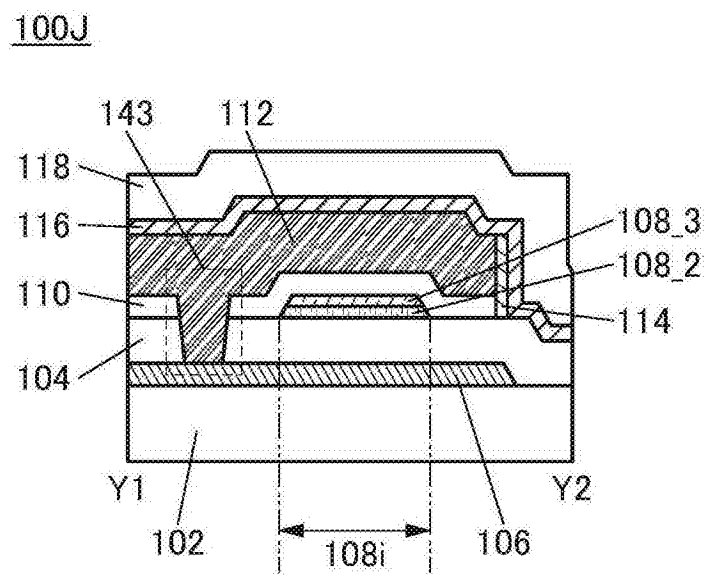


图10B

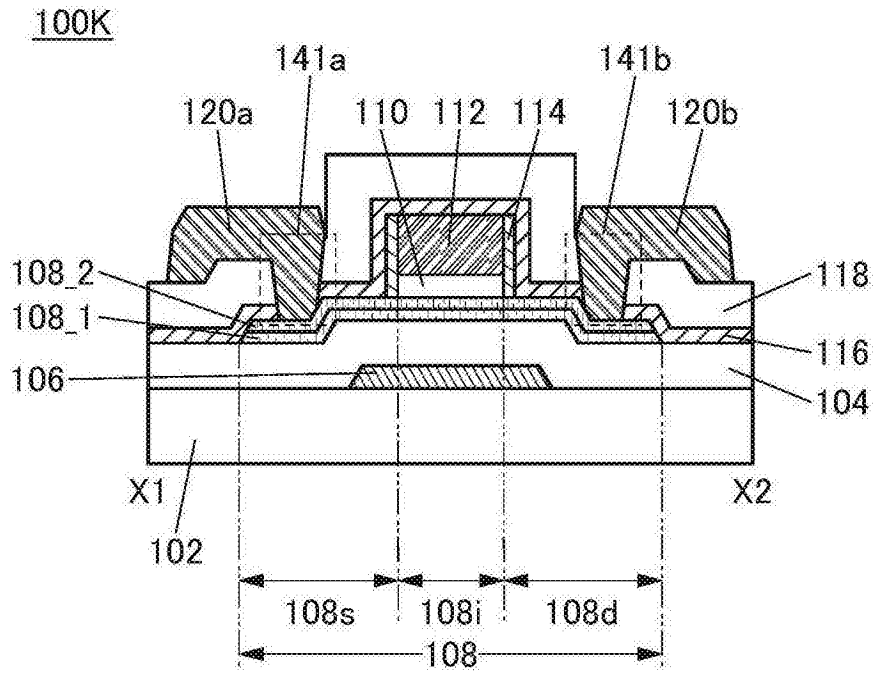


图11A

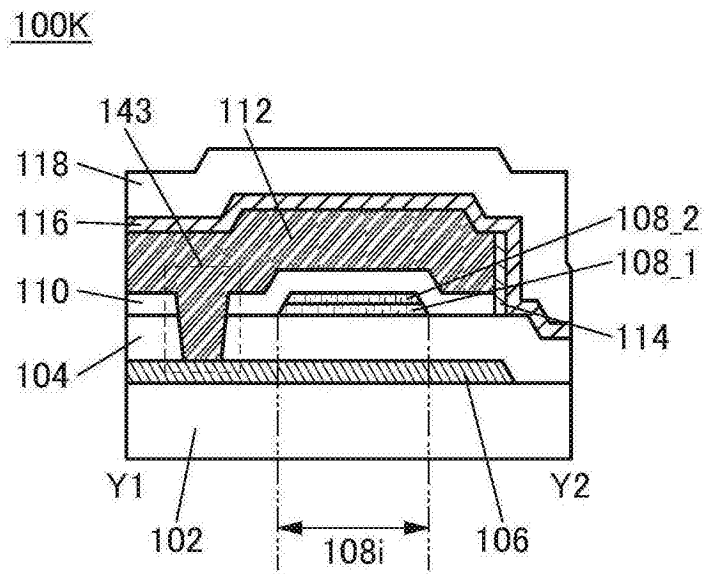


图11B

100L

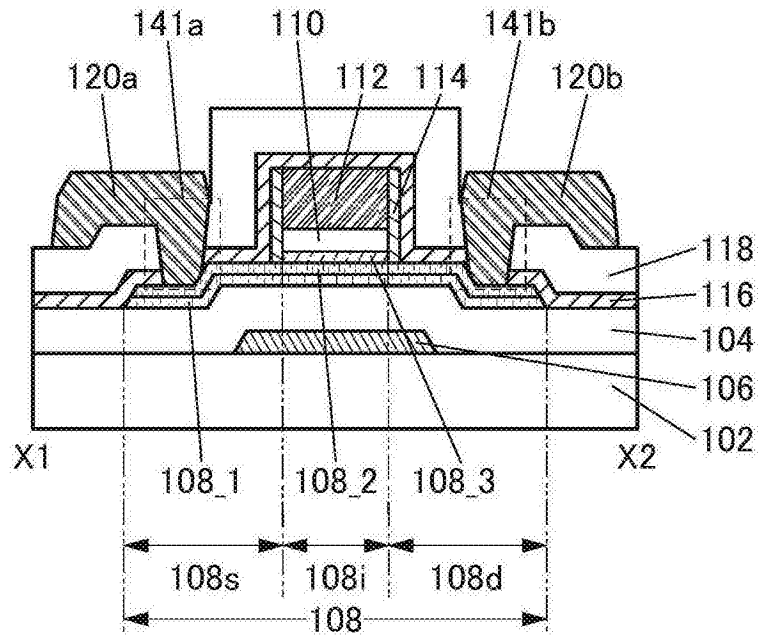


图12A

100L

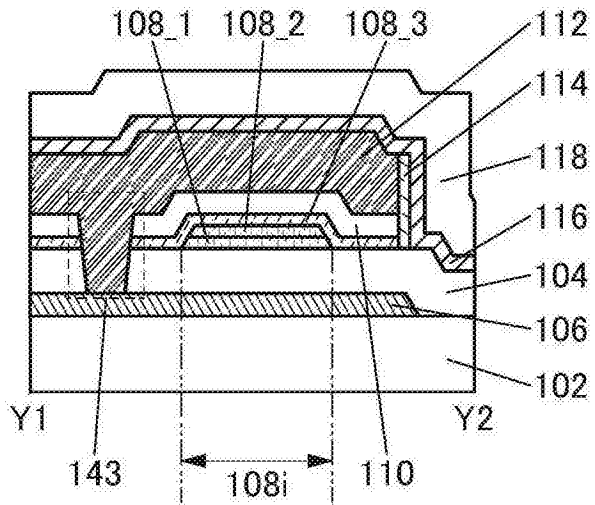


图12B

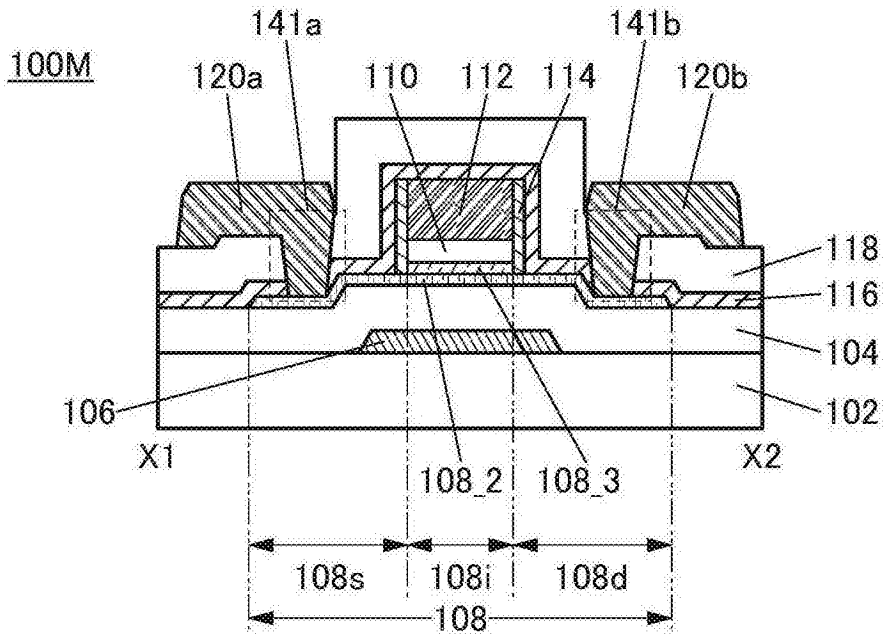


图13A

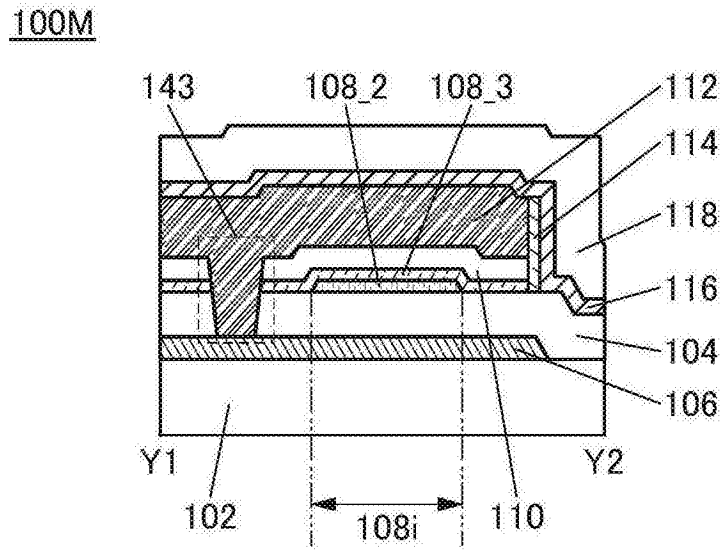


图13B

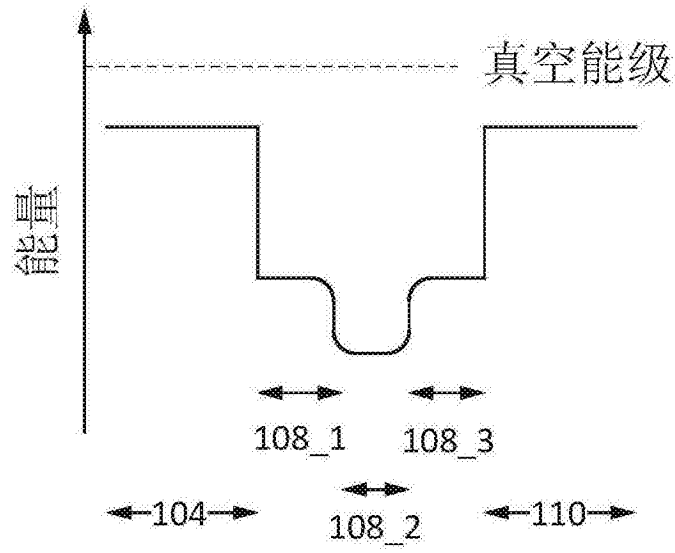


图14A

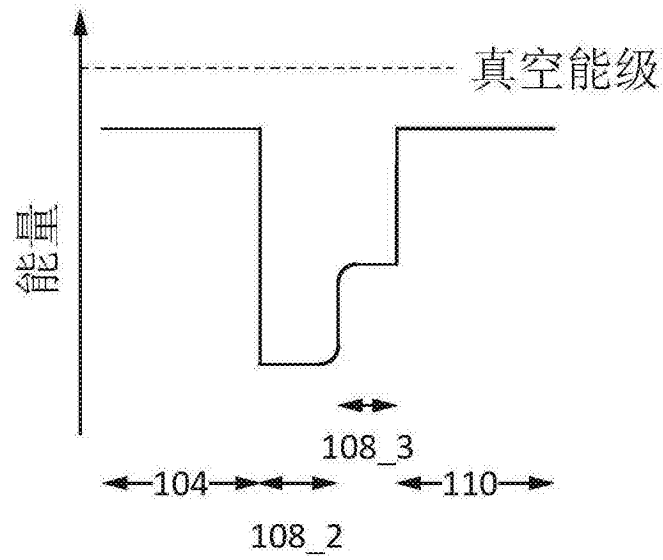


图14B

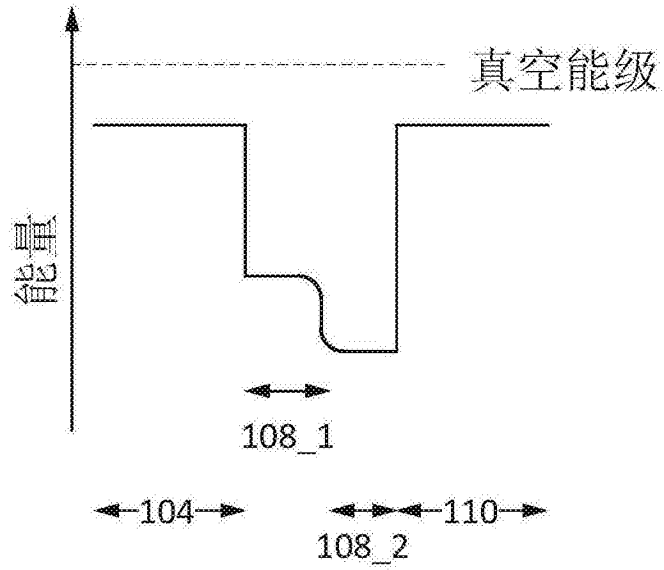


图14C

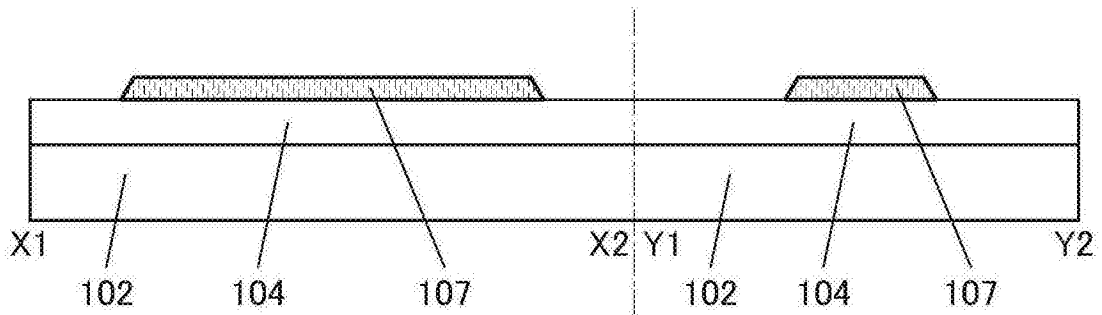


图15A

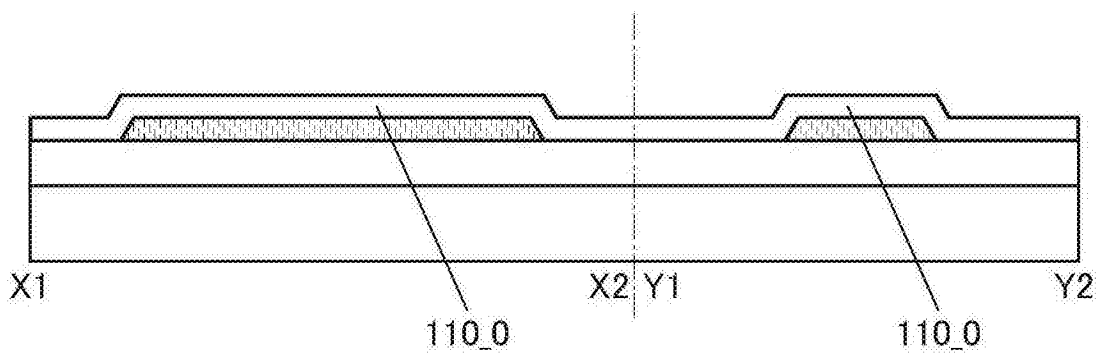


图15B

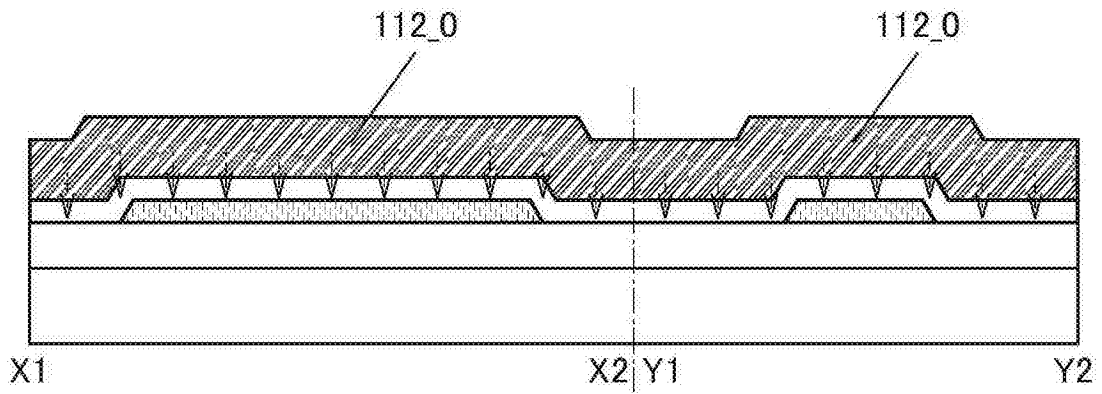


图15C

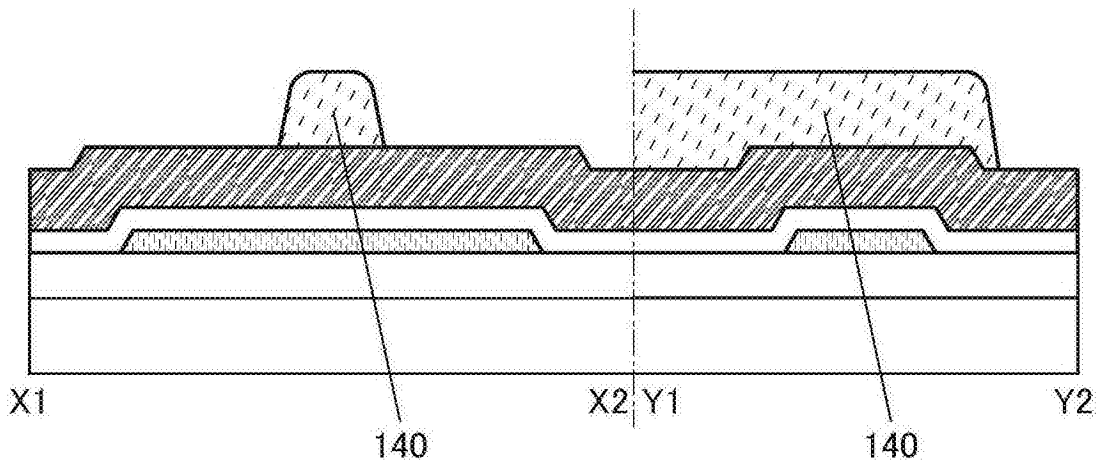


图15D

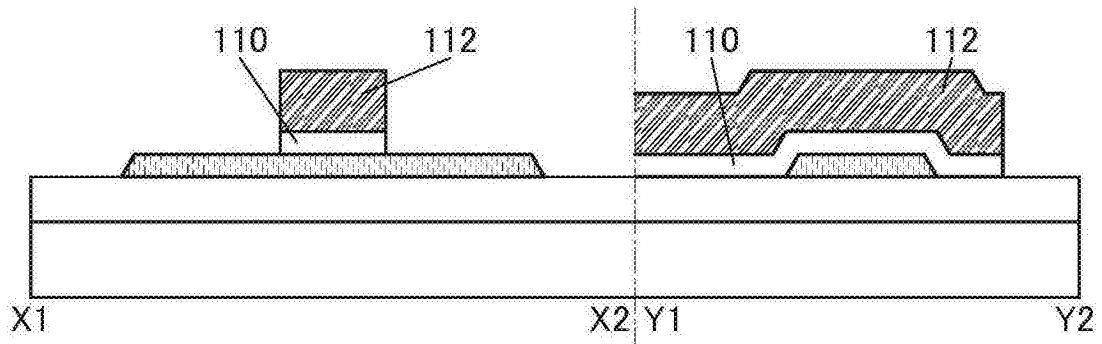


图16A

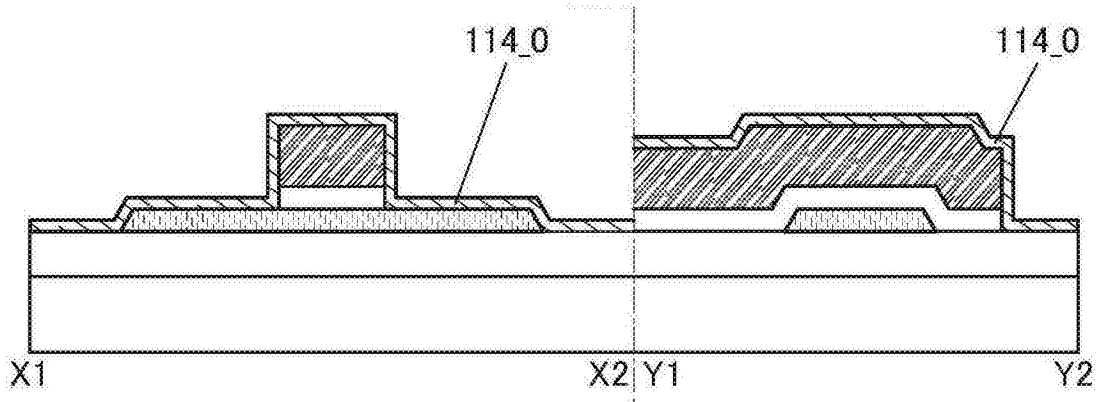


图16B

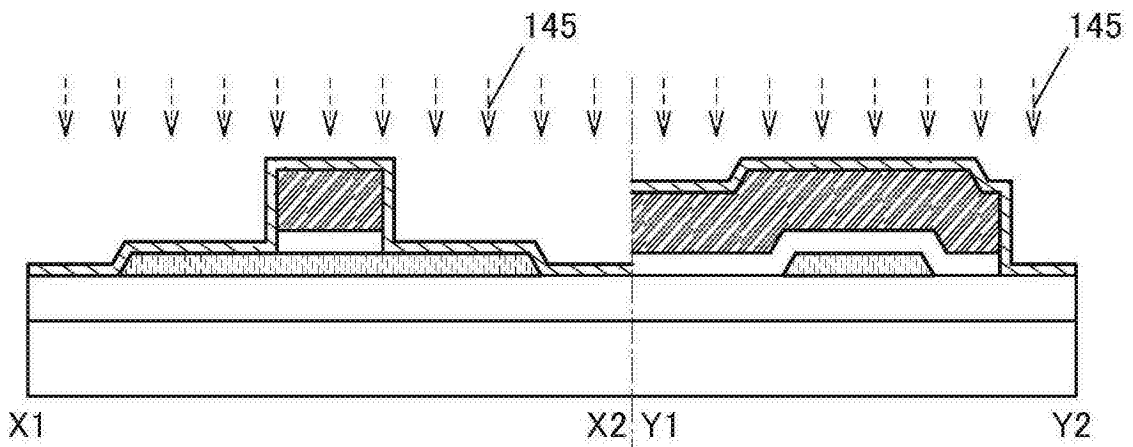


图16C

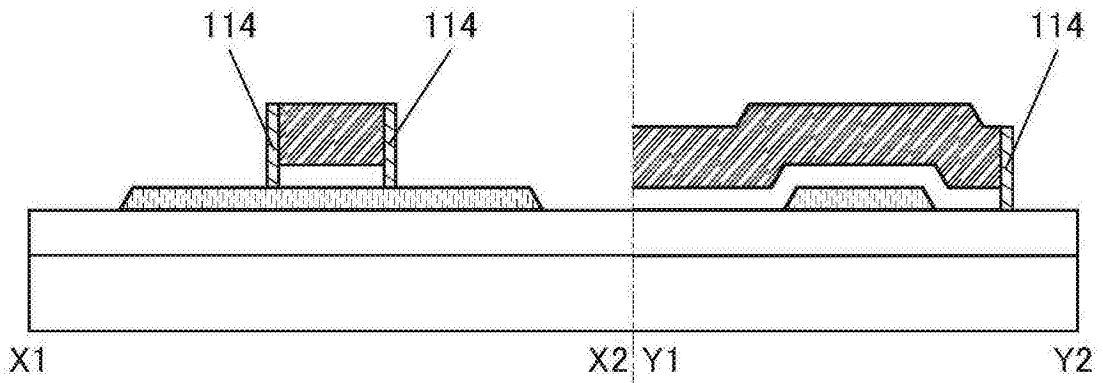


图16D

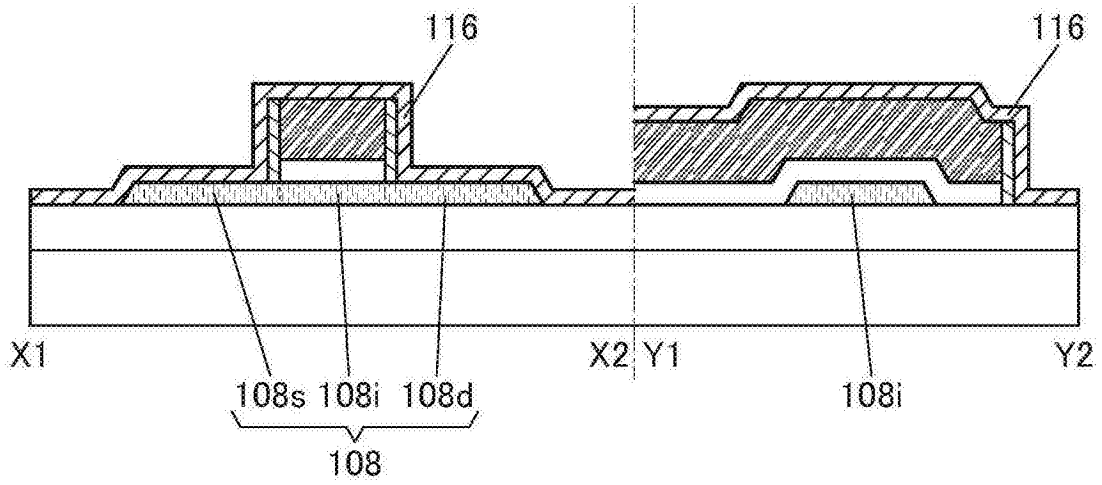


图17A

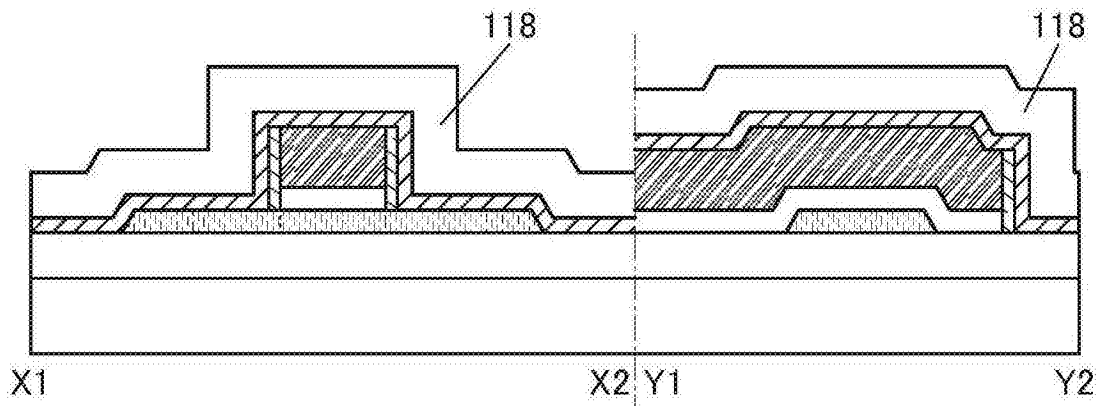


图17B

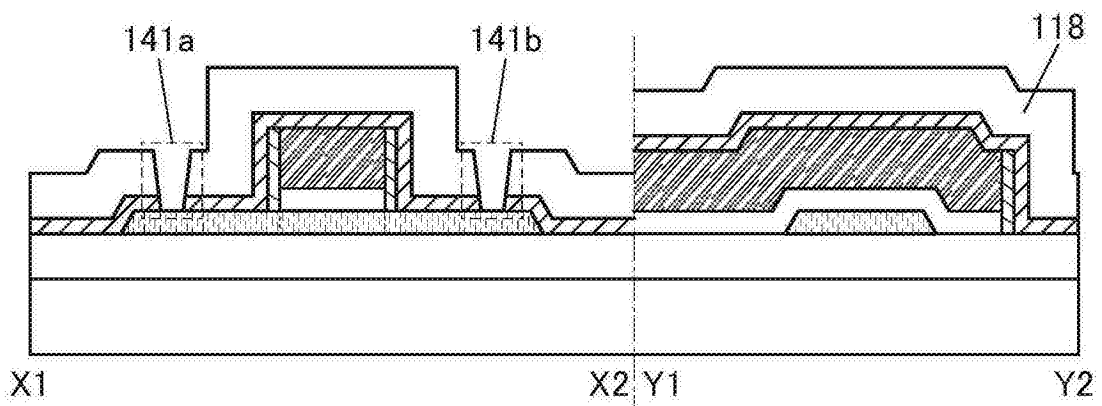


图17C

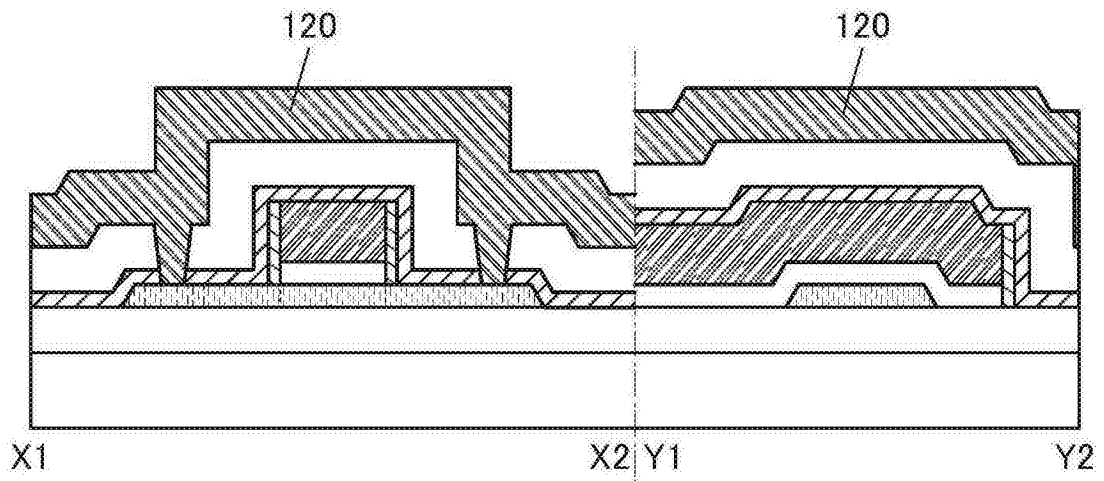


图18A

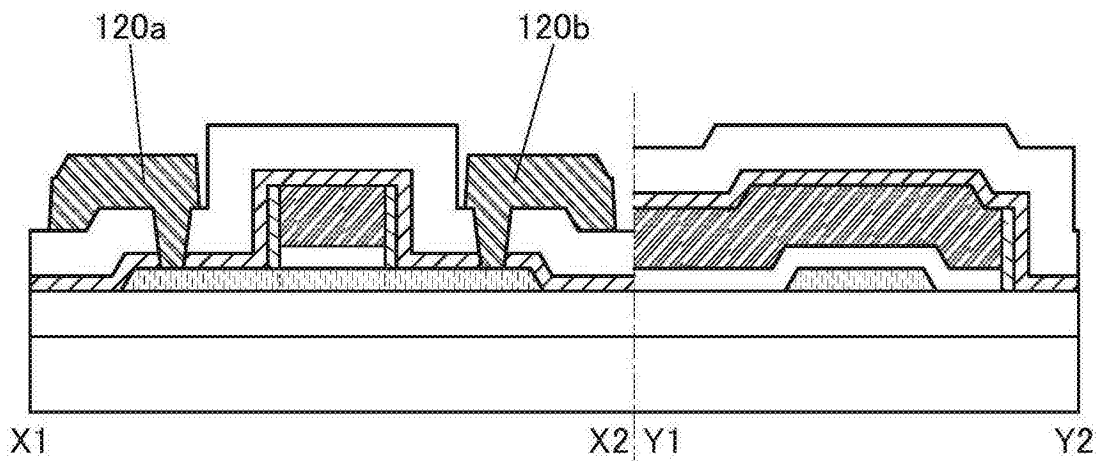


图18B

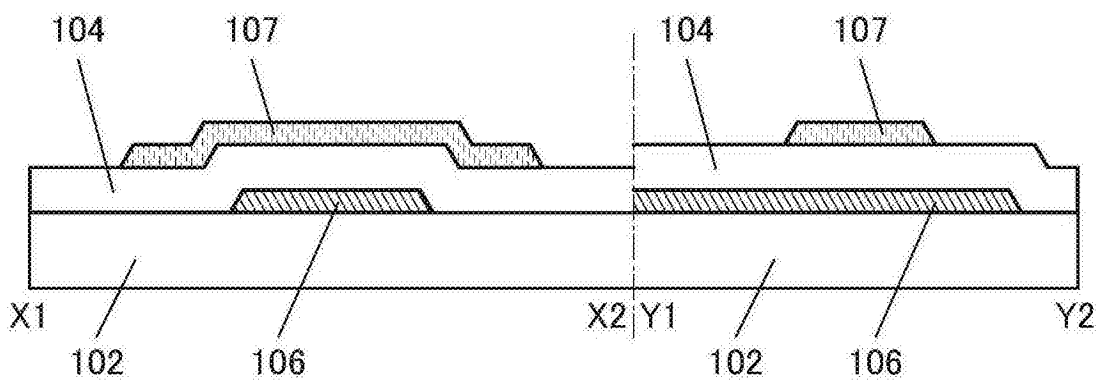


图19A

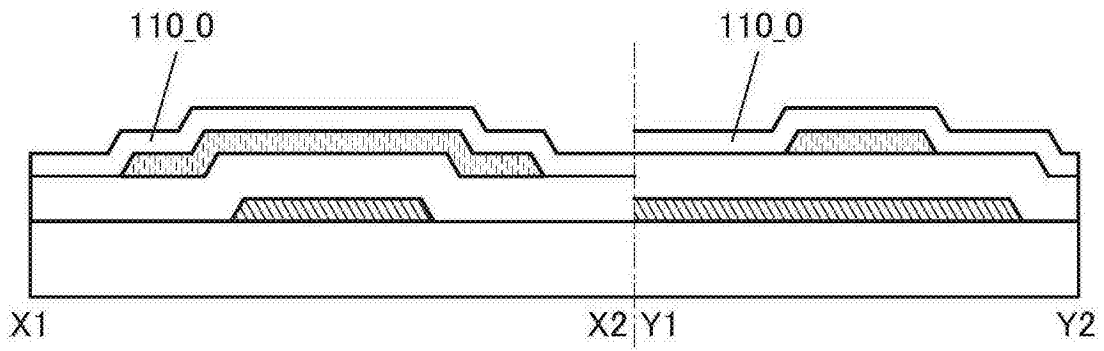


图19B

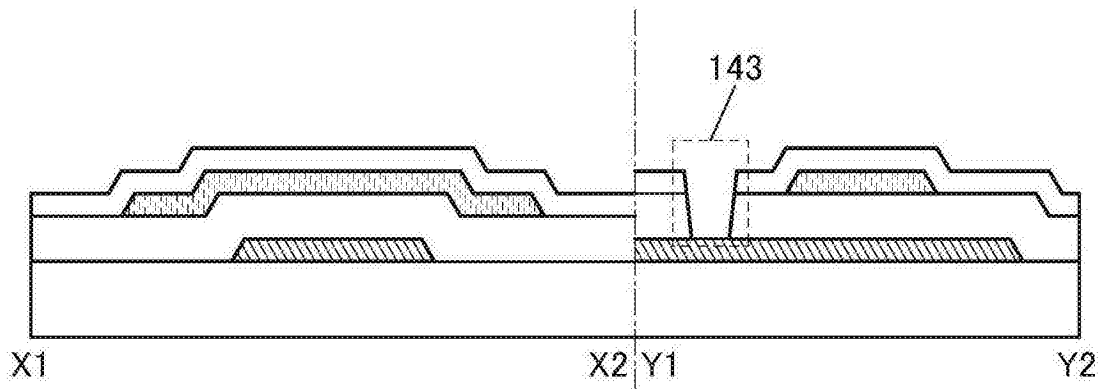


图19C

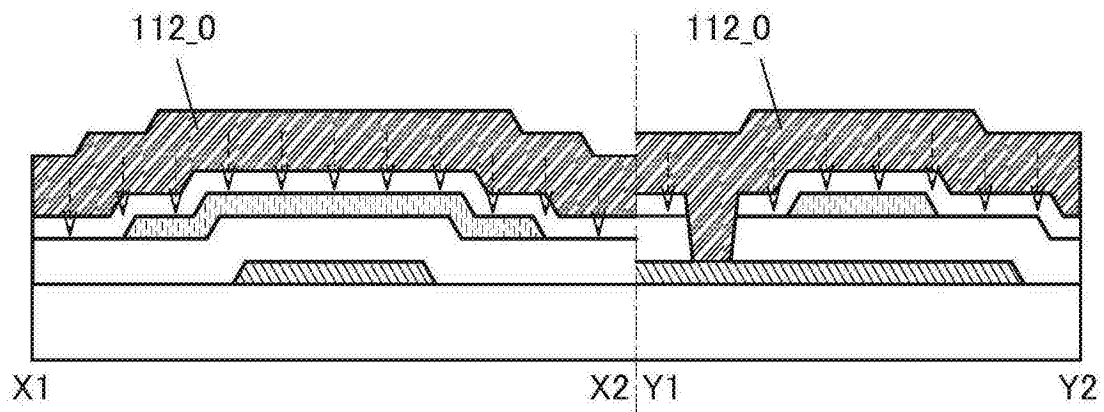


图19D

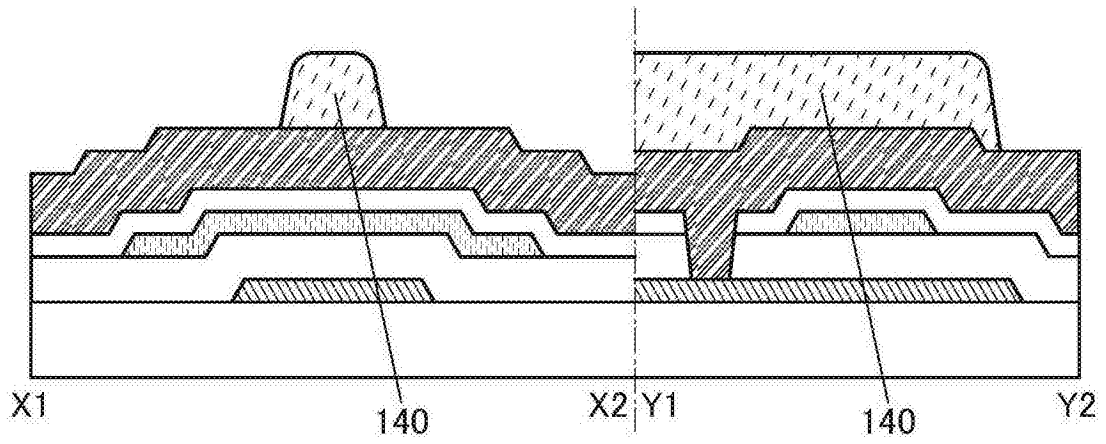


图20A

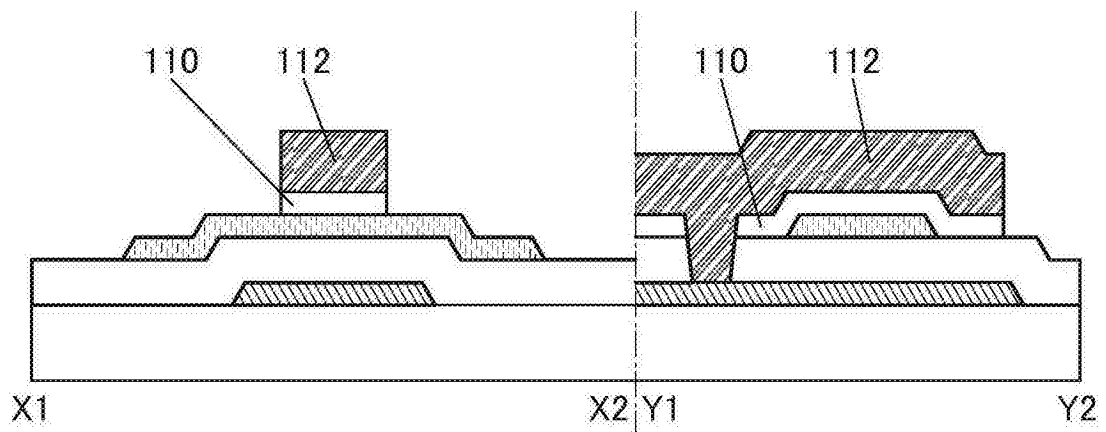


图20B

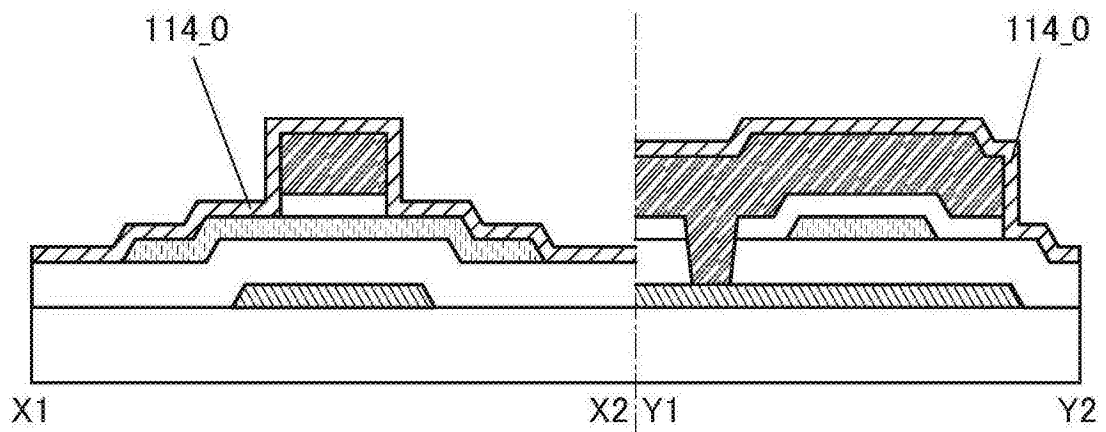


图20C

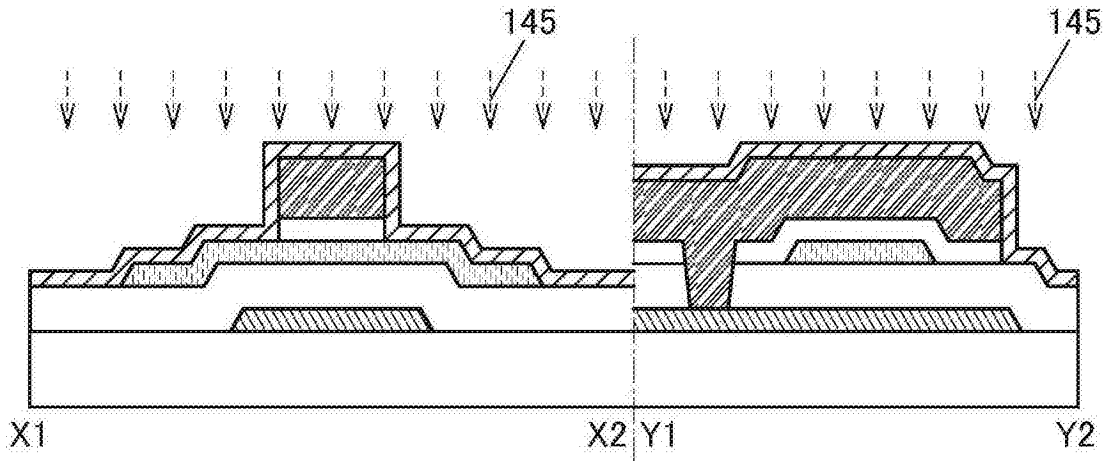


图21A

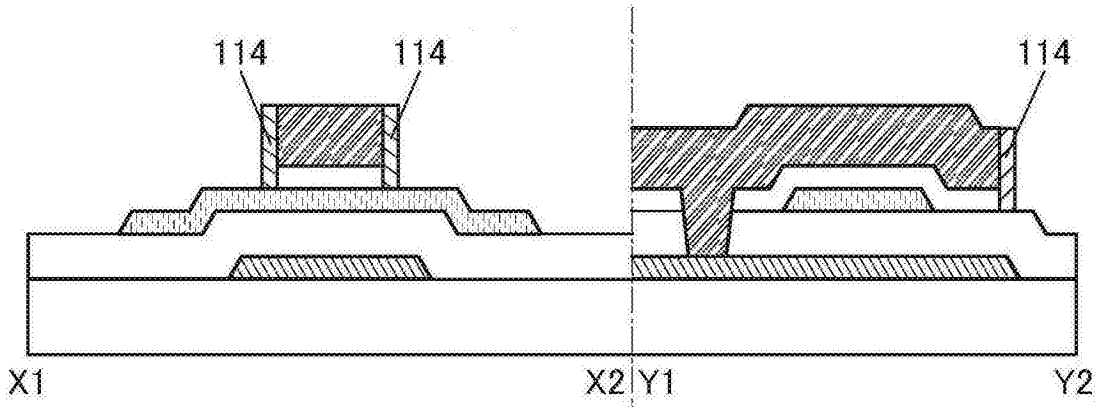


图21B

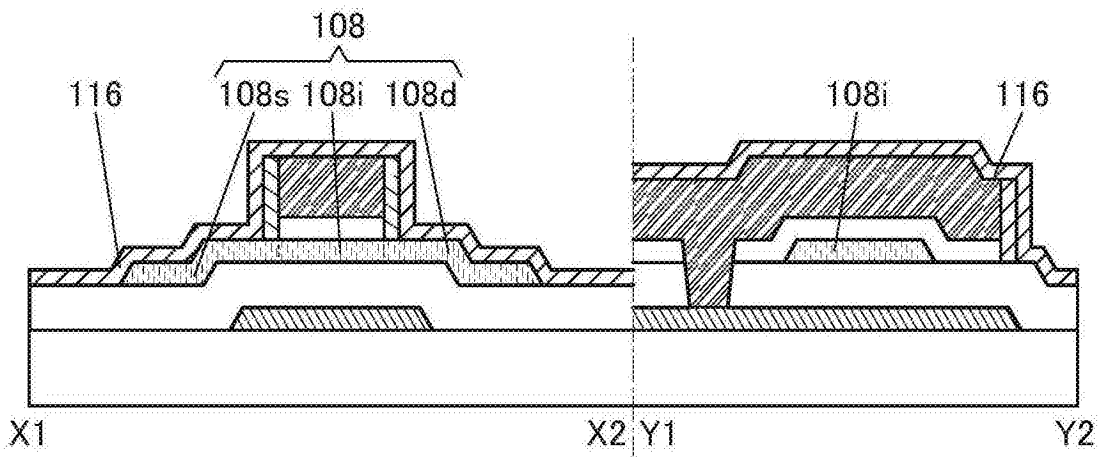


图21C

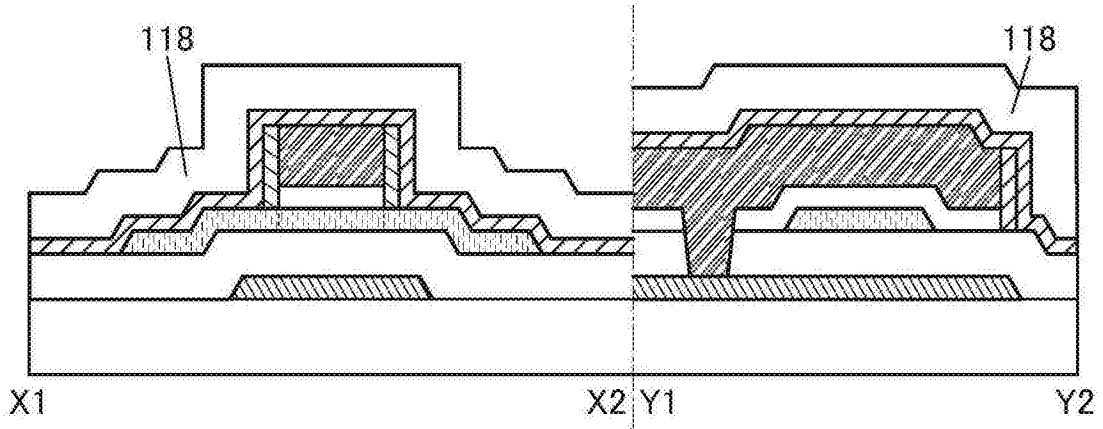


图21D

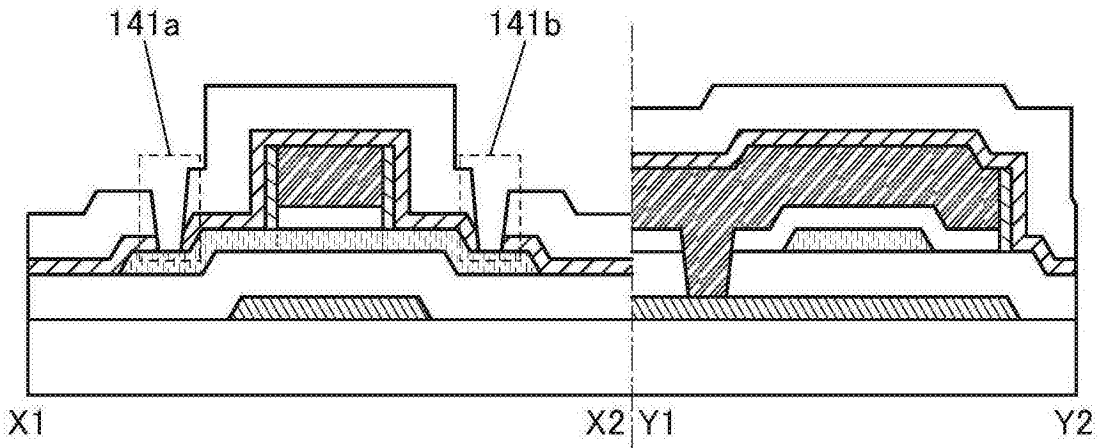


图22A

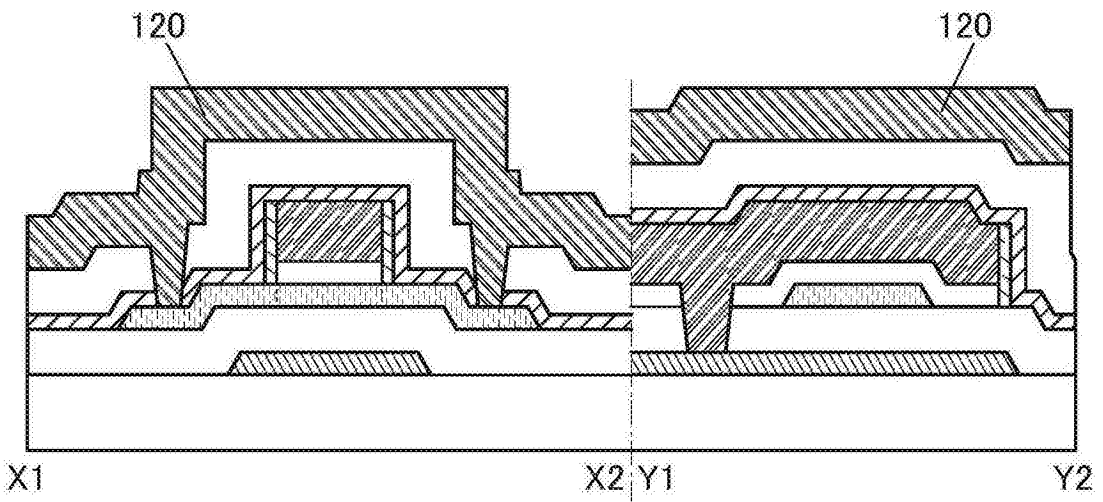


图22B

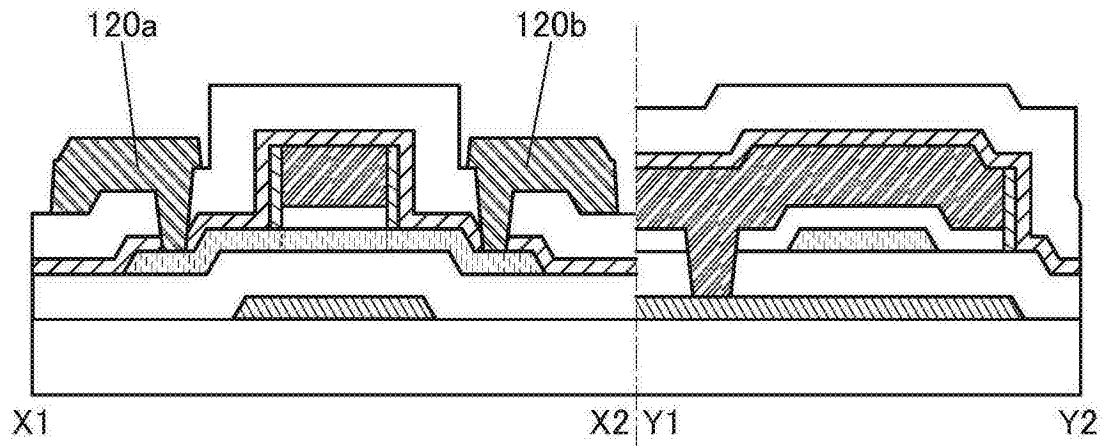


图22C

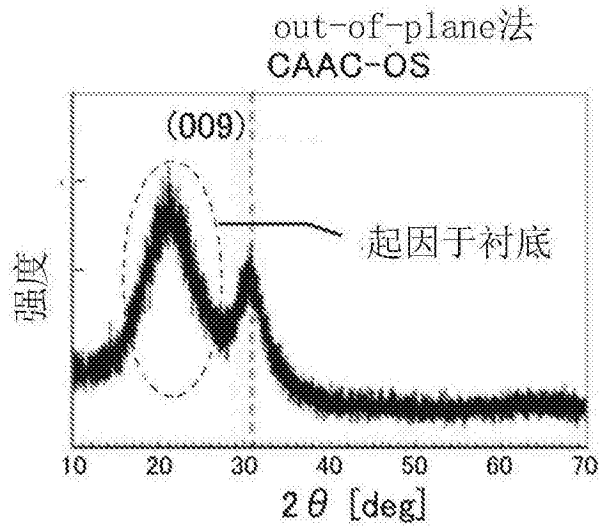


图23A

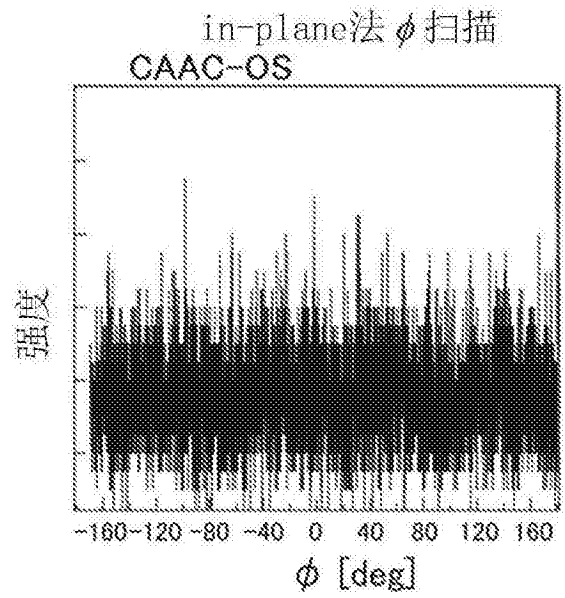


图23B

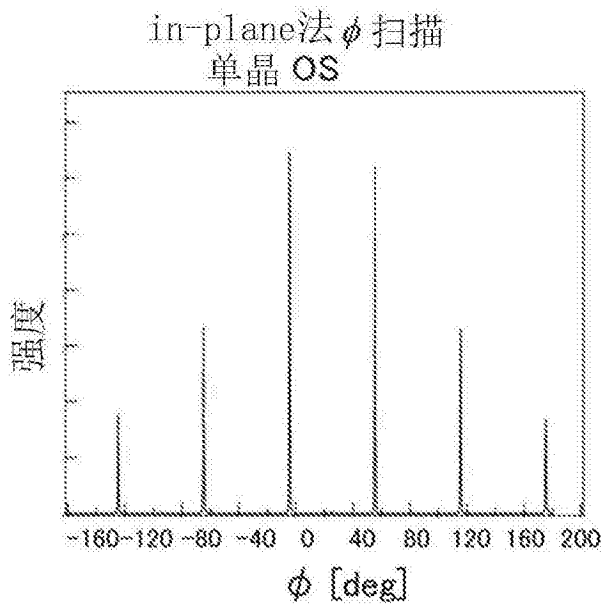


图23C

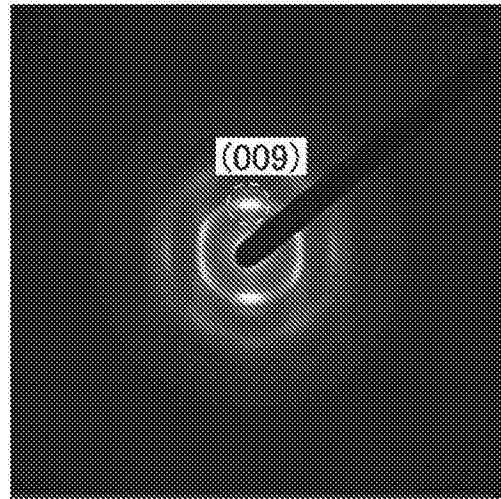


图23D

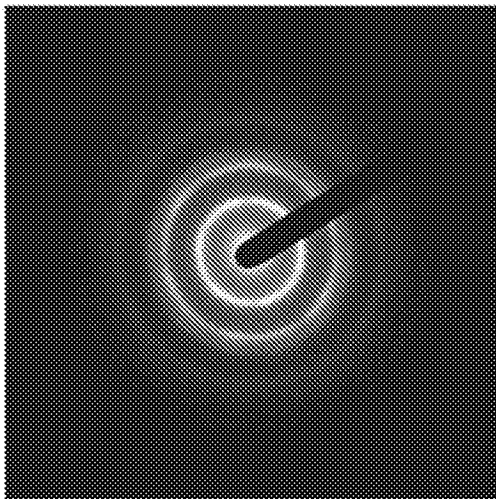


图23E

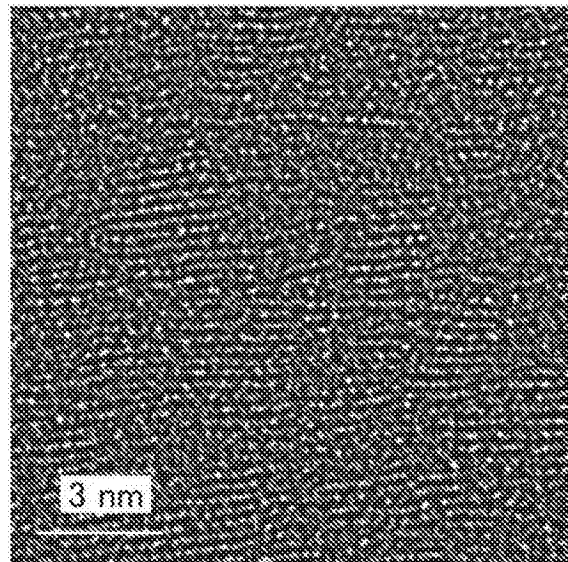


图24A

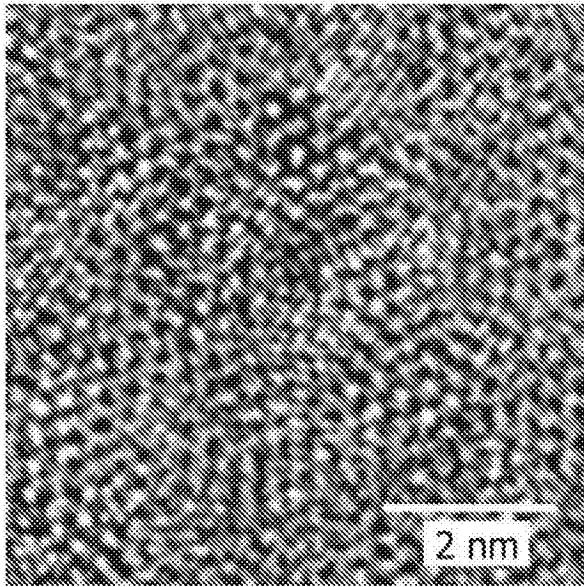


图24B

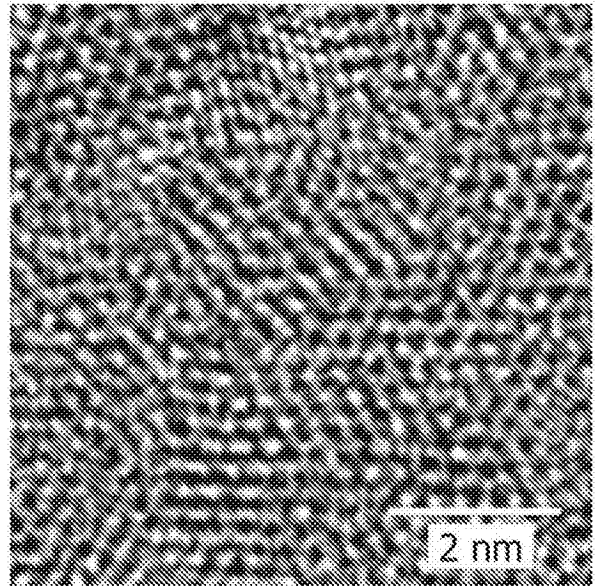


图24C

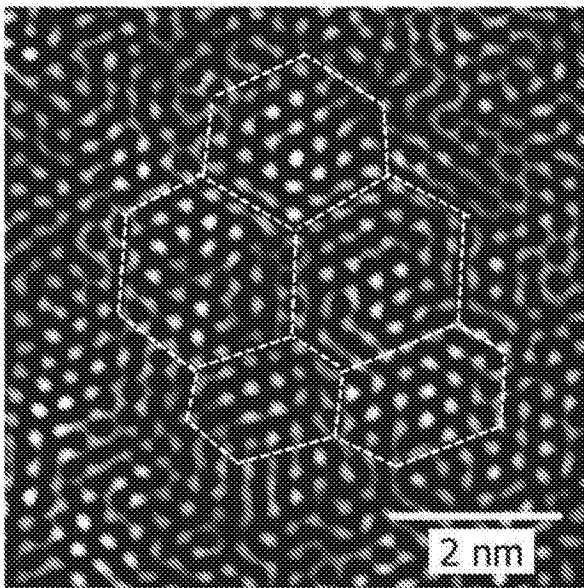


图24D

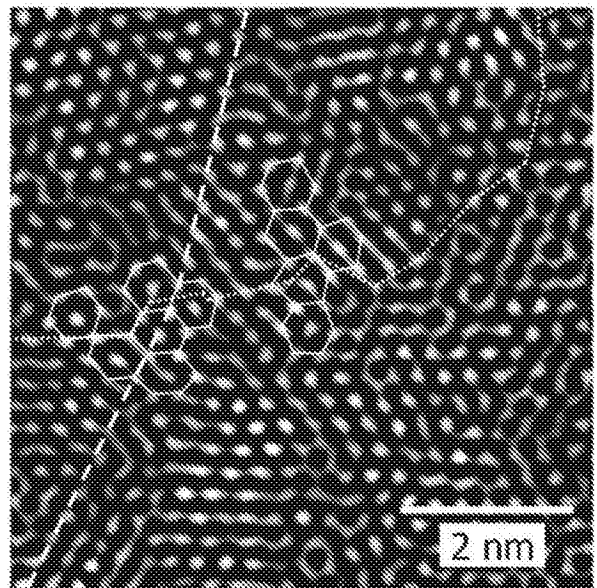


图24E

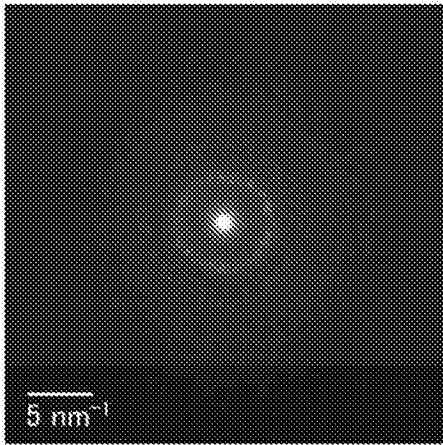


图25A

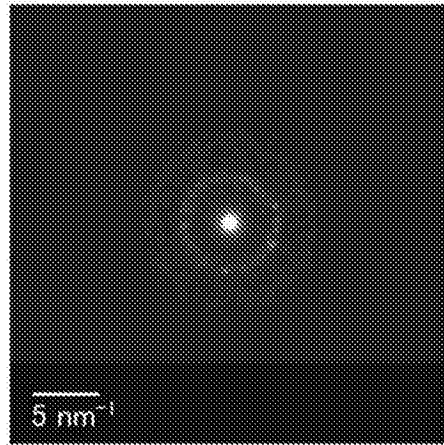


图25B

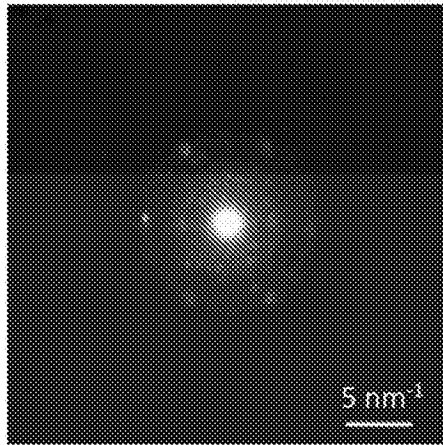


图25C

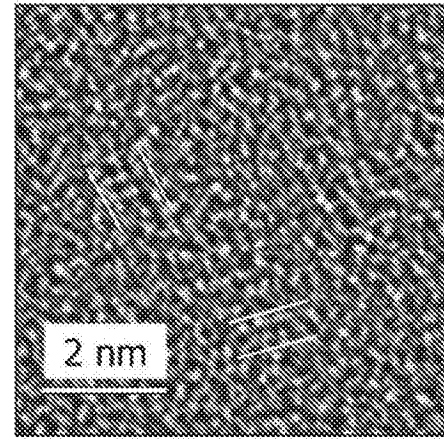


图25D

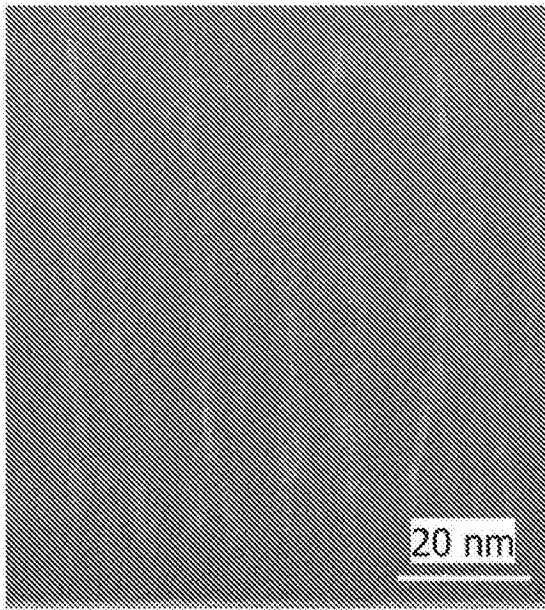


图26A

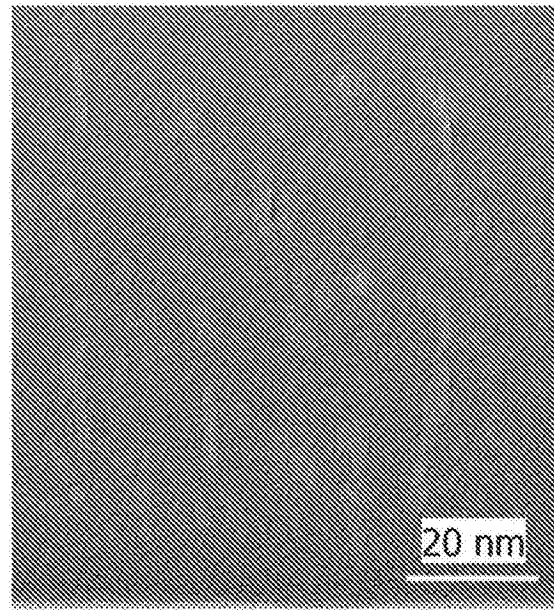


图26B

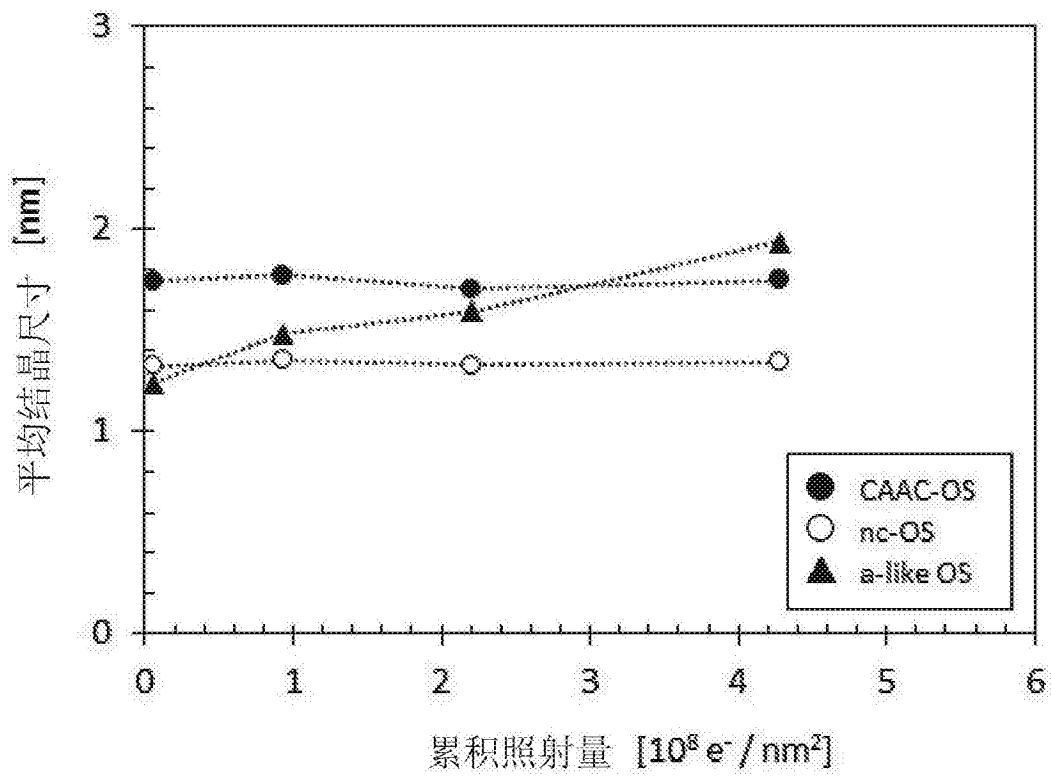


图27

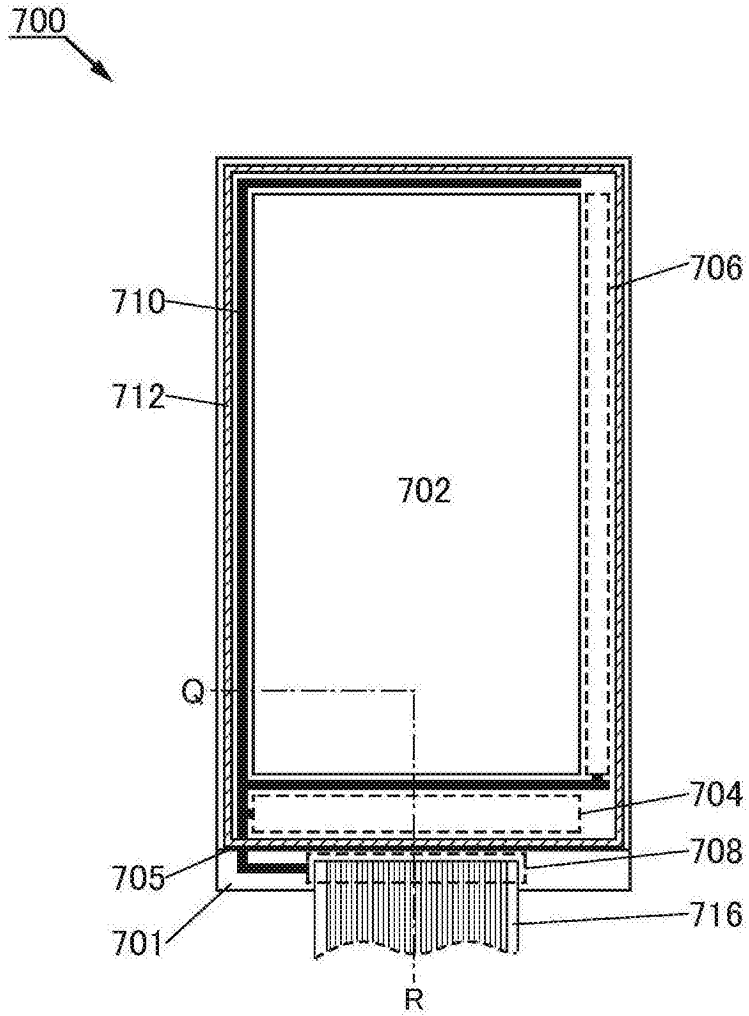


图28

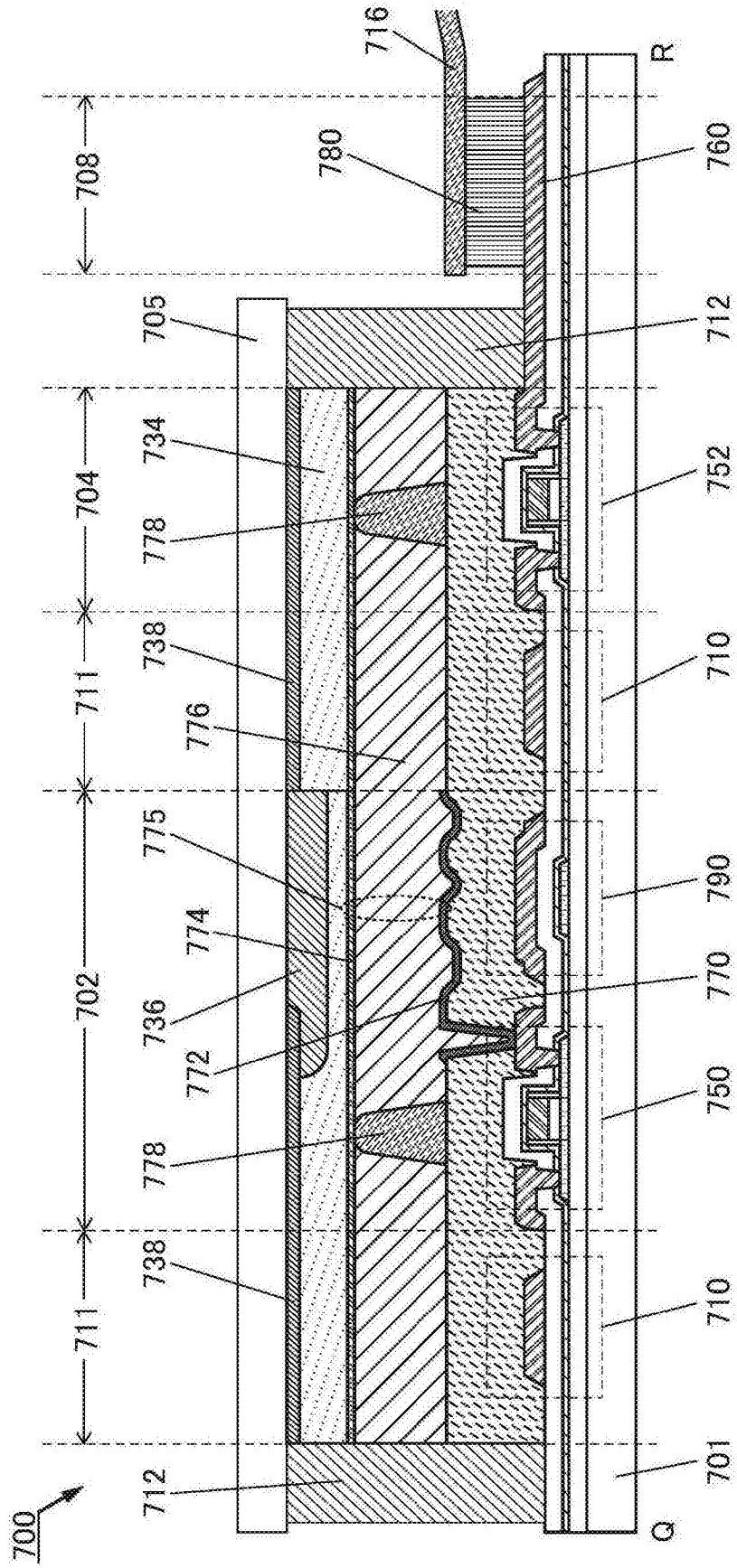


图29

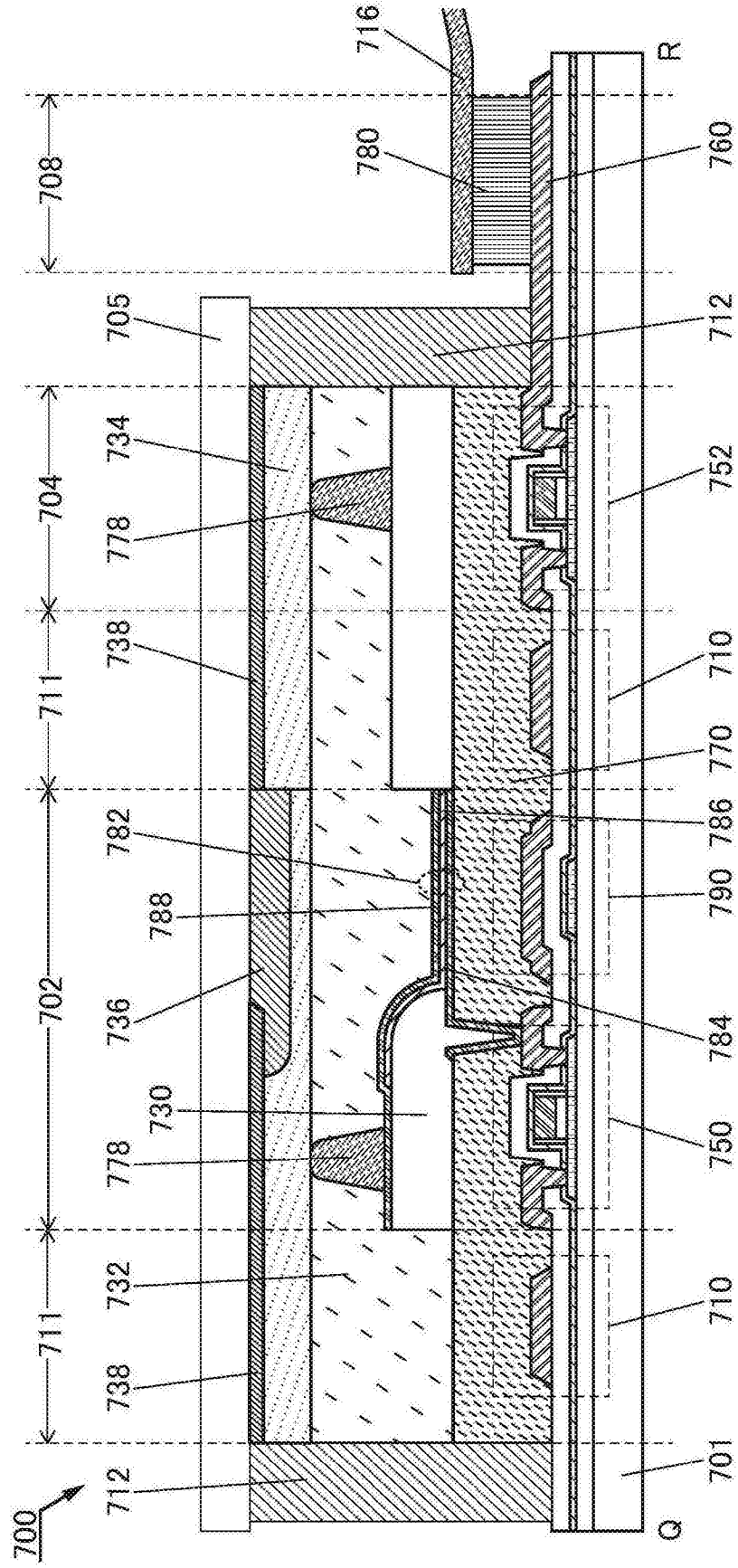


图30

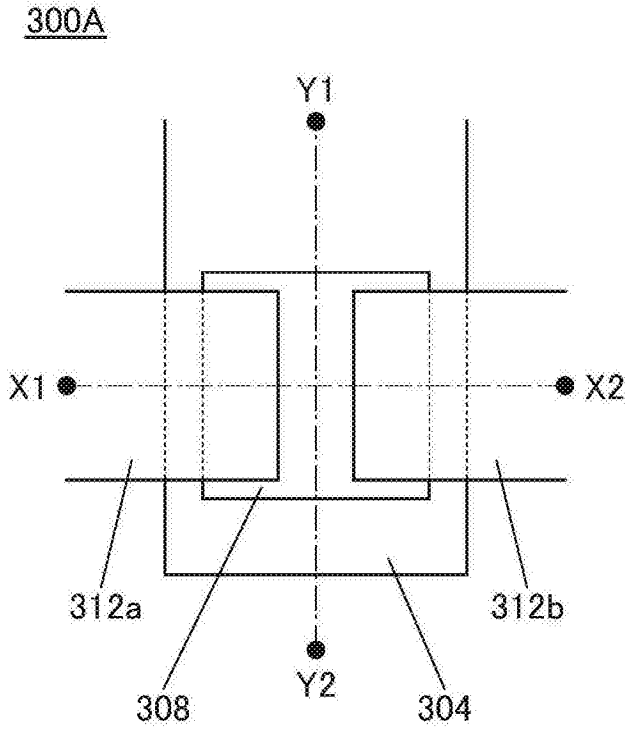


图31A

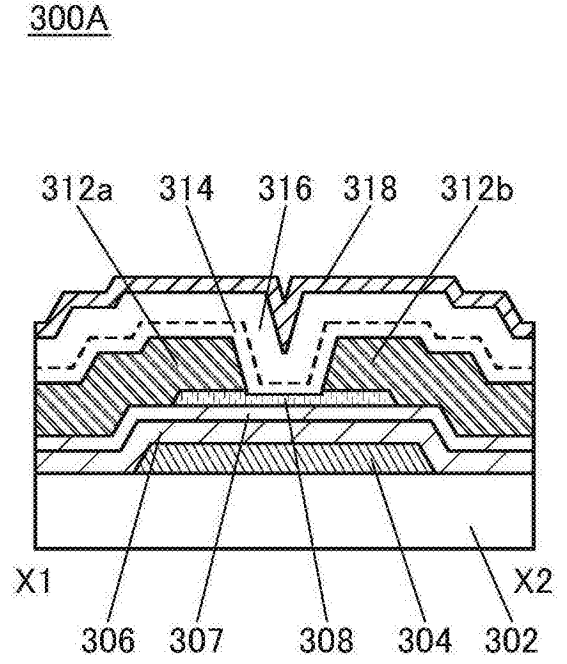


图31B

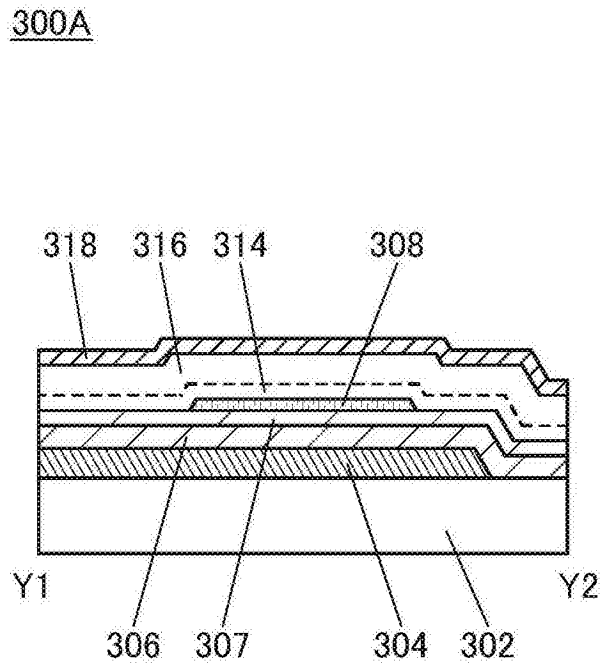


图31C

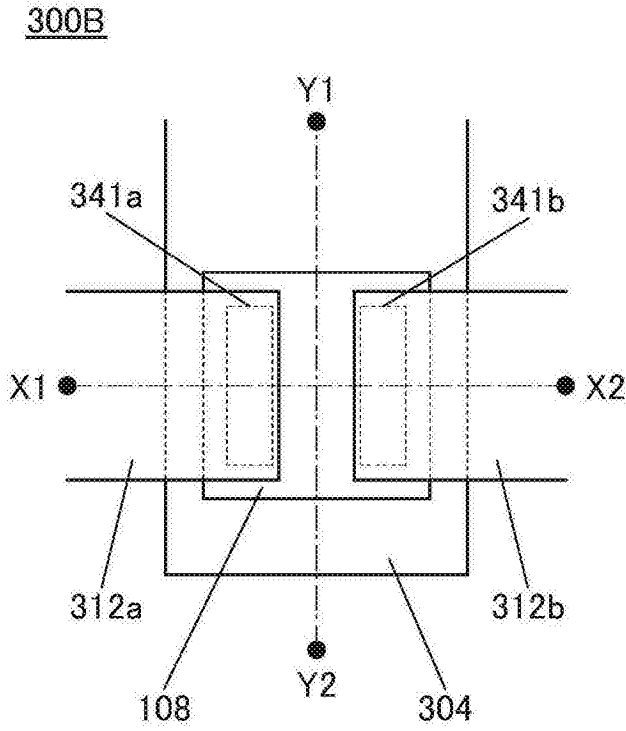


图32A

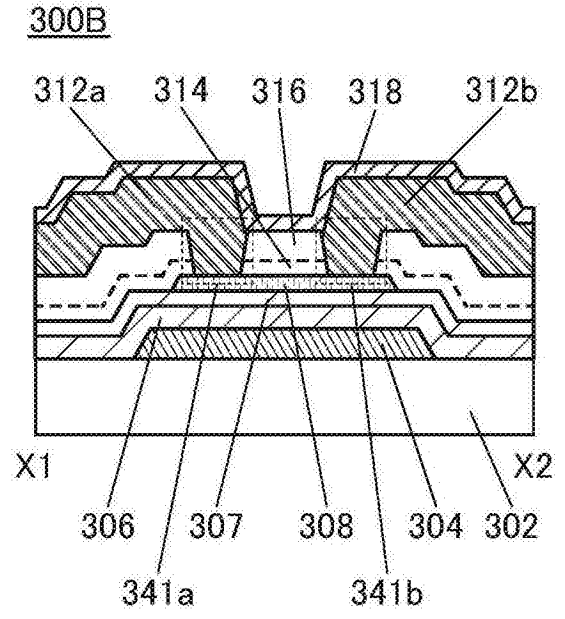


图32B

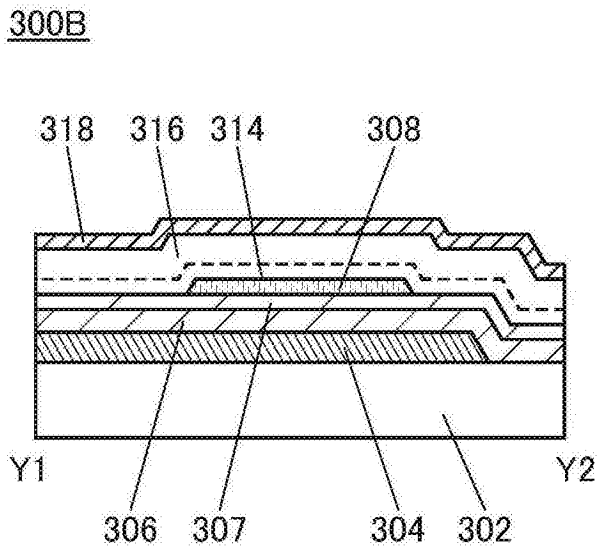


图32C

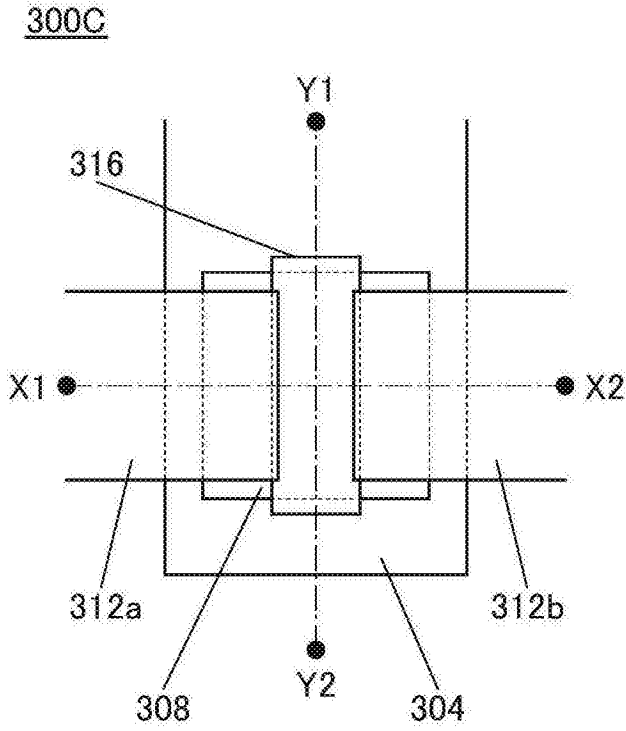


图33A

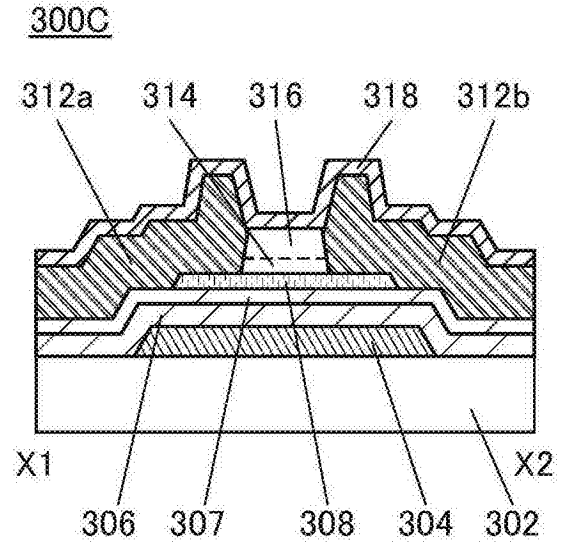


图33B

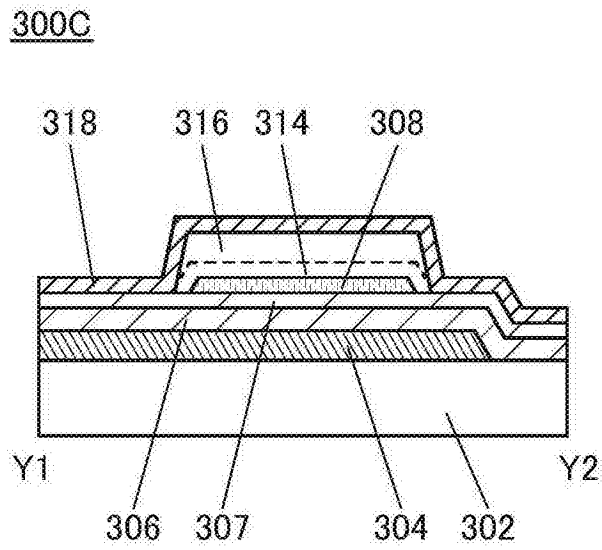


图33C

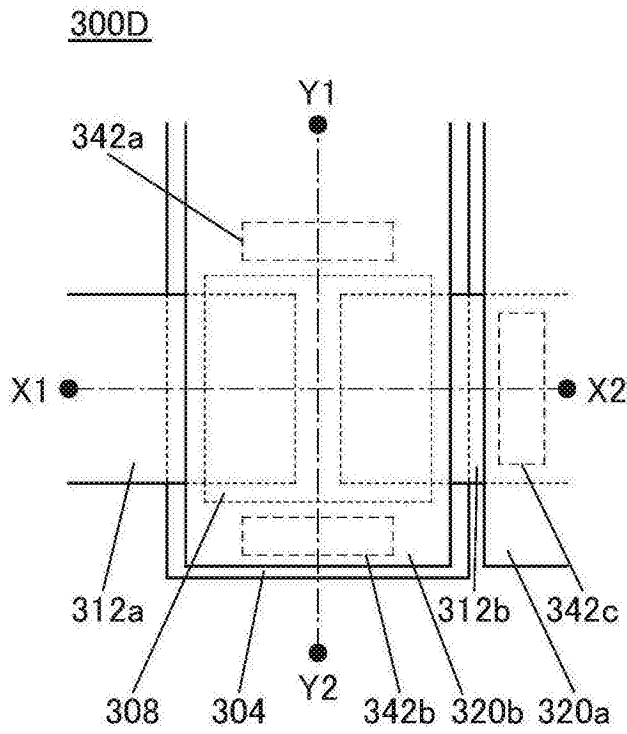


图34A

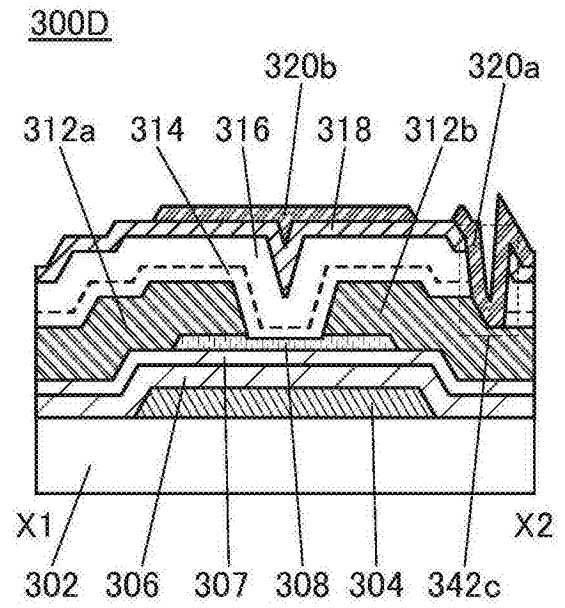


图34B

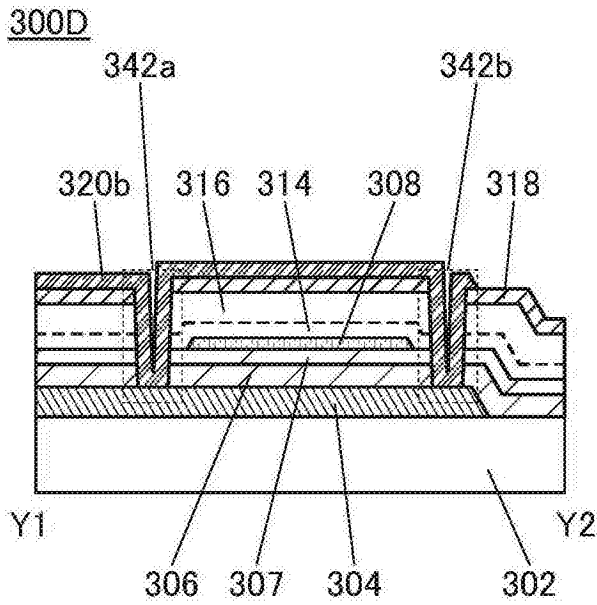


图34C

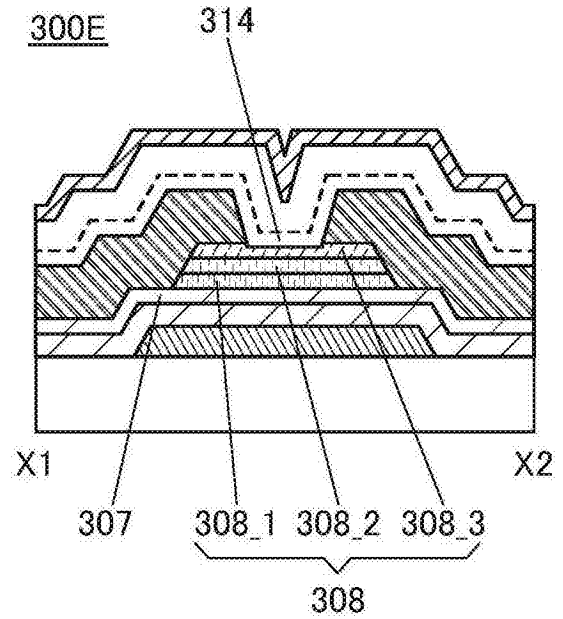


图35A

300E

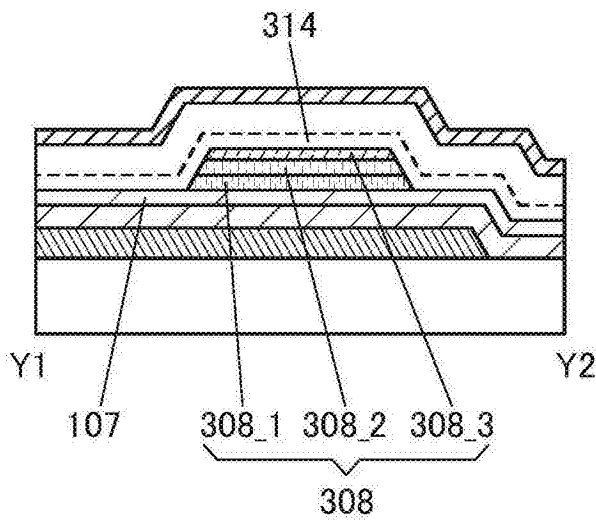


图35B

300F

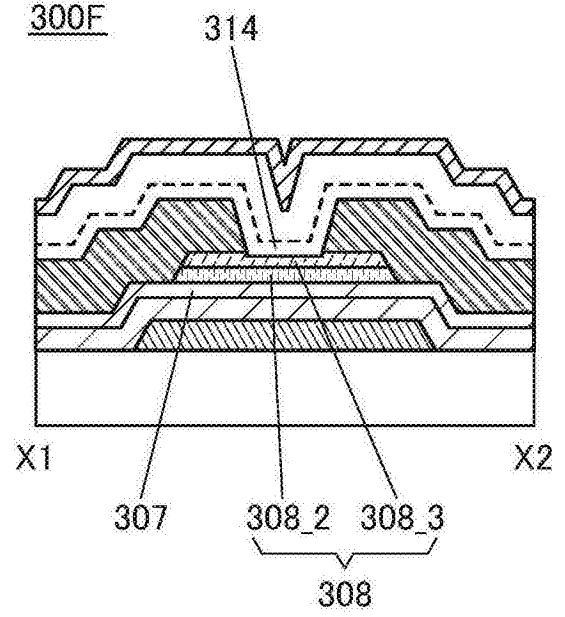


图35C

300F

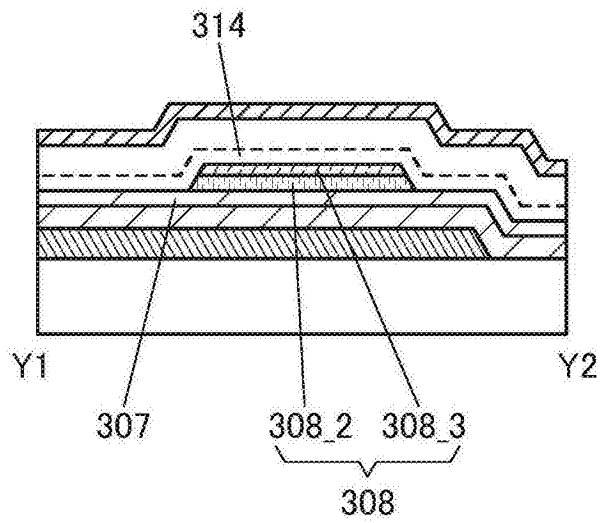


图35D

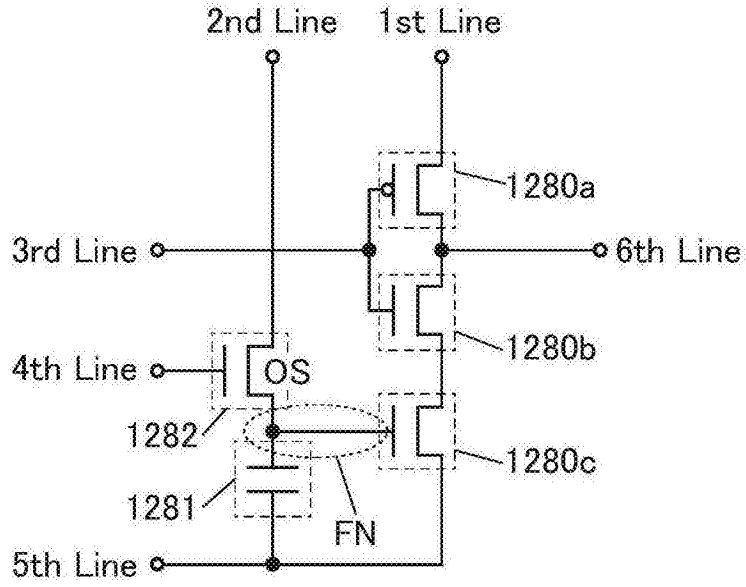


图36

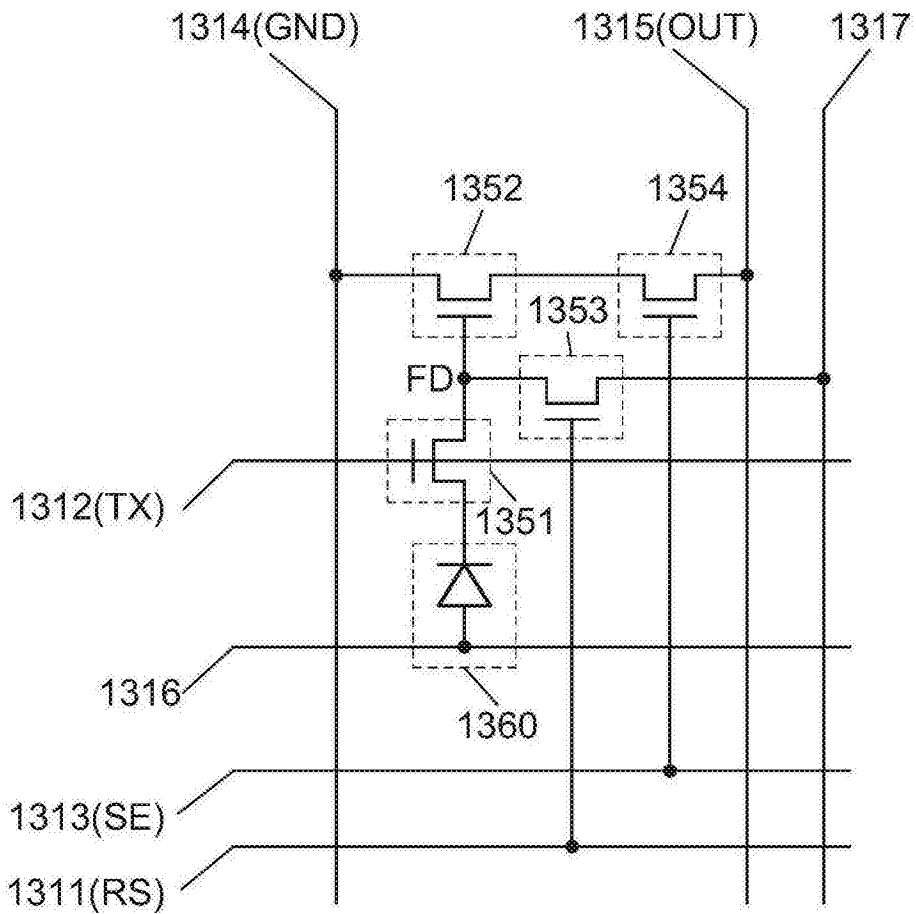


图37A

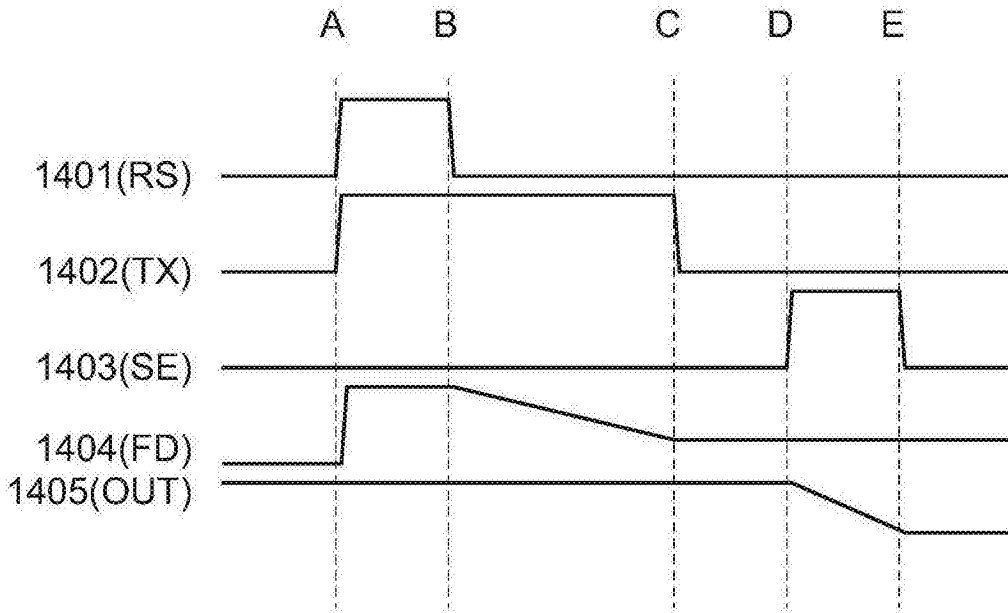


图37B

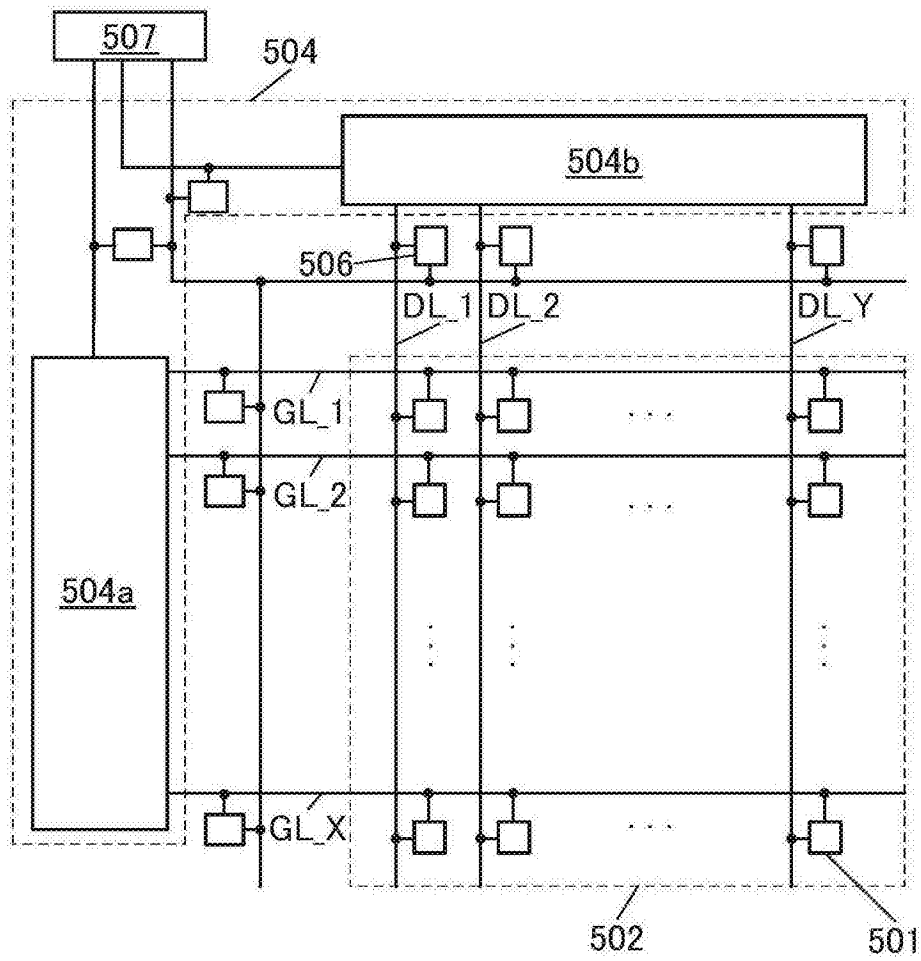


图38A

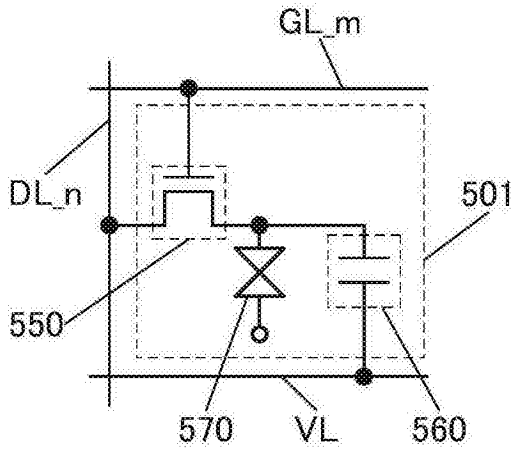


图38B

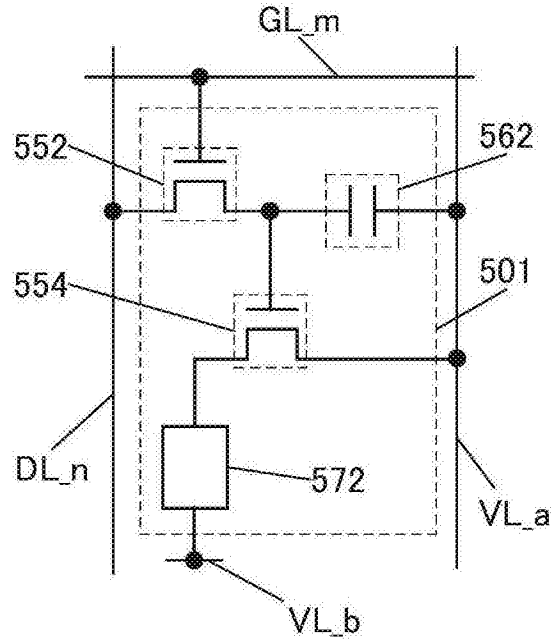


图38C

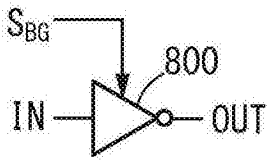


图39A

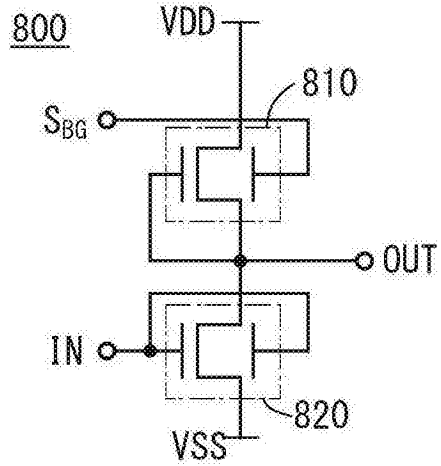


图39B

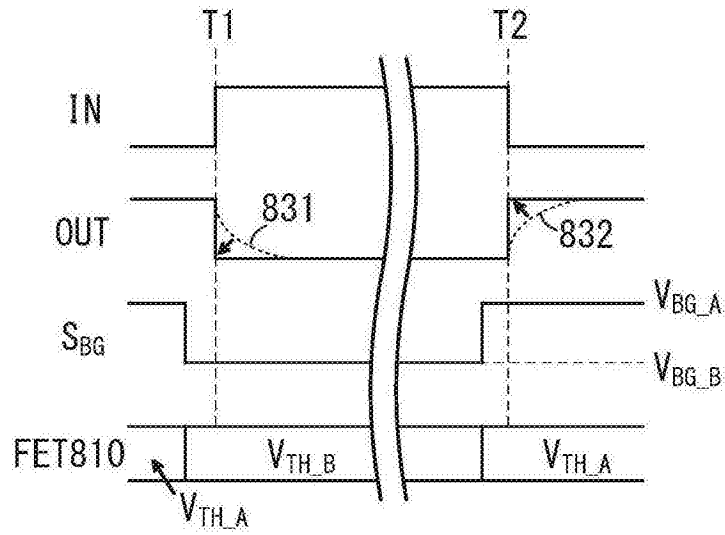


图39C

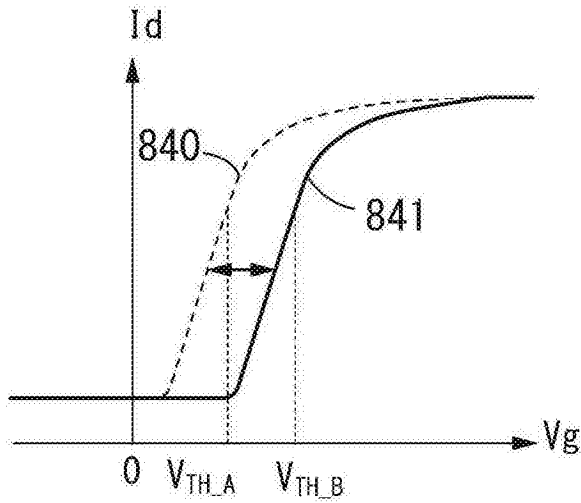


图40A

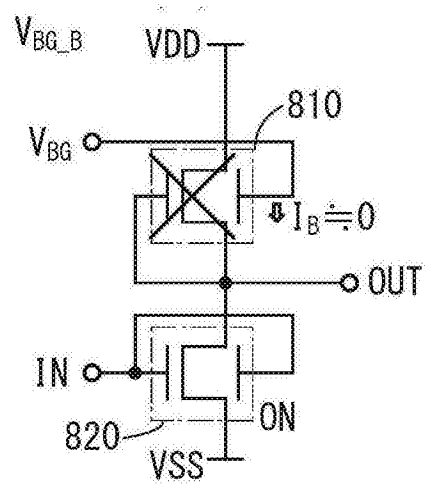


图40B

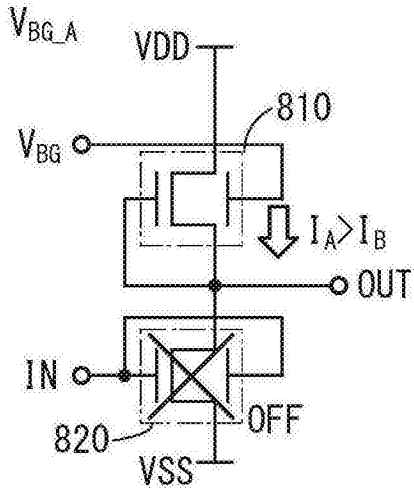


图40C

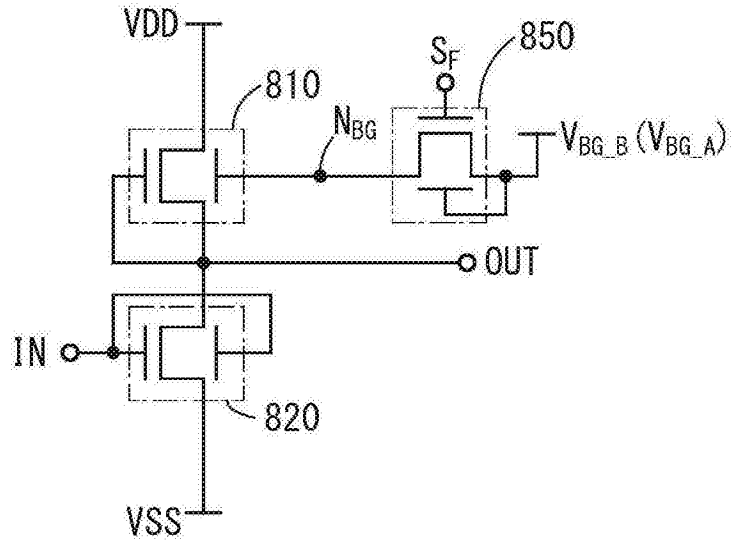


图41A

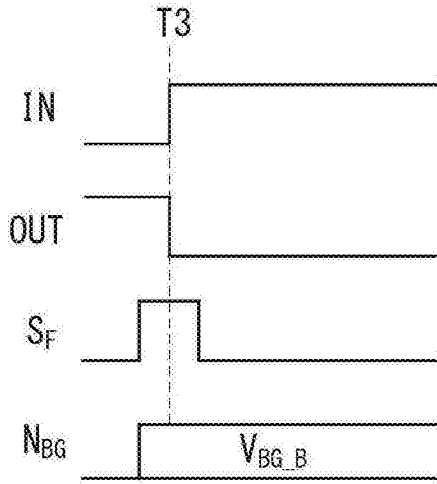


图41B

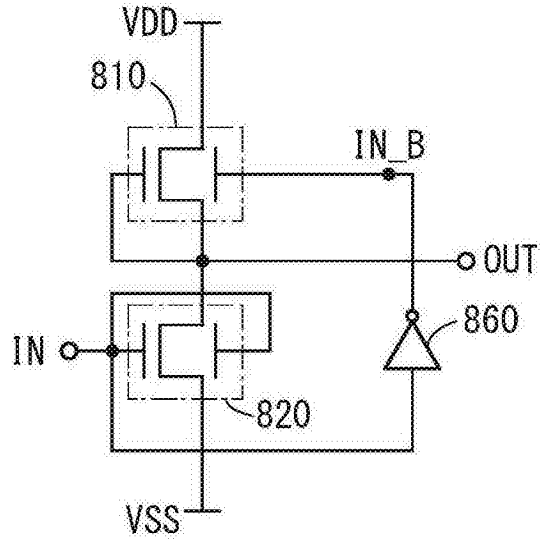


图42A

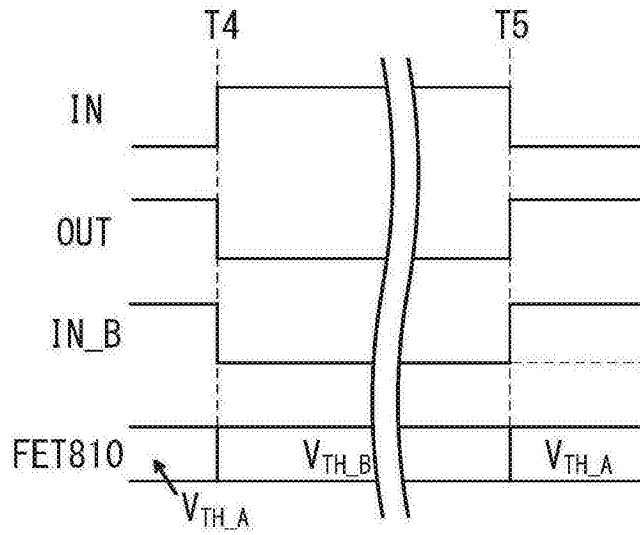


图42B

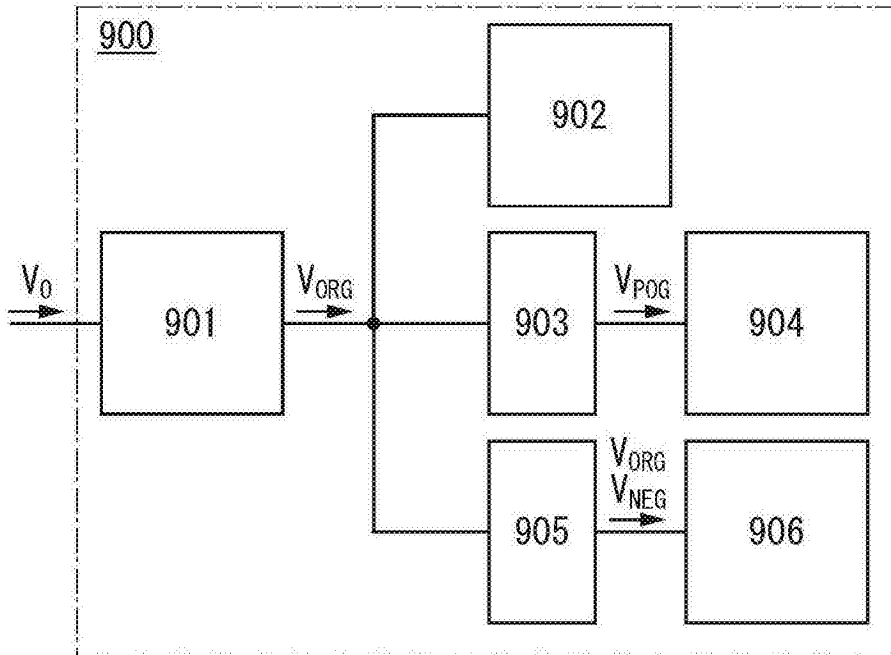


图43A

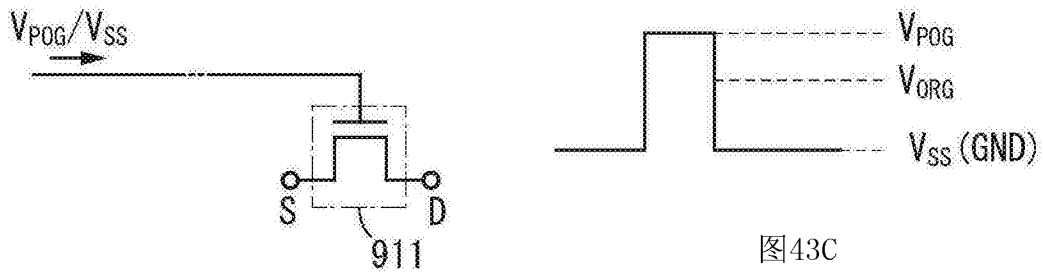


图43C

图43B

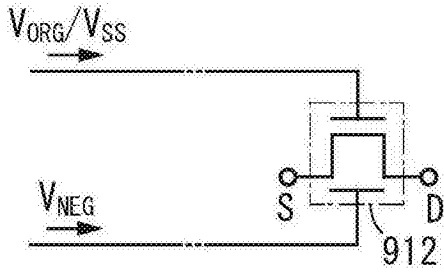


图43D

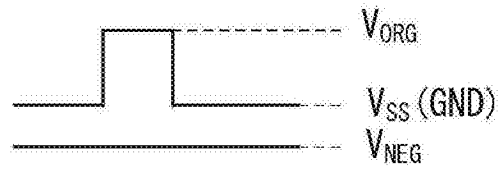


图43E

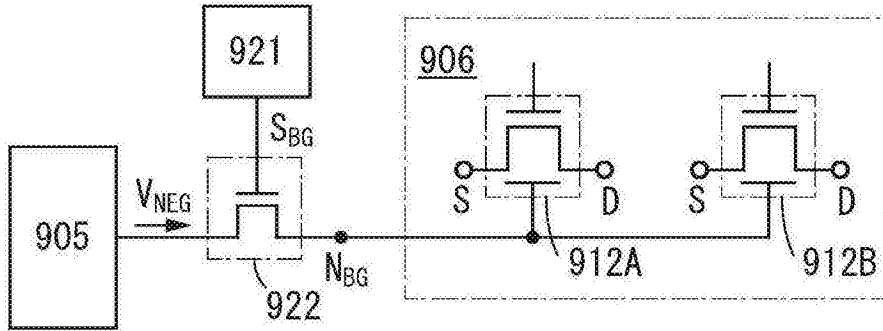


图44A

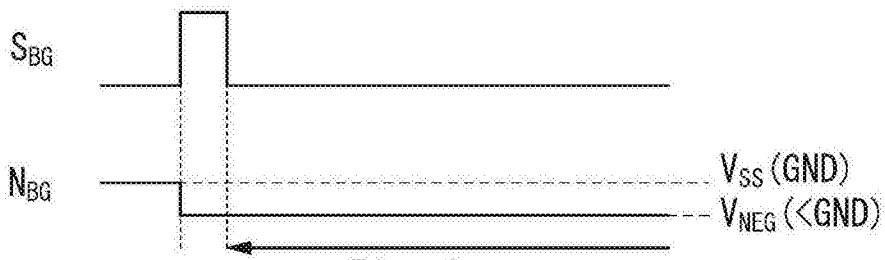


图44B

903 ↘

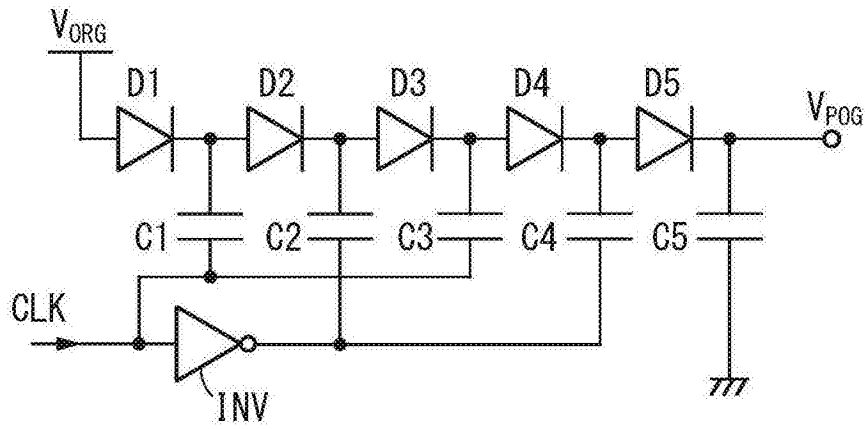


图45A

905 ↘

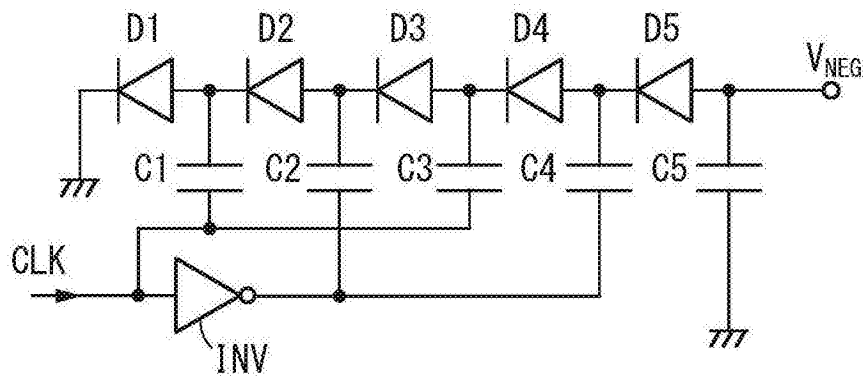


图45B

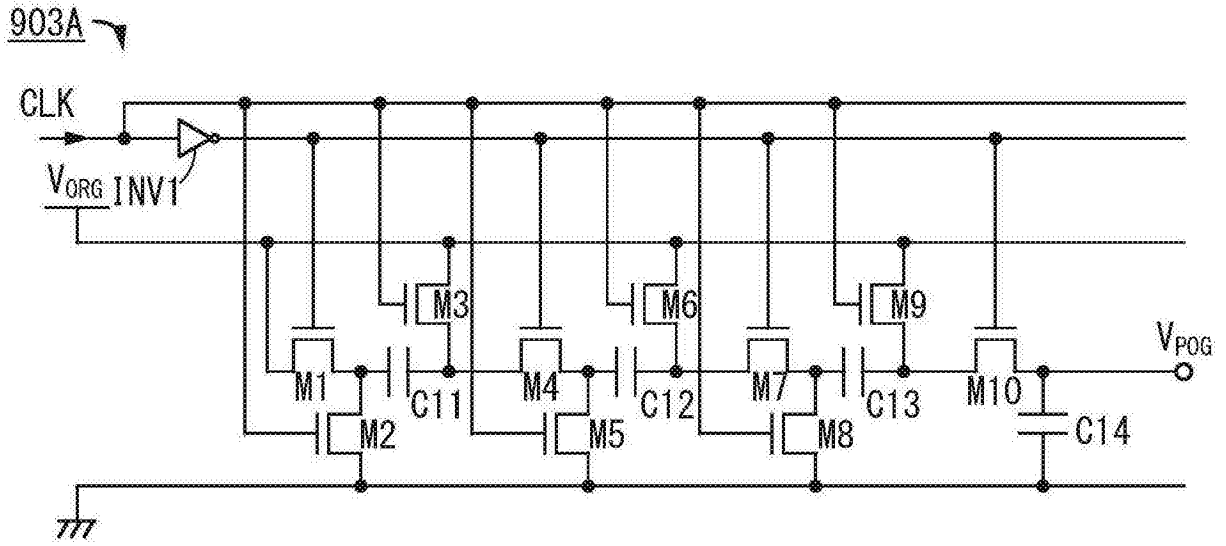


图46A

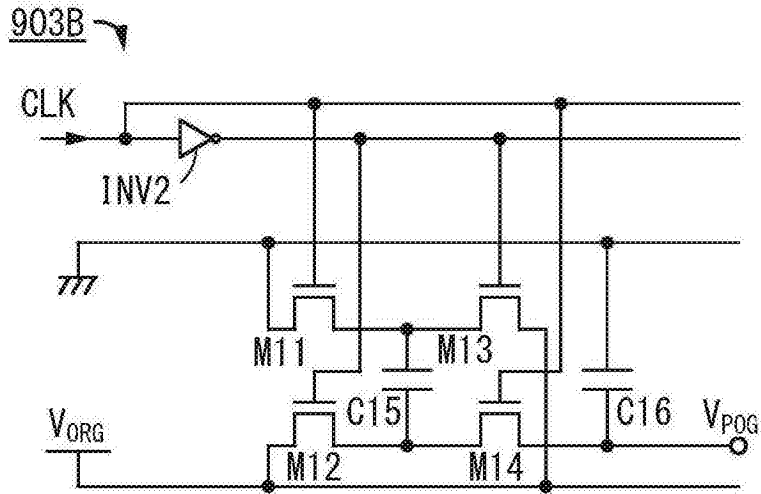


图46B

903E

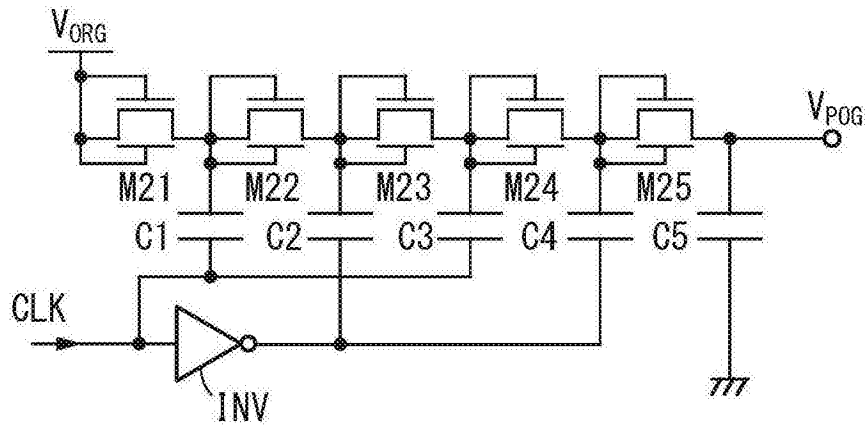


图47B

905A

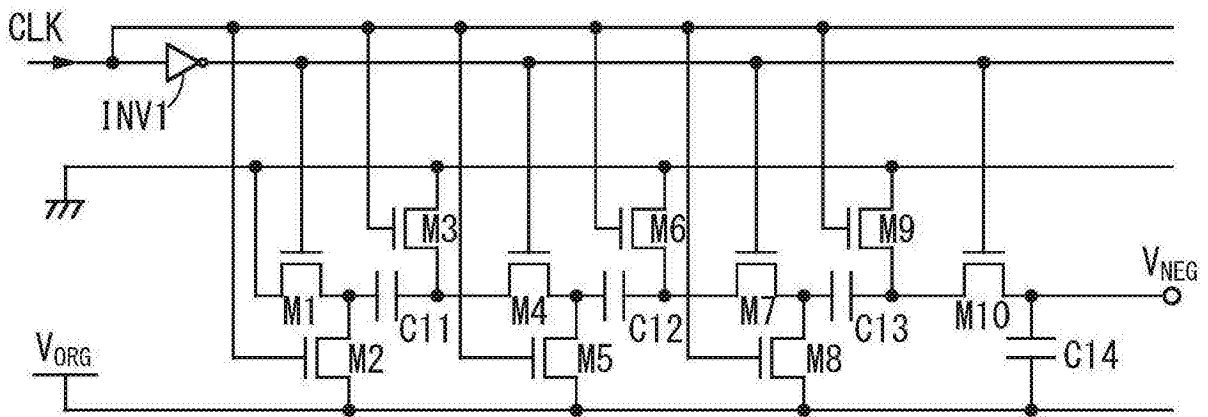


图48A

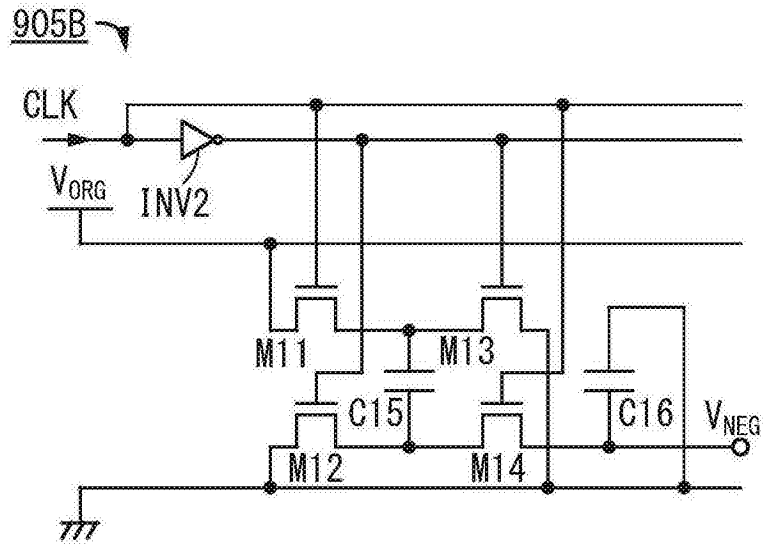


图48B

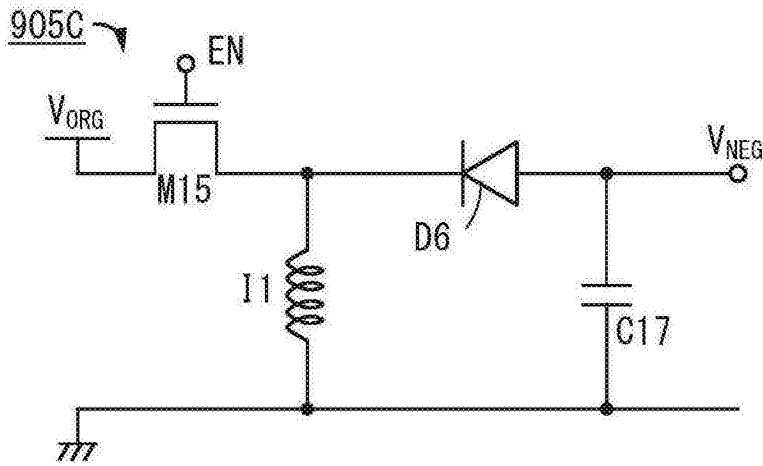


图48C

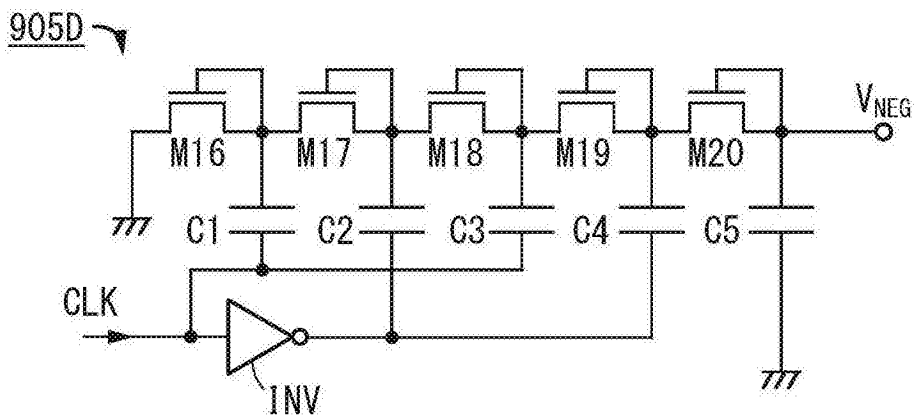


图49A

905E

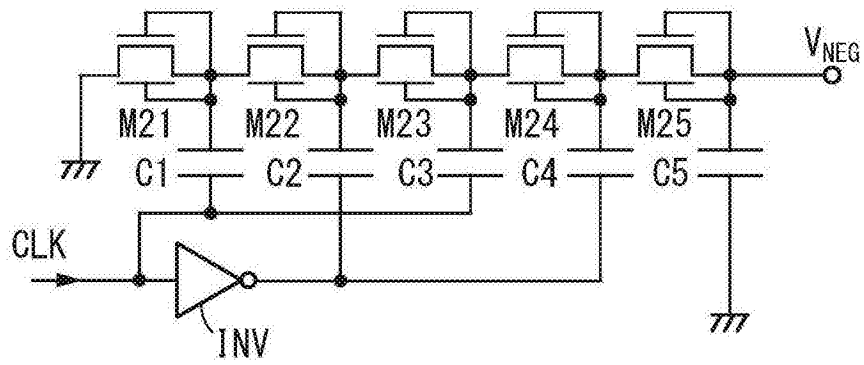
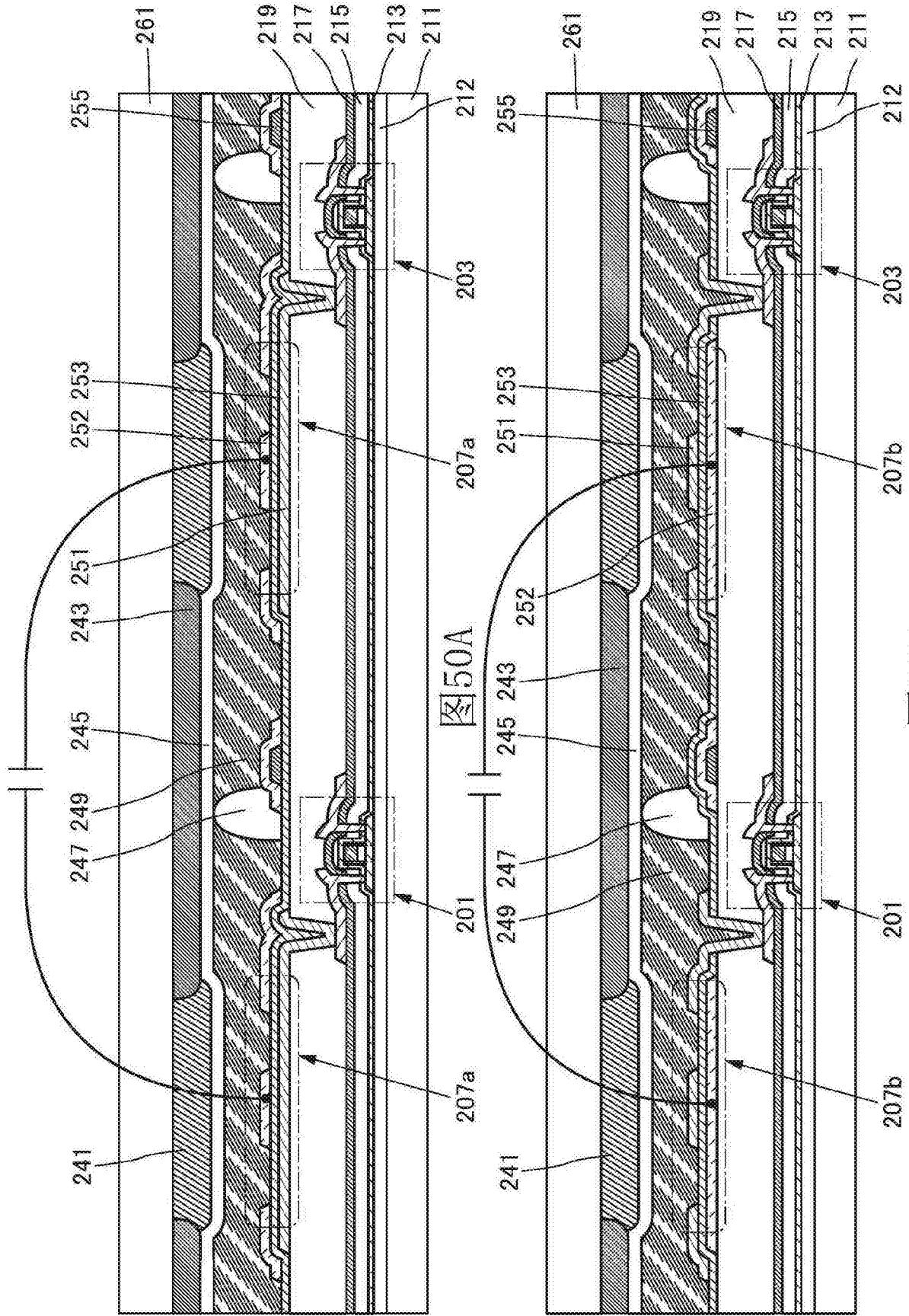


图49B



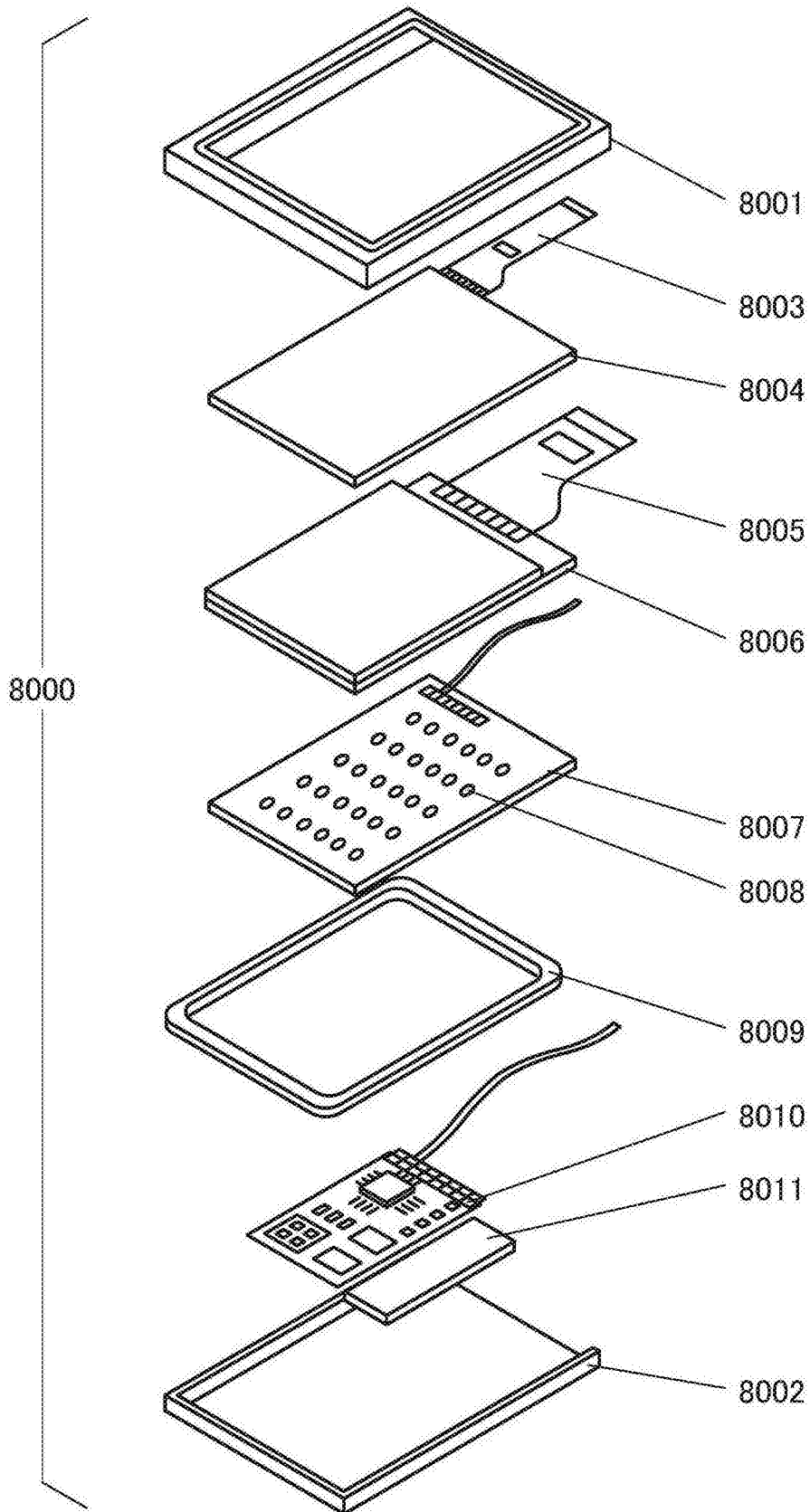


图51

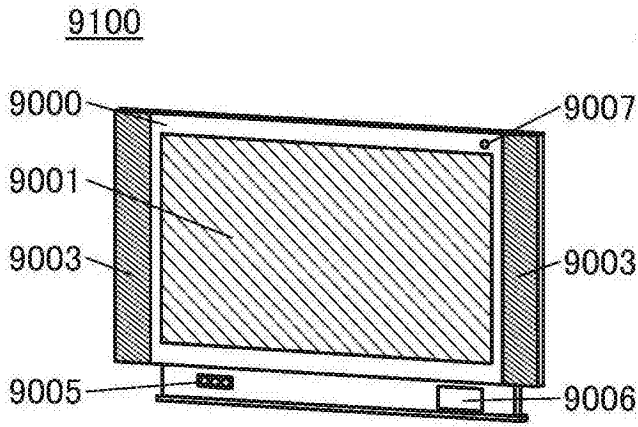


图52A

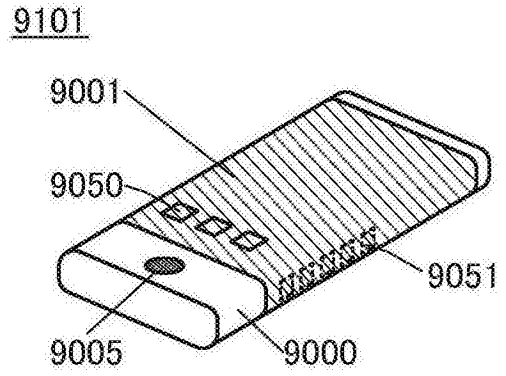


图52B

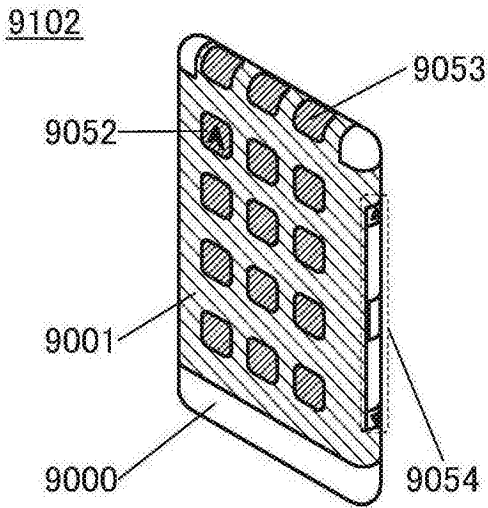


图52C

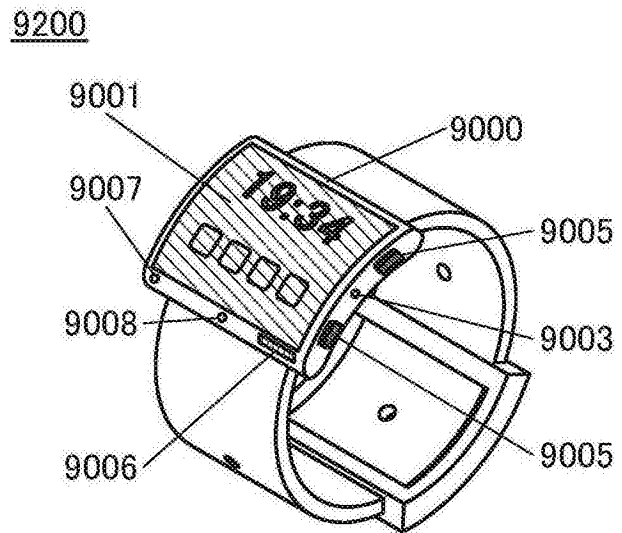


图52D

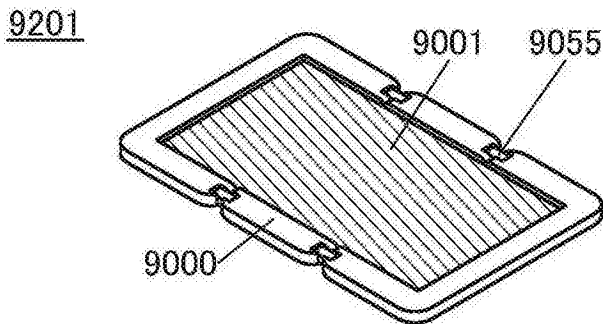


图52E

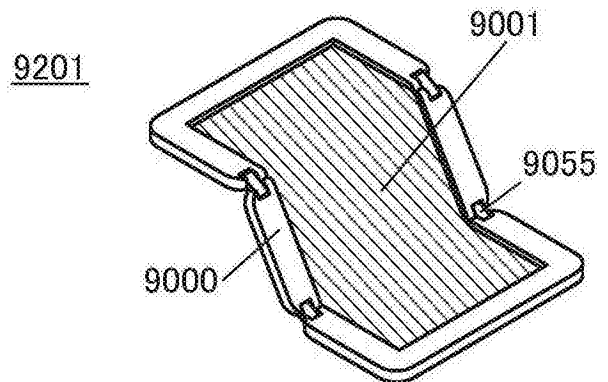


图52F

9201

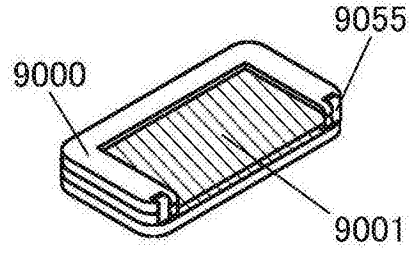


图52G

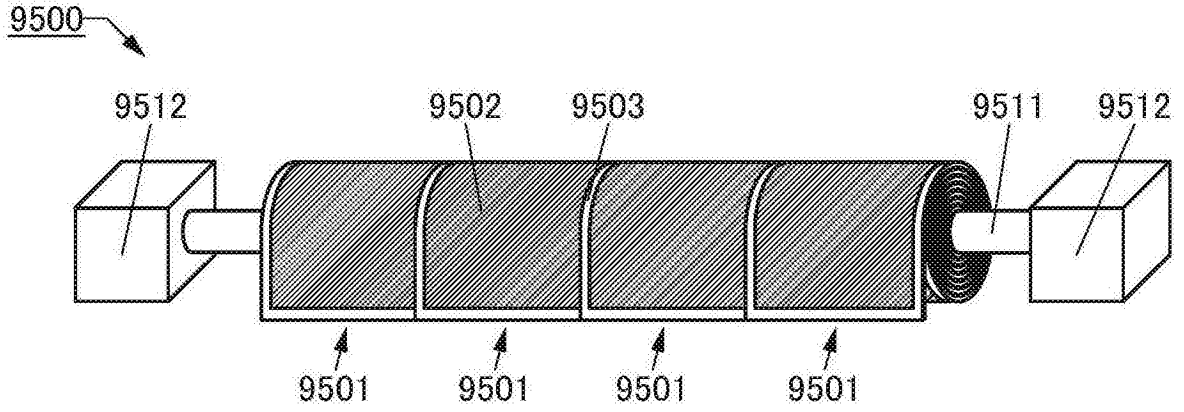


图53A

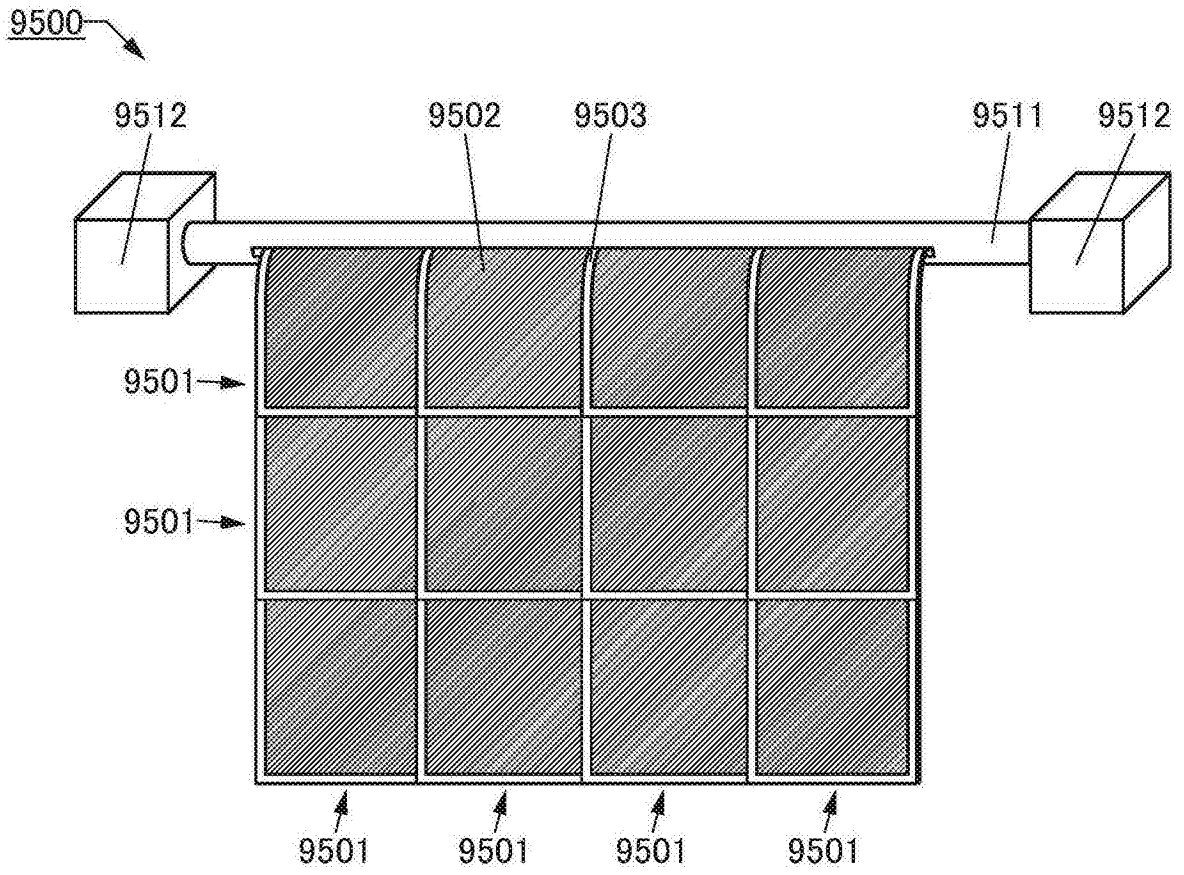


图53B

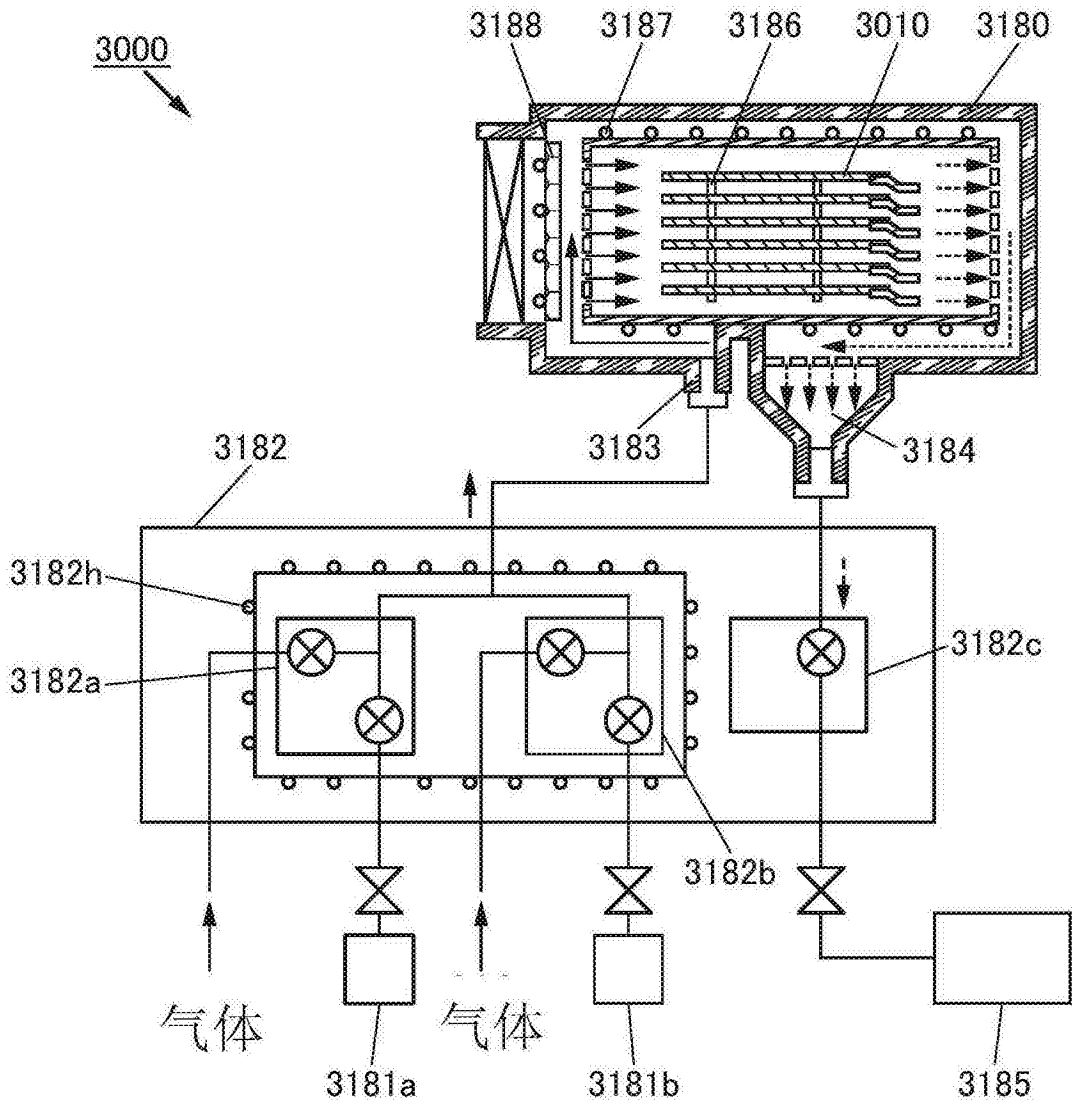
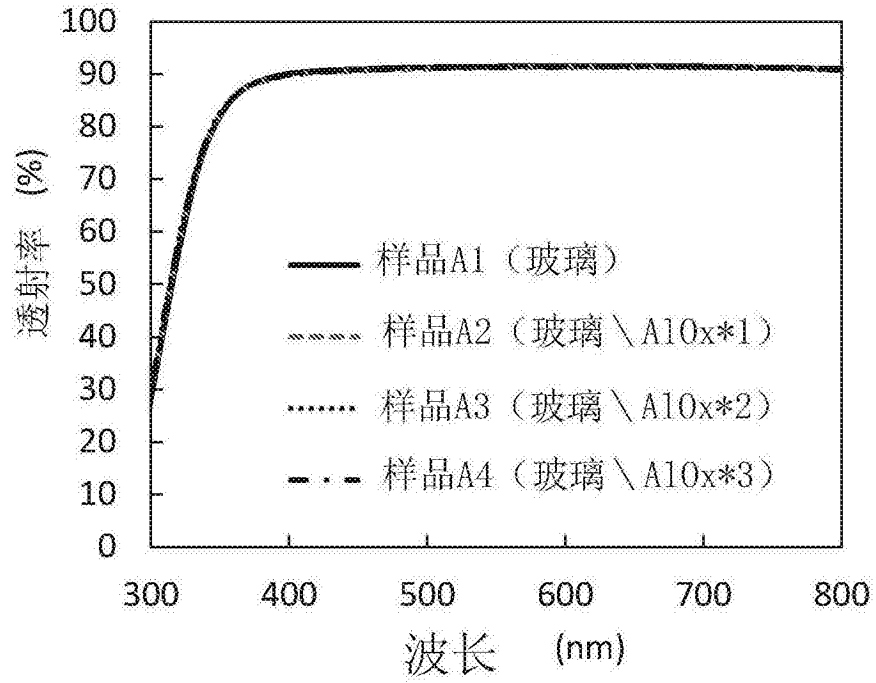


图54



- *1) O₂=10%
- *2) O₂=30%
- *3) O₂=60%

图55

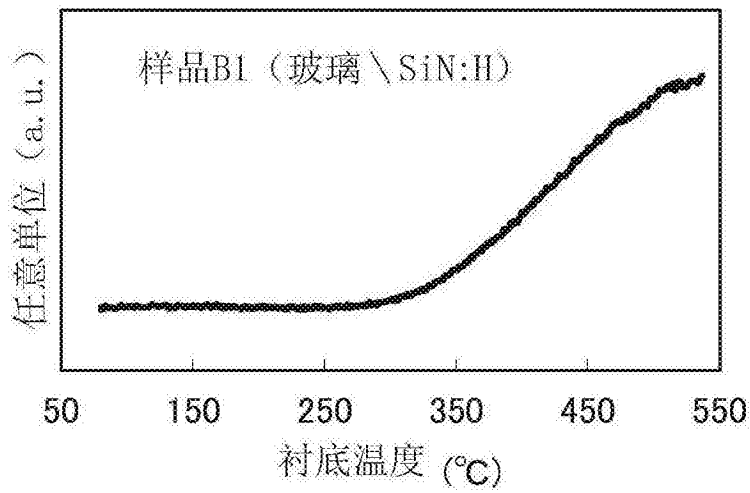


图56A

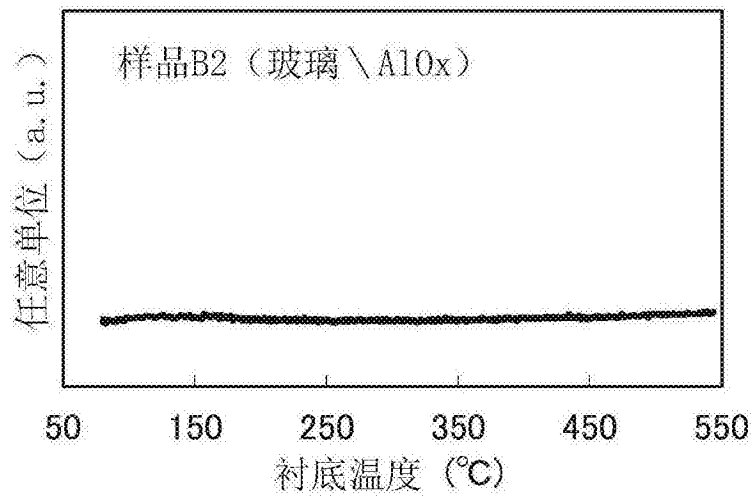


图56B

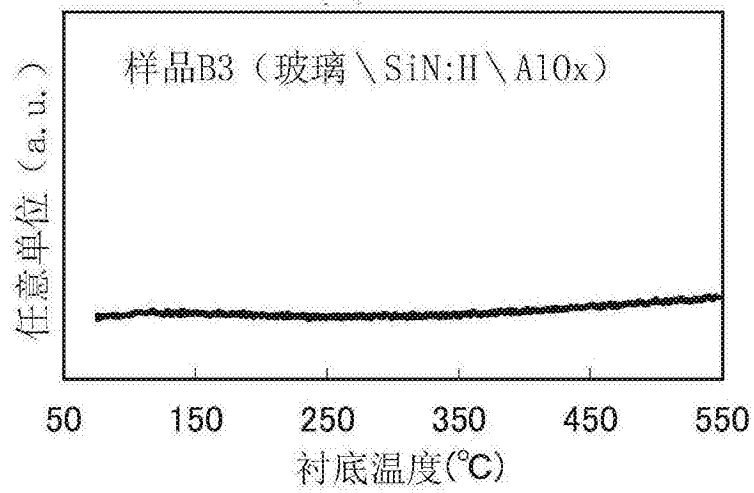


图56C

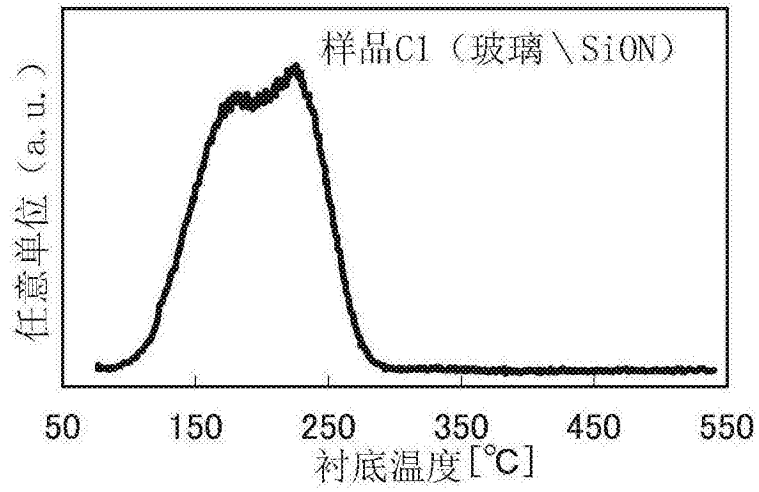


图57A

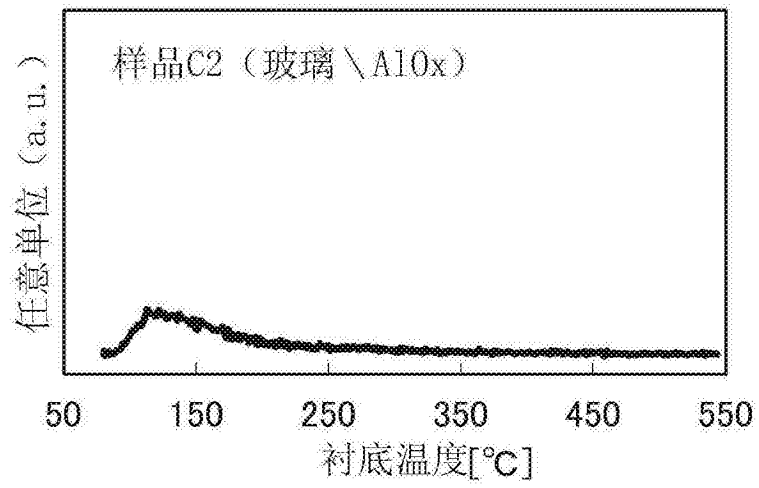


图57B

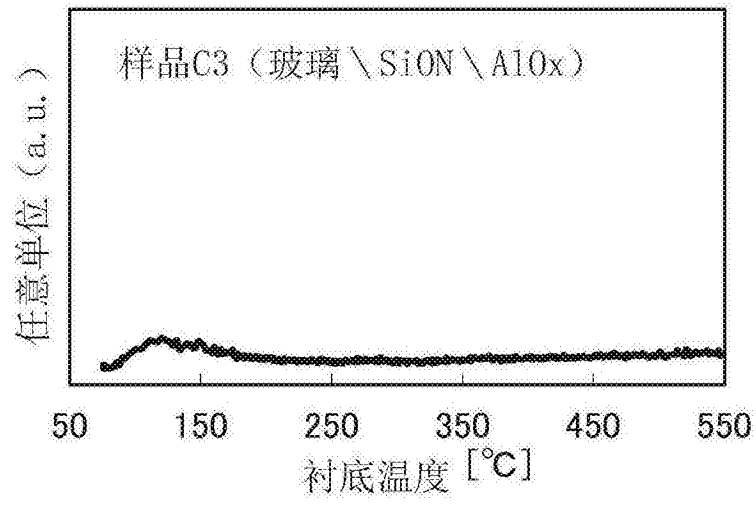


图57C