

(21) 申請案號：110135933

(22) 申請日：中華民國 110 (2021) 年 09 月 28 日

(51) Int. Cl. : H01L21/31 (2006.01)

H01L21/311 (2006.01)

H01L21/822 (2006.01)

H01L29/778 (2006.01)

(71) 申請人：大陸商聚力成半導體（上海）有限公司（中國大陸）GLC SEMI CONDUCTOR GROUP (SH) CO., LTD. (CN)

中國大陸

(72) 發明人：卜起經 PU, CHI-CHING (TW)；葉順閔 YEH, SHUN-MIN (TW)

(74) 代理人：吳豐任；戴俊彥；高銘良

申請實體審查：無 申請專利範圍項數：20 項 圖式數：9 共 24 頁

(54) 名稱

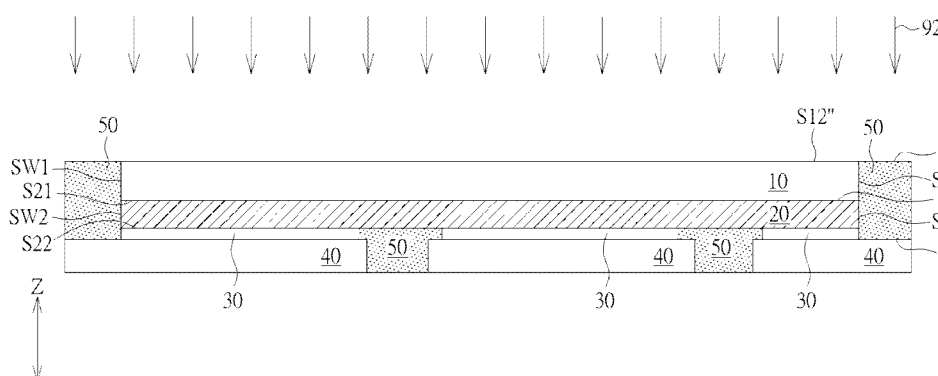
半導體裝置的製作方法

(57) 摘要

一種半導體裝置的製作方法，包括下列步驟。在一矽基板的一第一表面上形成一半導體結構。半導體結構具有一第一表面面對矽基板。將至少一外部線路與半導體結構接合。形成一鑄模化合物層覆蓋矽基板的一第二表面。移除鑄模化合物層的一部分以暴露出矽基板。移除矽基板，以暴露出半導體結構的第一表面。

A manufacturing method of a semiconductor device includes the following steps. A semiconductor structure is formed on a first surface of a silicon substrate. The semiconductor structure has a first surface facing the silicon substrate. At least one outer circuit is bonded with the semiconductor structure. A molding compound layer is formed covering a second surface of the silicon substrate. A part of the molding compound layer is removed for exposing the silicon substrate. The silicon substrate is removed for exposing the first surface of the semiconductor structure.

指定代表圖：



第6圖

符號簡單說明：

10: 矽基板

20: 半導體結構

30: 連接凸塊

40: 外部線路

50: 鑄模化合物層

92: 研磨製程

S11: 第一表面

S12': 第二表面

S21: 第一表面

S22: 第二表面

S51: 第一表面

202314856

TW 202314856 A

S52:第二表面

SW1:側壁

SW2:側壁

Z:垂直方向



【發明摘要】

【中文發明名稱】半導體裝置的製作方法

【英文發明名稱】MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

【中文】

一種半導體裝置的製作方法，包括下列步驟。在一矽基板的一第一表面上形成一半導體結構。半導體結構具有一第一表面面對矽基板。將至少一外部線路與半導體結構接合。形成一鑄模化合物層覆蓋矽基板的一第二表面。移除鑄模化合物層的一部分以暴露出矽基板。移除矽基板，以暴露出半導體結構的第一表面。

【英文】

A manufacturing method of a semiconductor device includes the following steps. A semiconductor structure is formed on a first surface of a silicon substrate. The semiconductor structure has a first surface facing the silicon substrate. At least one outer circuit is bonded with the semiconductor structure. A molding compound layer is formed covering a second surface of the silicon substrate. A part of the molding compound layer is removed for exposing the silicon substrate. The silicon substrate is removed for exposing the first surface of the semiconductor structure.

【指定代表圖】第（ 6 ）圖。

【代表圖之符號簡單說明】

10:矽基板

20:半導體結構

30:連接凸塊

40:外部線路

50:鑄模化合物層

92:研磨製程

S11:第一表面

S12'':第二表面

S21:第一表面

S22:第二表面

S51:第一表面

S52:第二表面

SW1:側壁

SW2:側壁

Z:垂直方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體裝置的製作方法

【英文發明名稱】 MANUFACTURING METHOD OF SEMICONDUCTOR
DEVICE

【技術領域】

【0001】 本發明係關於一種半導體裝置的製作方法，尤指一種包括移除矽基板的半導體裝置的製作方法。

【先前技術】

【0002】 III-V族化合物由於其半導體特性而可應用於形成許多種類的積體電路裝置，例如高功率場效電晶體、高頻電晶體或高電子遷移率電晶體(high electron mobility transistor, HEMT)。近年來，氮化鎵(GaN)系列的材料由於擁有較寬能隙與飽和速率高的特點而適合應用於高功率與高頻率產品。氮化鎵系列的半導體裝置由材料本身的壓電效應產生二維電子氣(2DEG)，其電子速度及密度均較高，故可用以增加切換速度。一般來說，III-V族化合物半導體元件可利用矽晶圓當作載板來進行相關製程，而在III-V族化合物半導體元件製作完成之後，將矽晶圓移除可有利於III-V族化合物半導體元件的電性表現，但將矽晶圓移除後會造成後續的封裝或/及測試上的困難而不利於整體製程的進行與量產化。

【發明內容】

【0003】 本發明提供了一種半導體裝置的製作方法，在將外部線路與半導體

第 1 頁，共 10 頁(發明說明書)

結構接合之後，利用鑄模化合物層的可固定性與保護性來進行對矽基板的移除，藉此達到提升製作良率或/及增加量產可行性的效果。

【0004】 本發明之一實施例提供一種半導體裝置的製作方法，包括下列步驟。在一矽基板的一第一表面上形成一半導體結構。半導體結構具有一第一表面面對矽基板。將至少一外部線路與半導體結構接合。形成一鑄模化合物(molding compound)層覆蓋矽基板的一第二表面。移除鑄模化合物層的一部分以暴露出矽基板。然後，移除矽基板，以暴露出半導體結構的第一表面。

【圖式簡單說明】

【0005】

第1圖至第8圖所繪示為本發明一實施例之半導體裝置的製作方法示意圖，其中

第2圖繪示了第1圖之後的狀況示意圖；

第3圖繪示了第2圖之後的狀況示意圖；

第4圖繪示了第3圖之後的狀況示意圖；

第5圖繪示了第4圖之後的狀況示意圖；

第6圖繪示了第5圖之後的狀況示意圖；

第7圖繪示了第6圖之後的狀況示意圖；

第8圖繪示了第7圖之後的狀況示意圖。

第9圖所繪示為本發明另一實施例之半導體裝置的製作方法示意圖。

【實施方式】

【0006】 以下本發明的詳細描述已披露足夠的細節以使本領域的技術人員能夠實踐本發明。以下闡述的實施例應被認為是說明性的而非限制性的。對於本

領域的一般技術人員而言顯而易見的是，在不脫離本發明的精神和範圍的情況下，可以進行形式及細節上的各種改變與修改。

【0007】 在本文中使用的術語“在...上”、“在...上方”或/及“在...之上”等的含義應當以最寬方式被解讀，以使得“在...上”不僅表示“直接在”某物上而且還包括在某物上且其間有其他居間特徵或層的含義，並且“在...上方”或“在...之上”不僅表示在某物“上方”或“之上”的含義，而且還可以包括其在某物“上方”或“之上”且其間沒有其他居間特徵或層(即，直接在某物上)的含義。

【0008】 此外，為了便於描述，可以在本文使用諸如“在...之下”、“在...下方”、“在...下”、“在...之上”、“在...上方”、“在...上”等的空間相對術語來描述如圖式所示的一個元件或特徵與另一個元件或特徵的關係。除了圖式中所示的取向之外，空間相對術語旨在涵蓋設備在使用或操作中的不同取向。該裝置可以以其他方式定向(旋轉90度或處於其他取向)並且同樣可以相應地解釋本文使用的空間相關描述詞。

【0009】 說明書與請求項中所使用的序數例如“第一”、“第二”等用詞，是用以修飾請求項之元件，除非特別說明，其本身並不意含及代表該請求元件有任何之前的序數，也不代表某一請求元件與另一請求元件的順序、或是製造方法上的順序，該些序數的使用僅用來使具有某命名的一請求元件得以和另一具有相同命名的請求元件能作出清楚區分。

【0010】 用語“蝕刻”在本文中通常用來描述用以圖案化材料的製程，使得在蝕刻完成後的材料的至少一部分能被留下。與此相反的是，當“移除”材料時，基

本上所有的材料可在過程中被除去。然而，在一些實施例中，“移除”可被認為是一個廣義的用語而可包括蝕刻。

【0011】 在本文中使用的術語“形成”或“設置”來描述將材料層施加到基板的行為。這些術語旨在描述任何可行的層形成技術，包括但不限於熱生長、濺射、蒸鍍、化學氣相沉積、磊晶生長、電鍍等。

【0012】 請參閱第1圖至第8圖。第1圖至第8圖所繪示為本發明一實施例之半導體裝置的製作方法示意圖，其中第2圖繪示了第1圖之後的狀況示意圖，第3圖繪示了第2圖之後的狀況示意圖，第4圖繪示了第3圖之後的狀況示意圖，第5圖繪示了第4圖之後的狀況示意圖，第6圖繪示了第5圖之後的狀況示意圖，第7圖繪示了第6圖之後的狀況示意圖，而第8圖繪示了第7圖之後的狀況示意圖。本實施例提供一種半導體裝置的製作方法，包括下列步驟。首先，如第1圖所示，提供一矽基板10。在一些實施例中，矽基板10可在一垂直方向Z上具有相對的一第一表面S11與一第二表面S12，而垂直方向Z可被視為矽基板10的厚度方向或/及與矽基板10的厚度方向平行。因此，矽基板10的第一表面S11與第二表面S12為矽基板10在垂直方向Z上的兩相對表面。然後，在矽基板10的第一表面S11上形成一半導體結構20。在一些實施例中，半導體結構20可包括III-V族化合物半導體結構或其他適合的半導體結構。舉例來說，當半導體結構20包括III-V族化合物半導體結構時，半導體結構20可包括堆疊設置的多層材料層(未繪示)，例如緩衝層、III-V族化合物半導體層、III-V族化合物阻障層以及閘極結構、源極結構、汲極結構而構成III-V族化合物半導體元件(例如電晶體)，而半導體結構20中還可視設計需要而包括對應III-V族化合物半導體元件的連接線路或/及其他類型的主動或/及被動元件，但並不以此為限。半導體結構20可具有一第一表面S21與一第

第4頁，共10頁(發明說明書)

二表面S22，第一表面S21與第二表面S22可為半導體結構20在垂直方向Z上的兩相對表面，其中第一表面S21可面對矽基板10，而第二表面S22可背對矽基板10。

【0013】 如第2圖所示，可在半導體結構20的第二表面S22上形成至少一個連接凸塊30。連接凸塊30可包括焊料凸塊(solder bump)或其他適合的連接凸塊結構，而連接凸塊30的材料可包括金、銅、錫、鉛或其他適合的導電材料。在一些實施例中，連接凸塊30可用以將外部線路與半導體結構20接合，並使外部線路可通過連接凸塊30而與半導體結構20中的元件(例如上述的電晶體)電性連接。在一些實施例中，可在半導體結構20的第二表面S22上形成複數個連接凸塊30，藉此與外部線路進行接合，但並不以此為限。

【0014】 如第3圖與第4圖所示，可將矽基板10翻轉而使得連接凸塊30朝下，並將一個或複數個外部線路40與半導體結構20接合，外部線路40可通過對應的連接凸塊30而與半導體結構20接合。在一些實施例中，半導體結構20可被視為晶片，而上述的接合方式可被視為一覆晶(flip chip)製程，但並不以此為限。在一些實施例中，在第4圖以及之後的圖式中所繪示外部線路40可包括例如導線架的引線(pin)或其他外部線路的一部分，但並不以此為限。因此，外部線路40可被視為位於半導體結構20的第二表面S22上或/及位於半導體結構20的第二表面S22的一側。此外，在一些實施例中，可在形成連接凸塊30之後以及將外部線路40與半導體結構20接合之前，對矽基板10進行一減薄製程91，用以移除矽基板10的一部分而降低矽基板10的厚度。在一些實施例中，減薄製程91可包括對矽基板10進行一研磨製程或其他適合的減薄方式。上述的矽基板10的第二表面S12在經過減薄製程91之後可成為第二表面S12'，而第一表面S11與第二表面S12'可為矽基板10在垂直方向Z上的兩相對表面。此外，在一些實施例中，可視設計需

要在減薄製程91之後以及將外部線路40與半導體結構20接合之前進行一切割分離(saw singulation)製程，用以切割成多個可進行後續封裝製程的單元，但並不以此為限。

【0015】 如第5圖所示，可形成一鑄模化合物(molding compound)層50覆蓋矽基板10的第二表面S12'。在一些實施例中，鑄模化合物層50可還在水平方向(例如與垂直方向Z正交的方向)上覆蓋矽基板10的側壁SW1以及半導體結構20的側壁SW2，而鑄模化合物層50的另一部分可形成在相鄰的連接凸塊30之間，藉此達到封裝效果。在一些實施例中，鑄模化合物層50的材料可包括聚合物材料、樹脂(resin)材料、環氧化物(epoxy)材料、苯並環丁烯(benzocyclobutene, BCB)、聚醯亞胺(polyimide, PI)、氧化矽或其他適合的高電阻率或/及低介電常數(low dielectric constant)的絕緣材料。

【0016】 如第5圖至第6圖所示，可移除鑄模化合物層50的一部分以暴露出矽基板10。在一些實施例中，移除鑄模化合物層50的一部分以暴露出矽基板10的方式包括一研磨製程92或其他適合的方法。舉例來說，可自矽基板10的第二表面S12'的一側對鑄模化合物層50進行研磨製程92，用以移除鑄模化合物層50的一部分以暴露出矽基板10。在一些實施例中，矽基板10的一部分可一併被研磨製程92移除，而上述矽基板10的第二表面S12'在經過研磨製程92之後可成為第二表面S12''，但並不以此為限。此外，在進行研磨製程92時，半導體結構20的側壁SW2可被鑄模化合物層50覆蓋，用以在研磨製程92進行時對半導體結構20以及其中的半導體元件產生保護效果，而在移除鑄模化合物層50的一部分以暴露出矽基板10之後，矽基板10的側壁SW1以及半導體結構20的側壁SW2可仍被鑄模化合物層50覆蓋。在一些實施例中，位於矽基板10的側壁SW1以及半導體結構

20的側壁SW2上的鑄模化合物層50在研磨製程92之後可具有在垂直方向Z上相對的一第一表面S51與一第二表面S52，矽基板10的第二表面S12”與鑄模化合物層50的第一表面S51可在研磨製程92之後大體上共平面，而鑄模化合物層50的第二表面S52可與部分的外部線路40相連，但並不以此為限。

【0017】 如第6圖至第7圖所示，在研磨製程92之後，可進行一移除製程93，用以移除矽基板10而暴露出半導體結構20的第一表面S21。在一些實施例中，移除製程93可包括一化學蝕刻製程或其他具有高蝕刻選擇比(例如對矽基板10具有較高的蝕刻率且對鑄模化合物層50以及半導體結構20不具有蝕刻效果或僅具有些微蝕刻反應或/及其他化學反應)的蝕刻方式，用以使矽基板10可被移除製程93完全移除並降低對於鑄模化合物層50或/及半導體結構20的負面影響。此外，在移除矽基板10時，半導體結構20的側壁SW2可被鑄模化合物層50覆蓋，用以達到保護半導體結構20以及其中的半導體元件的效果。因此，上述的研磨製程92可僅移除部分的矽基板10，藉此可相對縮短移除製程93所需的製程時間而降低或/及避免對於鑄模化合物層50以及半導體結構20的負面影響，並可避免研磨製程92直接對於半導體結構20產生破壞。因此，在利用移除製程93完全移除矽基板10以暴露出半導體結構20的第一表面S21之後，半導體結構20的側壁SW2可仍被鑄模化合物層50覆蓋，而鑄模化合物層50的第一表面S51在垂直方向Z上可高於半導體結構20的第一表面S21。此外，在一些實施例中，可視設計需要在研磨製程92之後以及移除製程93之前進行一切割分離(saw singulation)製程，用以切割成多個互相分離單元，但並不以此為限。藉由本發明的製作方法，可在覆晶製程之後利用進行封裝的鑄模化合物層50的可固定性與保護性來進行對矽基板10的移除製程，藉此達到提升製作良率或/及增加量產可行性的效果。

【0018】 如第7圖至第8圖所示，在移除矽基板10之後，可在半導體結構20的第一表面S21上形成重佈線結構60，此重佈線結構60可被視為背側重佈線結構，用以與半導體結構20中的元件(例如上述的電晶體)電性連接或/及通過半導體結構20中的連接電路(未繪示)以及連接凸塊30而與外部線路40電性連接，進而形成在垂直方向Z延伸的垂直結構。如第8圖所示，通過上述製作方法形成的半導體裝置100可包括半導體結構20、連接凸塊30、外部線路40以及鑄模化合物層50。連接凸塊30與外部線路40可設置在半導體結構20的第二表面S22上，而重佈線結構60可設置在半導體結構20的第一表面S21上。換句話說，外部線路40與重佈線結構60可分別設置在半導體結構20在垂直方向Z上的兩相對側，而外部線路40可通過半導體結構20中的電路或/及重佈線結構60進行訊號的傳遞。此外，鑄模化合物層50可在水平方向上覆蓋半導體結構20的側壁SW2，且鑄模化合物層50的第一表面S51在垂直方向Z上可高於半導體結構20的第一表面S21。

【0019】 下文將針對本發明的不同實施例進行說明，且為簡化說明，以下說明主要針對各實施例不同之處進行詳述，而不再對相同之處作重覆贅述。此外，本發明之各實施例中相同之元件係以相同之標號進行標示，以利於各實施例間互相對照。

【0020】 請參閱第9圖、第6圖與第7圖。第9圖所繪示為本發明另一實施例之半導體裝置101的製作方法示意圖。在一些實施例中，第9圖可被視為繪示了第7圖之後的狀況示意圖，但並不以此為限。如第6圖、第7圖與第9圖所示，在一些實施例中，在移除矽基板10之後，可在半導體結構20的第一表面S21上形成一填充材料70，而填充材料70可包括金屬薄膜、陶瓷薄膜、高導熱高分子材料或其他可提升半導體裝置101的元件特性的材料。此外，填充材料70可通過沉積或其

他適合的方式形成。在一些實施例中，填充材料70可在上述第8圖中所示的重佈線結構60之後形成，故填充材料70亦可覆蓋重佈線結構60，但並不以此為限。

【0021】 綜上所述，在本發明的半導體裝置的製作方法中，可先進行封裝製程，利用封裝製程使用的鑄模化合物層提供在移除矽基板的製程時所需要的固定支撐與保護效果，進而可提升製作良率或/及增加量產可行性。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0022】

- 10:矽基板
- 20:半導體結構
- 30:連接凸塊
- 40:外部線路
- 50:鑄模化合物層
- 60:重佈線結構
- 70:填充材料
- 91:減薄製程
- 92:研磨製程
- 93:移除製程
- 100:半導體裝置
- 101:半導體裝置
- S11:第一表面

S12:第二表面

S12':第二表面

S12'':第二表面

S21:第一表面

S22:第二表面

S51:第一表面

S52:第二表面

SW1:側壁

SW2:側壁

Z:垂直方向

【發明申請專利範圍】

【請求項1】 一種半導體裝置的製作方法，包括：

在一矽基板的一第一表面上形成一半導體結構，其中該半導體結構具有一第一表面面對該矽基板；

將至少一外部線路與該半導體結構接合；

形成一鑄模化合物(molding compound)層覆蓋該矽基板的一第二表面；

移除該鑄模化合物層的一部分以暴露出該矽基板；以及

移除該矽基板，以暴露出該半導體結構的該第一表面。

【請求項2】 如請求項1所述之半導體裝置的製作方法，其中該矽基板的該第一表面與該第二表面為該矽基板在一垂直方向上的兩相對表面。

【請求項3】 如請求項2所述之半導體裝置的製作方法，其中該垂直方向與該矽基板的厚度方向平行。

【請求項4】 如請求項1所述之半導體裝置的製作方法，其中該矽基板是被一化學蝕刻方式完全移除。

【請求項5】 如請求項1所述之半導體裝置的製作方法，其中該至少一外部線路位於該半導體結構的一第二表面上。

【請求項6】 如請求項5所述之半導體裝置的製作方法，其中該半導體結構的該第一表面與該第二表面為該半導體結構在一垂直方向上的兩相對表面。

【請求項7】 如請求項5所述之半導體裝置的製作方法，還包括：

在該半導體結構的該第二表面上形成複數個連接凸塊，且該至少一外部線路是通過該等連接凸塊而與該半導體結構接合。

【請求項8】 如請求項7所述之半導體裝置的製作方法，還包括：

在形成該等連接凸塊之後以及將該至少一外部線路與該半導體結構接合之前，對該矽基板進行一減薄製程，用以移除該矽基板的一部分而降低該矽基板的厚度。

【請求項9】 如請求項7所述之半導體裝置的製作方法，其中該鑄模化合物層的一部分形成在相鄰的該等連接凸塊之間。

【請求項10】 如請求項1所述之半導體裝置的製作方法，其中移除該鑄模化合物層的該部分以暴露出該矽基板的方式包括一研磨製程。

【請求項11】 如請求項10所述之半導體裝置的製作方法，其中該矽基板的一部分被該研磨製程移除。

【請求項12】 如請求項10所述之半導體裝置的製作方法，其中在該研磨製程之後以及移除該矽基板之前，該矽基板的一表面與該鑄模化合物層的一表面共平面。

【請求項13】 如請求項1所述之半導體裝置的製作方法，其中該鑄模化合物層還覆蓋該矽基板的側壁。

【請求項14】 如請求項13所述之半導體裝置的製作方法，其中在移除該鑄模化合物層的該部分以暴露出該矽基板之後，該矽基板的該側壁被該鑄模化合物層覆蓋。

【請求項15】 如請求項1所述之半導體裝置的製作方法，其中該鑄模化合物層還覆蓋該半導體結構的側壁。

【請求項16】 如請求項15所述之半導體裝置的製作方法，其中在移除該矽基板時，該半導體結構的該側壁被該鑄模化合物層覆蓋。

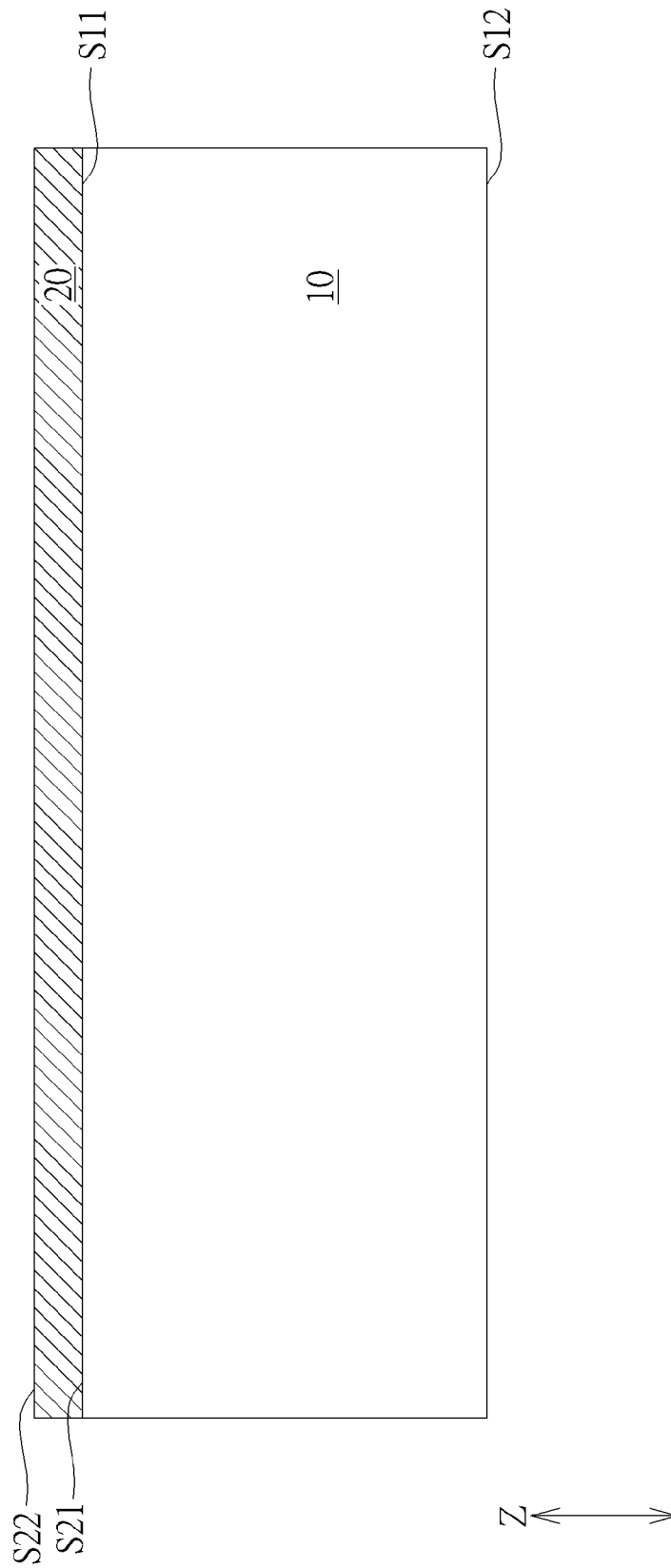
【請求項17】 如請求項15所述之半導體裝置的製作方法，其中在移除該矽基板以暴露出該半導體結構的該第一表面之後，該半導體結構的該側壁被該鑄模化合物層覆蓋。

【請求項18】 如請求項1所述之半導體裝置的製作方法，還包括：
在移除該矽基板之後，在該半導體結構的該第一表面上形成重佈線結構。

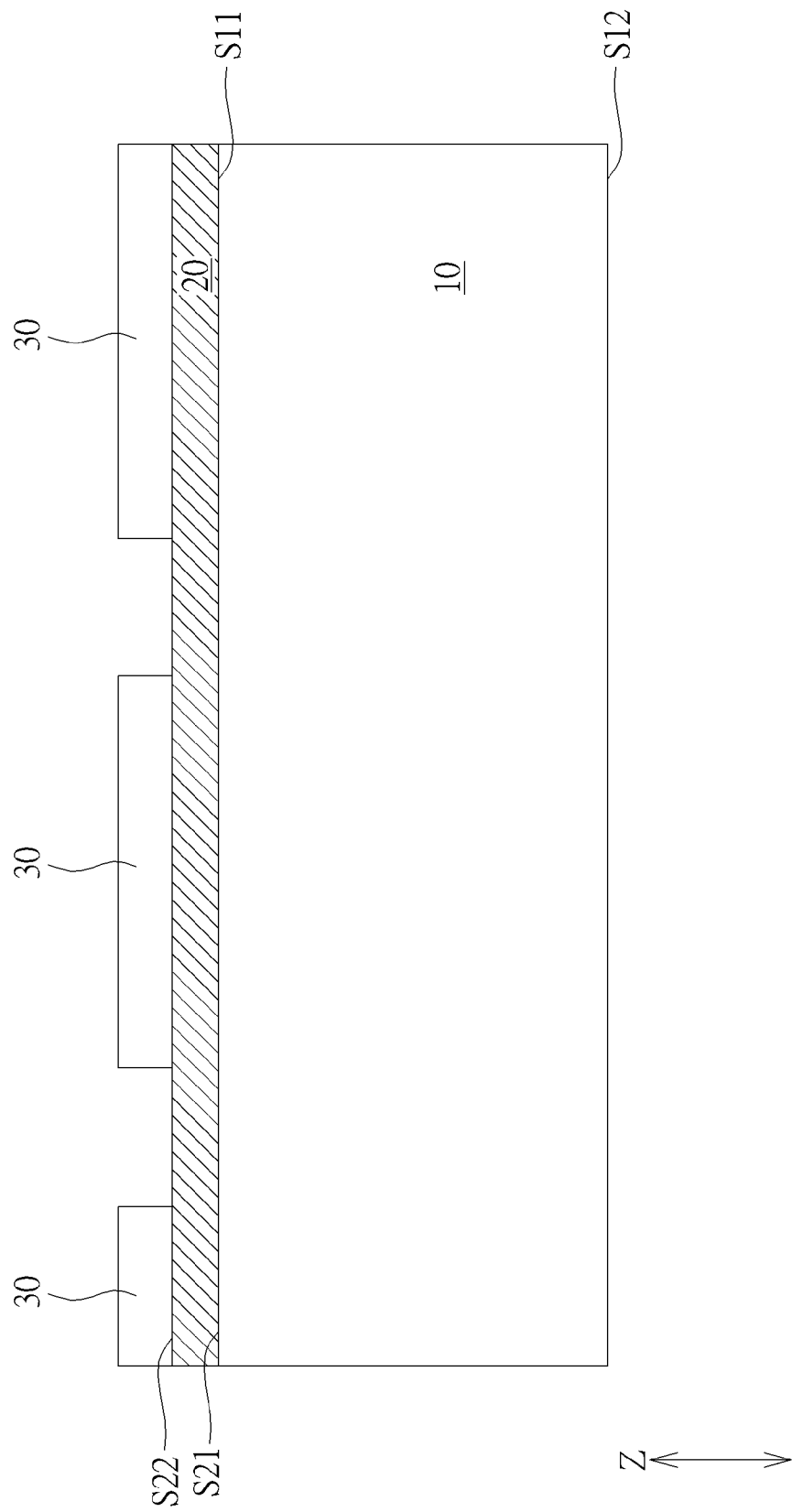
【請求項19】 如請求項1所述之半導體裝置的製作方法，還包括：
在移除該矽基板之後，在該半導體結構的該第一表面上形成一填充材料。

【請求項20】 如請求項1所述之半導體裝置的製作方法，其中該半導體結構包括III-V族化合物半導體結構。

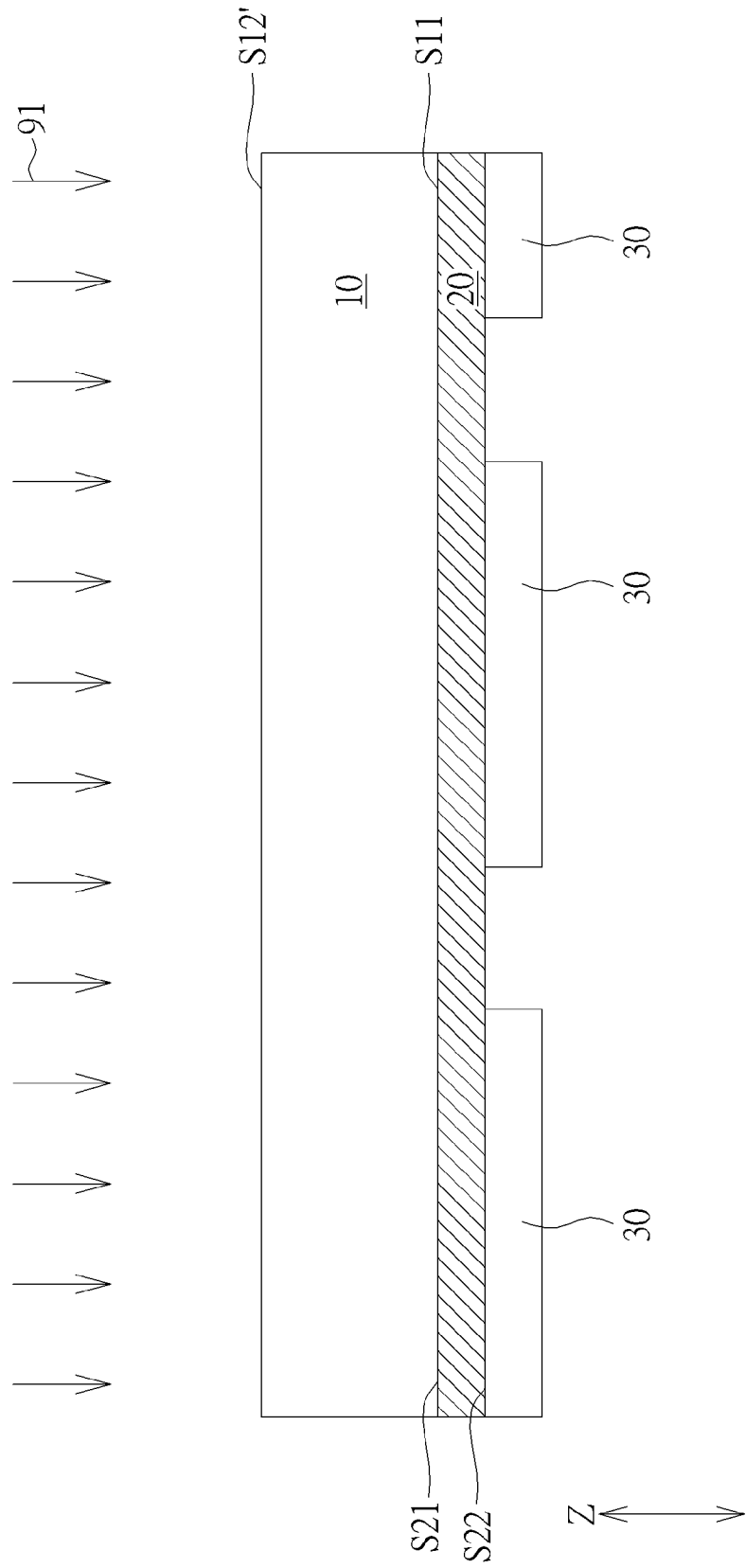
【發明圖式】



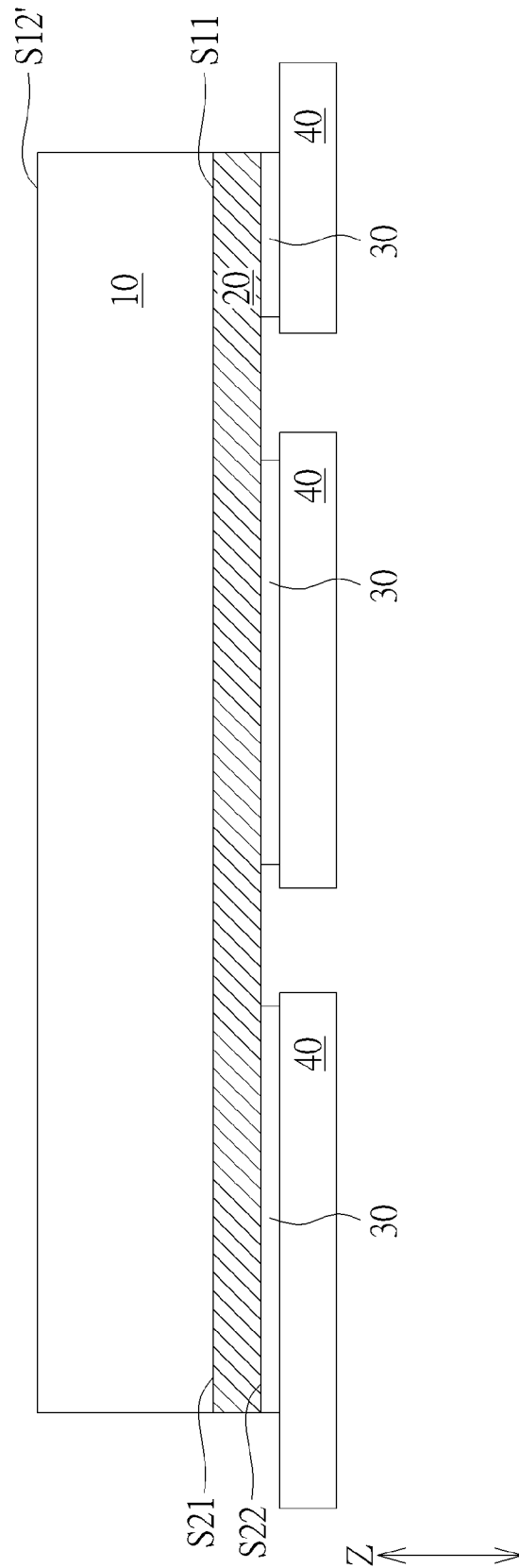
第1圖



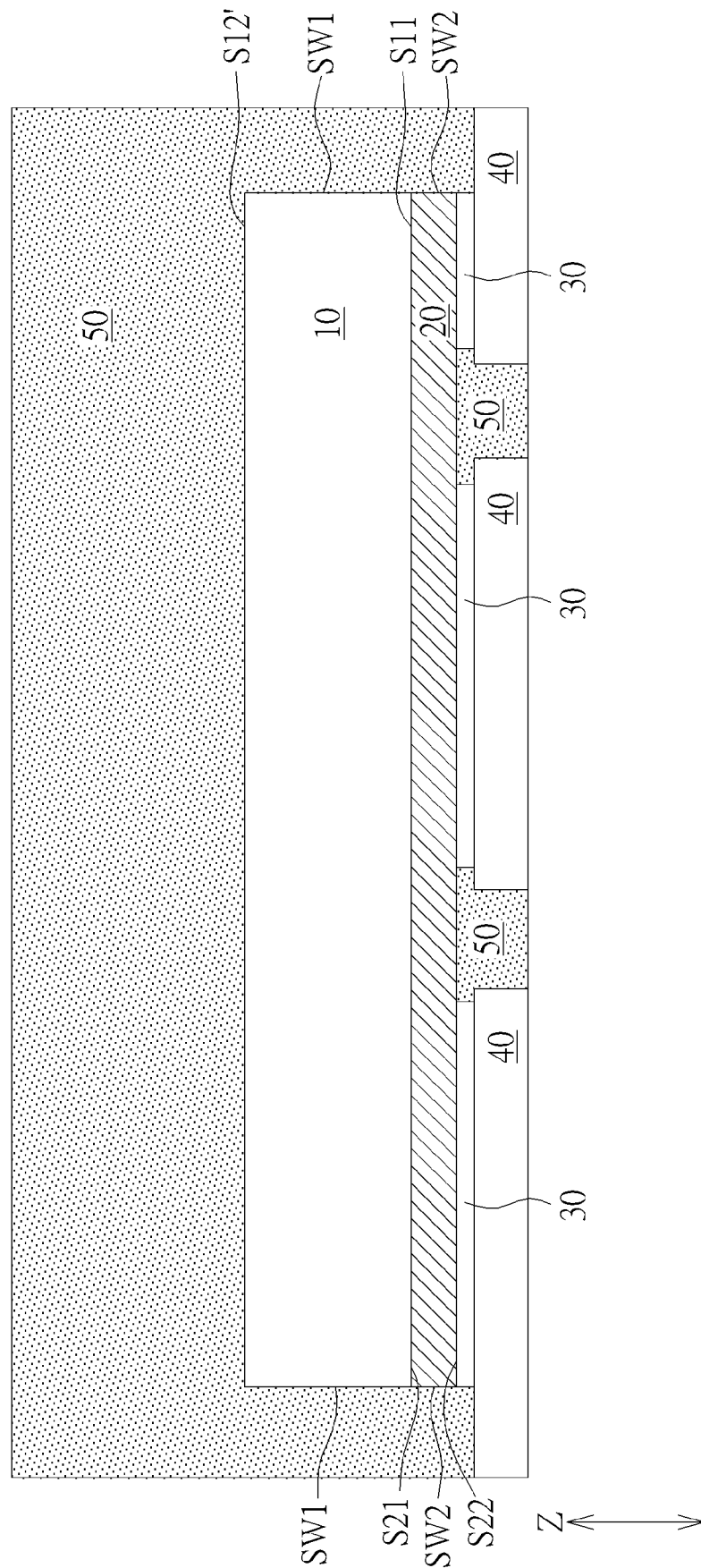
第2圖



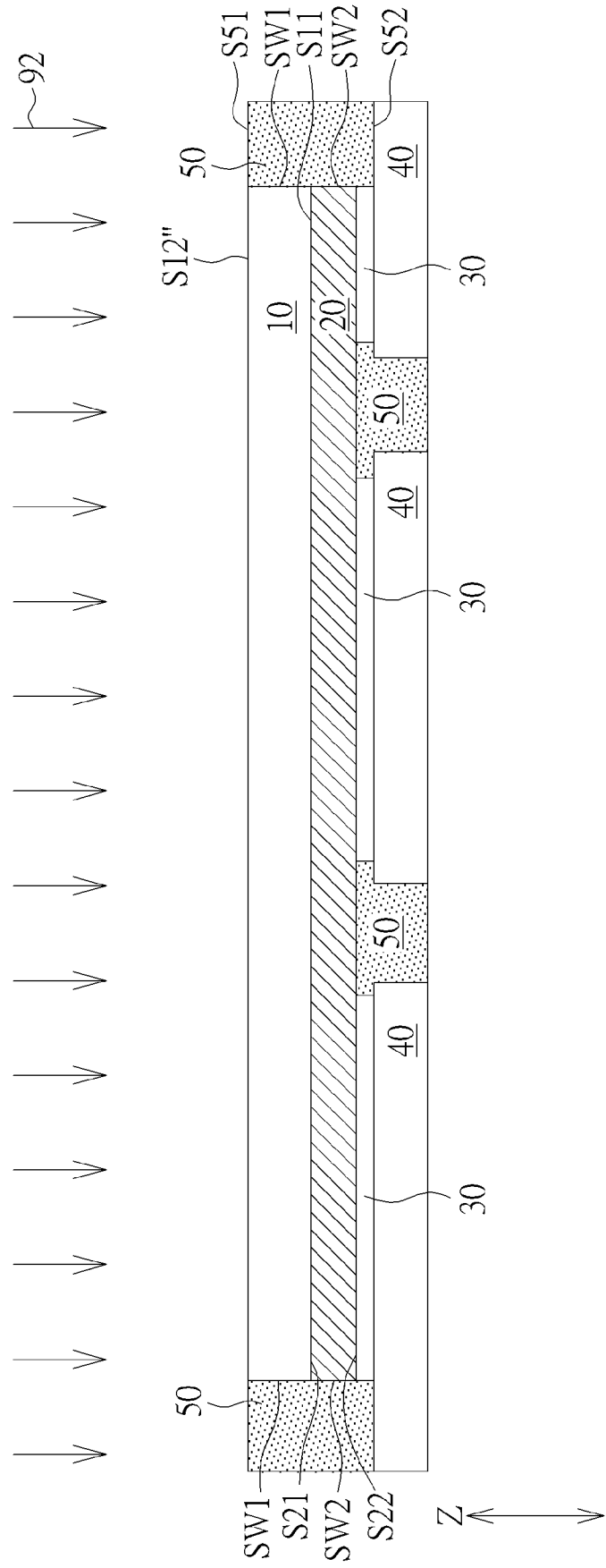
第3圖



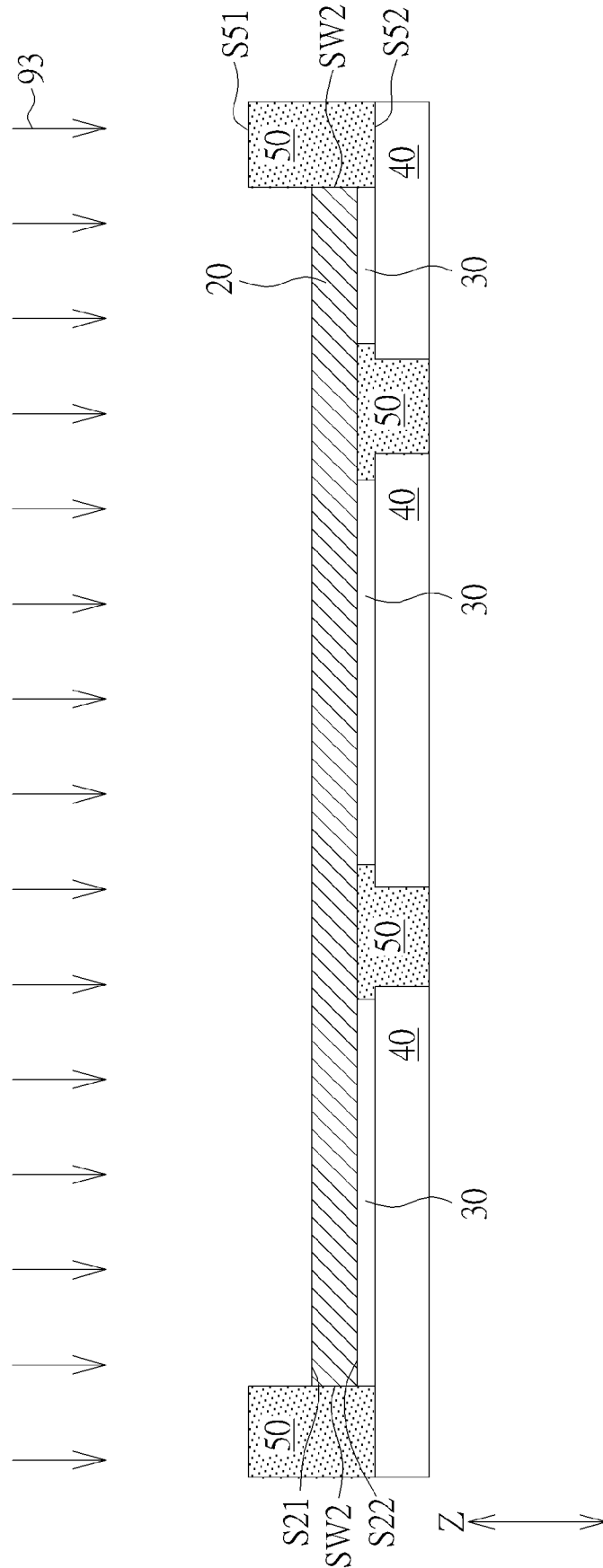
第4圖



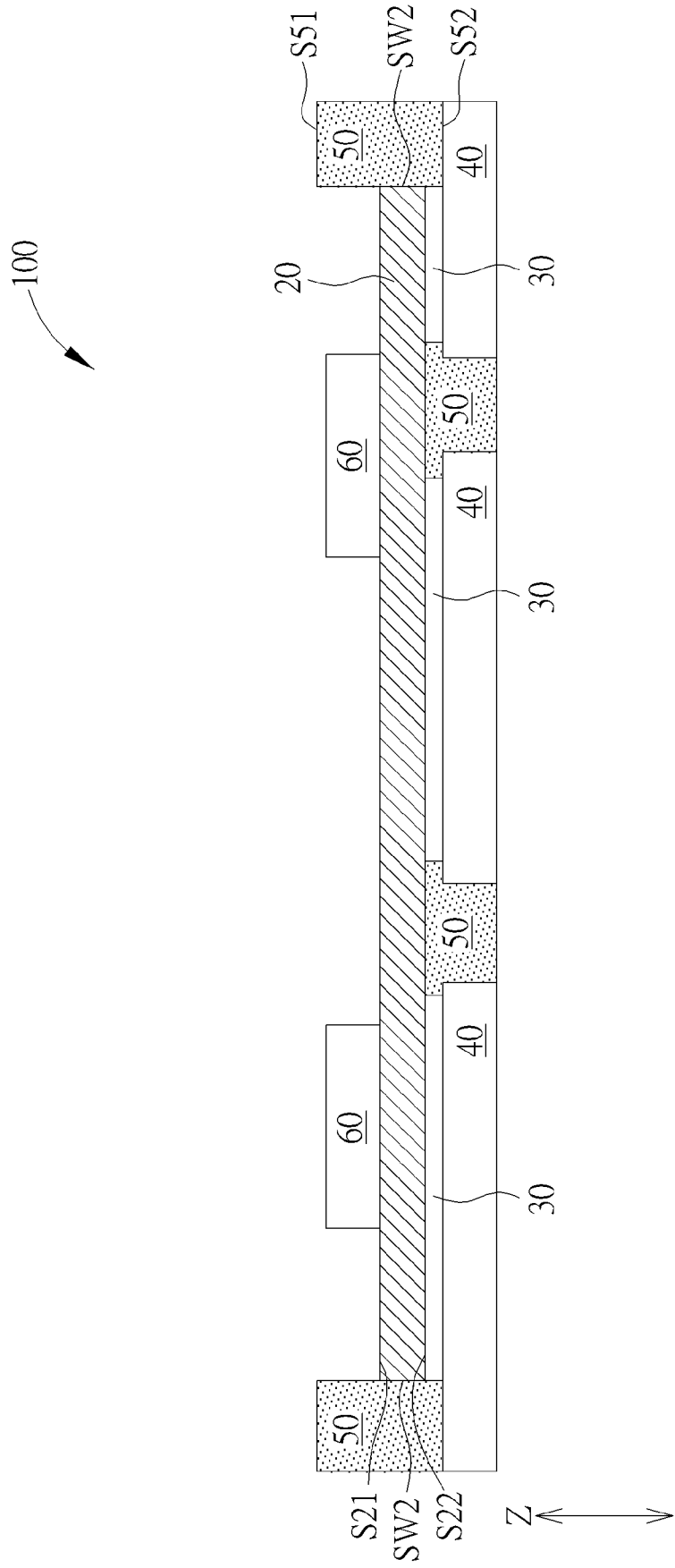
第5圖



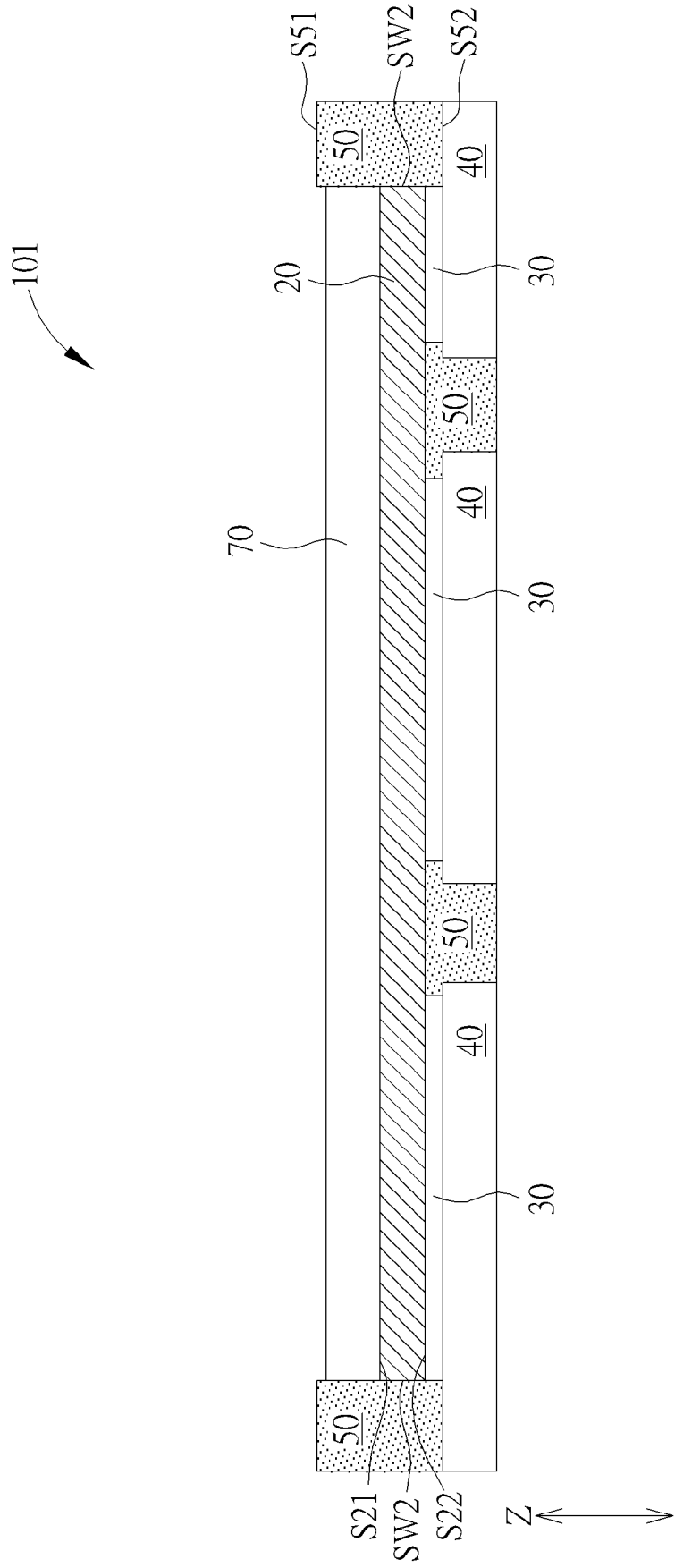
第6圖



第7圖



第8圖



第9圖