

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-222735

(P2014-222735A)

(43) 公開日 平成26年11月27日(2014.11.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 K	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A	
	HO 1 L 29/78 6 5 8 F	

審査請求 未請求 請求項の数 14 O L (全 17 頁)

(21) 出願番号 特願2013-102401 (P2013-102401)  
 (22) 出願日 平成25年5月14日 (2013.5.14)

(71) 出願人 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 110001427  
 特許業務法人前田特許事務所  
 (72) 発明者 香川 和宏  
 大阪府門真市大字門真1006番地 パナ  
 ソニック株式会社内  
 (72) 発明者 清澤 努  
 大阪府門真市大字門真1006番地 パナ  
 ソニック株式会社内  
 (72) 発明者 田中 康太郎  
 大阪府門真市大字門真1006番地 パナ  
 ソニック株式会社内

最終頁に続く

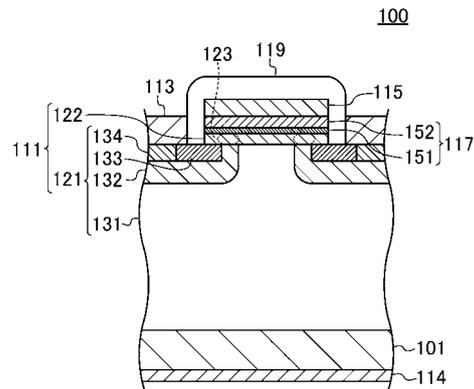
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 SiC層とゲート絶縁膜との界面に余分な固定電荷を導入することなく、チャネル移動度が向上したSiC半導体装置を実現できるようにする。

【解決手段】 半導体装置は、基板101の上に設けられたSiC半導体層111と、SiC半導体層111の上にゲート絶縁膜117を介して設けられたゲート電極115とを備えている。ゲート絶縁膜117は、SiC半導体層111と接し、窒素を含む第1の膜151と、第1の膜151とゲート電極115との間に設けられた第2の膜152とを有している。ゲート絶縁膜117における窒素濃度のピークは、第1の膜151におけるSiC半導体層111との界面から間隔をおき、且つ5nm以内の位置に存在している。第1の膜151及び第2の膜152に含まれる炭素の濃度は、1原子%以下である。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

基板の第 1 の面に設けられ、第 1 導電型の第 1 領域と、第 2 導電型の第 2 領域と、前記第 2 領域により前記第 1 領域から分離された第 1 導電型の第 3 領域とを有する SiC 半導体層と、

前記第 3 領域に接して設けられた第 1 オーミック電極と、

前記基板の前記第 1 の面と反対側の第 2 の面に設けられた第 2 オーミック電極と、

前記 SiC 半導体層の上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜の上に設けられたゲート電極とを備え、

前記ゲート絶縁膜は、前記 SiC 半導体層と接し、窒素を含む第 1 の膜と、前記第 1 の膜と前記ゲート電極との間に設けられ、前記第 1 の膜よりも窒素濃度が低い第 2 の膜とを有し、

前記ゲート絶縁膜における窒素濃度のピークは、前記第 1 の膜における前記 SiC 半導体層との界面から間隔をおき、且つ 5 nm 以内の位置に存在し、

前記第 1 の膜及び第 2 の膜に含まれる炭素の濃度は、1 原子% 以下である、半導体装置。

10

## 【請求項 2】

前記第 1 の膜と前記 SiC 半導体層との界面における窒素濃度は、2 原子% 以下である、請求項 1 に記載の半導体装置。

## 【請求項 3】

前記第 2 の膜における窒素濃度は 1 原子% 以下である、請求項 1 又は 2 に記載の半導体装置。

20

## 【請求項 4】

前記窒素濃度のピークは、前記第 1 の膜と前記 SiC 半導体層との界面から 0.5 nm 以上離れた位置に存在する、請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

## 【請求項 5】

前記第 2 の膜における窒素濃度の最大値は、前記第 1 の膜における窒素濃度の最小値以下である、請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

## 【請求項 6】

前記第 1 の膜と前記第 2 の膜との界面を挟んで、窒素濃度が階段状に低下する、請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置。

30

## 【請求項 7】

前記第 1 の膜の膜厚は、1 nm 以上、5 nm 以下であり、

前記第 2 の膜の膜厚は、5 nm 以上、200 nm 以下である、請求項 1 ~ 6 のいずれか 1 項に記載の半導体装置。

## 【請求項 8】

前記 SiC 半導体層は、前記第 3 領域及び第 2 領域を貫通し、前記第 1 領域に達するトレンチを有し、

前記ゲート絶縁膜は、前記トレンチの側面及び底面を覆うように設けられている、請求項 1 ~ 7 のいずれか 1 項に記載の半導体装置。

40

## 【請求項 9】

前記 SiC 半導体層は、第 1 の SiC 層と、前記第 1 の SiC 層と前記ゲート絶縁膜との間に設けられた第 2 の SiC 層とを有し、

前記第 1 領域、第 2 領域及び第 3 領域は、前記第 1 の SiC 層に設けられ、

前記第 2 の SiC 層は、前記第 2 領域及び第 3 領域と接している、請求項 1 ~ 8 のいずれか 1 項に記載の半導体装置。

## 【請求項 10】

基板の上に、第 1 導電型の第 1 領域と、第 2 導電型の第 2 領域と、前記第 2 領域により前記第 1 領域から分離された第 1 導電型の第 3 領域とを有する SiC 半導体層を形成する工程と、

50

前記 SiC 半導体層の上にゲート絶縁膜を形成する工程とを備え、  
前記ゲート絶縁膜を形成する工程は、  
前記 SiC 半導体層の上に、酸化膜からなる第 1 の膜を堆積する工程と、  
前記第 1 の膜をプラズマ窒化する工程と、  
前記第 1 の膜の上に、酸化膜からなる第 2 の膜を堆積する工程とを含み、  
前記ゲート絶縁膜における窒素濃度のピークを、前記第 1 の膜における前記 SiC 半導体層との界面から間隔をおき、且つ 5 nm 以内の位置に設ける、半導体装置の製造方法。

【請求項 11】

前記ゲート絶縁膜を形成する工程は、前記第 1 の膜をプラズマ窒化する工程よりも後に、非酸化雰囲気において 1000 以上の温度で熱処理する工程を含む、請求項 10 に記載の半導体装置の製造方法。

10

【請求項 12】

前記第 1 の膜は、1 nm 以上、5 nm 以下であり、  
前記第 2 の膜は、5 nm 以上、200 nm 以下である、請求項 10 又は 11 に記載の半導体装置の製造方法。

【請求項 13】

前記 SiC 半導体層を形成する工程は、前記第 3 領域及び第 2 領域を貫通し、前記第 1 領域に達するトレンチを形成する工程を含み、  
前記ゲート絶縁膜を形成する工程において、前記トレンチの側面及び底面を覆うように前記ゲート絶縁膜を形成する、請求項 10 ~ 12 のいずれか 1 項に記載の半導体装置の製造方法。

20

【請求項 14】

前記 SiC 半導体層を形成する工程は、  
前記第 1 領域、第 2 領域及び第 3 領域を有する第 1 の SiC 層を形成する工程と、  
前記第 2 領域及び第 3 領域と接するように第 2 の SiC 層を形成する工程とを含み、  
前記ゲート絶縁膜は、前記第 2 の SiC 層の上に形成する、請求項 10 ~ 13 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に炭化珪素を用いた半導体装置及びその製造方法に関する。

30

【背景技術】

【0002】

炭化珪素（シリコンカーバイド：SiC）は、珪素（Si）に比べてバンドギャップが大きい高硬度の半導体材料である。SiC は、特に高い絶縁破壊電界を有するので、次世代の低損失パワーデバイスに最適な半導体として期待されている。

【0003】

SiC を用いたパワーデバイスのうち代表的な半導体装置は MISFET（Metal Insulator Semiconductor Field-Effect transistor）である。SiC - MISFET の損失を低減するためには、チャンネルにおけるキャリアの移動度であるチャンネル移動度を向上させることが重要である。また、SiC - MISFET において、ポディダイオードに替えてチャンネル領域を還流ダイオードとすることにより、結晶劣化を抑制することが検討されている（例えば、特許文献 1 を参照。）。このような素子においては特に、チャンネル移動度を向上させることが重要である。

40

【0004】

チャンネル移動度を向上させる方法として、ゲート絶縁膜中及び SiC 層とゲート絶縁膜との界面における欠陥を低減することが考えられる。ゲート絶縁膜を形成する標準的なプロセスにおいては、ドライ又はウェット雰囲気において 1100 以上の高温で熱酸化膜を形成する。しかし、標準的な熱酸化プロセスによりゲート絶縁膜を形成すると、SiC

50

層とゲート絶縁膜との界面に多量の界面準位が生じ、S i C - M I S F E Tの実用上のチャンネル移動度が劣化すると報告されている(例えば、非特許文献1を参照。 )。

【0005】

S i C層とゲート絶縁膜との界面における界面準位を低減する方法として、S i C層の表面に酸化層を形成した後、1100よりも高く1250よりも低い温度範囲で酸化層を窒素等のV族元素含有ガスを含む雰囲気には曝露する方法が検討されている(例えば、特許文献2を参照。 )。この方法により、酸化層の特性の劣化を防止しつつ、V族元素を酸化層内に効率良く拡散させ、V族元素含有酸化層を得ることができる。ゲート絶縁膜をV族元素含有酸化層とすることにより、S i C層とゲート絶縁膜との界面における界面準位が低減される。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2012-104856号公報

【特許文献2】特開2005-136386号公報

【非特許文献】

【0007】

【非特許文献1】荒井和雄、吉田貞史共編、S i C素子の基礎と応用、オーム社、p. 82-83、2003年

【発明の概要】

20

【発明が解決しようとする課題】

【0008】

従来の半導体装置において、S i C層とゲート絶縁膜との界面及びその近傍の状態をさらに最適化することにより、チャンネル移動度を向上させることが望まれている。

【0009】

本開示の課題は、S i C層とゲート絶縁膜との界面近傍における窒素並びに炭素の濃度及び分布を制御して、チャンネル移動度が向上したS i C半導体装置を実現できるようにすることである。

【課題を解決するための手段】

【0010】

30

本開示に係る半導体装置の一態様は、基板の第1の面に設けられ、第1導電型の第1領域と、第2導電型の第2領域と、第2領域により第1領域から分離された第1導電型の第3領域とを有するS i C半導体層と、第3領域に接して設けられた第1オーミック電極と、基板の第1の面と反対側の第2の面に設けられた第2オーミック電極と、S i C半導体層の上に設けられたゲート絶縁膜と、ゲート絶縁膜の上に設けられたゲート電極とを備え、ゲート絶縁膜は、S i C半導体層と接し、窒素を含む第1の膜と、第1の膜とゲート電極との間に設けられ、第1の膜よりも窒素濃度が低い第2の膜とを有し、ゲート絶縁膜における窒素濃度のピークは、第1の膜におけるS i C半導体層との界面から間隔をおき、且つ5nm以内の位置に存在し、第1の膜及び第2の膜に含まれる炭素の濃度は、1原子%以下である。

40

【発明の効果】

【0011】

本開示に係る半導体装置及びその製造方法によれば、チャンネル移動度が向上したS i C半導体装置を実現できる。

【図面の簡単な説明】

【0012】

【図1】界面窒素濃度とチャンネル移動度との関係を示す図である。

【図2】一実施形態に係る半導体装置を示す断面図である。

【図3】一実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図4】一実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

50

【図5】一実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図6】一実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図7】一実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図8】一実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図9】一実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図10】ゲート絶縁膜とSiC半導体層との界面近傍における窒素濃度プロファイルを示す図である。

【図11】一実施形態に係る半導体装置の変形例を示す断面図である。

【図12】一実施形態に係る半導体装置の変形例を示す断面図である。

【図13】一実施形態に係る半導体装置の変形例を示す断面図である。

【発明を実施するための形態】

【0013】

(本発明に至った経緯)

本発明者らは、チャンネル移動度のさらなる向上を目指し、鋭意検討を行なった。その結果、ゲート絶縁膜に含まれる窒素の濃度がある閾値を超えると、チャンネルにおけるキャリアの移動度であるチャンネル移動度が大きく低下することを見いだした。図1に示すように、チャンネル移動度が低下する窒素濃度の閾値は、0.5原子%(atom%)以上、2.5原子%以下の範囲にある。ゲート絶縁膜とSiC層との界面における窒素濃度が、この範囲を超えるとチャンネル移動度は大きく低下する。

【0014】

ゲート絶縁膜に含まれる窒素の濃度がある閾値を超えると、チャンネル移動度が低下する原因として、ゲート絶縁膜内に導入された窒素が固定電荷となることが挙げられる。SiC層の上に酸化膜であるゲート絶縁膜を形成した後、熱処理により窒素をゲート絶縁膜に導入すると、窒素はゲート絶縁膜内に均一に分布せず、ゲート絶縁膜とSiC層との界面近傍に窒素の濃度が高い遷移層が形成される。遷移層は、ゲート絶縁膜とSiC層との界面からゲート絶縁膜側に5nm程度又はそれ以下の範囲に形成される。遷移層の界面極近傍の1nm程度以下の範囲において、窒素の濃度が特に高くなり、これが固定電荷となり、界面における界面準位低減の効果を打ち消し、チャンネル移動度を低下させる。

【0015】

また、SiC層の上に熱酸化膜であるゲート絶縁膜を形成すると、ゲート絶縁膜におけるSiC層との界面に炭素が10原子%(atom%)程度導入され、当該炭素による固定電荷がチャンネル移動度を低下させるという問題があることを本発明者らは見出した。

【0016】

以上の知見に基づき、本発明者らは、チャンネル移動度を向上させるべく、SiC層とゲート絶縁膜との界面近傍における窒素濃度及び分布、ならびにゲート絶縁膜における炭素濃度を最適化する半導体装置及び製造方法を検討し、本発明を着想した。なお、以上の説明は、以下に説明する本発明の実施形態を理解する上での一助とするものであり、本発明を限定するものではない。

【0017】

(実施形態の概要)

半導体装置の一例は、基板の第1の面に設けられ、第1導電型の第1領域と、第2導電型の第2領域と、第2領域により第1領域から分離された第1導電型の第3領域とを有するSiC半導体層と、第3領域に接して設けられた第1オーミック電極と、基板の第1の面と反対側の第2の面に設けられた第2オーミック電極と、SiC半導体層の上に設けられたゲート絶縁膜と、ゲート絶縁膜の上に設けられたゲート電極とを備え、ゲート絶縁膜は、SiC半導体層と接し、窒素を含む第1の膜と、第1の膜とゲート電極との間に設けられ、第1の膜よりも窒素濃度が低い第2の膜とを有し、ゲート絶縁膜における窒素濃度のピークは、第1の膜におけるSiC半導体層との界面から間隔をおき、且つ5nm以内の位置に存在し、第1の膜及び第2の膜に含まれる炭素の濃度は、1原子%以下である。

【0018】

10

20

30

40

50

半導体装置の一例において、第1の膜とSiC半導体層との界面における窒素濃度は、2原子%以下であってもよい。

【0019】

半導体装置の一例において、第2の膜における窒素濃度は1原子%以下であってもよい。

【0020】

半導体装置の一例において、窒素濃度のピークは、第1の膜とSiC半導体層との界面から0.5nm以上離れた位置に存在していてもよい。

【0021】

半導体装置の一例において、第2の膜における窒素濃度の最大値は、第1の膜における窒素濃度の最小値以下であってもよい。

【0022】

半導体装置の一例において、第1の膜と第2の膜との界面を挟んで、窒素濃度が階段状に低下してもよい。

【0023】

半導体装置の一例において、第1の膜の膜厚は1nm以上、5nm以下とし、第2の膜の膜厚は、5nm以上、200nm以下としてもよい。

【0024】

半導体装置の一例において、SiC半導体層は、第3領域及び第2領域を貫通し、第1領域に達するトレンチを有し、ゲート絶縁膜は、トレンチの側面及び底面を覆うように設けられていてもよい。

【0025】

半導体装置の一例において、SiC半導体層は、第1のSiC層と、第1のSiC層とゲート絶縁膜との間に設けられた第2のSiC層とを有し、第1領域、第2領域及び第3領域は、第1のSiC層に設けられ、第2のSiC層は、第2領域及び第3領域と接していてもよい。

【0026】

半導体装置の製造方法の一例は、基板の上に、第1導電型の第1領域と、第2導電型の第2領域と、第2領域により第1領域から分離された第1導電型の第3領域とを有するSiC半導体層を形成する工程と、SiC半導体層の上にゲート絶縁膜を形成する工程とを備え、ゲート絶縁膜を形成する工程は、SiC半導体層の上に、酸化膜からなる第1の膜を堆積する工程と、第1の膜をプラズマ窒化する工程と、第1の膜の上に、酸化膜からなる第2の膜を堆積する工程とを含み、ゲート絶縁膜における窒素濃度のピークを、第1の膜におけるSiC半導体層との界面から間隔をおき、且つ5nm以内の位置に設ける。

【0027】

製造方法の一例において、第1の膜は、SiC半導体層の上に酸化膜を堆積して形成してもよい。

【0028】

製造方法の一例において、ゲート絶縁膜を形成する工程は、第1の膜をプラズマ窒化する工程よりも後に、非酸化雰囲気において1000以上の温度で熱処理する工程を含んでいてもよい。

【0029】

製造方法の一例において、第1の膜の膜厚は1nm以上、5nm以下とし、第2の膜の膜厚は、5nm以上、200nm以下としてもよい。

【0030】

製造方法の一例において、SiC半導体層を形成する工程は、第3領域及び第2領域を貫通し、第1領域に達するトレンチを形成する工程を含み、ゲート絶縁膜を形成する工程において、トレンチの側面及び底面を覆うようにゲート絶縁膜を形成してもよい。

【0031】

製造方法の一例は、SiC半導体層を形成する工程において、第1のSiC層と第2の

10

20

30

40

50

S i C層とを順次形成し、ゲート絶縁膜は、第2のS i C層の上に形成する構成としてもよい。

#### 【0032】

本開示において、第1導電型はn型、第2導電型はp型として説明する。但し、第1導電型をp型、第2導電型をn型とすることも可能である。ドーパントの相対的な濃度を示す場合には、導電型を示すn又はpの符号に上付き文字の「+」又は「-」の符号を附す。例えば「n<sup>+</sup>」は「n<sup>-</sup>」よりもドーパントの濃度が高いことを表す。

#### 【0033】

本開示において、AはBの「上方」に設けられている又は形成されているという表現は、AとBとの間に他の部材が介在している場合と、AとBとが接している場合との両方を含む。AはBの「上」に設けられている又は形成されているという表現の場合も同様である。

10

#### 【0034】

炭化珪素膜(S i C膜)と酸化膜(S i O<sub>2</sub>膜)とを積層すると、ある程度の範囲に亘って組成の変化が生じる。このため、本開示においては、 $[C]/[Si] = 1/2$  ( $[O]/[Si]$ )の位置を、S i C膜とS i O<sub>2</sub>膜との界面と定義する。ここで、[S i]、[C]及び[O]は、それぞれシリコン、炭素及び酸素の原子組成百分率(atom%)を表す。なお、 $[C]/[Si]$ 及び $[O]/[Si]$ は、二次イオン質量分析法(SIMS)、X線光電子分光分析法(XPS)、又はオージェ電子分光分析(AES)等により求めることができる。本開示においてはSIMSにより求めた。

20

#### 【0035】

(一実施形態)

以下、図面を参照しつつ、実施形態の一具体例について説明する。

#### 【0036】

以下の実施形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、あくまで一例であり、本発明を限定するものではない。また、以下の実施形態における構成要素のうち、本発明の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面において、同じ符号を付した構成要素については、説明の繰り返しを省略する場合がある。また、図面は理解しやすくするために、それぞれの構成要素を模式的に示したもので、形状及び寸法比等については正確な表示ではない場合がある。また、製造方法においては、必要に応じて、各工程の順序等を変更でき、かつ、他の公知の工程を追加できる。

30

#### 【0037】

図2は、一実施形態に係る半導体装置100を示している。図1に示すように本実施形態の半導体装置100は縦型DMIS(Double-Diffused MIS)構造のS i Cパワー半導体装置である。半導体装置100は、第1導電型の基板101の第1の面(表面)の上に設けられた、S i C半導体層111を有している。本実施形態において、基板101はn<sup>+</sup>S i C基板である。S i C半導体層111は、基板101側から順次設けられた第1のS i C層121及び第2のS i C層122を有している。

40

#### 【0038】

第1のS i C層121は、第1導電型の第1領域131と、第2導電型の第2領域132と、第2領域132により第1領域131から分離された第1導電型の第3領域133とを有している。第2領域132は第1のS i C層121の表層部に配置され、第3領域133は第2領域132内に配置されている。本実施形態において、第1領域131はn<sup>-</sup>型のドリフト層であり、第2領域132はp型のボディ領域(ウェル領域)であり、第3領域133は、n<sup>+</sup>型のソース領域である。

#### 【0039】

第3領域133の上にはソース電極である第1オーミック電極113が設けられている。第1オーミック電極113は、第3領域133を貫通するように設けられた第2導電型

50

の第4領域134と、第3領域133との両方に接している。本実施形態において第4領域134は、 $p^+$ 型のコンタクト領域である。なお、第1オーミック電極113が、第3領域133と第4領域134とにまたがって形成されている例を示したが、第1オーミック電極113は第4領域134と接していなくてもよい。この場合には、第4領域134の上にコンタクト電極を形成し、第1オーミック電極113とコンタクト電極とを配線等により接続すればよい。第4領域134は、第2領域132に設けられていればよく、第3領域133と接していなくてもよい。基板101の第1の面と反対側の面(裏面)には、ドレイン電極である第2オーミック電極114が設けられている。

#### 【0040】

本実施形態において、第2のSiC層122は、第1導電型の層であり、第1のSiC層121上に、例えばエピタキシャル成長により形成されている。第2のSiC層122は、第2領域132及び第3領域133の両方と接している。第2のSiC層122は、第2領域132の上方の位置に、第1オーミック電極113と第2オーミック電極114との間に流れる電流の経路であるチャンネル領域123を有しているため、チャンネル層と呼ぶ場合がある。

10

#### 【0041】

第2のSiC層122の上には、ゲート絶縁膜117が設けられている。ゲート絶縁膜117は、堆積により形成された酸化膜(SiO<sub>2</sub>膜)である。ゲート絶縁膜117の上にはゲート電極115が設けられている。ゲート電極115と第1オーミック電極113との間には層間絶縁膜119が設けられている。

20

#### 【0042】

本実施形態において、ゲート絶縁膜117は、第2のSiC層122の上に堆積により形成された窒素を含む酸化膜(SiO<sub>2</sub>膜)である。ゲート絶縁膜117は、第2のSiC層122と接して設けられ窒素を含む第1の膜151と、第1の膜151の上に設けられ、第1の膜151よりも窒素濃度が低い第2の膜152とを有している。第1の膜151は厚さが1nm以上、5nm以下とすることができ、第2の膜152は厚さが5nm以上、200nm以下とすることができる。第1の膜151と第2の膜152の間には、窒素濃度が急激に変化する5nm以下の境界層が存在していてもよい。各層における窒素のピーク濃度は第1の膜151において第2の膜152よりも2倍以上高くてもよい。

30

#### 【0043】

ゲート絶縁膜117における窒素濃度のピークは、第1の膜151において第1の膜151と第2のSiC層122との界面から間隔をおいた位置に存在している。ピークの位置は、プロセスの制御性を考慮して第2のSiC層122との界面から1nm以上離れた位置とすればよい。また、ピークの位置は第1の膜151内であればよく特に限定されないが、第2のSiC層122との界面から5nm以内の位置とすることができる。窒素濃度のピークを第1の膜151と第2のSiC層122との境界から5nm以内の位置とすることにより、SiC層の界面に近い位置に窒素が大量に導入されることを避けることができる。従って、導入された窒素が固定電荷として界面品質に及ぼす影響を低減することができる。

40

#### 【0044】

第1の膜151と第2のSiC層122との界面における窒素濃度は、2原子%以下とすればよく、1原子%以下としてもよい。ピークにおける窒素濃度は8原子%以上とすればよく、9原子%以上としてもよく、10原子%以上としてもよい。

#### 【0045】

本実施形態において、ゲート絶縁膜117は、熱酸化膜ではなく堆積により形成した酸化膜である。このため、ゲート絶縁膜117は理論的には炭素を含まない。実際には、成膜の際の不純物混入や拡散の影響を受けるため、ある程度の炭素が含まれるが、ゲート絶縁膜117における炭素の濃度は、SiC層122及びゲート絶縁膜117界面から5nmの炭素遷移層を除き、ゲート酸化膜領域で1原子%以下である。熱酸化によりゲート絶縁膜を形成した場合には、ゲート絶縁膜における炭素の濃度は、10原子%程度となる。

50

従って、本実施形態においては、炭素の導入量を大幅に低減できる。ゲート絶縁膜 117 における炭素の濃度は、例えば 5 原子% 以下とすればよく、3 原子% 以下としてもよく、1 原子% 以下としてもよい。

#### 【0046】

本実施形態の半導体装置は、ゲート絶縁膜 117 が窒素を含有しており、ゲート絶縁膜 117 と第 2 の SiC 層 122 との界面に界面準位を低減させるのに必要な量の窒素、例えば  $2 \times 10^{19} \text{ cm}^{-3}$  以上、が導入されている。一方、ゲート絶縁膜 117 における窒素濃度のピークが第 2 の SiC 層 122 との界面から間隔をおいて存在している。このため、ゲート絶縁膜 117 と第 2 の SiC 層 122 との界面近傍、特に第 1 の膜 151 における第 2 の SiC 層 122 との界面から 1 nm 程度の位置までの界面極近傍に、界面準位を低減させるのに必要な量を超える過剰な窒素が導入されていない。また、ゲート絶縁膜 117 は固定電荷となる炭素もほとんど含んでいない。従って、界面準位を低減しつつ、固定電荷の導入が抑えられているので、チャネル移動度を大きく向上させることができる。

10

#### 【0047】

以上のような構成の半導体装置は、以下のようにして形成することができる。まず、図 3 に示すように、表面の上に SiC 半導体である第 1 の SiC 層 121 が形成された  $n^+$  型の SiC からなる基板 101 を準備する。基板 101 は、例えば、低抵抗 (抵抗率  $0.01 \sim 0.03 \text{ cm}$ ) の  $n$  型 4H-SiC オフカット基板とすることができる。

#### 【0048】

次に、図 4 に示すように、第 1 の SiC 層 121 の所定の位置に、第 2 領域 132、第 3 領域 133 及び第 4 領域 134 を形成する。第 2 領域 132 は、アルミニウム (Al) 等の  $p$  型の不純物イオンを選択的にドーピングして形成すればよい。第 3 領域 133 は、窒素 (N) 等の  $n$  型の不純物イオンを選択的にドーピングして形成すればよい。第 4 領域 134 はアルミニウム等の  $p$  型の不純物イオンを選択的にドーピングして形成すればよい。イオン注入をされなかった部分は、第 1 領域 131 となる。

20

#### 【0049】

第 1 領域 131 における不純物濃度は、例えば  $1 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$  程度とすることができる。第 2 領域 132 における不純物濃度は、例えば  $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$  程度とすることができる。第 3 領域 133 における不純物濃度は、例えば  $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  程度とすることができる。第 4 領域 134 における不純物濃度は、例えば  $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$  程度とすることができる。

30

#### 【0050】

イオン注入の後、高温でアニールを行い、注入した不純物を活性化する。アニールは、注入ごとに行っても、いくつかの注入を行った後に行っても、すべての注入が終わった後に行ってもよい。イオン注入は、それぞれ所定の位置に開口部を有するマスクを用いて行えばよい。マスクは、それぞれ酸化膜又はポリシリコン膜等をパターンニングして形成すればよい。

#### 【0051】

次に、図 5 に示すように、第 1 の SiC 層 121 の上に第 2 の SiC 層 122 を形成する。第 2 の SiC 層 122 は、エピタキシャル成長により形成する。第 2 の層 122 は、例えば、化学気相堆積 (CVD) 装置を用いて、基板を  $1450 \sim 1650$  程度に加熱しながら、シリコン系ガス、カーボン系ガス及びドーパントガスを供給して形成すればよい。第 2 の SiC 層 122 の厚さは  $50 \text{ nm} \sim 200 \text{ nm}$  程度とすればよい。第 2 の SiC 層 122 の窒素ドーパント濃度は、例えば  $5 \times 10^{17} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$  とすればよい。

40

#### 【0052】

次に、図 6 に示すように、第 2 の SiC 層 122 の上に、ゲート絶縁膜 117 の第 1 の膜 151 を形成する。第 1 の膜 151 は、熱酸化ではなく CVD 法等を用いて堆積により形成する。例えば、 $\text{SiH}_4$  の流量を  $25 \text{ sccm}$  ( $0$ 、1 気圧における  $\text{ml/min}$ )、

50

$N_2O$ の流量を1250 sccmとし、圧力が0.6 hPa、温度が800 条件で成膜することができる。この場合の成膜速度は約0.89 nm/minとなる。第1の膜151の膜厚は1 nm以上とすればよく、2 nm以上としてもよく、また10 nm以下とすればよく、8 nm以下としてもよく、5 nm以下としてもよい。

#### 【0053】

次に、第1の膜151に対してプラズマ窒化処理を行う。プラズマ窒化処理による窒素濃度のピーク位置は、プラズマ電力によって制御が可能である。プラズマ窒化処理は、例えば窒素の流量を500 sccm、圧力を20 mTorr (約2.7 Pa)とし、2000 W (DutyCycle 5%、実効電力1000 W)の条件で40秒間行えばよい。プラズマ窒化処理後、非酸化雰囲気においてアニールを行ってもよい。アニールは1000 以上で行うことができ、例えば、圧力を1 Torrとして、1050 で45秒間とすることができる。

10

#### 【0054】

次に、図7に示すように、プラズマ窒化処理した第1の膜151の上に第2の膜152を形成する。第2の膜152は、第1の膜151と同様の成膜条件で形成することができる。第2の膜152の膜厚は5 nm以上とすればよく、10 nm以上としてもよく、また200 nm以下とすればよく、100 nm以下としてもよい。第2の膜152を形成した後、非酸化雰囲気においてアニールを行ってもよい。アニールは1000 以上で行うことができ、例えば、窒素雰囲気において、1200 で1時間間とすることができる。第1の膜151のプラズマ窒化処理後及び第2の膜152の成膜後にそれぞれアニールを行うことにより、ゲート絶縁膜117の膜密度を向上させると共に、固定電荷をさらに低減することができる。但し、第1の膜151及び第2の膜152に対するアニールは行わなくてもよく、いずれか一方の膜にのみアニールを行ってもよい。

20

#### 【0055】

次に、図8に示すように、ゲート絶縁膜117の上にゲート電極115を形成する。例えば、不純物ドーパしたポリシリコン膜をゲート絶縁膜117の上に形成した後、レジストパターンニングとエッチングにより、ゲート電極115、ゲート絶縁膜117、及び第2のSiC層122の不要部分を除去すればよい。

#### 【0056】

次に、図9に示すように、ゲート電極115、ゲート絶縁膜117、及び第2のSiC層122を覆い、第3領域133及び第4領域134を露出する層間絶縁膜119を形成し、その後、レジストパターンニング及びエッチングにより第1オーミック電極113を形成する。第1オーミック電極113は、例えば、層間絶縁膜119を形成した基板101上の全面にニッケル膜を形成し、不活性ガス雰囲気において、950 で5分間熱処理し、シリサイド化した後、不要なニッケル膜を除去して形成すればよい。基板101の裏面には第2オーミック電極114を形成する。第2オーミック電極114も第1オーミック電極113と同様に、基板101の裏面をシリサイド化して形成すればよい。

30

#### 【0057】

本実施形態において、第1の膜151はプラズマ窒化処理されており、第1の膜151は窒素を含んでいる。第1の膜151中において窒素濃度は均一ではなく、第2のSiC層122との界面及び第2の膜152との界面から離れた位置にピークを有する。一方、第1の膜151と第2のSiC層122との界面における窒素濃度は2原子%以下である。また、第2の膜152はプラズマ窒化処理されていない。このため、第2の膜152の平均窒素濃度は、第1の膜151の平均窒素濃度よりも低く、例えば平均で1原子%以下である。第1の膜151と第2の膜152との界面を挟んで窒素濃度は急激に変化し、階段状に低下する。熱処理条件にも依存するが、例えば、窒素濃度が急激に変化する境界層の厚さは5 nm以下である。各層における窒素のピーク濃度は第1の膜151において第2のSiC層122よりも2倍以上高い。

40

#### 【0058】

図10は、第2のSiC層122の上に第1の膜151を形成した状態での窒素プロフ

50

ファイルの一例を示している。図10における窒素プロファイルは、SIMS (Secondary Ion Mass Spectroscopy) により分析した。第1の膜151と第2のSiC層122との界面から遠ざかるに従い次第に濃度が上昇し、第1の膜151と第2のSiC層122との界面から1.8nm程度(第1の膜151の表面から0.5nm程度)の位置で濃度が最も高くなる。第1の膜151と第2のSiC層122との界面における窒素濃度は約1原子%であり、ピーク濃度は約10原子%である。

#### 【0059】

このように、第1の膜151における窒素濃度の最大値は高く、第1の膜151を平均してみた場合には強く窒化されている。しかし、第2のSiC層122との界面においては窒素濃度が2原子%以下に抑えられており、第1の膜151と第2のSiC層122との界面から1nm程度の領域における窒素濃度は、チャンネル移動度が劣化しない程度に抑えられている。このため、第1の膜151と第2のSiC層122との界面において界面準位を低減できる一方、チャンネル移動度を劣化させる過剰な窒素の導入を避けることができる。

10

#### 【0060】

第1の膜151と第2のSiC層122との界面近傍の窒素濃度及びプロファイルは、第1の膜151の膜厚により制御することができる。窒素濃度のピークを第1の膜151と第2のSiC層122との界面から間隔をおいた位置とするために、第1の膜151の膜厚は1nm以上とすればよく、2nm以上としてもよい。第1の膜151と第2のSiC層122との界面に界面準位の低減に必要な量の窒素を導入するためには、第1の膜151の膜厚を10nm以下とすればよく、8nm以下としてもよく、5nm以下としてもよい。

20

#### 【0061】

ゲート絶縁膜117に窒素を導入することにより、ゲート絶縁膜117の比誘電率を高くすることもできる。これにより、実効的に電氣的絶縁膜の厚さを変えることなく、物理的絶縁膜を厚くすることが可能となり、ゲート絶縁膜117の耐压向上を図ることもできる。

#### 【0062】

また、本実施形態においては、ゲート絶縁膜117を堆積により形成しているため、ゲート絶縁膜117に含まれる炭素の濃度を低減することも可能となる。ゲート絶縁膜117に含まれる炭素は固定電荷となるため、移動度を低下させる原因となる。SiC膜を熱酸化してゲート絶縁膜を形成する場合には、ゲート絶縁膜に必ず炭素が含まれる。しかし、ゲート絶縁膜が堆積膜である場合には、ゲート絶縁膜に含まれる炭素の濃度を1原子%以下とすることができる。但しゲート絶縁膜に含まれる炭素の濃度は3原子%以下であってもよく、5原子%以下であってもよい。

30

#### 【0063】

本実施形態においては、第2の膜152に窒素を積極的に導入していないが、第2の膜152を窒素が積極的に導入された膜としてもよい。

#### 【0064】

本実施形態においては、SiC半導体層111を第1のSiC層121の上に第2のSiC層122を成長させた構成としたが、図11に示すように、第2のSiC層122を設けず、SiC半導体層111を第1のSiC層121の一層とし、第1のSiC層121の表面にゲート絶縁膜117を設けた半導体装置100Aとしてもよい。この場合には、第1のSiC層121の表面(第2の領域132の表面)にチャンネル領域が形成される。

40

#### 【0065】

本実施形態においてはプレーナ型のMISFETについて説明したが、図12に示すように、トレンチ型のMISFETとしてもよい。トレンチ型のMISFETは、チャンネル層を縦方向に形成することができるため、単位セルの微細化が有効であり、集積度を高くでき、素子のオン抵抗を低減することができる。

50

## 【0066】

トレンチ型の半導体装置100Bは、図12に示すように、第1導電型の基板101の表面の上に設けられた、SiC半導体層111を有している。SiC半導体層111は、基板101の上に設けられた第1のSiC層121を有している。第1のSiC層121は、基板101側から順次設けられたn<sup>-</sup>型の第1領域131と、p型の第2領域132と、n<sup>+</sup>型の第3領域133と有している。第1のSiC層121は、第3領域133及び第2領域132を貫通し第1領域131に達するトレンチを有している。トレンチの側面及び底面を覆うように第2のSiC層122が設けられている。第2のSiC層122の上にはゲート絶縁膜117を介してゲート電極115が設けられている。第2のSiC層122におけるトレンチの側面において第2領域132と接する部分は、チャンネル領域となる。第1のSiC層121は、第3領域133を挟んでトレンチと反対側に設けられたp<sup>+</sup>型の第4領域134を有している。第3領域133及び第4領域134の上には第1オーミック電極113が設けられている。第1オーミック電極113とゲート電極115との間には層間絶縁膜119が設けられている。基板101の裏面には、第2オーミック電極114が設けられている。

10

## 【0067】

ゲート絶縁膜117は、プレーナ型の半導体装置100と同様にすることができる。具体的に、第2のSiC層122の上に堆積により形成された窒素を含む酸化膜(SiO<sub>2</sub>膜)である。ゲート絶縁膜117は、第2のSiC層122と接して設けられ、窒素を含む第1の膜151と、第1の膜151の上に設けられ、第1の膜151よりも窒素濃度が低い第2の膜152とを有している。第1の膜151は厚さが1nm以上、5nm以下とすることができ、第2の膜152は厚さが5nm以上、200nm以下とすることができ、ゲート絶縁膜117における窒素濃度のピークは、第1の膜151における第1の膜151と第2のSiC層122との界面から離れた位置に存在している。例えば、第2のSiC層122との界面から0.5nm以上離れた位置に存在していればよく、1nm以上離れた位置に存在していてもよい。また、窒素濃度のピークは、第1の膜151と第2のSiC層122との界面から5nm以内の位置に存在していてもよい。第1の膜151と第2のSiC層122との界面における窒素濃度は、2原子%以下とすればよい。

20

## 【0068】

ゲート絶縁膜117は、熱酸化膜ではなく堆積により形成した酸化膜である。このため、ゲート絶縁膜117における炭素の濃度は、1原子%以下である。

30

## 【0069】

トレンチ型の半導体装置100Bにおいても、プレーナ型の半導体装置100と同様に、チャンネル移動度を向上させることができる。また、熱酸化によりゲート絶縁膜を形成する場合には、SiC層の結晶面方位の影響によりトレンチの底面においてゲート絶縁膜が薄くなる場合がある。しかし、堆積によりゲート絶縁膜を形成するため、トレンチ底面にもトレンチ側面と同程度の厚いゲート絶縁膜を形成できるという利点も得られる。

## 【0070】

トレンチ型のMISFETの場合にも、図13に示すように、第2のSiC層122を形成せず、第1のSiC層121の表面にゲート絶縁膜117を設けた半導体装置100Cとしてもよい。

40

## 【0071】

以上、本開示を実施形態により説明してきたが、本開示は上記実施形態に限定されず種々の変更が可能である。例えば、半導体基板として4H-SiCを用いる例を示したが6H、3C又は15R等の他のポリタイプの基板を用いてもよい。SiC半導体層は、半導体基板の(0001)Si面の上に形成することができるが、(000-1)C面の上にもSiC半導体層を形成してもよい。また、半導体基板の主面の面方位を他の結晶面としてもよい。主面は、0.5°以上10°以下のオフカット角度を有していてもよいが、オフカット角度を有していなくてもよい。また、炭化珪素からなる半導体基板を用いた例を示したが、他の基板を用いることもできる。

50

## 【 0 0 7 2 】

M I S F E T 構造の半導体装置について説明したが、絶縁ゲートバイポーラトランジスタ ( Insulated Gate Bipolar Transistor : I G B T ) 構造の半導体装置としてもよい。I G B T 構造の半導体装置は、半導体基板とその直上に形成する半導体層とをそれぞれ互いに異なる導電型とすることにより作製することができる。この場合、第 2 領域はエミッタ領域又はコレクタ領域であり、第 1 オーミック電極はエミッタ電極又はコレクタ電極であり、第 2 オーミック電極はコレクタ電極又はエミッタ電極である。

## 【 0 0 7 3 】

また、ソース及びドレインを設けず M I S キャパシタとすることも可能である。

## 【 産業上の利用可能性 】

10

## 【 0 0 7 4 】

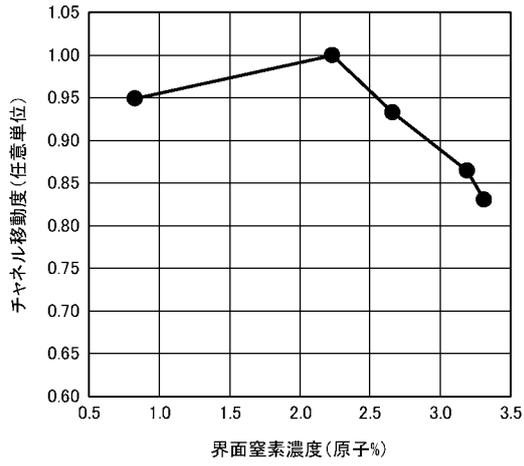
本開示の半導体装置及びその製造方法は、S i C 層とゲート絶縁膜との界面に余分な固定電荷を導入することなく、チャンネル移動度が向上した S i C 半導体装置を実現でき、特にパワーデバイス等の分野において有用である。

## 【 符号の説明 】

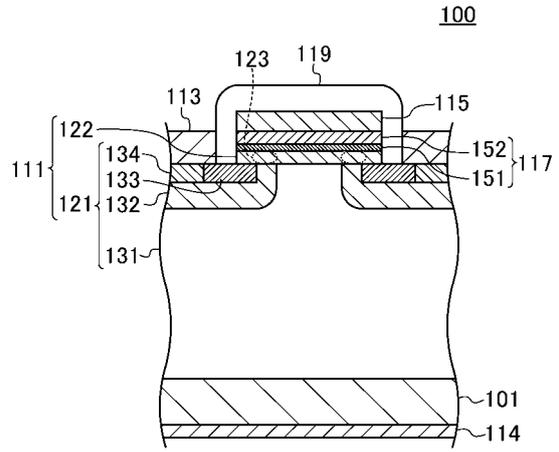
## 【 0 0 7 5 】

1 0 0	半導体装置	
1 0 0 A	半導体装置	
1 0 0 B	半導体装置	
1 0 0 C	半導体装置	20
1 0 1	基板	
1 1 1	S i C 半導体層	
1 1 3	第 1 オーミック電極	
1 1 4	第 2 オーミック電極	
1 1 5	ゲート電極	
1 1 7	ゲート絶縁膜	
1 1 9	層間絶縁膜	
1 2 1	第 1 の S i C 層	
1 2 2	第 2 の S i C 層	
1 2 3	チャンネル領域	30
1 3 1	第 1 領域	
1 3 2	第 2 領域	
1 3 3	第 3 領域	
1 3 4	第 4 領域	
1 5 1	第 1 の膜	
1 5 2	第 2 の膜	

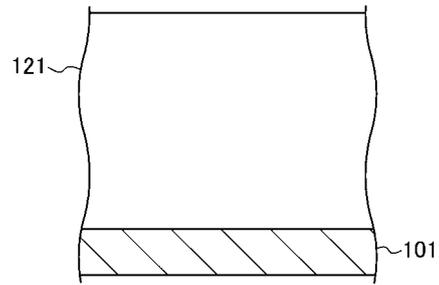
【 図 1 】



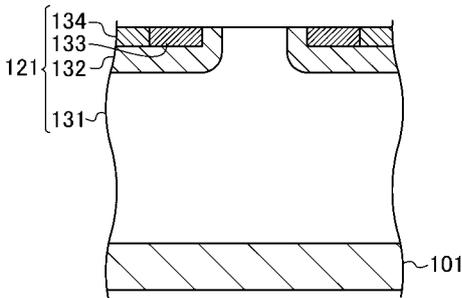
【 図 2 】



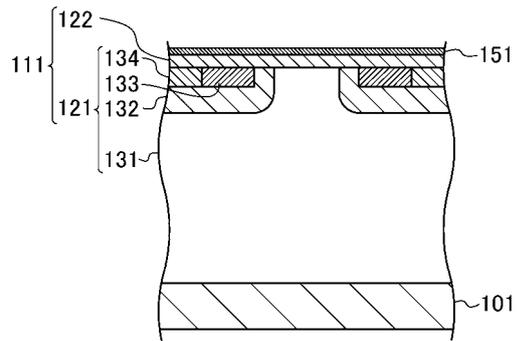
【 図 3 】



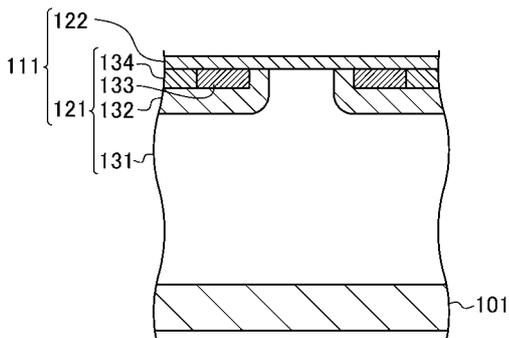
【 図 4 】



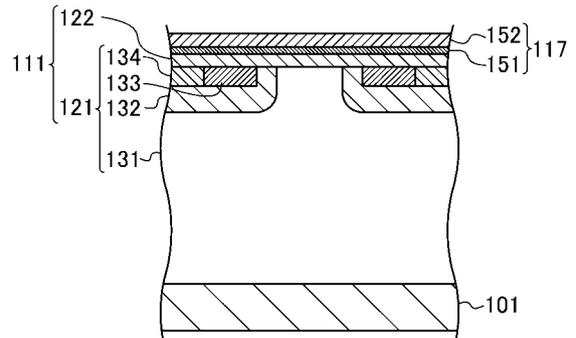
【 図 6 】



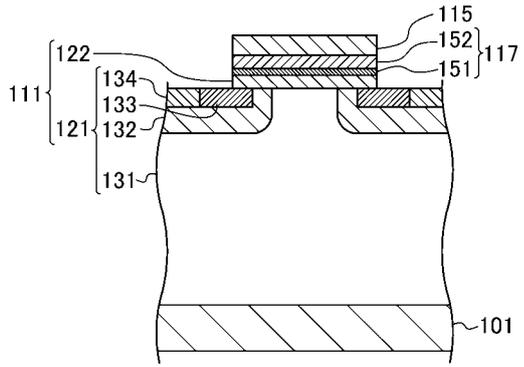
【 図 5 】



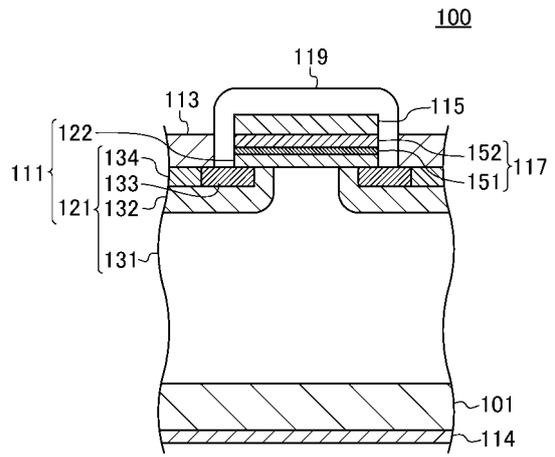
【 図 7 】



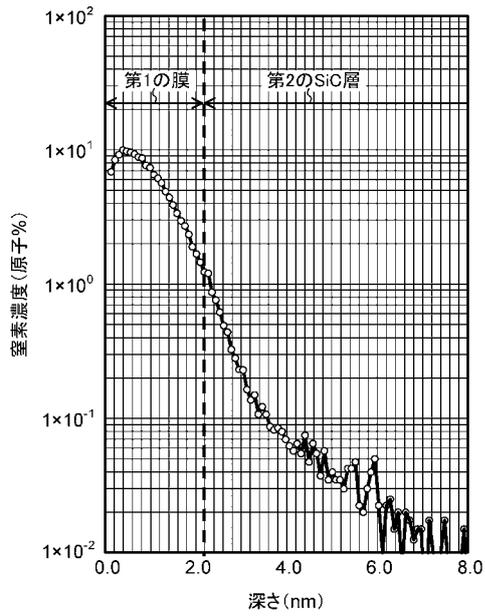
【図 8】



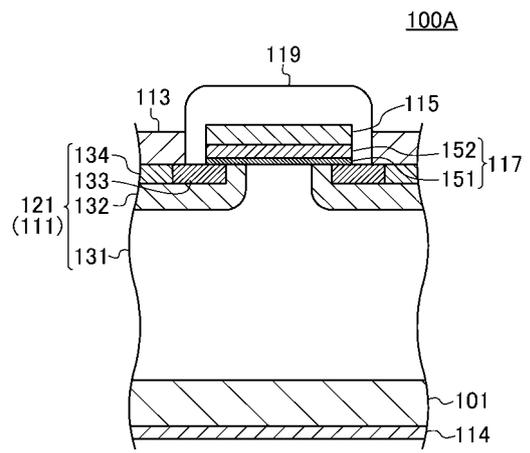
【図 9】



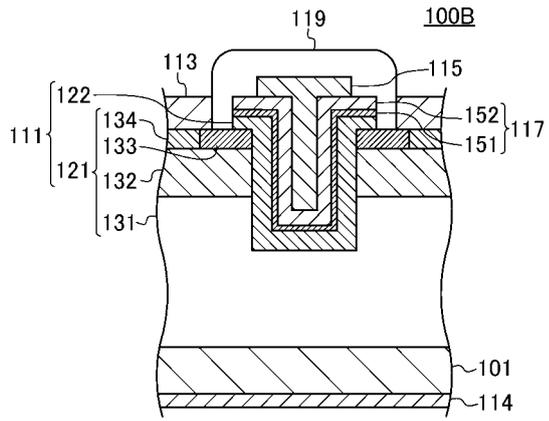
【図 10】



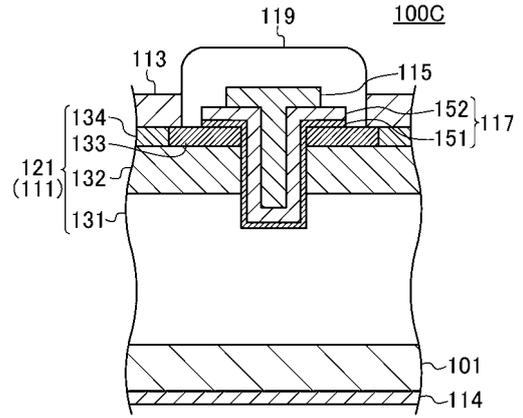
【図 11】



【図 1 2】



【図 1 3】



---

フロントページの続き

- (72)発明者 富田 祐貴  
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 柳瀬 康行  
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 内山 敬太  
大阪府門真市大字門真1006番地 パナソニック株式会社内