

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4022862号
(P4022862)

(45) 発行日 平成19年12月19日(2007.12.19)

(24) 登録日 平成19年10月12日(2007.10.12)

(51) Int. Cl.	F I		
HO4N 5/335 (2006.01)	HO4N	5/335	Z
HO1L 27/146 (2006.01)	HO4N	5/335	E
	HO1L	27/14	A

請求項の数 13 (全 16 頁)

(21) 出願番号	特願2002-169862 (P2002-169862)	(73) 特許権者	000002185
(22) 出願日	平成14年6月11日(2002.6.11)		ソニー株式会社
(65) 公開番号	特開2004-15701 (P2004-15701A)		東京都港区港南1丁目7番1号
(43) 公開日	平成16年1月15日(2004.1.15)	(74) 代理人	100089875
審査請求日	平成16年4月27日(2004.4.27)		弁理士 野田 茂
		(72) 発明者	川人 祥二
			静岡県浜松市広沢一丁目22-12
		(72) 発明者	中村 信男
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	佐藤 弘樹
			神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

少なくとも光電変換素子を有する複数の単位画素が二次元アレイ状に配置された光電変換領域部と、前記光電変換領域部の各画素列毎に設けられ、光電変換領域部の各単位画素で生成された画素信号を順次読み出す垂直信号線と、前記光電変換領域部の出力側に設けられ、前記垂直信号線によって読み出された各単位画素の画素信号を順次蓄積するカラム領域部と、前記カラム領域部に蓄積された画素信号を順次読み出して出力する出力部とを有し、

前記カラム領域部に、前記垂直信号線から出力される画素信号の大きさを検出する検出回路と、前記検出回路によって検出された画素信号の大きさを複数の段階に分け、各段階毎にゲインを選択的に切り換え、その切り換えられたゲインの大きさをコードで示す分類信号として出力するゲイン設定手段と、前記ゲイン設定手段から出力された分類信号を入力し、前記分類信号に対応するゲインで前記垂直信号線から出力される画素信号を増幅する増幅回路とを設け、

前記カラム領域部の後段に、前記増幅回路から出力された増幅画素信号を水平信号線を介して入力し、アナログ・デジタル変換を行うAD変換回路と、前記ゲイン設定手段から出力された分類信号と前記AD変換回路によってAD変換された増幅画素信号とを入力し、各画素毎に分類信号と増幅画素信号を組み合わせたデジタル信号を出力するゲイン補正回路とを設けた、

ことを特徴とする固体撮像装置。

【請求項 2】

前記ゲイン設定手段は、前記増幅回路のゲインを2のべき乗の大きさに設定することを特徴とする請求項1記載の固体撮像装置。

【請求項 3】

前記増幅回路の出力段に、それぞれS/H回路が接続され、前記増幅回路から出力される増幅画素信号が前記S/H回路でサンプルホールドされて前記水平信号線に出力されることを特徴とする請求項1記載の固体撮像装置。

【請求項 4】

前記A/D変換回路によって前記増幅回路の増幅画素信号がNビットのデジタル信号に変換され、前記ゲイン設定手段によって前記検出回路の検出信号がMビットのデジタル分類信号に変換され、これら変換後の両信号を用いて、前記ゲイン補正回路でN+Mビットのデジタル信号を得るようにしたことを特徴とする請求項1記載の固体撮像装置。

10

【請求項 5】

前記ゲイン設定手段による増幅回路のゲイン設定は、前記垂直信号線の飽和信号量を超過しない範囲で設定することを特徴とする請求項1記載の固体撮像装置。

【請求項 6】

少なくとも光電変換素子を有する複数の単位画素が二次元アレイ状に配置された光電変換領域部と、前記光電変換領域部の各画素列毎に設けられ、光電変換領域部の各単位画素で生成された画素信号を順次読み出す垂直信号線と、前記光電変換領域部の出力側に設けられ、前記垂直信号線によって読み出された各単位画素の画素信号を順次蓄積するカラム領域部と、前記カラム領域部に蓄積された画素信号を順次読み出して出力する出力部とを有する固体撮像装置を具備し、

20

前記固体撮像装置のカラム領域部に、前記垂直信号線から出力される画素信号の大きさを検出する検出回路と、前記検出回路によって検出された画素信号の大きさを複数の段階に分け、各段階毎にゲインを選択的に切り換え、その切り換えられたゲインの大きさをコードで示す分類信号として出力するゲイン設定手段と、前記ゲイン設定手段から出力された分類信号を入力し、前記分類信号に対応するゲインで前記垂直信号線から出力される画素信号を増幅する増幅回路とを設け、

前記固体撮像装置のカラム領域部の後段に、前記増幅回路から出力された増幅画素信号を水平信号線を介して入力し、アナログ・デジタル変換を行うA/D変換回路と、前記ゲイン設定手段から出力された分類信号と前記A/D変換回路によってA/D変換された増幅画素信号とを入力し、各画素毎に分類信号と増幅画素信号を組み合わせたデジタル信号を出力するゲイン補正回路とを設けた、

30

ことを特徴とする電子機器。

【請求項 7】

前記ゲイン設定手段は、前記増幅回路のゲインを2のべき乗の大きさに設定することを特徴とする請求項6記載の電子機器。

【請求項 8】

前記増幅回路の出力段に、それぞれS/H回路が接続され、前記増幅回路から出力される増幅画素信号が前記S/H回路でサンプルホールドされて前記水平信号線に出力されることを特徴とする請求項6記載の電子機器。

40

【請求項 9】

前記A/D変換回路によって前記増幅回路の増幅画素信号がNビットのデジタル信号に変換され、前記ゲイン設定手段によって前記検出回路の検出信号がMビットのデジタル分類信号に変換され、これら変換後の両信号を用いて、前記ゲイン補正回路でN+Mビットのデジタル信号を得るようにしたことを特徴とする請求項6記載の電子機器。

【請求項 10】

前記ゲイン設定手段による増幅回路のゲイン設定は、前記垂直信号線の飽和信号量を超過しない範囲で設定することを特徴とする請求項6記載の電子機器。

【請求項 11】

50

少なくとも光電変換素子を有する複数の単位画素を二次元アレイ状に配置された光電変換領域部と、前記光電変換領域部の各画素列毎に設けられ、光電変換領域部の各単位画素で生成された画素信号を順次読み出す垂直信号線と、前記光電変換領域部の出力側に設けられ、前記垂直信号線によって読み出された各単位画素の画素信号を順次蓄積するカラム領域部と、前記カラム領域部に蓄積された画素信号を順次読み出して出力する出力部とを有する固体撮像装置の制御方法において、

前記カラム領域部に、前記垂直信号線から出力される画素信号の大きさを検出する検出回路と、前記検出回路によって検出された画素信号の大きさを複数の段階に分け、各段階毎にゲインを選択的に切り換え、その切り換えられたゲインの大きさをコードで示す分類信号として出力するゲイン設定手段と、前記ゲイン設定手段から出力された分類信号を入力し、前記分類信号に対応するゲインで前記垂直信号線から出力される画素信号を増幅する増幅回路とを設け、

10

前記カラム領域部の後段に、前記増幅回路から出力された増幅画素信号を水平信号線を介して入力し、アナログ・デジタル変換を行うAD変換回路と、前記ゲイン設定手段から出力された分類信号と前記AD変換回路によってAD変換された増幅画素信号とを入力し、各画素毎に分類信号と増幅画素信号を組み合わせたデジタル信号を出力するゲイン補正回路とを設け、

前記カラム領域部で前記垂直信号線によって読み出された画素信号のレベルを各画素毎に検出し、各画素毎に画素信号のゲインを制御して出力する、

ことを特徴とする固体撮像装置の制御方法。

20

【請求項12】

前記ゲインの設定は増幅回路のゲインを2のべき乗の大きさを制御することを特徴とする請求項11記載の固体撮像装置の制御方法。

【請求項13】

前記ゲインの設定は、前記垂直信号線の飽和信号量を超過しない範囲で設定することを特徴とする請求項11記載の固体撮像装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CMOSイメージセンサ等の固体撮像装置に関し、特に光電変換領域部によって得られた画素信号を画素列毎に設けたカラム領域部に順次蓄積し、さらにこのカラム領域部を順次選択することにより、各画素信号を順次出力するようにした、いわゆるカラム方式の固体撮像装置及びその制御方法に関する。

30

【0002】

【従来の技術】

図12は、従来のカラム方式によるCMOSイメージセンサの構成例を示す回路図である。

このCMOSイメージセンサは、半導体基板（図示せず）上に、二次元画素アレイよりなる光電変換領域部1と、水平方向の選択を行う水平走査回路9と、垂直方向の選択を行う垂直走査回路10と、各種タイミング信号を生成するタイミングジェネレータ部11と、画素信号を増幅する出力アンプ12と、PGA（プログラマブルゲインコントロール増幅器）回路13と、AD（アナログデジタル変換）回路14等を有して構成されている。

40

このCMOSイメージセンサでは、光電変換領域部1の出力側に設けたカラム領域と呼ばれる部分に画素列毎にキャパシタを設け、各画素から読み出した信号を順次キャパシタに格納し、これを順次出力アンプ12に読み出して出力するカラム方式を採用したものであり、各画素信号の信号処理を画素列単位で読み出した後に行うことで、同様の信号処理を各単位画素内で行うものに比べて、各単位画素内の構成を簡素化し、イメージセンサの多画素化、小型化、低コスト化等に対応できるようにしたものである。

【0003】

次に、このような回路の動作を簡単に説明する。

50

光信号を受光する光電変換領域部 1 は、行列方向に配置された複数の単位画素 P (1 - 1 - 1、1 - 1 - 2、1 - 1 - 3、...) から構成されている。この単位画素の中には、少なくとも光電変換素子が 1 個含まれており、通常、この光電変換素子にはフォトダイオードやフォトゲートが用いられている。

そして、光電変換領域部 1 から出力される画素信号は、垂直走査回路 10 により、制御線 3 (3 - 1、3 - 2、3 - 3、...) を介して所定の行が順番に選択される。

なお、図 12 では各画素行毎に 1 本ずつしか示していないが、垂直走査回路 10 からは各画素行を選択して画素信号を読み出すために、通常は複数種類の制御線 3 が並列に設けられている。

【 0004 】

そして、この制御線 3 によって選択された行の信号は、光電変換領域部 1 の出力側に平行に配置されるカラム領域部のキャパシタ 6 (6 - 1、6 - 2、6 - 3、...) に順次蓄積される。この信号の蓄積動作は 1 行同時に行われる。

カラム領域部のキャパシタ 6 に蓄積された画素信号は、水平走査回路 9 により左端から順番に列を走査していく動作によって順次選択される。つまり、水平走査回路 9 から列選択トランジスタ 7 (7 - 1、7 - 2、7 - 3、...) を順番に選択して駆動していく。これにより、各画素 P の画素信号が順番に読み出されることになる。

【 0005 】

また、出力アンプ 12 は、水平信号線 8 に読み出された画素信号を順次増幅して電圧信号として出力する。PGA 回路 13 は、その電圧信号を細かいゲイン刻みで電圧増幅する。そして、この電圧増幅された画素信号を AD 回路 14 に入力し、デジタル信号 15 として半導体チップの外部に出力する。

なお、垂直信号線 10 には、負荷トランジスタ 5 (5 - 1、5 - 2、5 - 3、...) を介してバイアス回路 2 による一定のバイアス電圧が供給されている。

【 0006 】

【 発明が解決しようとする課題 】

ところで、上記従来の固体撮像装置に設けられる AD 回路 14 のビット精度は、現在、一般的に 12 ビットや 14 ビットといったものが開発され、使用されている。

そして、この AD 回路 14 のビット数を大きくすると、消費電力が大きくなり、さらに回路自身が持つ雑音により、ビット精度を良くしていくことが各段に難しくなってしまう。このため従来のカラム方式によるイメージセンサでは、ビット精度を高くすることが困難であり、S/N を良好に保ちながらダイナミックレンジを拡大できないという課題があった。

なお、光電変換領域部 1 の各画素内で画素信号のゲインを画素単位で制御するような構成とすれば、光電変換領域部側でビット精度を向上でき、出力信号のダイナミックレンジを拡大することが可能であるが、この場合には、各画素の構成が複雑化してしまい、上述したカラム方式による低コスト化や小型化といった利点を得ることができなくなる。

【 0007 】

そこで本発明の目的は、カラム方式を採用した回路構成においても画素信号のゲインを各画素毎に制御することが可能となり、S/N を良好に保ちながらダイナミックレンジを拡大することができる固体撮像装置及びその制御方法を提供することにある。

【 0008 】

【 課題を解決するための手段 】

本発明は前記目的を達成するため、少なくとも光電変換素子を有する複数の単位画素が二次元アレイ状に配置された光電変換領域部と、前記光電変換領域部の各画素列毎に設けられ、光電変換領域部の各単位画素で生成された画素信号を順次読み出す垂直信号線と、前記光電変換領域部の出力側に設けられ、前記垂直信号線によって読み出された各単位画素の画素信号を順次蓄積するカラム領域部と、前記カラム領域部に蓄積された画素信号を順次読み出して出力する出力部とを有し、前記カラム領域部に、前記垂直信号線から出力される画素信号の大きさを検出する検出回路と、前記検出回路によって検出された画素信

10

20

30

40

50

号の大きさを複数の段階に分け、各段階毎にゲインを選択的に切り換え、その切り換えられたゲインの大きさをコードで示す分類信号として出力するゲイン設定手段と、前記ゲイン設定手段から出力された分類信号を入力し、前記分類信号に対応するゲインで前記垂直信号線から出力される画素信号を増幅する増幅回路とを設け、前記カラム領域部の後段に、前記増幅回路から出力された増幅画素信号を水平信号線を介して入力し、アナログ・デジタル変換を行うAD変換回路と、前記ゲイン設定手段から出力された分類信号と前記AD変換回路によってAD変換された増幅画素信号とを入力し、各画素毎に分類信号と増幅画素信号を組み合わせたデジタル信号を出力するゲイン補正回路とを設けたことを特徴とする。

【0009】

また本発明は、少なくとも光電変換素子を有する複数の単位画素が二次元アレイ状に配置された光電変換領域部と、前記光電変換領域部の各画素列毎に設けられ、光電変換領域部の各単位画素で生成された画素信号を順次読み出す垂直信号線と、前記光電変換領域部の出力側に設けられ、前記垂直信号線によって読み出された各単位画素の画素信号を順次蓄積するカラム領域部と、前記カラム領域部に蓄積された画素信号を順次読み出して出力する出力部とを有する固体撮像装置を具備し、前記固体撮像装置のカラム領域部に、前記垂直信号線から出力される画素信号の大きさを検出する検出回路と、前記検出回路によって検出された画素信号の大きさを複数の段階に分け、各段階毎にゲインを選択的に切り換え、その切り換えられたゲインの大きさをコードで示す分類信号として出力するゲイン設定手段と、前記ゲイン設定手段から出力された分類信号を入力し、前記分類信号に対応するゲインで前記垂直信号線から出力される画素信号を増幅する増幅回路とを設け、

前記固体撮像装置のカラム領域部の後段に、前記増幅回路から出力された増幅画素信号を水平信号線を介して入力し、アナログ・デジタル変換を行うAD変換回路と、前記ゲイン設定手段から出力された分類信号と前記AD変換回路によってAD変換された増幅画素信号とを入力し、各画素毎に分類信号と増幅画素信号を組み合わせたデジタル信号を出力するゲイン補正回路とを設けたことを特徴とする。

【0010】

また本発明は、少なくとも光電変換素子を有する複数の単位画素を二次元アレイ状に配置された光電変換領域部と、前記光電変換領域部の各画素列毎に設けられ、光電変換領域部の各単位画素で生成された画素信号を順次読み出す垂直信号線と、前記光電変換領域部の出力側に設けられ、前記垂直信号線によって読み出された各単位画素の画素信号を順次蓄積するカラム領域部と、前記カラム領域部に蓄積された画素信号を順次読み出して出力する出力部とを有する固体撮像装置の制御方法において、前記カラム領域部に、前記垂直信号線から出力される画素信号の大きさを検出する検出回路と、前記検出回路によって検出された画素信号の大きさを複数の段階に分け、各段階毎にゲインを選択的に切り換え、その切り換えられたゲインの大きさをコードで示す分類信号として出力するゲイン設定手段と、前記ゲイン設定手段から出力された分類信号を入力し、前記分類信号に対応するゲインで前記垂直信号線から出力される画素信号を増幅する増幅回路とを設け、前記カラム領域部の後段に、前記増幅回路から出力された増幅画素信号を水平信号線を介して入力し、アナログ・デジタル変換を行うAD変換回路と、前記ゲイン設定手段から出力された分類信号と前記AD変換回路によってAD変換された増幅画素信号とを入力し、各画素毎に分類信号と増幅画素信号を組み合わせたデジタル信号を出力するゲイン補正回路とを設け、前記カラム領域部で前記垂直信号線によって読み出された画素信号のレベルを各画素毎に検出し、各画素毎に画素信号のゲインを制御して出力することを特徴とする。

【0012】

本発明の固体撮像装置及びその制御方法では、カラム領域部で垂直信号線によって読み出された画素信号のレベルを各画素毎に検出し、各画素毎に画素信号のゲインを制御して出力することから、カラム方式を採用した回路構成においても画素信号のゲインを各画素毎に制御することが可能となり、S/Nを良好に保ちながらダイナミックレンジを拡大することができ、固体撮像装置の高画質化、低廉化、小型化、多画素化等に容易に対応するこ

10

20

30

40

50

とが可能となる。

また、このような固体撮像装置を具備した電子機器においては、撮像部の高画質化、低廉化、小型化、多画素化等を容易に達成でき、電子機器の機能向上に寄与することが可能となる。

【0013】

【発明の実施の形態】

以下、本発明による固体撮像装置及びその制御方法の実施の形態例について説明する。本実施の形態例は、上述のようなカラム方式のCMOSイメージセンサにおいて、カラム領域部に、各画素信号の大きさを独立に検出し、この信号の大きさに対して独立にゲインを設定する機能を各画素列毎に設けることにより、簡単な回路構成、微細画素を用いて、各画素毎のS/N比を向上し、ダイナミックレンジを拡大するものである。具体的には、カラム方式で16ビットの精度を出すことが可能である。

10

【0014】

図1は、本発明の実施の形態例による原理を説明するためのCMOSイメージセンサの構成例(第1実施例)を示す回路図である。なお、図12に示す従来例と共通する構成については同一符号を用いて説明する。

このCMOSイメージセンサは、光電変換領域部1(単位画素1-1-1、1-1-2、……)と、垂直走査回路10と、水平走査回路9と、垂直走査回路10からの制御線3(3-1、3-2、3-3)と、垂直信号線4(4-1、4-2、4-3、4-4、……)と、負荷MOSトランジスタ5(5-1、5-2、5-3、5-4、……)と、入力信号の信号レベルを検出する検出回路(コンパレータ)C17(17-1、17-2、17-3、17-4、……)と、プログラブルゲインコントロール(PGA)回路18(18-1、18-2、18-3、……)と、サンプルホールド(S/H)回路19(19-1、19-2、19-3、……)と、制御信号発生回路20と、コンパレータ出力線25と、出力信号線22と、出力バッファ26と、ADコントローラ(ADC)27と、ノイズキャンセラ+ゲインミスマッチ回路30とを有して構成される。

20

【0015】

次に、このようなCMOSイメージセンサの動作原理を説明する。

まず、垂直信号線4(4-1、4-2、4-3、……)からは主に信号電圧Vsigが出力される。検出回路C17は、この信号電圧Vsigを所定の参照電圧と比較する。

30

例えば、参照電圧は500mV、250mV、125mVである。この値は、垂直信号線4の飽和信号が1Vに対応している。つまり、1Vを125mVの8つの領域に分類する。

【0016】

この検出回路C17の比較出力は、以下のような規則に基づくコード出力(分類信号)となる。

$V_{sig} < 125mV$	……コード000
$125mV = < V_{sig} < 250mV$	……コード001
$250mV = < V_{sig} < 375mV$	……コード002
$375mV = < V_{sig} < 500mV$	……コード003
$500mV = < V_{sig} < 625mV$	……コード004
$625mV = < V_{sig} < 750mV$	……コード005
$750mV = < V_{sig} < 875mV$	……コード006
$875mV = < V_{sig} < 1000mV$	……コード007

40

【0017】

つまり、例えば $V_{sig} = 300mV$ では、コード“002”の3ビットのデジタル信号

50

を配線 25 からカラム領域部の外に出力し、 $V_{sig} = 100\text{ mV}$ では、コード“000”の3ビットデジタル信号を配線 25 からカラム領域部の外に出力する。

また、検出回路 C17 は、上述のような比較出力を P G A 回路 18 (18 - 1、18 - 2、18 - 3、.....)にも出力する。

例えば、 $V_{sig} = 300\text{ mV}$ の場合、P G A 回路 18 は検出回路 C17 からのコード信号“002”の制御により、ゲインが2倍される。 $V_{sig} = 100\text{ mV}$ の場合は、P G A 回路 18 のゲインは8倍される。

すなわち、本例では、入力信号電圧 V_{sig} が P G A 回路 18 によって高い電圧に変換されることになる。

したがって、従来は小さな信号(この例では 100 mV)をそのまま用いていたため S / N 比が小さくなり、雑音の大きい画像しか得られなかった。 10

これに対し、本実施の形態例では入力信号が等価的に 800 mV になるので、S / N 比の高い画質を得ることができる。

【0018】

また、例えば A D C 回路 27 のビット数が10ビット、 $V_{sig} = 100\text{ mV}$ の場合、6ビットから7ビットの精度しか出せなかったのが、本実施の形態例では、9ビットから10ビット精度を出すことが可能となる。これは、10ビットの A D C 回路 27 の性能を13ビットにしたことと等価である。それも、各画素信号毎に P G A ゲインを設定できるので、大きな A D のビットを獲得するのに非常に都合がよい。さらに、検出回路 C17 の参照電圧が4種類に増加すると、4ビット精度をとれることになり、高い S / N 比のアナログ信号を得ることができる。 20

【0019】

また、図1の回路構成から分かるように、各垂直信号線4の信号の大きさを検出する検出回路 C17 を各列(カラム)毎に配置することによって、P G A 回路 18 のゲインを各画素毎にかけることができる。

なお、本実施の形態例のように、カラム領域において画素毎のゲイン設定を実施するアーキテクチャは、従来は存在しなかったものと考えられる。

最後に、ノイズキャンセル+ゲインミスマッチ補正回路 30 は、このようにして出力された検出回路 C17 の検出信号(本例では M ビットのデジタル信号とする)と、画素信号出力(本例では N ビットのデジタル信号とする)に基づいて、M + N ビットのデジタル出力信号を得る。さらに、デジタルノイズキャンセルとゲインミスマッチ補正処理を行う。なお、これらの詳細は後述する。 30

【0020】

図2は、本実施の形態例における C M O S イメージセンサの第2実施例を示す回路図である。

上述した第1実施例ではアナログ出力しか行わない C M O S イメージセンサの例を示したが、この第2実施例は、カラム領域部に A D 回路が搭載したデジタル出力式の固体撮像装置の例について説明する。

この C M O S イメージセンサは、光電変換領域部1(単位画素 1 - 1 - 1、1 - 1 - 2、.....)と、垂直信号線4(4 - 1、4 - 2、.....)と、垂直走査回路10と、水平走査回路9と、制御信号発生回路20と、検出回路17(17 - 1、17 - 2、.....)と、増幅回路18(18 - 1、18 - 2、.....)と、A D 回路32(32 - 1、32 - 2、.....)と、バイアス回路2と、ゲイン補正回路30とを有して構成される。 40

【0021】

本例は、各画素列に対応した各カラム領域部毎に、検出回路17、増幅回路18、A D 回路32を持ち、それぞれカラム領域部でデジタル信号を形成することができる。

本例では、検出回路17が垂直信号線4の信号レベルを検出する。その結果を、増幅回路18に送り、増幅回路18のゲインを最適値に設定する。その増幅回路18の出力を増幅し、後段の A D 回路32へ送る。

A D 回路32は各カラム毎にアナログ信号をデジタル信号に変換する。この結果をカラム 50

領域外部へ出力する。なお、本例では検出回路17がNビットの情報を、AD回路の出力がMビットの情報を持っている。よって、この手法を用いることによって、N+Mビット相当の情報を得ることができる。ゲイン補正回路30によって、この手法を実行している。

【0022】

図3は、本実施の形態例におけるCMOSイメージセンサの第3実施例を示す回路図である。

本例において、光電変換領域部1を構成する各単位画素は、例えば、フォトダイオード部34、転送ゲート35、リセットゲート36、増幅ゲート38、選択ゲート37等を有して構成される。

そして、各単位画素は、選択信号線SV3-1-1、リセット信号線R3-1-2、転送信号線TX3-1-3によって制御される。

また、垂直信号線4には、負荷トランジスタ5が接続されているのでソースフォロア回路として動作している。また、垂直信号線4は検出回路17に接続されるとともに、スイッチ50(2で制御)、容量39を介して増幅回路40に接続される。

【0023】

また、OPアンプ40に接続される容量は、スイッチ43~45を制御することによって容量値をCから8Cまで可変できる。したがって、増幅回路18は、容量39の容量値8Cと、容量46~49の接続状態による容量値C~8Cとの比によって、1倍から8倍までゲインを可変にすることができるプログラブルゲインアンプを構成している。

また、検出回路(この例では比較器)17によって垂直信号線4の信号レベルを検出する。この検出回路17では、OPアンプ40の出力信号41が、飽和信号量よりも小さい範囲で最大値になるようにゲインの大きさを決める。

このような手法をとることによって、増幅回路52で発生する入力信号換算雑音量を最小限にすることができる。また、出力信号41の信号を各画素で飽和信号に近くなるように大きくできるので、その後に発生する雑音に対して有利となる。

なお、本例では、容量の分割比で増幅回路52のゲインを変化させているが、抵抗分割でも可能である。

【0024】

図4は、本発明の第4実施例による増幅回路52のゲイン設定方法の第1の例を示す説明図である。

本例では、垂直信号線4の出力信号が0~125mVの場合、ゲインを8倍に設定する。そうすると、入力信号が最大の125mVでも、OPアンプ40の出力信号は1Vとなる。つまり、カラム領域部の外部に出力される場合には1Vで出力される。この例では1Vであるが、固体撮像装置の仕様によって任意に設定される。

また、125mV<入力信号=<250mVの場合、増幅回路52のゲインは4倍に設定される。同様に、250mV<入力信号=<500mVの場合、増幅回路52のゲインは2倍に設定される。

また、500mV<入力信号=<1Vの場合、増幅回路のゲインは1倍のままである。

このように増幅回路52のゲインを設定することによって、増幅回路52で発生する雑音に対するS/N比を最大限に設定することが可能となる。これは、高感度の固体撮像装置を実現する上で必要不可欠なものである。

【0025】

図5は、本発明の第5実施例による増幅回路52のゲイン設定方法の第2の例を示す説明図である。

本例では、飽和信号量が1Vの場合であるが、ゲインの最大値が800mVになるように設定された場合である。この場合も先の図4の例と同様な理由により、信号量が小さい場合のS/N比を最大限にできる。つまり、増幅回路52の影響を受け難くなる。

なお、図4及び図5の例では、ゲインを1倍、2倍、4倍、8倍の4種類としたが、もっと小さなステップで設定できるし、もっと大きなゲインまで得られるように設定できる。

10

20

30

40

50

すなわち、用途等によって、適宜に決めることができる。

【0026】

図6は、本発明の第6実施例を示すものであり、各カラム領域部に形成する検出回路17の例を示したものである。

この検出回路17は、スイッチ57、58、59、60、63、コンデンサ62と、比較器64、65、フリップフロップ回路70、71、72等を有して構成されている。

このような構成において、垂直信号線4からスイッチ57を介して入力される信号 V_{in53} は、比較器64の入力ノード80に蓄積される。いったん蓄積された信号は、スイッチ58、59、60の動作によって比較電圧 V_{rc1} (54)、 V_{rc2} (55)、 V_{rc3} (56)で比較される。

そして、各々3回の比較結果69が同期クロック66、67、68($\phi_{rc1\sim3}$)に基づいてフリップフロップ回路70、71、72に書き込まれる。

これによって、垂直信号線の信号の大きさがどの範囲に入るかが分かり、電圧の大きさを分類できる。その結果(分類信号)は、出力パルス R_c に基づいてフリップフロップ回路70、71、72の出力74~79($G1$ 、 $\phi G1$ 、 $G2$ 、 $\phi G2$ 、 $G4$ 、 $\phi G4$)として出力され、出力電圧とともにカラム領域部の外部に読み出される。

【0027】

図7は、本発明の第7実施例として本実施の形態例におけるCMOSイメージセンサの1水平期間の動作タイミングを示すタイミングチャートである。

まず、クロック1の“H”期間に増幅回路18をリセットする。1=“H”の間に、画素のフローティングディフュージョンアンプを $R(i)$ でリセットする。その後、 $TX(i)$ =“H”にして、フォトダイオードの信号をフローティングディフュージョンアンプへ読み出す。

このとき、2=“L”となっているので、増幅回路18はリセットされたままである。

【0028】

次に、1=“H”、2=“L”の間に、4=“H”にして検出回路17を動作させ、 $rc1\sim rc3$ を順次選択し、信号の大きさに見合ったゲインを決定する。

そして、 $rc3$ の比較が終了した時点で、増幅回路18のゲインが決定する(図7の82)。さらに、このゲインを決定する動作が終了した後で、1=“L”、2=“H”にし、垂直信号線4の信号を増幅回路18で増幅する。この増幅された信号がカラム領域部の外部に読み出される。

なお、ここで増幅された信号を、直接外部に読み出してもよいし、その後にサンプルホールドして読み出してもよい。このようにすることによって、小信号の信号をアナログ領域で大きく増幅し、S/N比の高い信号を得ることが可能になる。

【0029】

図8は、本発明の第8実施例として図6に示した検出回路17の比較器64を構成する差動増幅器の一例を示す回路図である。

図示のように、この差動増幅器は、差動増幅動作を行う一対のトランジスタ86、87のソースを定電流源を構成するトランジスタ88に共通接続するとともに、各トランジスタ66、87のドレインにカスコード接続で一対のトランジスタ64、85を設けたものである。

例えば、このような単純な差動増幅器によって比較器を構成できるので、素子数が少なく、カラムの面積を小さくした回路を実現できる。なお、図8に示す各種信号89~94や電源82、83等は、本発明に固有のものではないので説明は省略する。

【0030】

図9は、各カラム領域部の増幅回路18の次段に形成されるサンプルホールド回路の一例を示すブロック図である。

このサンプルホールド回路には、信号を蓄積しておく容量 C_{97} ($97-1$ 、 $97-2$ 、...、 $97-n$)と、読み出し回路100($100-1$ 、 $100-2$ 、...、 $100-n$)が形成されている。

10

20

30

40

50

そして、水平選択レジスタ104からの選択信号CH(i)103(103-1、103-2、...、103-n)が読み出したい列を選択していき、容量97からの信号は、読み出し回路100と外部増幅回路105により出力信号線101から読み出される。

【0031】

図10は、本発明の第9実施例として図2に示したゲイン補正回路30の構成例を示すブロック図である。

図9に示した外部増幅回路105の出力信号(OUTPUT)106は、AD変換によってNビットのデジタル信号となり、図10に示す回路に入力デジタル信号107として入力される。

また、上述した比較器64によるMビットのデジタル信号107がゲイン補正部108に 10
入力され、ゲイン補正值に変換される。

そして、1Hメモリ109及び加算器110によってノイズキャンセルされたNビットデジタル信号が乗算器111を介してゲイン補正值によって補正され、さらに、加算器112を介してNビットとMビットのデジタル信号に変換されて出力(113)される。

【0032】

なお、図10に示す回路が固体撮像素子の同一チップ上に形成されている場合は、図2に示すように、カラムにAD回路を搭載した場合や、カラム以外の領域の同一チップ上にAD回路を搭載した場合に相当し、増幅回路18からの出力信号106は、オンチップのAD回路によってNビットのデジタル信号に変換される。

したがって、この信号を上述した比較器64によるMビットのデジタル信号107と組み 20
合わせることによって、N+Mビットのデジタル信号を簡単に得ることができる。

そして、このゲイン補正回路30では、ゲイン1の場合はNビットの信号をMビット倍し、ゲイン8の場合はNビットの信号をそのまま出力する。

このような回路アーキテクチャ方式により、小信号出力時のS/Nを改善し、さらにN+Mビットという大きなダイナミックレンジも持つCMOSイメージセンサを構成することができる。

【0033】

図11は、本実施の形態例におけるCMOSイメージセンサの第10実施例を示す回路図である。

以上の例は、カラム領域部で各画素で独立に信号量の大小を検出し、その結果を、各カラム領域部に配置されているゲインアンプへフィードバックし、ゲインを変化させるものである。しかし、そこまで必要でない場合は、図11に示すような構成に簡略化できる。 30

図11に示す例は、各カラム領域部は増幅回路18とデータ保持機能を持ったAD回路32が配置されている。なお、別の方法として増幅回路とS/H回路のみから構成される場合もあり、このような構成についても本発明の範囲に含まれるものとする。

そして、各増幅回路18の増幅率は、外部に配置されているゲイン制御回路115から制御される。つまり、これまでの実施例のように各画素独立に最適化された増幅率に設定されるのではなく、1行分の画素信号の大きさは、同じゲイン設定になる。

【0034】

なお、実際の固体撮像装置では、このゲインの変更は、1フレーム単位で実施される。画面全体の信号量がある閾値よりも小さくなった場合、垂直ブランキング期間中にゲインの変更が実施される。 40

このように簡略化された第10実施例では、カラム領域部に配置される素子数を削減できる。そのため、チップ面積を小さくすることが可能であり、チップ面積の縮小化に大きな効果がある。

【0035】

以上のような本実施の形態によれば、主に以下のような作用効果を得ることができる。

1) カラム方式でありながら、各画素の信号を独立に最適なゲインに増幅して読み出すことができる。

2) 小信号出力時の画素のS/N比を大幅に改善でき、高感度の固体撮像装置を得ること 50

ができる。

4) 12ビットAD回路とカラム内部での3段階以上の増幅率の設定により、15ビット以上の広ダイナミックレンジを得ることができる。

5) AE、フリッカ補正、補正、シェーディング補正、カラーバランスなどの処理をデジタル領域で行った場合でも、S/N比の劣化を招くことがなく、容易に高画質な画像を得ることができる。

【0036】

なお、以上の説明は、本発明を単体のCMOSイメージセンサに適用した場合の構成について説明したが、本発明は、上述のような固体撮像装置を搭載したカメラ装置、携帯端末、パソコン等の各種電子機器に適用することにより、これら機器の撮像部の高機能化等に

10

貢献できるものであり、これらの機器についても本発明の範囲に含まれるものとする。

また、本発明は、他の構造の高感度CMOSイメージセンサや、CCDと組み合わせたCCD-CMOS混載センサにも適用することができる。

【0037】

【発明の効果】

以上説明したように本発明の固体撮像装置及びその制御方法によれば、カラム領域部で垂直信号線によって読み出された画素信号のレベルを各画素毎に検出し、各画素毎に画素信号のゲインを制御して出力することから、カラム方式を採用した回路構成においても画素

20

信号のゲインを各画素毎に制御することが可能となり、S/Nを良好に保ちながらダイナミックレンジを拡大することができ、固体撮像装置の高画質化、低廉化、小型化、多画素化等に容易に対応することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態例による原理を説明するためのCMOSイメージセンサの構成例(第1実施例)を示す回路図である。

【図2】本発明の実施の形態例によるCMOSイメージセンサの第2実施例を示す回路図

30

である。

【図3】本発明の実施の形態例におけるCMOSイメージセンサの第3実施例を示す回路図である。

【図4】本発明の第4実施例による増幅回路のゲイン設定方法の第1の例を示す説明図である。

【図5】本発明の第5実施例による増幅回路のゲイン設定方法の第2の例を示す説明図である。

【図6】本発明の第6実施例によるカラム領域部に形成する検出回路の一例を示すブロック図である。

40

【図7】本発明の第7実施例によるCMOSイメージセンサの1水平期間の動作タイミングを示すタイミングチャートである。

【図8】本発明の第8実施例による検出回路の比較器を構成する差動増幅器の一例を示す回路図である。

【図9】図1に示すカラム領域部の増幅回路の次段に形成されるサンプルホールド回路の一例を示すブロック図である。

【図10】本発明の第9実施例によるゲイン補正回路の一例を示すブロック図である。

【図11】本発明の実施の形態例によるCMOSイメージセンサの第10実施例を示す回路図である。

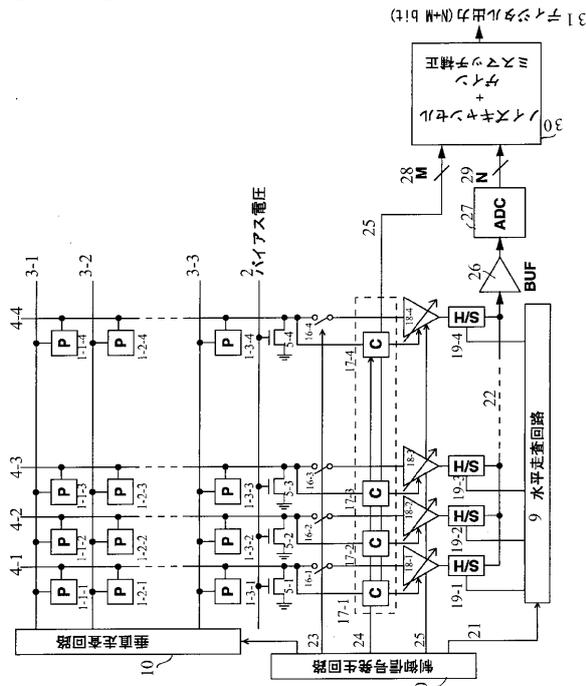
【図12】従来のカラム方式によるCMOSイメージセンサの構成例を示す回路図である。

50

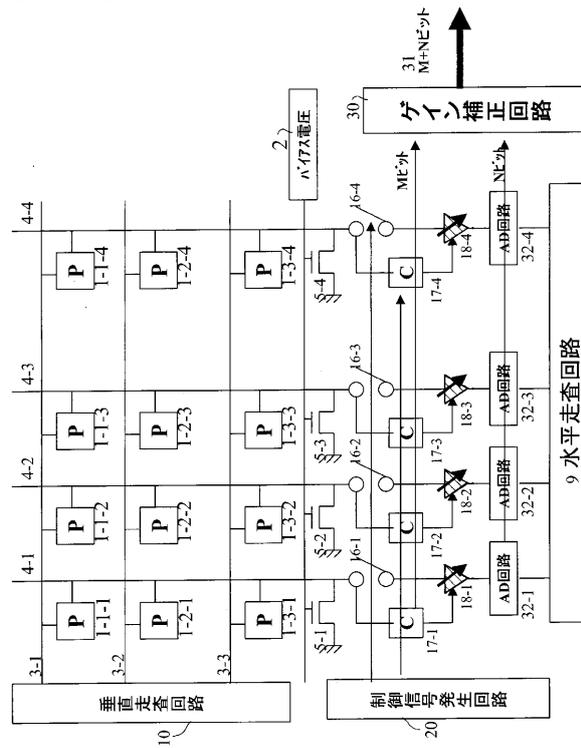
【符号の説明】

1 光電変換領域部、2 3 制御線、4 垂直信号線、5 負荷MOSトランジスタ、17 検出回路、18 PGA回路（増幅回路）、19 サンプルホールド（S/H）回路、20 制御信号発生回路、26 出力バッファ、27 ADCコントローラ（ADC）、30 ノイズキャンセラ+ゲインミスマッチ回路。

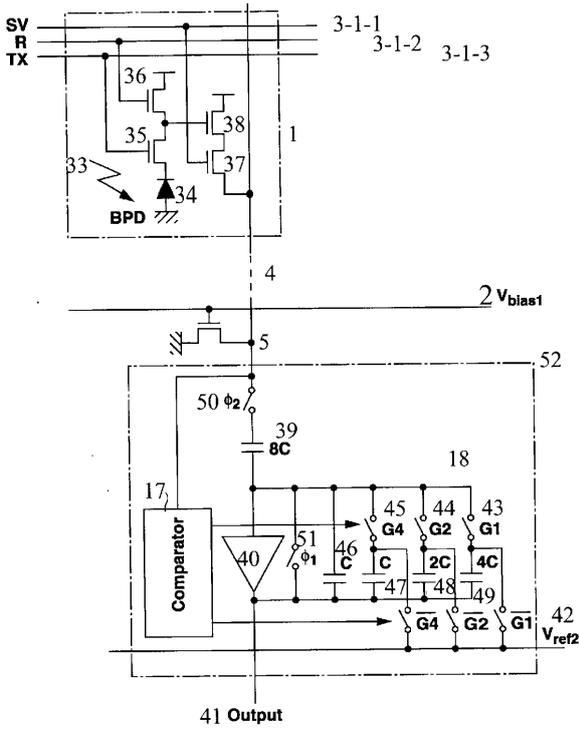
【図1】



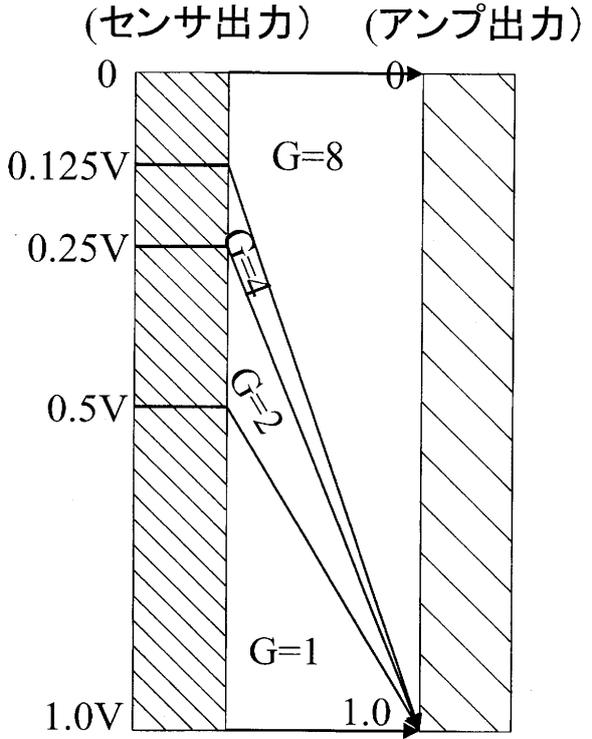
【図2】



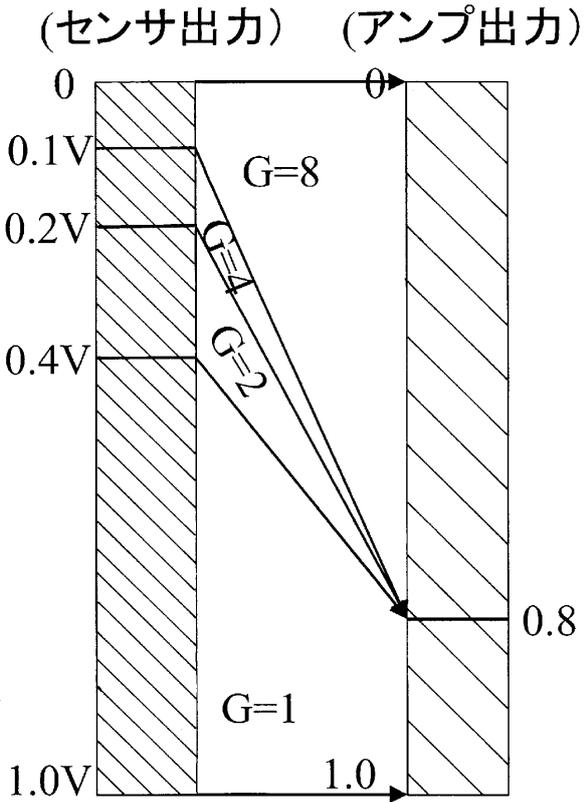
【図3】



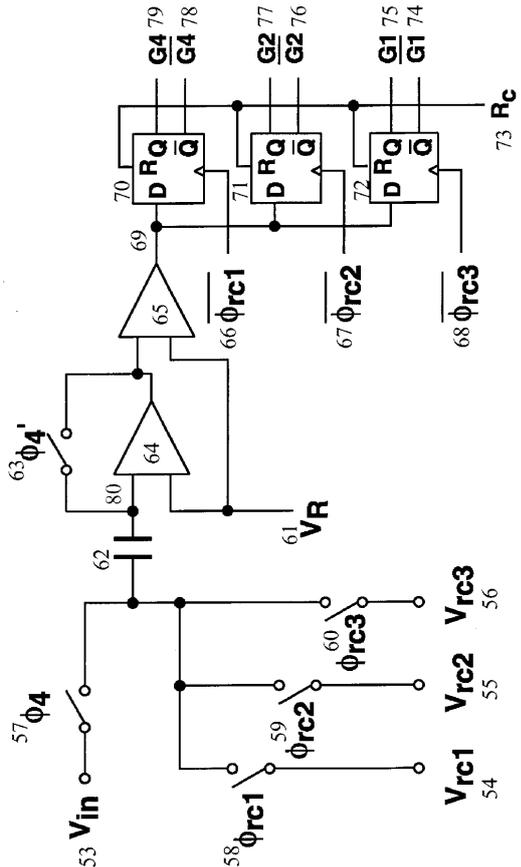
【図4】



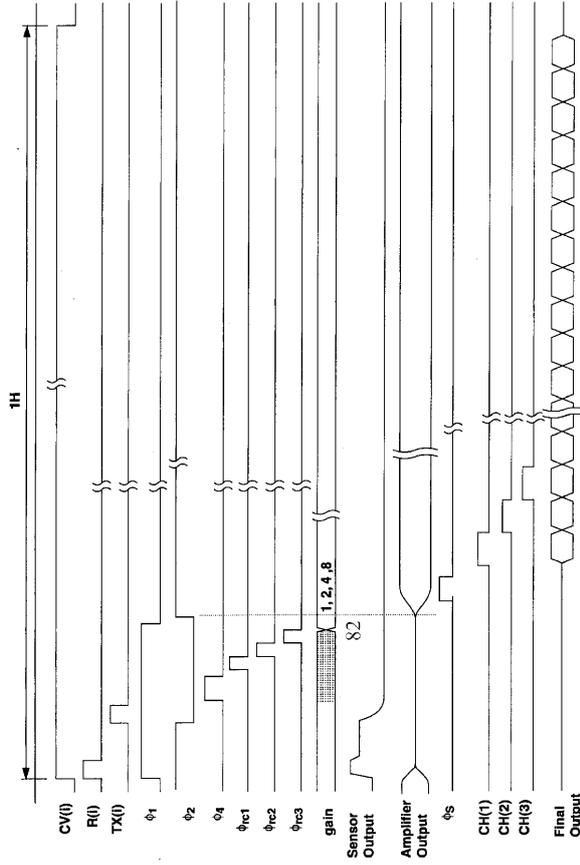
【図5】



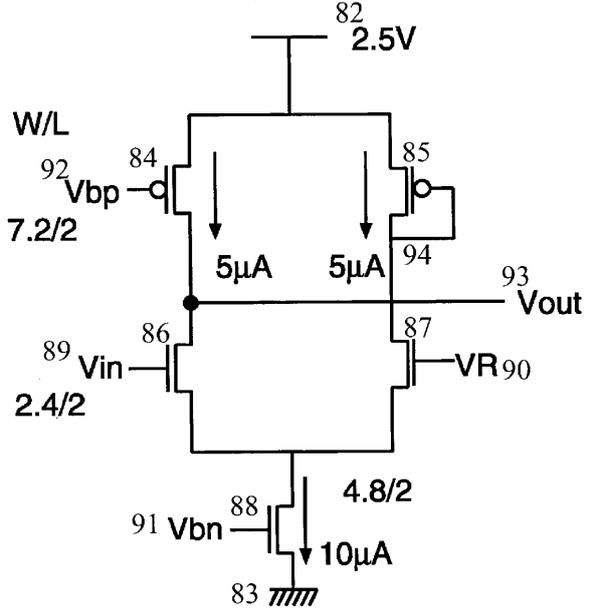
【図6】



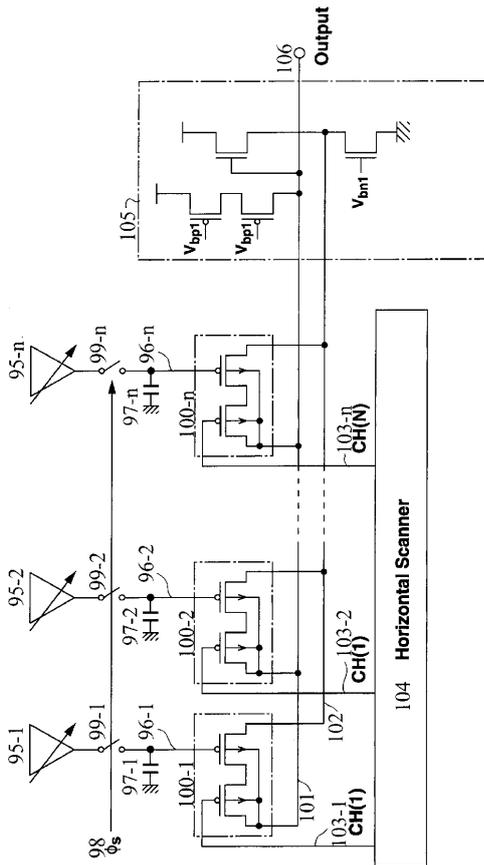
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

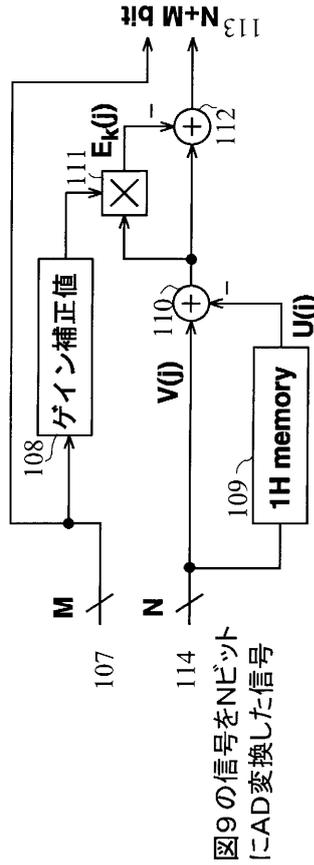
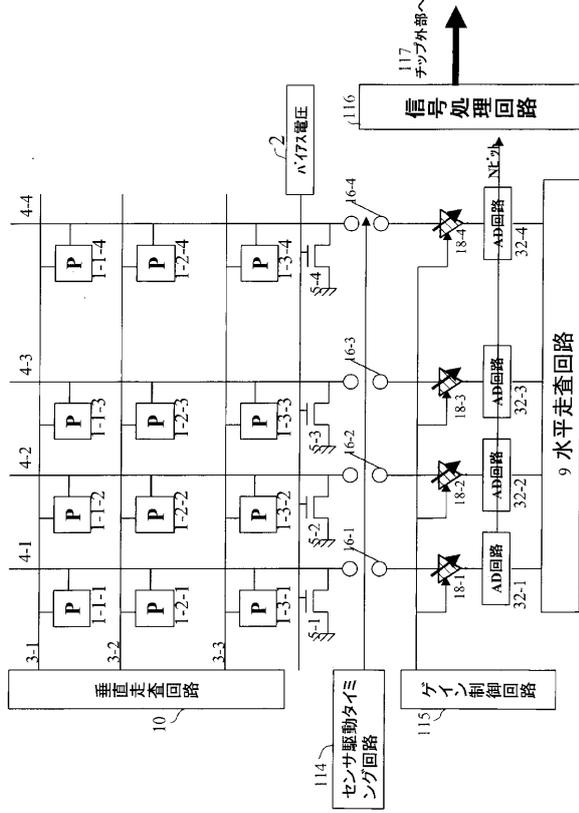
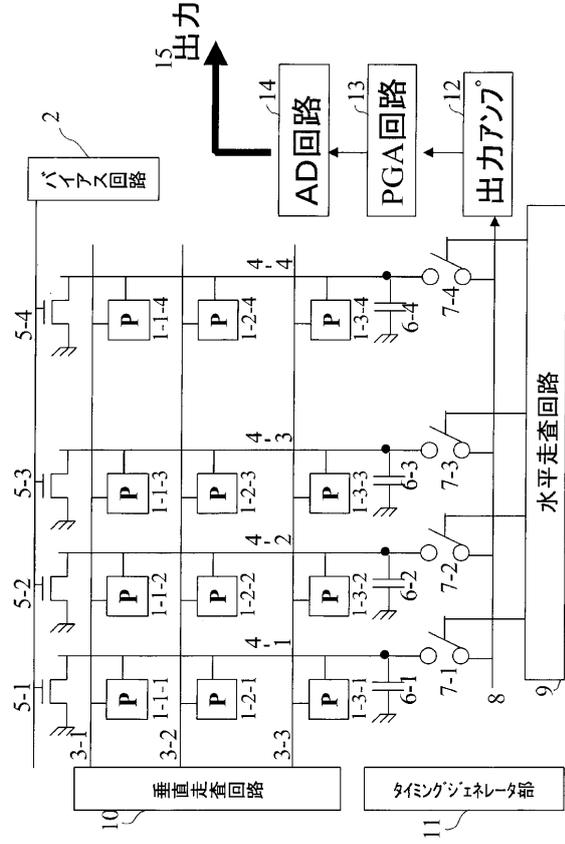


図9の信号をNビットにAD変換した信号

【 図 1 1 】



【 図 1 2 】



フロントページの続き

(72)発明者 東 瑞穂
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 徳 田 賢二

(56)参考文献 特開平10-209868(JP,A)
国際公開第00/045592(WO,A1)
特開2001-257593(JP,A)
特開昭59-151455(JP,A)
特開昭61-105979(JP,A)
特開昭62-154980(JP,A)
特開2002-124877(JP,A)
特開平06-061858(JP,A)
特開平05-315962(JP,A)
特開平05-291955(JP,A)
特開平04-165821(JP,A)
特開平10-163871(JP,A)
実開平03-107831(JP,U)
特開平01-212921(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/335

H01L 27/146