



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월25일
 (11) 등록번호 10-0904523
 (24) 등록일자 2009년06월17일

(51) Int. Cl.

H05B 33/00 (2006.01)

(21) 출원번호 10-2002-0084610

(22) 출원일자 2002년12월26일

심사청구일자 2007년11월05일

(65) 공개번호 10-2004-0058454

(43) 공개일자 2004년07월05일

(56) 선행기술조사문헌

JP10333601 A

JP2001035663 A

KR1020000004420 A

KR1019980154865 B1

전체 청구항 수 : 총 7 항

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

박재용

경기도안양시동안구평촌동꿈마을건영아파트305동701호

조소행

경기도안양시동안구관양동1488-39창덕에버빌502호

(74) 대리인

정원기, 특허법인네이트

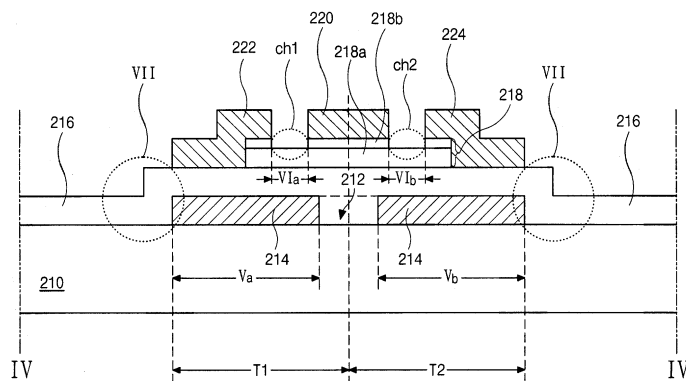
심사관 : 추장희

(54) 액티브 매트릭스형 유기전계발광 소자용 박막트랜지스터

(57) 요약

본 발명에 따른 듀얼패널타입 유기전계발광 소자용 박막트랜지스터 소자에 의하면, 첫째, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하기 때문에 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품수명을 늘릴 수 있으며, 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하고, 셋째 게이트 전극과 소스 전극 및 드레인 전극 간에 별도의 단차부를 가지지 않는 구조를 가지므로, 종래의 게이트 단차부에서 발생할 수 있는 장시간 DC 스트레스에 의한 특성 변화를 최소화 할 수 있고, 누설 전류에 의해 가질 수 있는 여러 가지 화질 불량 요소를 최소화할 수 있으므로, 신뢰성 높은 소자를 제공할 수 있는 장점을 가진다.

대표도 - 도6b



특허청구의 범위

청구항 1

서로 이격되게 배치된 제 1 기판(어레이 기판) 및 제 2 기판(유기전계발광 다이오드 기판)과, 상기 제 1, 2 기판 사이에 위치하며, 상기 제 1, 2 기판을 전기적으로 연결시키는 패턴부를 포함하는 듀얼패널타입 유기전계발광 소자에 있어서,

중앙부에 오픈부가 형성된 환(環)형상의 게이트 전극과;

상기 게이트 전극을 덮는 기판 전면에 형성된 게이트 절연막과;

상기 게이트 절연막 상부에서, 상기 게이트 전극을 덮는 영역에 형성된 반도체층과;

상기 반도체층 상부의 반도체층 영역 내에서, 상기 게이트 전극의 오픈부를 덮는 영역에 형성된 드레인 전극과;

상기 드레인 전극의 양측에서, 상기 드레인 전극과 서로 이격되게 위치하고, 상기 반도체층의 일측과 각각 중첩되게 형성된 제 1, 2 소스 전극

을 포함하며, 상기 제 1, 2 소스 전극은 게이트 전극의 영역 내 위치하는 것을 특징으로 듀얼패널타입 유기전계발광 소자용 박막트랜지스터.

청구항 2

제 1 항에 있어서,

상기 제 1 소스 전극 및 드레인 전극 사이 구간에 위치하는 게이트 전극 영역은 제 1 게이트 전극부를 이루며, 상기 제 1 게이트 전극부와, 상기 반도체층과, 상기 제 1 소스 전극 및 드레인 전극은 제 1 박막트랜지스터부를 이루고, 상기 제 2 소스 전극 및 드레인 전극 사이 구간에 위치하는 게이트 전극 영역은 제 2 게이트 전극부를 이루고, 상기 제 2 게이트 전극부와, 상기 반도체층, 상기 제 2 소스 전극 및 드레인 전극은 제 2 박막트랜지스터부를 이루는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자용 박막트랜지스터.

청구항 3

제 1 항에 있어서,

상기 반도체층은, 비정질 실리콘 물질(a-Si)로 이루어진 액티브층과, 불순물 비정질 실리콘 물질(n+ a-Si)로 이루어진 오믹콘택층이 차례대로 적층된 구조로 이루어지는 듀얼패널타입 유기전계발광 소자용 박막트랜지스터.

청구항 4

제 3 항에 있어서,

상기 제 1 소스 전극과 드레인 전극 사이 이격구간은 제 1 채널부로 정의되고, 상기 제 2 소스 전극과 드레인 전극 사이 이격구간은 제 2 채널부로 정의되어, 상기 제 1, 2 채널부에는 액티브층이 노출되어 있어, 노출된 액티브층 영역은 제 1, 2 채널을 각각 이루는 듀얼패널타입 유기전계발광 소자용 박막트랜지스터.

청구항 5

제 1 항에 있어서,

상기 제 1, 2 소스 전극의 드레인 전극과 마주보는 일측에는 다수 개의 오픈부가 서로 일정간격 이격되게 형성된 요철패턴부를 가지는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자용 박막트랜지스터.

청구항 6

제 5 항에 있어서,

상기 드레인 전극은, 상기 요철패턴부와 대응된 위치에서 분할된 다수 개의 드레인 전극패턴 그룹으로 이루어진 듀얼패널타입 유기전계발광 소자용 박막트랜지스터.

청구항 7

제 1 항에 있어서,

상기 박막트랜지스터는, 상기 유기전계발광 다이오드 소자와 연결되는 구동용 박막트랜지스터인 듀얼패널타입 유기전계발광 소자용 박막트랜지스터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 유기전계발광 소자(Organic Light Emitting Diode Device ; 이하, AMOLED로 약칭함)에 관한 것이며, 특히 듀얼패널타입(Dual Panel Type) 유기전계발광 소자의 박막트랜지스터(Thin Film Transistor)에 관한 것이다.
- <19> 상기 유기전계발광 소자를 포함한 평판디스플레이(FPD ; Flat Panel Display) 분야에서, 지금까지는 가볍고 전력소모가 적은 액정표시장치(LCD ; Liquid Crystal Display Device)가 가장 주목받는 디스플레이 소자였지만, 상기 액정표시장치는 발광소자가 아니라 수광소자이며 밝기, 콘트라스트(contrast), 시야각, 그리고 대면적화 등에 기술적 한계가 있기 때문에 이러한 단점을 극복할 수 있는 새로운 평판디스플레이 소자에 대한 개발이 활발하게 전개되고 있다.
- <20> 새로운 평판디스플레이 중 하나인 상기 유기전계발광 소자는 자체발광형이기 때문에 액정표시장치에 비해 시야각, 콘트라스트 등이 우수하며 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하다. 그리고, 직류저전압 구동이 가능하고 응답속도가 빠르며 전부 고체이기 때문에 외부충격에 강하고 사용온도범위도 넓으며 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.
- <21> 특히, 상기 유기전계발광 소자의 제조공정에는, 액정표시장치나 PDP(Plasma Display Panel)와 달리 증착 및 봉지(encapsulation) 장비가 전부라고 할 수 있기 때문에, 공정이 매우 단순하다.
- <22> 특히, 각 화소마다 스위칭 소자인 박막트랜지스터를 가지는 액티브 매트릭스방식으로 유기전계발광 소자를 구동하게 되면, 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비전력, 고정세, 대형화가 가능한 장점을 가진다.
- <23> 이하, 이러한 액티브 매트릭스형 유기전계발광 소자(이하, AMOLED로 약칭함)의 기본적인 구조 및 동작특성에 대해서 도면을 참조하여 상세히 설명한다.
- <24> 도 1은 일반적인 AMOLED의 기본 화소 구조를 나타낸 도면이다.
- <25> 도시한 바와 같이, 제 1 방향으로 주사선이 형성되어 있고, 주사선과 교차되는 제 2 방향으로 서로 일정간격 이격되게 신호선 및 전력공급선(powersupply line)이 형성되어 있으며, 신호선 및 전력공급선과 주사선이 교차되는 영역은 화소 영역(pixel area)으로 정의한다.
- <26> 상기 주사선과 신호선의 교차지점에는 어드레싱 엘리먼트(addressing element)인 스위칭용 박막트랜지스터(switching TFT)가 형성되어 있고, 이 스위칭용 박막트랜지스터 및 전력공급선과 연결되어 스토리지 캐패시터(storage capacitor ; 이하, C_{ST}라 칭함)가 형성되어 있으며, 이 스토리지 캐패시터(C_{ST}) 및 전력공급선과 연결되어, 전류원 엘리먼트(current source element)인 구동용 박막트랜지스터가 형성되어 있고, 이 구동용 박막트랜지스터와 연결되어 유기전계발광 다이오드(Electroluminescent Diode)가 구성되어 있다.
- <27> 즉, AMOLED의 화소는 기본적으로 게이트 구동전압인 화소 전압을 어드레싱(addressing)하기 위한 스위칭용 박막트랜지스터와 AMOLED의 구동전류를 제어하는 구동용 박막트랜지스터로 구성되어 있다. 그리고, 이러한 AMOLED에는 스위칭 및 구동을 위한 2개의 박막트랜지스터와, 화소 전압을 안정적으로 유지하기 위한 스토리지 캐패시턴스(storage capacitance)가 필수적으로 요구된다.
- <28> 도 2는 종래의 액티브 매트릭스형 유기전계발광 소자에 대한 평면도로서, 역스태거드형 박막트랜지스터를 포함하는 구조를 일례로 하여 도시하였다.
- <29> 도시한 바와 같이, 제 1 방향으로 게이트 배선(12)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이

터 배선(36) 및 전력공급 배선(42)이 서로 이격되게 형성되어 있으며, 상기 게이트 배선(12) 및 데이터 배선(36)이 교차되는 지점에는 스위칭용 박막트랜지스터(T_S)가 형성되어 있다. 상기 스위칭용 박막트랜지스터(T_S)에는 게이트 배선(12)에서 분기된 게이트 전극(14)과, 데이터 배선(36)에서 분기된 소스 전극(26)과, 소스 전극(26)과 이격되게 배치된 드레인 전극(30)과, 게이트 전극(14), 소스 전극(26) 및 드레인 전극(30)을 덮는 영역에는 반도체층(22)이 형성되어 있다.

- <30> 그리고, 상기 스위칭용 박막트랜지스터(T_S) 및 전력공급 배선(42)과 연결되어 구동용 박막트랜지스터(T_D)가 형성되어 있다. 상기 구동용 박막트랜지스터(T_D)에는 상기 게이트 배선(12)과 동일 공정에서 동일 물질로 이루어지고, 상기 드레인 전극(30)과 연결되는 구동용 게이트 전극(16)과, 상기 구동용 게이트 전극(16)의 양측과 일정간격 중첩되어 서로 이격되게 위치하고, 상기 데이터 배선(36)과 동일 공정에서 동일 물질로 이루어진 구동용 소스 전극 및 드레인 전극(28, 32)과, 상기 구동용 게이트 전극(16), 구동용 소스 전극 및 드레인 전극(28, 32)을 덮는 영역에는 구동용 반도체층(24)이 위치한다.
- <31> 전술한 전력공급 배선(42)에는 상기 구동용 소스 전극(28)과 연결되는 파워 전극(44)이 분기되어 있으며, 상기 구동용 드레인 전극(32)과 연결되어 제 1 전극(54)이 형성되어 있다.
- <32> 상기 제 1 전극(54)은 유기전계발광 다이오드 소자의 제 1 전극에 해당된다.
- <33> 그리고, 상기 드레인 전극(30)에는 상기 전력공급 배선(42)과 중첩되게 연장 형성된 캐패시터 전극(34)을 포함하여, 상기 캐패시터 전극(34) 및 전력공급 배선(42)이 중첩된 영역은 스토리지 캐패시턴스(C_{ST})를 이룬다.
- <34> 도 3은 상기 도 2의 절단선 I-I에 따라 절단된 단면을 도시한 단면도로서, 설명의 편의상 구동용 박막트랜지스터의 구동용 게이트 전극, 구동용 반도체층, 구동용 소스 전극 및 드레인 전극을 게이트 전극, 반도체층, 소스 전극 및 드레인 전극으로 약칭한다.
- <35> 도시한 바와 같이, 기판(10) 상에 게이트 전극(16)이 형성되어 있고, 게이트 전극(16)을 덮는 영역에는 게이트 절연막(20)이 형성되어 있으며, 게이트 절연막(20) 상부의 게이트 전극(16)을 덮는 영역에는 액티브층(24a), 오믹콘택층(24b)이 차례대로 적층된 구조의 반도체층(24)이 형성되어 있고, 상기 반도체층(24) 상부에는 서로 이격되게 소스 전극 및 드레인 전극(28, 32)이 형성되어 있다.
- <36> 상기 소스 전극 및 드레인 전극(28, 32) 간 이격구간에는 액티브층(24a)이 노출되어 채널(ch)을 이룬다.
- <37> 상기 게이트 전극(16), 반도체층(24), 소스 전극 및 드레인 전극(28, 32)은 구동용 박막트랜지스터(T_D)를 이룬다.
- <38> 상기 구동용 박막트랜지스터(T_D)를 덮는 영역에는, 상기 소스 전극(28)을 일부 노출시키는 소스 콘택홀(46)을 가지는 층간 절연막(48)이 형성되어 있고, 상기 층간 절연막(48) 상부에는 소스 콘택홀(46)을 통해 소스 전극(28)과 연결되는 파워 전극(44)이 형성되어 있고, 파워 전극(44)을 덮는 영역에는 상기 층간 절연막(48)과 공통적으로 드레인 전극(32)을 일부 노출시키는 드레인 콘택홀(50)을 가지는 보호층(52)이 형성되어 있다.
- <39> 상기 보호층(52) 상부에는 드레인 콘택홀(50)을 통해 드레인 전극(32)과 연결되는 제 1 전극(54)이 형성되어 있다.
- <40> 이러한 기존의 액티브 매트릭스형 유기전계발광 소자용 박막트랜지스터 구조에 의하면, 유기전계발광 소자의 구동용 박막트랜지스터는 지속적으로 DC 스트레스(direct current stress)가 작용함으로써, 전하 트랩핑(charge trapping) 또는 결함 발생에 의해 소자의 열화가 가속됨에 따라 소자 수명이 짧아지는 문제점이 있었다. 특히, 상기 게이트 절연막(20)은 PECVD(plasma Enhanced chemical vapor deposition) 등으로 성막됨으로써, 게이트 전극(16) 단차 끝단부에 제대로 덮이지 못하거나 또는 미세한 공동(void)들이 발생하여, 장시간 DC 인가시 단차 끝단부(II)를 통해 열화가 더욱 심화되는 문제점이 있다.
- <41> 또한, 종래의 유기전계발광 소자 패널 구조의 제시를 통해, 기존의 유기전계발광 소자가 가지는 구조적 문제점에 대해서 살펴본다.
- <42> 도 4는 종래의 유기전계발광 소자의 전체 단면도로서, 유기전계발광부와 구동용 박막트랜지스터 연결부를 중심으로 인캡슐레이션 구조에 대해서 설명의 편의상 2 픽셀 구조로 한정하여 도시한다.
- <43> 도시한 바와 같이, 화면을 구현하는 최소단위인 서브픽셀 단위로 서로 일정간격 이격되게 제 1, 2 기판(70, 9

0)이 배치되어 있고, 제 1 기관(70)의 내부면에는 서브픽셀 단위로 형성된 다수 개의 구동용 박막트랜지스터(T_D)를 포함한 어레이 소자층(80)이 형성되어 있고, 어레이 소자층(80) 상부에는 구동용 박막트랜지스터(T_D)와 연결되어 서브픽셀 단위로 제 1 전극(72)이 형성되어 있고, 제 1 전극(72) 상부에는 서브픽셀 단위로 적, 녹, 청 컬러를 발광시키는 유기전계발광층(74)이 형성되어 있고, 유기전계발광층(74) 상부 전면에는 제 2 전극(76)이 형성되어 있다.

- <44> 상기 제 1, 2 전극(72, 76) 및 제 1, 2 전극(72, 76) 사이에 개재된 유기전계발광층(74)은 유기전계발광 다이오드 소자(E)를 이루며, 유기전계발광층(74)으로부터 발광된 빛은 제 1 전극(72) 쪽으로 발광되는 하부발광 방식인 것을 특징으로 한다.
- <45> 그리고, 상기 제 2 기관(90)은 인캡슐레이션 기관으로 이용되며, 이러한 제 2 기관(90)의 내부 중앙부에는 오목부(92)가 형성되어 있고, 오목부(92) 내에는 외부로부터의 수분흡수를 차단하여 유기전계발광 다이오드 소자(E)를 보호하기 위한 흡습제(94)가 봉입되어 있다.
- <46> 상기 흡습제(94)가 봉입된 제 2 기관(90) 내부면과 제 2 전극(76)은 서로 일정간격 이격되게 위치한다.
- <47> 그리고, 상기 제 1, 2 기관(70, 90)의 가장자리부는 씰패턴(85)에 의해 인캡슐레이션되어 있다.
- <48> 이와 같이, 기존의 하부발광방식 유기전계발광 소자는 어레이 소자 및 유기전계발광 다이오드가 형성된 기관과 별도의 인캡슐레이션용 기관의 합착을 통해 소자를 제작하였다. 이런 경우, 어레이 소자의 수율과 유기전계발광 다이오드의 수율의 곱이 유기전계발광 소자의 수율을 결정하기 때문에, 기존의 유기전계발광 소자 구조에서는 후반 공정에 해당되는 유기전계발광 다이오드 공정에 의해 전체 공정 수율이 크게 제한되는 문제점이 있었다. 예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1,000 Å 정도의 박막을 사용하는 유기전계발광층의 형성시 이물이나 기타 다른 요소에 의해 불량 발생하게 되면, 유기전계발광 소자는 불량 등급으로 판정된다.
- <49> 이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있었다.
- <50> 그리고, 하부발광방식은 인캡슐레이션에 의한 안정성 및 공정이 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있고, 상부발광방식은 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하지만, 기존의 상부발광방식 구조에서는 유기전계발광층 상부에 통상적으로 음극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 점과, 광투과도의 저하를 최소화하기 위해 박막형 보호막을 구성해야 하는 경우 외기를 충분히 차단하지 못하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- <51> 상기 문제점을 해결하기 위하여, 본 발명에서는 생산수율이 향상된 고해상도/고개구율 구조 액티브 매트릭스형 유기전계발광 소자를 제공하고자 한다.
- <52> 이를 위하여, 본 발명에서는 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기관 상에 형성하고, 어레이 소자의 구동용 박막트랜지스터와 유기전계발광 다이오드 소자의 제 2 전극을 별도의 전기적 연결패턴을 통해 연결하는 듀얼패널타입 유기전계발광 소자를 제공하고자 한다.
- <53> 본 발명의 또 다른 목적에서는, 수명 및 화질이 향상된 유기전계발광 소자를 제공하는 것으로, 이를 위하여 소스 전극 및 드레인 전극과 게이트 전극 간에 단차부를 가지지 않는 역스태거드형 박막트랜지스터 구조를 제공하고자 한다.
- <54> 좀 더 상세히 설명하면, 환(環) 형상으로 중앙부에 오픈부를 가지는 게이트 전극을 형성하여, 게이트 전극의 오픈부를 덮는 영역에 드레인 전극을 형성하고, 드레인 전극의 양측에 서로 이격되게 제 1, 2 소스 전극을 형성하는 구조를 제공을 통해 게이트 전극과 소스 전극 및 드레인 전극 간의 단차발생을 방지하고자 한다.

발명의 구성 및 작용

- <55> 상기 목적을 달성하기 위하여, 서로 이격되게 배치된 제 1 기관(어레이 기관) 및 제 2 기관(유기전계발광 다이

오드 기관)과, 상기 제 1, 2 기관 사이에 위치하며, 상기 제 1, 2 기관을 전기적으로 연결시키는 패턴부를 포함하는 듀얼패널타입 유기전계발광 소자에 있어서, 중앙부에 오픈부가 형성된 환(環)형상의 게이트 전극과; 상기 게이트 전극을 덮는 기관 전면에 형성된 게이트 절연막과; 상기 게이트 절연막 상부에서, 상기 게이트 전극을 덮는 영역에 형성된 반도체층과; 상기 반도체층 상부의 반도체층 영역 내에서, 상기 게이트 전극의 오픈부를 덮는 영역에 형성된 드레인 전극과; 상기 드레인 전극의 양측에서, 상기 드레인 전극과 서로 이격되게 위치하고, 상기 반도체층의 일측과 각각 중첩되게 형성된 제 1, 2 소스 전극을 포함하며, 상기 제 1, 2 소스 전극은 게이트 전극의 영역 내 위치하는 것을 특징으로 듀얼패널타입 유기전계발광 소자용 박막트랜지스터를 제공한다.

- <56> 상기 제 1 소스 전극 및 드레인 전극 사이 구간에 위치하는 게이트 전극 영역은 제 1 게이트 전극부를 이루며, 상기 제 1 게이트 전극부와, 상기 반도체층과, 상기 제 1 소스 전극 및 드레인 전극은 제 1 박막트랜지스터부를 이루고, 상기 제 2 소스 전극 및 드레인 전극 사이 구간에 위치하는 게이트 전극 영역은 제 2 게이트 전극부를 이루고, 상기 제 2 게이트 전극부와, 상기 반도체층, 상기 제 2 소스 전극 및 드레인 전극은 제 2 박막트랜지스터부를 이루는 것을 특징으로 하고, 상기 반도체층은, 비정질 실리콘 물질(a-Si)로 이루어진 액티브층과, 불순물 비정질 실리콘 물질(nt a-Si)로 이루어진 오믹콘택층이 차례대로 적층된 구조로 이루어지며, 상기 제 1 소스 전극과 드레인 전극 사이 이격구간은 제 1 채널부로 정의되고, 상기 제 2 소스 전극과 드레인 전극 사이 이격구간은 제 2 채널부로 정의되어, 상기 제 1, 2 채널부에는 액티브층이 노출되어 있어, 노출된 액티브층 영역은 제 1, 2 채널을 각각 이루는 것을 특징으로 한다.
- <57> 상기 제 1, 2 소스 전극의 드레인 전극과 마주보는 일측에는 다수 개의 오픈부가 서로 일정간격 이격되게 형성된 것을 특징으로 하고, 상기 드레인 전극은, 상기 요철패턴부와 대응된 위치에서 분할된 다수 개의 드레인 전극패턴 그룹으로 이루어지며, 상기 박막트랜지스터는, 상기 유기전계발광 다이오드 소자와 연결되는 구동용 박막트랜지스터인 것을 특징으로 한다.
- <58> 이하, 본 발명에 따른 바람직한 실시예들을 도면을 참조하여 상세히 설명한다.
- <59> -- 제 1 실시예 --
- <60> 도 5는 본 발명의 제 1 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도로서, 전기적 연결 구조를 중심으로 개략적으로 도시하였다.
- <61> 도시한 바와 같이, 화면을 구현하는 최소단위인 서브픽셀 단위로 제 1, 2 기관(110, 150)이 서로 일정간격을 유지하며, 대향되게 배치되어 있다.
- <62> 상기 제 1 기관(110, 150)의 내부면에는 서브픽셀 단위로 형성된 다수 개의 구동 박막트랜지스터(T_D)를 포함하는 어레이 소자층(140)이 형성되어 있고, 어레이 소자층(140) 상부에는 구동 박막트랜지스터(T_D)와 연결되어 전기적 연결 패턴(142)이 형성되어 있다.
- <63> 상기 전기적 연결 패턴(142)은 전도성 물질에서 선택되며, 상기 전기적 연결 패턴(142)은 두께감있게 형성되기 위해 절연물질을 포함하는 다중층으로 형성될 수도 있고, 별도의 연결 전극을 통해 구동 박막트랜지스터(T_D)와 연결될 수도 있다.
- <64> 그리고, 상기 구동 박막트랜지스터(T_D)는 게이트 전극(112), 반도체층(114), 소스 전극(116) 및 드레인 전극(118)으로 이루어지고, 실질적으로 전술한 전기적 연결 패턴(142)은 드레인 전극(118)과 연결되어 있다.
- <65> 그리고, 상기 제 2 기관(150) 내부 전면에는 제 1 전극(152)이 형성되어 있고, 제 1 전극(152) 하부에는 서브픽셀 단위로 반복배열되는 적, 녹, 청 발광층(156a, 156b, 156c)을 포함하는 유기전계발광층(160)이 형성되어 있고, 유기전계발광층(160) 하부에는 서브픽셀 단위로 제 2 전극(162)이 형성되어 있다.
- <66> 좀 더 상세히 설명하면, 상기 유기전계발광층(160)에는 제 1 전극(152) 하부 면과 접촉되는 제 1 캐리어 전달층(154)과, 적, 녹, 청 발광층(156a, 156b, 156c) 하부에 위치하며, 제 2 전극(162) 상부면과 접촉되는 제 2 캐리어 전달층(158)이 더욱 포함된다.
- <67> 한 예로, 상기 제 1 전극(152)이 양극, 제 2 전극(162)이 음극에 해당될 경우, 제 1 캐리어 전달층(154)은 차례대로 정공주입층, 정공수송층에 해당되고, 제 2 캐리어 전달층(158)은 차례대로 전자수송층, 전자주입층에 해당된다.

- <68> 그리고, 상기 제 1, 2 전극(152, 162)과 제 1, 2 전극(152, 162) 사이에 개재된 유기전계발광층(160)은 유기전계발광 다이오드 소자(E)에 해당된다.
- <69> 본 발명에서는, 상기 전기적 연결패턴(142)의 최상부면이 제 2 전극(162) 하부면과 연결되어, 구동 박막트랜지스터(T_D)로부터 공급되는 전류가 전기적 연결패턴(142)을 통해 제 2 전극(162)으로 전달되는 것을 특징으로 한다.
- <70> 그리고, 상기 제 1, 2 기관(110, 150)의 가장자리부에는 셀패턴(170)이 위치하여, 상기 제 1, 2 기관(110, 150)을 합착시키고 있다.
- <71> 본 실시예에서는, 유기전계발광 다이오드 소자(E)와 어레이 소자층(140)을 서로 다른 기관에 형성하되, 전기적 연결패턴(142)을 이용하여 두 소자를 연결시키는 방식의 듀얼패널타입으로 구성하는 것을 특징으로 한다.
- <72> 설명의 편의상, 3개의 서브픽셀이 하나의 픽셀을 이루는 2 픽셀 구조를 일 예로 도시하였으며, 박막트랜지스터 구조 및 전기적 연결패턴의 연결방식은 다양하게 변경될 수 있다.
- <73> 또한, 본 발명에 따른 듀얼패널타입 유기전계발광 소자는 도면 상의 발광 방향과 같이 상부발광 방식이기 때문에, 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능한 장점을 가진다.
- <74> -- 제 2 실시예 --
- <75> 도 6a, 6b는 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자용 박막트랜지스터 구조에 대한 도면으로서, 도 6a는 평면도이고, 도 6b는 상기 도 6a의 절단선 IV-IV에 따라 절단된 단면도이다.
- <76> 도 6a에서는, 중앙부에 오픈부(212)가 구성된 환(環)형상의 게이트 전극(214)이 형성되어 있고, 게이트 전극(214)을 덮는 위치에는 반도체층(218)이 형성되어 있고, 반도체층(218)의 영역 내에서 게이트 전극(214)의 오픈부(212)를 덮는 영역에는 드레인 전극(220)이 형성되어 있고, 드레인 전극(220)의 양측에는 서로 이격되며, 반도체층(218)의 일측과 각각 중첩되게 제 1, 2 소스 전극(222, 224)이 형성되어 있다.
- <77> 이때, 제 1, 2 소스 전극(222, 224)은 게이트 전극(214)의 영역 내 위치하는 것을 특징으로 한다.
- <78> 상기 제 1 소스 전극(222) 및 드레인 전극(220) 사이 구간에 위치하는 게이트 전극 영역으로 정의되는 제 1 게이트 전극부(Va)와, 반도체층(218), 제 1 소스 전극(222)과 드레인 전극(220)은 제 1 박막트랜지스터부(T1)를 이루고, 상기 제 2 소스 전극(224) 및 드레인 전극(220) 사이 구간에 위치하는 게이트 전극 영역으로 정의되는 제 2 게이트 전극부(Vb)와, 반도체층(218), 제 2 소스 전극(224)과 드레인 전극(220)은 제 2 박막트랜지스터부(T2)를 이룬다.
- <79> 도 6b를 통해, 상기 제 1, 2 박막트랜지스터부에 대한 적층 구조를 좀 더 자세히 살펴보면, 기관(210) 상에는, 중앙부에 오픈부(212)를 가지는 게이트 전극(214)이 형성되어 있고, 상기 오픈부(212)를 기준으로 도면에서, 좌측의 게이트 전극(214) 형성부를 제 1 게이트 전극부(Va), 우측의 게이트 전극(214) 형성부를 제 2 게이트 전극부(Vb)로 명칭한다.
- <80> 상기 게이트 전극(214)을 덮는 영역에는 게이트 절연막(216)이 형성되어 있으며, 상기 게이트 절연막(216) 상부의 오픈부(212) 및 오픈부(212)와 인접한 제 1, 2 게이트 전극부(Va, Vb)의 일측을 덮는 영역에는 반도체층(218)이 형성되어 있고, 반도체층(218) 상의 중앙부에는 드레인 전극(220)이 형성되어 있고, 드레인 전극(220)의 양측에는 위치하며, 드레인 전극(220)과 일정간격 이격되고, 상기 반도체층(218)의 양측과 일정간격 중첩되고, 게이트 전극(214) 형성부 내에 위치하는 제 1, 2 소스 전극(222, 224)이 각각 형성되어 있다.
- <81> 그리고, 상기 반도체층(218)은 액티브층(218a) 및 오믹콘택층(218b)이 차례대로 적층된 구조로 이루어지고, 상기 제 1 소스 전극(222)과 드레인 전극(220) 사이 이격구간은 제 1 채널부(VIa)로 정의되고, 제 2 소스 전극(224)과 드레인 전극(220) 사이 이격구간은 제 2 채널부(VIb)로 정의되는데, 상기 제 1, 2 채널부(VIa, VIb)에서는 오믹콘택층(218b)이 제거되어 있고, 그 하부층이 이루는 액티브층(218a)이 노출되어, 노출된 액티브층(218a) 영역은 제 1, 2 채널(ch1, ch2)을 각각 이룬다.
- <82> 상기 제 1 채널(ch1)을 기준으로, 제 1 게이트 전극부(Va), 반도체층(218), 제 1 소스 전극(222) 및 드레인 전극(220)은 제 1 박막트랜지스터부(T1)를 이루고, 제 2 채널(ch2)을 기준으로 제 2 게이트 전극부(Vb), 반도체층(218), 제 2 소스 전극(224) 및 드레인 전극(220)은 제 2 박막트랜지스터부(T2)를 이룬다.

- <83> 본 실시예에서는, 게이트 전극(214) 형성부보다 내측에 제 1, 2 소스 전극(222, 224)을 분할 구성함에 따라, 게이트 전극(214)이 가지는 단차부 내부 여역에 제 1, 2 소스 전극(222, 224) 및 드레인 전극(220)을 형성함에 따라, 기존의 게이트 전극의 단차부(VII)에서의 소자 열화 현상에 따른 박막트랜지스터의 소자 결함 문제를 해결할 수 있게 된다.
- <84> -- 제 3 실시예 --
- <85> 도 7은 본 발명의 제 3 실시예에 따른 듀얼패널타입 유기전계발광 소자의 박막트랜지스터 구조를 나타낸 평면도로서, 상기 도 6a와 중복되는 부분에 대한 설명은 간략히 하고 특징적인 부분을 중심으로 설명하면, 본 실시예에서는 제 1, 2 소스 전극(322, 324)의 드레인 전극(320)과 마주보는 일측에 다수 개의 오목부(321)가 서로 일정간격 이격되게 형성된 요철패턴부(VIII)를 가지는 것을 특징으로 한다.
- <86> 이때, 상기 제 1, 2 소스 전극(322, 324)의 가장자리부는 게이트 전극(314)의 내측에 위치하는 것을 특징으로 하고, 상기 요철패턴부(VIII)를 가지는 제 1, 2 소스 전극(322, 324)의 채용에 따라 위치별로 채널폭에 변화를 주어, 단차부에서의 소자 열화 현상을 좀 더 최소화시킬 수 있다.
- <87> -- 제 4 실시예 --
- <88> 도 8은 본 발명의 제 4 실시예에 따른 듀얼패널타입 유기전계발광 소자의 박막트랜지스터 구조를 나타낸 평면도로서, 상기 도 7과 중복되는 부분에 대한 설명은 간략히 하고 특징적인 부분을 중심으로 설명하면, 본 실시예에서는 제 1, 2 소스 전극(422, 424)의 드레인 전극(420)과 마주보는 일측에 다수 개의 오목부(421)가 서로 일정간격 이격되게 형성된 요철패턴부(IX)를 가짐과 동시에, 도면에서와 같이 각 소스 전극별로 3개의 오목부(421)와 대응되는 위치에서 드레인 전극(420)은 아일랜드 패턴으로 분할된 제 1 내지 제 4 드레인 전극패턴(420a, 420b, 420c, 420d)으로 이루어지는 것을 특징으로 한다.
- <89> 도면으로 제시하지는 않았지만, 상기 제 1 내지 제 4 드레인 전극패턴(420a, 420b, 420c, 420d)은 별도의 전극패턴을 통해 동일한 신호 전압을 받게 된다.
- <90> 상기 제 2 내지 4 실시예에 따른 박막트랜지스터는 구동용 박막트랜지스터를 이루는 것이 바람직하다.
- <91> 그러나, 본 발명은 상기 실시예 들로 한정되지 않고 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

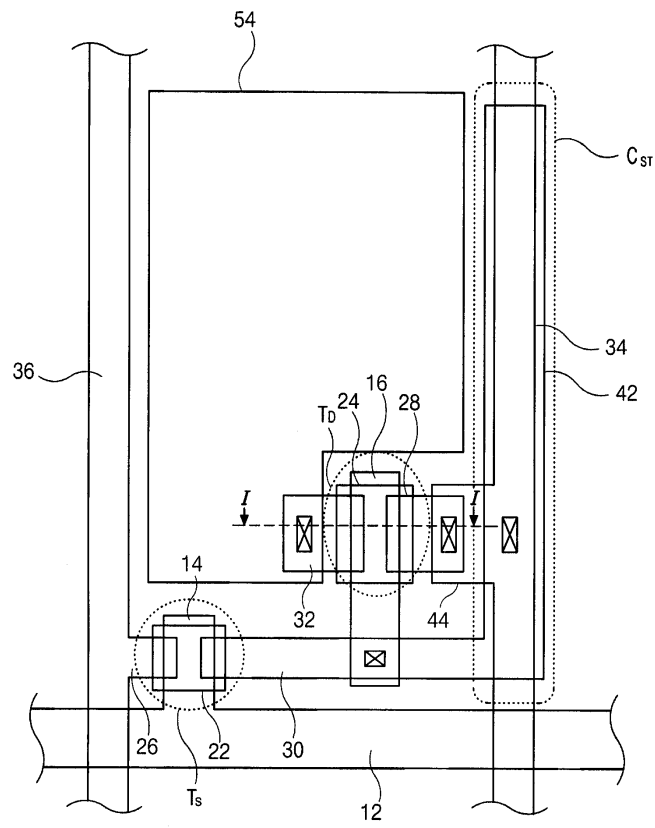
발명의 효과

- <92> 이상과 같이, 본 발명에 따른 듀얼패널타입 유기전계발광 소자용 박막트랜지스터 소자에 의하면, 첫째, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하기 때문에 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품수명을 늘릴 수 있으며, 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하고, 셋째 게이트 전극과 소스 전극 및 드레인 전극 간에 별도의 단차부를 가지지 않는 구조를 가지므로, 종래의 게이트 단차부에서 발생할 수 있는 장시간 DC 스트레스에 의한 특성 변화를 최소화 할 수 있고, 누설 전류에 의해 가질 수 있는 여러 가지 화질 불량 요소를 최소화할 수 있으므로, 신뢰성 높은 소자를 제공할 수 있는 장점을 가진다.

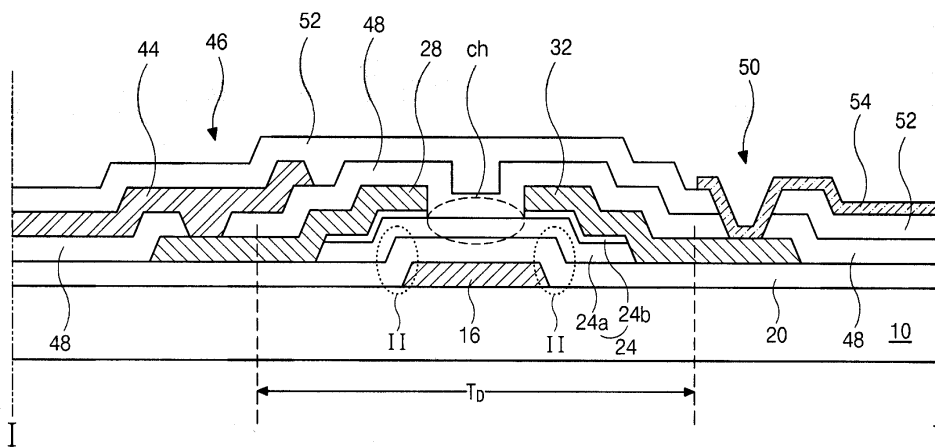
도면의 간단한 설명

- <1> 도 1은 일반적인 AMOLED(Active Matrix type Organic Light Emitting Diode Device)의 기본 화소 구조를 나타낸 도면.
- <2> 도 2는 종래의 액티브 매트릭스형 유기전계발광 소자에 대한 평면도.
- <3> 도 3은 상기 도 2의 절단선 I-I에 따라 절단된 단면을 도시한 단면도.
- <4> 도 4는 종래의 유기전계발광 소자의 전체 단면도.

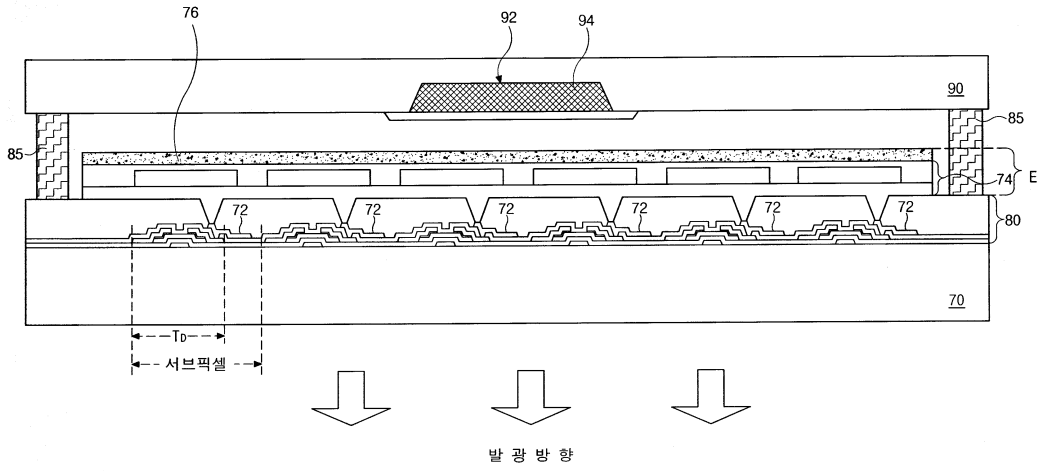
도면2



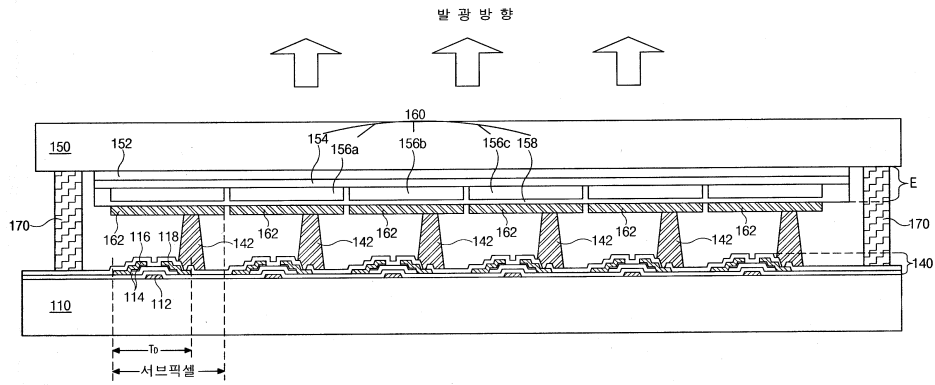
도면3



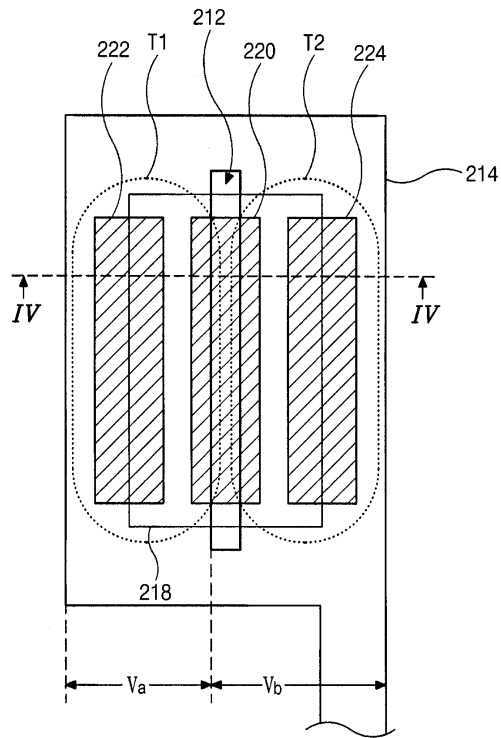
도면4



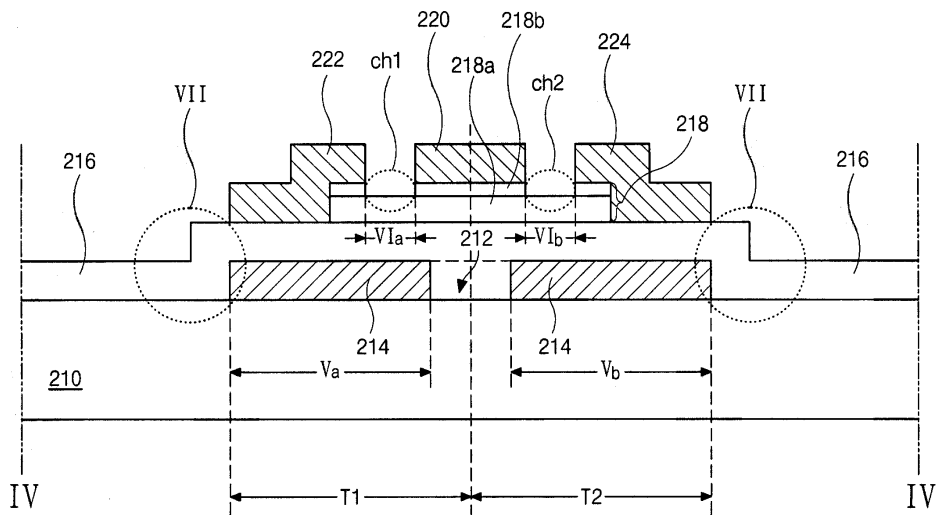
도면5



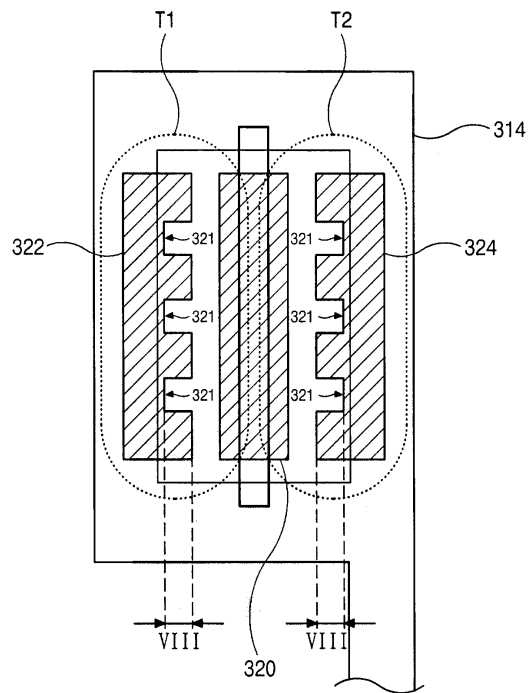
도면6a



도면6b



도면7



도면8

