

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6885701号  
(P6885701)

(45) 発行日 令和3年6月16日(2021.6.16)

(24) 登録日 令和3年5月17日(2021.5.17)

(51) Int. Cl.	F I				
HO 1 L 23/12	(2006.01)	HO 1 L 23/12		F	
HO 1 L 23/02	(2006.01)	HO 1 L 23/02		F	
HO 1 L 23/14	(2006.01)	HO 1 L 23/14		R	
HO 1 L 23/48	(2006.01)	HO 1 L 23/48		Y	

請求項の数 22 (全 22 頁)

(21) 出願番号	特願2016-203506 (P2016-203506)	(73) 特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(22) 出願日	平成28年10月17日(2016.10.17)	(74) 代理人	100086380 弁理士 吉田 稔
(65) 公開番号	特開2018-67571 (P2018-67571A)	(74) 代理人	100135389 弁理士 臼井 尚
(43) 公開日	平成30年4月26日(2018.4.26)	(72) 発明者	▲柳▼田 秀彰 京都市右京区西院溝崎町2 1 番地 ローム株式会社内
審査請求日	令和1年9月13日(2019.9.13)	審査官	井上 弘亘

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

半導体素子と、

厚さ方向において互いに反対側を向く主面および裏面を有するとともに、前記裏面から窪み、かつ前記半導体素子を搭載する凹部が形成された基板と、

前記凹部および前記裏面に配置され、かつ前記半導体素子に導通する導電部と、

前記裏面に配置された前記導電部に接する第 1 導通面と、前記裏面と同方向を向く第 2 導通面と、前記第 1 導通面と前記第 2 導通面との間に挟まれた側面と、を有する柱状体と

、  
前記裏面と同方向を向く実装面を有し、かつ前記側面および前記半導体素子を覆う封止樹脂と、

前記第 2 導通面に接し、かつ前記実装面から外部に露出するパッド層と、を備え、

前記基板は、単結晶の真性半導体材料から構成され、

前記厚さ方向において、前記第 2 導通面は、前記実装面と前記裏面との間に位置し、

前記導電部は、前記裏面に配置され、かつ前記第 1 導通面および前記封止樹脂に接する裏面導電部を含み、

前記厚さ方向に沿って見て、前記パッド層の周縁が前記柱状体の周縁を囲み、かつ前記裏面導電部の周縁が前記パッド層の周縁を囲んでいることを特徴とする、半導体装置。

【請求項 2】

前記パッド層は、内部層と、前記内部層に積層された外部層と、を含み、

10

20

前記内部層が前記第 2 導通面に接し、

前記外部層が外部に露出している、請求項 1 に記載の半導体装置。

【請求項 3】

前記内部層は、前記第 2 導通面と、前記第 2 導通面を取り囲む前記封止樹脂の内周面とによって構成された空洞部を埋める埋設部を有する、請求項 2 に記載の半導体装置。

【請求項 4】

前記内部層は、前記実装面から外部に向けて突出する突出部を有する、請求項 3 に記載の半導体装置。

【請求項 5】

前記内部層は、Ni から構成され、

10

前記外部層は、Au から構成される、請求項 2 ないし 4 のいずれかに記載の半導体装置。

【請求項 6】

前記パッド層は、前記内部層と前記外部層との間に介在する中間層を含む、請求項 2 ないし 5 のいずれかに記載の半導体装置。

【請求項 7】

前記中間層は、Pd から構成される、請求項 6 に記載の半導体装置。

【請求項 8】

前記柱状体は、直方体状である、請求項 1 ないし 7 のいずれかに記載の半導体装置。

【請求項 9】

20

前記柱状体は、Cu から構成される、請求項 8 に記載の半導体装置。

【請求項 10】

前記厚さ方向において、前記実装面と前記裏面との間に前記半導体素子の一部が位置する、請求項 1 ないし 9 のいずれかに記載の半導体装置。

【請求項 11】

前記凹部は、前記半導体素子を搭載する前記導電部が配置された底面と、前記底面および前記裏面につながる中間面と、を有し、

前記底面は、前記厚さ方向に対して直交し、

前記中間面は、前記底面に対して傾斜している、請求項 1 ないし 10 のいずれかに記載の半導体装置。

30

【請求項 12】

前記底面は、前記厚さ方向に沿って見て矩形状である、請求項 11 に記載の半導体装置。

【請求項 13】

前記中間面は、前記厚さ方向に対して直交する第 1 方向において互いに離間した一对の面から構成され、

前記凹部には、前記厚さ方向および前記第 1 方向の双方に対して直交する第 2 方向において互いに離間した一对の開口部が形成され、

前記一对の開口部から前記封止樹脂が露出している、請求項 12 に記載の半導体装置。

【請求項 14】

40

前記底面に対する前記一对の面の各々の傾斜角は、互いに等しい、請求項 13 に記載の半導体装置。

【請求項 15】

前記真性半導体材料は、Si である、請求項 14 に記載の半導体装置。

【請求項 16】

前記裏面は、(100) 面である、請求項 15 に記載の半導体装置。

【請求項 17】

前記半導体素子と、前記底面に配置された前記導電部と、の間に介在する接合層をさらに備える、請求項 11 ないし 16 のいずれかに記載の半導体装置。

【請求項 18】

50

前記接合層は、N i 層と、前記 N i 層の上に積層され、かつ S n を含む合金層と、から構成される、請求項 17 に記載の半導体装置。

【請求項 19】

前記導電部は、下地層と、前記下地層の上に積層されためっき層と、から構成され、前記下地層は、前記基板に接し、かつ前記めっき層よりも薄く設定されている、請求項 1 ないし 18 のいずれかに記載の半導体装置。

【請求項 20】

前記下地層は、前記基板に接する第 1 下地層と、前記第 1 下地層と前記めっき層との間に介在する第 2 下地層と、を含み、

前記第 2 下地層および前記めっき層は、ともに同一の材料から構成される、請求項 19 に記載の半導体装置。

10

【請求項 21】

前記第 2 下地層および前記めっき層は、ともに C u から構成される、請求項 20 に記載の半導体装置。

【請求項 22】

前記第 1 下地層は、T i から構成される、請求項 20 または 21 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、単結晶の真性半導体材料に対して微細加工を施すことにより形成された基板に半導体素子を搭載した半導体装置に関する。

20

【背景技術】

【0002】

近年、L S I 製造技術を応用することで、微細加工した S i 基板（シリコンウエハ）に様々な半導体素子を搭載した、いわゆるマイクロマシン（M E M S : Micro Electro Mechanical Systems）が普及しつつある。このようなマイクロマシンの製造にあたっては、S i 基板の微細加工手法としてアルカリ溶液を用いた異方性エッチングが適用されている。異方性エッチングによって、半導体素子を搭載する微細な凹部が S i 基板に精度良く形成することができる。

30

【0003】

たとえば特許文献 1 に、先述のマイクロマシンの製造技術に基づく半導体装置（L E D パッケージ）が開示されている。当該半導体装置は、底面および側面を有するホーン（凹部）を S i 基板に形成し、ホーンの底面に L E D チップが搭載されたものである。ホーンは、S i 基板の（100）面から異方性エッチングにより形成される。このため、ホーンの側面は、ホーンの底面に対して傾斜し、かつ（111）面から構成される。また、ホーンの底面および側面には、L E D チップに導通する電極が形成されている。電極は、ホーンを含む S i 基板にスパッタリング法などにより成膜された T i 層および C u 層に対し、フォトリソグラフィおよびエッチングによりパターンニングされたものである。電極を形成した後、ホーンの底面に L E D チップを搭載し、ホーンに充填された樹脂モールドを形成

40

【0004】

また、特許文献 2 に、小型化を図った半導体装置が開示されている。当該半導体装置は、ビアホールが設けられた 2 つの合成樹脂フィルムを加熱圧着により接合させた回路基板（絶縁基板）に I C チップが搭載されたものである。ビアホールの内部には導電性の接続材料が充填されているため、回路基板は I C チップが搭載される搭載面と、その反対側を向く裏面との双方から当該接続材料が露出した構成となっている。裏面から露出する当該接続材料に接するように、たとえばはんだからなるバンプが形成されている。

【0005】

特許文献 2 に開示されている半導体装置の回路基板において、ビアホールの内部に充填

50

されている接続材料はCu、Agなどの金属粒子を含有した導電性ペーストから構成される。このため、当該半導体装置の製造過程においてビアホール内部に導電性ペーストを充填する際に、回路基板の裏面から導電性ペーストの一部が溢れ出る可能性がある。導電性ペーストの一部が回路基板の裏面から溢れ出た状態でバンプを形成するとバンプの大きさが過大となるため、当該半導体装置を実装した際にショートを引き起こすことが懸念される。このため、半導体装置の信頼性が低下するおそれがある。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2005-277380号公報

10

【特許文献2】特開2005-340378号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明は上記事情に鑑み、信頼性の向上を図った半導体装置およびその製造方法を提供することをその課題とする。

【課題を解決するための手段】

【0008】

本発明の第1の側面によって提供される半導体装置は、半導体素子と、厚さ方向において互いに反対側を向く主面および裏面を有するとともに、前記裏面から窪み、かつ前記半導体素子を搭載する凹部が形成された基板と、前記凹部および前記基板の前記裏面に配置され、かつ前記半導体素子に導通する導電部と、前記基板の前記裏面に配置された前記導電部に接する第1導通面と、前記基板の前記裏面と同方向を向く第2導通面と、前記第1導通面と前記第2導通面との間に挟まれた側面とを有する柱状体と、前記基板の前記裏面と同方向を向く実装面を有し、かつ前記柱状体の前記側面および前記半導体素子を覆う封止樹脂と、前記柱状体の前記第2導通面に接し、かつ前記封止樹脂の前記実装面から外部に露出するパッド層と、を備え、前記基板は、単結晶の真性半導体材料から構成され、前記基板の厚さ方向において、前記柱状体の前記第2導通面は、前記封止樹脂の前記実装面と前記基板の前記裏面との間に位置することを特徴としている。

20

【0009】

本発明の実施において好ましくは、前記パッド層は、互いに積層された内部層および外部層を含み、前記内部層が前記柱状体の前記第2導通面に接し、前記外部層が外部に露出している。

30

【0010】

本発明の実施において好ましくは、前記内部層は、前記柱状体の前記第2導通面と、前記第2導通面を取り囲む前記封止樹脂の内周面とによって構成された空洞部を埋める埋設部を有する。

【0011】

本発明の実施において好ましくは、前記内部層は、前記封止樹脂の前記実装面から外部に向けて突出する突出部を有する。

40

【0012】

本発明の実施において好ましくは、前記内部層は、Niから構成され、前記外部層は、Auから構成される。

【0013】

本発明の実施において好ましくは、前記パッド層は、前記内部層と前記外部層との間に介在する中間層を含む。

【0014】

本発明の実施において好ましくは、前記中間層は、Pdから構成される。

【0015】

本発明の実施において好ましくは、前記柱状体の形状は、直方体状である。

50

## 【0016】

本発明の実施において好ましくは、前記柱状体は、Cuから構成される。

## 【0017】

本発明の実施において好ましくは、前記基板の厚さ方向において、前記封止樹脂の前記実装面と前記基板の前記裏面との間に前記半導体素子の一部が位置する。

## 【0018】

本発明の実施において好ましくは、前記凹部は、前記半導体素子を搭載する前記導電部が配置された底面と、前記底面および前記基板の前記裏面につながる中間面と、を有し、前記底面は、前記基板の厚さ方向に対して直交し、前記中間面は、前記底面に対して傾斜している。

10

## 【0019】

本発明の実施において好ましくは、平面視における前記凹部の前記底面の形状は、矩形状である。

## 【0020】

本発明の実施において好ましくは、前記凹部の前記中間面は、前記基板の厚さ方向に対して直角である第1方向に沿って互いに離間した一対の面から構成され、前記凹部には、前記基板の厚さ方向および前記第1方向の双方に対して直角である第2方向に沿って互いに離間した一対の開口部が形成され、各々の前記開口部から前記封止樹脂が露出している。

## 【0021】

本発明の実施において好ましくは、前記底面に対する各々の前記中間面の傾斜角は、ともに同一である。

20

## 【0022】

本発明の実施において好ましくは、前記真性半導体材料は、Siである。

## 【0023】

本発明の実施において好ましくは、前記基板の前記裏面は、(100)面である。

## 【0024】

本発明の実施において好ましくは、前記半導体素子と前記凹部の前記底面に配置された前記導電部との間に介在する接合層を備える。

## 【0025】

本発明の実施において好ましくは、前記接合層は、互いに積層されたNi層およびSnを含む合金層から構成される。

30

## 【0026】

本発明の実施において好ましくは、前記導電部は、互いに積層された下地層およびめっき層から構成され、前記下地層は、前記基板に接し、かつ前記めっき層よりも薄く設定されている。

## 【0027】

本発明の実施において好ましくは、前記下地層は、前記基板に接する第1下地層と、前記第1下地層と前記めっき層との間に介在する第2下地層と、を含み、前記第2下地層および前記めっき層は、ともに同一の材料から構成される。

40

## 【0028】

本発明の実施において好ましくは、前記第2下地層および前記めっき層は、ともにCuから構成される。

## 【0029】

本発明の実施において好ましくは、前記第1下地層は、Tiから構成される。

## 【0030】

本発明の第2の側面によって提供される半導体装置の製造方法は、厚さ方向において互いに反対側を向く主面および裏面を有し、かつ単結晶の真性半導体材料から構成される基材に、前記裏面から窪み、かつ底面を有する溝部を形成する工程と、前記溝部および前記基材の前記裏面に接する導電層を形成する工程と、前記基材の前記裏面に形成された前記

50

導電層に接する柱状体を形成する工程と、前記溝部の前記底面に形成された前記導電層に半導体素子を搭載する工程と、前記柱状体および前記半導体素子を覆う封止樹脂を形成する工程と、前記封止樹脂から前記柱状体を露出させる工程と、前記封止樹脂から露出した前記柱状体に接するパッド層を形成する工程と、を備え、前記パッド層を形成する工程では、前記封止樹脂から露出した前記柱状体の一部を除去した後に前記パッド層を形成することを特徴としている。

【0031】

本発明の実施において好ましくは、前記柱状体を形成する工程では、電解めっきにより前記柱状体を形成する。

【0032】

本発明の実施において好ましくは、前記パッド層を形成する工程では、エッチングにより前記封止樹脂から露出した前記柱状体の一部を除去する。

【0033】

本発明の実施において好ましくは、前記封止樹脂から前記柱状体を露出させる工程では、前記封止樹脂の一部を機械研削で除去することにより前記柱状体を露出させる。

【0034】

本発明の実施において好ましくは、前記パッド層を形成する工程では、無電解めっきにより前記パッド層を形成する。

【0035】

本発明の実施において好ましくは、前記溝部を形成する工程では、異方性エッチングにより前記溝部を形成する。

【0036】

本発明の実施において好ましくは、前記真性半導体材料は、Siであり、前記基材の前記裏面は、(100)面である。

【0037】

本発明の実施において好ましくは、前記導電層を形成する工程では、スパッタリング法により前記溝部および前記基材の前記裏面に接する下地層を形成する工程と、電解めっきにより前記下地層に接するめっき層を形成する工程と、を含む。

【0038】

本発明の実施において好ましくは、前記導電層を形成する工程では、前記めっき層を形成した後に、前記溝部の前記底面に形成された前記めっき層に接するように、電解めっきにより前記半導体素子を搭載するための接合層を形成する工程を含む。

【発明の効果】

【0039】

本発明にかかる半導体装置は、基板の裏面に配置された導電部に接する第1導通面と、半導体素子を覆う封止樹脂から外部に露出するパッド層に接する第2導通面とを有する柱状体を備える。基板の厚さ方向において、第2導通面は、封止樹脂の実装面と裏面との間に位置する。このような構成をとることによって、柱状体の一部が実装面から溢れ出ないため、所定の大きさのパッド層を形成することができる。したがって、当該半導体装置によれば、装置の信頼性の向上を図ることが可能となる。

【0040】

また、本発明にかかる半導体装置の製造方法によれば、パッド層を形成する工程において、封止樹脂から露出した柱状体の一部を除去した後にパッド層を形成する。このような製造方法をとることによって、当該半導体装置において柱状体の一部が封止樹脂の実装面から溢れ出ない構成とすることができる。

【0041】

本発明のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなる。

【図面の簡単な説明】

【0042】

10

20

30

40

50

【図 1】本発明にかかる半導体装置の斜視図（封止樹脂を透過）である。

【図 2】図 1 に示す半導体装置の底面図（封止樹脂を透過）である。

【図 3】図 1 に示す半導体装置の正面図である。

【図 4】図 1 に示す半導体装置の右側面図である。

【図 5】図 2 の V - V 線に沿う断面図である。

【図 6】図 2 の V I - V I 線に沿う断面図である。

【図 7】図 6 の部分拡大図である。

【図 8】本発明にかかる半導体装置の変形例の部分拡大断面図である。

【図 9】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 10】図 1 に示す半導体装置の製造工程を説明する平面図である。

10

【図 11】図 10 の X I - X I 線に沿う断面図である。

【図 12】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 13】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 14】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 15】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 16】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 17】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 18】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 19】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 20】図 1 に示す半導体装置の製造工程を説明する断面図である。

20

【図 21】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 22】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 23】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 24】図 23 の部分拡大図である。

【図 25】図 1 に示す半導体装置の製造工程を説明する断面図である。

【図 26】図 25 の部分拡大図である。

【図 27】図 1 に示す半導体装置の製造方法を説明する平面図である。

【発明を実施するための形態】

【0043】

本発明を実施するための形態（以下「実施形態」という。）について、添付図面に基づいて説明する。

30

【0044】

図 1 ~ 図 8 に基づき、本発明にかかる半導体装置 A 10 について説明する。半導体装置 A 10 は、基板 1、導電部 20、柱状体 29、半導体素子 31、接合層 32、封止樹脂 4 およびパッド層 5 を備える。

【0045】

図 1 は、半導体装置 A 10 の斜視図（半導体装置 A 10 の底面が図 1 の上方に位置）である。図 2 は、半導体装置 A 10 の底面図である。図 1 および図 2 は、理解の便宜上、封止樹脂 4 を透過している。なお、図 1 は、透過した封止樹脂 4 の外形を想像線（二点鎖線）で示している。図 3 は、半導体装置 A 10 の正面図である。図 4 は、半導体装置 A 10 の右側面図である。図 5 は、図 2 の V - V 線に沿う断面図である。図 6 は、図 2 の V I - V I 線に沿う断面図である。図 7 は、図 5 の部分拡大図である。図 8 は、半導体装置 A 10 の変形例である半導体装置 A 11 の部分拡大断面図である。図 8 の断面位置および範囲は、図 7 と同一である。

40

【0046】

これらの図に示す半導体装置 A 10 は、様々な電子機器の回路基板に表面実装される。図 1 に示すように、半導体装置 A 10 の基板 1 の厚さ方向 Z 視（以下「平面視」という。）の形状は矩形状である。ここで、説明の便宜上、基板 1 の厚さ方向 Z に対して直角である半導体装置 A 10 の長辺方向を第 1 方向 X と呼ぶ。また、基板 1 の厚さ方向 Z および第 1 方向 X に対していずれも直角である半導体装置 A 10 の短辺方向を第 2 方向 Y と呼ぶ。

50

## 【 0 0 4 7 】

基板 1 は、図 1 ~ 図 6 に示すように、半導体素子 3 1 を收容し、かつ半導体装置 A 1 0 を回路基板に実装するための部材である。基板 1 は、単結晶の真性半導体材料から構成され、本実施形態にかかる真性半導体材料は Si である。基板 1 の平面視の形状は、長辺が第 1 方向 X に沿った矩形形状である。基板 1 は、主面 1 1、裏面 1 2、第 1 基板側面 1 3 1、第 2 基板側面 1 3 2 および凹部 1 4 を有する。

## 【 0 0 4 8 】

図 1 ~ 図 5 に示すように、主面 1 1 および裏面 1 2 は、基板 1 の厚さ方向 Z において互いに反対側を向く面である。また、主面 1 1 および裏面 1 2 は、ともに基板 1 の厚さ方向 Z に対して直交する平坦面である。主面 1 1 は、図 3 ~ 図 5 に示す基板 1 の上面であり、かつ形状が矩形形状の面である。主面 1 1 は、半導体装置 A 1 0 の外部に露出している。裏面 1 2 は、図 3 ~ 図 5 に示す基板 1 の下面であり、かつ第 1 方向 X に沿って離間した一对の面から構成される。各々の裏面 1 2 の形状は矩形形状である。平面視において、一对の裏面 1 2 の間に凹部 1 4 が位置している。裏面 1 2 には導電部 2 0 の一部が配置されている。また、導電部 2 0 が配置されていない裏面 1 2 は、封止樹脂 4 に覆われている。このため、裏面 1 2 は導電部 2 0 および封止樹脂 4 に接している。なお、本実施形態にかかる裏面 1 2 は ( 1 0 0 ) 面である。

10

## 【 0 0 4 9 】

図 1 ~ 図 4 に示すように、第 1 基板側面 1 3 1 は、主面 1 1 および裏面 1 2 の双方に挟まれ、かつ直交するとともに、第 1 方向 X に沿って互いに離間した一对の平坦面である。各々の第 1 基板側面 1 3 1 の形状は矩形形状である。また、図 1 ~ 図 4 に示すように、第 2 基板側面 1 3 2 は、主面 1 1 および裏面 1 2 の双方に挟まれ、かつ直交するとともに、第 2 方向 Y に沿って互いに離間した一对の平坦面である。各々の第 2 基板側面 1 3 2 は平坦面である。第 1 方向 X における各々の第 2 基板側面 1 3 2 の両端は、一对の第 1 基板側面 1 3 1 につながっている。

20

## 【 0 0 5 0 】

図 1、図 2、図 5 および図 6 に示すように、凹部 1 4 は、裏面 1 2 から窪み、かつ半導体素子 3 1 を搭載する部分である。平面視における凹部 1 4 の形状は矩形形状である。凹部 1 4 には導電部 2 0 の一部が配置され、かつ封止樹脂 4 が充填されている。このため、凹部 1 4 は導電部 2 0 および封止樹脂 4 に接している。凹部 1 4 は底面 1 4 1 および中間面 1 4 2 を有する。

30

## 【 0 0 5 1 】

図 1、図 5 および図 6 に示すように、底面 1 4 1 は、基板 1 の厚さ方向 Z において主面 1 1 と裏面 1 2 との間に位置し、かつ基板 1 の厚さ方向 Z に対して直交する平坦面である。平面視における底面 1 4 1 の形状は矩形形状である。底面 1 4 1 には、半導体素子 3 1 を搭載する導電部 2 0 が配置されている。

## 【 0 0 5 2 】

図 1 および図 5 に示すように、中間面 1 4 2 は、底面 1 4 1 および裏面 1 2 につながり、かつ底面 1 4 1 に対して傾斜する平坦面である。本実施形態にかかる中間面 1 4 2 は、第 1 方向 X に沿って互いに離間した一对の面から構成される。底面 1 4 1 に対する各々の中間面 1 4 2 の傾斜角は、ともに同一である。当該傾斜角の大きさは  $54.74^\circ$  である。各々の中間面 1 4 2 には導電部 2 0 の一部が配置されている。なお、本実施形態にかかる中間面 1 4 2 は ( 1 1 1 ) 面である。

40

## 【 0 0 5 3 】

図 1 および図 3 に示すように、凹部 1 4 には、第 2 方向 Y に沿って互いに離間した一对の開口部 1 4 3 が形成されている。一对の開口部 1 4 3 は、底面 1 4 1 および一对の中間面 1 4 2 により構成される。各々の開口部 1 4 3 の形状は台形状である。また、各々の開口部 1 4 3 から封止樹脂 4 が露出している。

## 【 0 0 5 4 】

導電部 2 0 は、図 1、図 2、図 5 および図 6 に示すように、基板 1 の凹部 1 4 および裏

50



面 1 2 に接して配置され、かつ半導体素子 3 1 に導通する導電部材である。導電部 2 0 は、互いに積層された下地層 2 1 およびめっき層 2 2 から構成される。下地層 2 1 は、基板 1 に接し、かつめっき層 2 2 に覆われている。本実施形態においては、下地層 2 1 の厚さは 2 0 0 ~ 3 0 0 n m であり、めっき層 2 2 の厚さは 3 ~ 1 0  $\mu$  m である。このため、下地層 2 1 の厚さはめっき層 2 2 の厚さよりも薄く設定されている。下地層 2 1 は、基板 1 に接する第 1 下地層 2 1 1 と、第 1 下地層 2 1 1 とめっき層 2 2 との間に介在する第 2 下地層 2 1 2 とを含む。本実施形態においては、第 1 下地層 2 1 1 は T i から構成され、第 2 下地層 2 1 2 は C u から構成される。また、本実施形態にかかるめっき層 2 2 は C u から構成される。このため、第 2 下地層 2 1 2 およびめっき層 2 2 は、ともに同一の材料から構成される。

10

#### 【 0 0 5 5 】

導電部 2 0 は、図 1、図 2 および図 5 に示すように、底面導電部 2 0 1、中間面導電部 2 0 2 および裏面導電部 2 0 3 を含む。底面導電部 2 0 1 は、凹部 1 4 の底面 1 4 1 に接して配置された導電部 2 0 の一部である。半導体素子 3 1 は、底面導電部 2 0 1 に搭載されることにより導電部 2 0 に導通している。中間面導電部 2 0 2 は、凹部 1 4 の中間面 1 4 2 に接して配置された導電部 2 0 の一部である。中間面導電部 2 0 2 は、一端が底面導電部 2 0 1 につながり、他端が裏面導電部 2 0 3 につながっている。このため、中間面導電部 2 0 2 により底面導電部 2 0 1 と裏面導電部 2 0 3 は互いに導通している。裏面導電部 2 0 3 は、基板 1 の裏面 1 2 に接して配置された導電部 2 0 の一部である。裏面導電部 2 0 3 は柱状体 2 9 に導通している。なお、底面導電部 2 0 1、中間面導電部 2 0 2 および裏面導電部 2 0 3 の形状は一例であり、実際の半導体装置 A 1 0 におけるこれらの形状は自在に設定することができる。

20

#### 【 0 0 5 6 】

柱状体 2 9 は、図 1、図 5 および図 7 に示すように、第 1 導通面 2 9 1、第 2 導通面 2 9 2 および側面 2 9 3 を有し、かつ導電部 2 0 に導通する導電部材である。本実施形態にかかる第 1 導通面 2 9 1 は、形状が直方体状であり、かつ C u から構成される。第 1 導通面 2 9 1 は、導電部 2 0 の裏面導電部 2 0 3 に接し、かつ形状が矩形状の面である。第 2 導通面 2 9 2 は、パッド層 5 に接し、かつ形状が矩形状の面である。基板 1 の厚さ方向 Z において、第 2 導通面 2 9 2 は、後述する封止樹脂 4 の実装面 4 1 と基板 1 の裏面 1 2 との間に位置する。側面 2 9 3 は、第 1 導通面 2 9 1 と第 2 導通面 2 9 2 との間に挟まれ、かつ封止樹脂 4 に覆われた面である。

30

#### 【 0 0 5 7 】

半導体素子 3 1 は、図 1、図 2、図 5 および図 6 に示すように、導電部 2 0 の底面導電部 2 0 1 に接合層 3 2 を介して接合されることによって、底面導電部 2 0 1 に搭載されている。本実施形態にかかる半導体素子 3 1 はホール素子であり、たとえば G a A s 型ホール素子である。G a A s 型ホール素子は、磁束密度の変化に対するホール電圧の直線性に優れるとともに、温度変化の影響を受けにくいという利点を有する。図 5 および図 6 に示す半導体素子 3 1 の上面には、磁束密度の変化を検出する感磁面（図示略）が設けられている。なお、半導体素子 3 1 は、集積回路（I C）などホール素子に限らず様々な機能を有する素子を探ることができる。また、本実施形態にかかる半導体素子 3 1 は、いわゆるフリップチップ型の素子である。図 5 および図 6 に示す半導体素子 3 1 の上面には、複数の電極パンプ 3 1 1 が配置されている。各々の電極パンプ 3 1 1 は、接合層 3 2 に接している。本実施形態にかかる複数の電極パンプ 3 1 1 は A l から構成される。なお、本実施形態においては、基板 1 の厚さ方向 Z において、後述する封止樹脂 4 の実装面 4 1 と基板 1 の裏面 1 2 との間に半導体素子 3 1 の一部が位置する。

40

#### 【 0 0 5 8 】

接合層 3 2 は、図 1、図 2、図 5 および図 6 に示すように、導電部 2 0 の底面導電部 2 0 1 と半導体素子 3 1 の電極パンプ 3 1 1 との間に介在する導電部材である。接合層 3 2 によって、半導体素子 3 1 は底面導電部 2 0 1 に固着により接続され、かつ導電部 2 0 と半導体素子 3 1 との導通が確保される。本実施形態にかかる接合層 3 2 は、互いに積層さ

50

れたNi層およびSnを含む合金層から構成される。当該合金層は、たとえばSn-Sb系合金またはSn-Ag系合金などの鉛フリーはんだである。

【0059】

封止樹脂4は、図2～図7に示すように、凹部14に充填されるとともに、柱状体29の側面293および半導体素子31を覆う絶縁部材である。封止樹脂4は、たとえば黒色のエポキシ樹脂である。封止樹脂4は、実装面41、樹脂第1側面421、樹脂第2側面422、内周面43および空洞部44を有する。

【0060】

図2～図6に示すように、実装面41は、基板1の裏面12と同方向を向く平坦面である。半導体装置A10を回路基板に実装したとき、実装面41は当該回路基板に対向する。実装面41からパッド層5が半導体装置A10の外部に露出している。

10

【0061】

図2～図5に示すように、樹脂第1側面421は、基板1の厚さ方向Zにおいて、実装面41および基板1の裏面12の双方に挟まれ、かつ第1方向Xに沿って互いに離間した一对の平坦面である。各々の樹脂第1側面421は、形状が矩形状であり、かつ基板1の第1基板側面131と面一である。また、図2～図4および図6に示すように、樹脂第2側面422は、基板1の厚さ方向Zにおいて、実装面41および基板1の裏面12の双方に挟まれ、かつ第2方向Yに沿って互いに離間した一对の平坦面である。各々の樹脂第2側面422は基板1の第2基板側面132と面一である。第1方向Xにおける各々の樹脂第2側面422の両端は、一对の樹脂第1側面421につながっている。各々の樹脂第2側面422の一部が凹部14に形成された開口部143から露出している。

20

【0062】

図7に示すように、内周面43は、基板1の厚さ方向Zに沿って形成され、かつ実装面41および柱状体29の第2導通面292につながる面である。本実施形態にかかる内周面43は、第2導通面292の四辺を取り囲んでいる。また、図7に示すように、空洞部44は、封止樹脂4において第2導通面292および内周面43によって構成される部分である。空洞部44にはパッド層5の一部が埋められている。

【0063】

パッド層5は、図1～図7に示すように、柱状体29に第2導通面292に接し、かつ封止樹脂4の実装面41から半導体装置A10の外部に露出する導電部材である。本実施形態にかかるパッド層5は、互いに積層された内部層51、外部層52および中間層53を含む。

30

【0064】

図5および図7に示すように、内部層51は、柱状体29の第2導通面292に接するパッド層5の一部である。本実施形態にかかる内部層51はNiから構成される。内部層51は埋設部511および突出部512を有する。内部層51は、第2導通面292に接し、かつ封止樹脂4の空洞部44を埋める部分である。突出部512は、封止樹脂4の実装面41から半導体装置A10の外部に向けて突出する部分である。本実施形態にかかる突出部512は、中間層53に覆われている。

【0065】

図5および図7に示すように、外部層52は、半導体装置A10の外部に露出するパッド層5の一部である。本実施形態にかかる外部層52はAuから構成される。本実施形態にかかる外部層52は、中間層53を覆っている。

40

【0066】

図5および図7に示すように、中間層53は、内部層51と外部層52との間に介在するパッド層5の一部である。本実施形態にかかる中間層53はPdから構成される。ここで、図8は、半導体装置A10の変形例である半導体装置A11のパッド層5の拡大断面図である。図8に示すように、半導体装置A11は、半導体装置A10と異なり中間層53が省略され、内部層51の突出部512を外部層52が覆う構成となっている。このように、中間層53は省略することができる。

50

## 【 0 0 6 7 】

次に、図 9 ~ 図 2 7 に基づき、半導体装置 A 1 0 の製造方法の一例について説明する。

## 【 0 0 6 8 】

図 9、図 1 2 ~ 図 2 3 および図 2 5 は、半導体装置 A 1 0 の製造工程を説明する断面図である。図 1 0 および図 2 7 は、半導体装置 A 1 0 の製造工程を説明する平面図である。図 1 1 は、図 1 0 の X I - X I 線に沿う断面図である。図 9、図 1 2 ~ 図 2 3 および図 2 5 の断面位置および範囲は、図 1 1 のそれらと同一である。図 2 4 は、図 2 3 の部分拡大図である。図 2 6 は、図 2 5 の部分拡大図である。なお、図 9 ~ 図 2 7 において示される後述する基材 8 0 の厚さ方向 Z、第 1 方向 X および第 2 方向 Y は、図 1 ~ 図 6 において示される基板 1 の厚さ方向 Z、第 1 方向 X および第 2 方向 Y に対応している。

10

## 【 0 0 6 9 】

最初に、図 9 ~ 図 1 1 に示すように、厚さ方向 Z において互いに反対側を向く主面 8 0 1 および裏面 8 0 2 を有し、かつ単結晶の真性半導体材料から構成される基材 8 0 を用意し、裏面 8 0 2 から窪み、かつ底面 8 1 1 を有する溝部 8 1 を基材 8 0 に形成する。基材 8 0 は、半導体装置 A 1 0 の基板 1 に対応する部分の集合体である。本実施形態にかかる基材 8 0 を構成する真性半導体材料は Si であり、たとえば基材 8 0 はシリコンウエハである。溝部 8 1 は、次の手順により形成される。

## 【 0 0 7 0 】

まず、図 9 に示すように、基材 8 0 の裏面 8 0 2 に対して絶縁膜 8 0 3 を形成する。本実施形態にかかる絶縁膜 8 0 3 は、たとえば  $Si_3N_4$  を主成分とする層であり、プラズマ CVD により形成される。この場合において、裏面 8 0 2 は ( 1 0 0 ) 面であり、かつ絶縁膜 8 0 3 により全面が覆われた状態になる。そして、形成した絶縁膜 8 0 3 に対してフォトリソグラフィによりマスクを形成した後、ドライエッチングの代表例である反応性イオンエッチング ( R I E : Reactive Ion Etching ) により絶縁膜 8 0 3 を部分的に除去する。ここで、絶縁膜 8 0 3 が  $Si_3N_4$  を主成分とする層であれば、たとえば  $CF_4$  をエッチングガスとする。これにより、絶縁膜 8 0 3 には、平面視の形状が第 2 方向 Y に延出する帯状である開口部 8 0 4 が形成される。開口部 8 0 4 から裏面 8 0 2 が露出する。

20

## 【 0 0 7 1 】

次いで、図 1 0 および図 1 1 に示すように、開口部 8 0 4 から露出する裏面 8 0 2 から窪む溝部 8 1 を基材 8 0 に形成する。溝部 8 1 が半導体装置 A 1 0 の基板 1 の凹部 1 4 に対応する。溝部 8 1 は、平面視における形状が第 2 方向 Y に延出する帯状である底面 8 1 1 と、第 1 方向 X における底面 8 1 1 の両端につながり、かつ底面 8 1 1 に対する一対の中間面 8 1 2 を有する。各々の中間面 8 1 2 は裏面 8 0 2 につながっている。底面 8 1 1 が半導体装置 A 1 0 の凹部 1 4 の底面 1 4 1 に対応し、中間面 8 1 2 が半導体装置 A 1 0 の凹部 1 4 の中間面 1 4 2 に対応する。溝部 8 1 は、アルカリ性の溶液を用いた異方性エッチングにより形成される。当該溶液は、たとえば KOH ( 水酸化カリウム ) 溶液または TMAH ( 水酸化テトラメチルアンモニウム ) 溶液である。この場合において、各々の中間面 8 1 2 は、ともに ( 1 1 1 ) 面である。溝部 8 1 を形成した後、基材 8 0 に形成された絶縁膜 8 0 3 を全て除去する。絶縁膜 8 0 3 h、絶縁膜 8 0 3 が  $Si_3N_4$  を主成分とする層であれば、たとえば  $CF_4$  をエッチングガスとした反応性イオンエッチングまたは加熱リン酸溶液を用いたウェットエッチングにより除去される。このとき、図 1 0 に示すように、基材 8 0 において第 1 方向 X に沿って配列された複数の溝部 8 1 と、溝部 8 1 に隣接する裏面 8 0 2 とが視認される。複数の溝部 8 1 は、いずれも第 2 方向 Y に沿って延出している。図 1 0 に示される基材 8 0 において、半導体装置 A 1 0 の基板 1 に対応する範囲を想像線で示す。以上の手順により溝部 8 1 が形成される。

30

40

## 【 0 0 7 2 】

次いで、図 1 2 ~ 図 1 6 および図 1 9 に示すように、溝部 8 1 および基材 8 0 の裏面 8 0 2 に接する導電層 8 2 を形成する。導電層 8 2 が半導体装置 A 1 0 の導電部 2 0 に対応する。導電層 8 2 を形成する工程では、溝部 8 1 および裏面 8 0 2 に接する下地層 8 2 1 を形成する工程と、下地層 8 2 1 に接するめっき層 8 2 2 を形成する工程とを含む。また

50

、本実施形態にかかる導電層 8 2 を形成する工程では、めっき層 8 2 2 を形成した後に、溝部 8 1 の底面 8 1 1 に形成されためっき層 8 2 2 に接するように、後述する半導体素子 8 4 1 を搭載するための接合層 8 4 2 を形成する工程を含む。接合層 8 4 2 が半導体装置 A 1 0 の接合層 3 2 に対応する。導電層 8 2 および接合層 8 4 2 は、次の手順により形成される。

【 0 0 7 3 】

まず、図 1 2 に示すように、溝部 8 1 および基材 8 0 の裏面 8 0 2 に接する下地層 8 2 1 を形成する。下地層 8 2 1 が半導体装置 A 1 0 の導電部 2 0 の下地層 2 1 に対応する。下地層 8 2 1 は、スパッタリング法により溝部 8 1 および裏面 8 0 2 の全部を覆うように形成される。本実施形態にかかる下地層 8 2 1 は、互いに積層された T i 層および C u 層から構成され、全体の厚さは 2 0 0 ~ 3 0 0 n m である。下地層 8 2 1 の形成にあたっては、基材 8 0 に接する T i 層を形成した後に当該 T i 層に接する C u 層を形成する。

10

【 0 0 7 4 】

次いで、図 1 3 に示すように、めっき層 8 2 2 を形成するための第 1 マスク層 8 8 1 を、下地層 8 2 1 に対してフォトリソグラフィにより形成する。下地層 8 2 1 の全部を覆うように感光性レジストを塗布した後、当該感光性レジストに対して露光・現像を行うことにより、下地層 8 2 1 に対して第 1 マスク層 8 8 1 が形成される。当該感光性レジストは、たとえばスピンコート（回転式塗布装置）を用いて塗布される。本実施形態にかかる当該感光性レジストはポジ型であるため、露光された当該感光性レジストの部分が現像液により除去され、かつ除去された部分から下地層 8 2 1 が露出する。

20

【 0 0 7 5 】

次いで、図 1 4 に示すように、第 1 マスク層 8 8 1 から露出した下地層 8 2 1 に接するめっき層 8 2 2 を形成する。めっき層 8 2 2 が半導体装置 A 1 0 の導電部 2 0 のめっき層 2 2 に対応する。本実施形態にかかるめっき層 8 2 2 は、下地層 8 2 1 を導電経路とした電解めっきにより形成される。また、本実施形態にかかるめっき層 8 2 2 は C u から構成され、その厚さは 3 ~ 1 0 μ m である。めっき層 8 2 2 を形成した後、下地層 8 2 1 に対して形成された第 1 マスク層 8 8 1 を全て除去する。

【 0 0 7 6 】

次いで、図 1 5 に示すように、接合層 8 4 2 を形成するための第 2 マスク層 8 8 2 を、下地層 8 2 1 およびめっき層 8 2 2 に対してフォトリソグラフィにより形成する。下地層 8 2 1 およびめっき層 8 2 2 の全部を覆うように感光性レジストを塗布した後、当該感光性レジストに対して露光・現像を行うことにより、下地層 8 2 1 およびめっき層 8 2 2 に対して第 2 マスク層 8 8 2 が形成される。第 2 マスク層 8 8 2 の形成に用いる感光性レジストと、第 2 マスク層 8 8 2 の形成方法とは、ともに第 1 マスク層 8 8 1 のそれらと同一である。第 2 マスク層 8 8 2 には、溝部 8 1 の底面 8 1 1 に形成されためっき層 8 2 2 が露出する開口部 8 8 2 a が形成される。本実施形態にかかる開口部 8 8 2 a の形状は立方体状（図示略）である。

30

【 0 0 7 7 】

次いで、図 1 6 に示すように、溝部 8 1 の底面 8 1 1 に形成されためっき層 8 2 2 に接する接合層 8 4 2 を形成する。本実施形態にかかる接合層 8 4 2 は、下地層 8 2 1 およびめっき層 8 2 2 を導電経路とした電解めっきによって、第 2 マスク層 8 8 2 の開口部 8 8 2 a を埋めるように形成される。また、本実施形態にかかる接合層 8 4 2 は、互いに積層された N i 層および S n を含む合金層から構成される。当該合金層は、たとえば S n - S b 系合金または S n - A g 系合金などの鉛フリーはんだである。接合層 8 4 2 を形成した後、下地層 8 2 1 およびめっき層 8 2 2 に対して形成された第 2 マスク層 8 8 2 を全て除去する。

40

【 0 0 7 8 】

次いで、図 1 7 および図 1 8 に示すように、導電層 8 2 の形成が完了する前に、基材 8 0 の裏面 8 0 2 に形成されためっき層 8 2 2 に接する柱状体 8 3 を形成する。柱状体 8 3 が半導体装置 A 1 0 の柱状体 2 9 に対応する。柱状体 8 3 は、次の手順により形成される

50

## 【0079】

まず、図17に示すように、柱状体83を形成するための第3マスク層883を、下地層821、めっき層822および接合層842に対してフォトリソグラフィにより形成する。下地層821、めっき層822および接合層842の全部を覆うように感光性レジストを塗布した後、当該感光性レジストに対して露光・現像を行うことによって、下地層821、めっき層822および接合層842に対して第3マスク層883が形成される。第3マスク層883の形成に用いる感光性レジストと、第3マスク層883の形成方法とは、ともに第1マスク層881のそれらと同一である。第3マスク層883には、基材80の裏面802に形成されためっき層822が露出する開口部883aが形成される。本実施形態にかかる開口部883aの形状は直方体状(図示略)である。

10

## 【0080】

次いで、図18に示すように、基材80の裏面802に形成されためっき層822に接する柱状体83を形成する。本実施形態にかかる柱状体83は、接合層842と同様に下地層821およびめっき層822を導電経路とした電解めっきによって、第3マスク層883の開口部883aを埋めるように形成される。また、本実施形態にかかる柱状体83はCuから構成される。柱状体83を形成した後、下地層821、めっき層822および接合層842に対して形成された第3マスク層883を全て除去する。以上の手順により柱状体83が形成される。

## 【0081】

20

次いで、図19に示すように、基材80においてめっき層822に覆われていない不要な下地層821を全て除去する。下地層821は、たとえばウェットエッチングにより除去される。当該ウェットエッチングでは、たとえば $H_2SO_4$ (硫酸)および $H_2O_2$ (過酸化水素)の混合溶液が用いられる。下地層821が除去された部分から、溝部81の底面811および中間面812や、基材80の裏面802が露出する。この状態において互いに積層された下地層821およびめっき層822が導電層82である。以上の手順により導電層82および接合層842が形成される。このとき、柱状体83は、基材80の裏面802に形成された導電層82に接した状態となる。

## 【0082】

次いで、図20に示すように、溝部81に收容されるように、溝部81の底面811に形成された導電層82に半導体素子841を搭載する。半導体素子841が半導体装置A10の半導体素子31に対応する。半導体素子841の搭載は、FCB(Flip Chip Bonding)により行う。半導体素子841の電極パンプ841aにフラックスを塗布した後、フリップチップボンダを用いて半導体素子841を底面811に形成された導電層82に接する接合層842に仮付けする。このとき、接合層842は、導電層82と半導体素子841との双方に挟まれた状態となる。次いで、リフローにより接合層842を溶融させた後、冷却により接合層842を固化させることによって、半導体素子841の搭載が完了する。

30

## 【0083】

次いで、図21に示すように、溝部81に充填され、かつ柱状体83および半導体素子841を覆う封止樹脂85を形成する。封止樹脂85が半導体装置A10の封止樹脂4に対応する。本実施形態にかかる封止樹脂85は、流動性のある黒色のエポキシ樹脂をトランスファモールド成形により熱硬化させることによって形成される。

40

## 【0084】

次いで、図22に示すように、封止樹脂85から柱状体83を露出させる。本実施形態においては、基材80の主面801が図22の上方を向くように基材80を反転させた後、封止樹脂85の一部を図22の下方から機械研削で除去することにより封止樹脂85から柱状体83を露出させる。このとき、封止樹脂85には、図22の下方を向く実装面851が形成される。また、柱状体83には、実装面851から露出する露出面831が形成される。

50

## 【 0 0 8 5 】

次いで、図 2 3 ~ 図 2 6 に示すように、封止樹脂 8 5 から露出した柱状体 8 3 に接するパッド層 8 6 を形成する。パッド層 8 6 が半導体装置 A 1 0 のパッド層 5 に対応する。パッド層 8 6 は、次の手順により形成される。

## 【 0 0 8 6 】

まず、図 2 3 および図 2 4 に示すように、封止樹脂 8 5 から露出した柱状体 8 3 の一部をエッチングにより除去する。本実施形態にかかる当該エッチングは、たとえば  $H_2SO_4$  (硫酸) および  $H_2O_2$  (過酸化水素) の混合溶液を用いたウェットエッチングである。このとき、露出面 8 3 1 を含む柱状体 8 3 の一部が除去され、柱状体 8 3 には、封止樹脂 8 5 の実装面 8 5 1 から窪み、かつ封止樹脂 8 5 から露出する導通面 8 3 2 が形成される。封止樹脂 8 5 には、基材 8 0 の厚さ方向 Z に沿い、かつ実装面 8 5 1 および導通面 8 3 2 につながるとともに、導通面 8 3 2 を取り囲む内周面 8 5 2 が形成される。また、封止樹脂 8 5 には、導通面 8 3 2 および内周面 8 5 2 によって構成される空洞部 8 5 3 が形成される。

10

## 【 0 0 8 7 】

次いで、図 2 5 および図 2 6 に示すように、封止樹脂 8 5 から露出する柱状体 8 3 の導通面 8 3 2 に接するパッド層 8 6 を形成する。パッド層 8 6 は、無電解めっきにより形成される。本実施形態にかかるパッド層 8 6 は、導通面 8 3 2 に接し、かつ封止樹脂 8 5 の空洞部 8 5 3 を埋める内部層 8 6 1 と、内部層 8 6 1 を覆う中間層 8 6 3 と、中間層 8 6 3 を覆う外部層 8 6 2 とを含む。パッド層 8 6 の形成にあたっては、まず Ni から構成される内部層 8 6 1 を形成する。内部層 8 6 1 は、空洞部 8 5 3 を埋め、かつ封止樹脂 8 5 の実装面 8 5 1 から突出するように形成する。次いで、Pd から構成され、かつ内部層 8 6 1 を覆う中間層 8 6 3 を形成する。最後に、Au から構成され、かつ中間層 8 6 3 を覆う外部層 8 6 2 を形成する。以上の手順によりパッド層 8 6 が形成される。なお、パッド層 8 6 の形成にあたって、中間層 8 6 3 を省略してもよい。この場合においては、外部層 8 6 2 が内部層 8 6 1 を覆う構成となる。

20

## 【 0 0 8 8 】

最後に、図 2 7 に示すように、切断線 CL に沿って基材 8 0 および封止樹脂 8 5 を切断することによって、半導体素子 8 4 1 を搭載し、かつ封止樹脂 8 5 に覆われた基材 8 0 を半導体装置 A 1 0 の基板 1 に対応する範囲ごとの個片に分割する。切断にあたっては、たとえばプラズマダイシングにより基材 8 0 および封止樹脂 8 5 を切断する。当該工程において分割された個片が半導体装置 A 1 0 となる。以上の工程を経ることによって、半導体装置 A 1 0 が製造される。

30

## 【 0 0 8 9 】

次に、半導体装置 A 1 0 およびその製造方法の作用効果について説明する。

## 【 0 0 9 0 】

半導体装置 A 1 0 は、基板 1 の裏面 1 2 に配置された導電部 2 0 に接する第 1 導通面 2 9 1 と、半導体素子 3 1 を覆う封止樹脂 4 から外部に露出するパッド層 5 に接する第 2 導通面 2 9 2 とを有する柱状体 2 9 を備える。基板 1 の厚さ方向 Z において、第 2 導通面 2 9 2 は、封止樹脂 4 の実装面 4 1 と裏面 1 2 との間に位置する。このような構成をとることによって、柱状体 2 9 の一部が実装面 4 1 から溢れ出ないため、所定の大きさのパッド層 5 を形成することができる。したがって、半導体装置 A 1 0 によれば、装置の信頼性の向上を図ることが可能となる。

40

## 【 0 0 9 1 】

ここで、半導体装置 A 1 0 の製造方法によれば、パッド層 8 6 を形成する工程において、封止樹脂 8 5 から露出した柱状体 8 3 の一部を除去した後にパッド層 8 6 を形成する。このような製造方法をとることによって、半導体装置 A 1 0 において柱状体 2 9 の一部が封止樹脂 4 の実装面 4 1 から溢れ出ない構成とすることができる。なお、柱状体 8 3 は、電解めっきにより形成された Cu から構成されるため、エッチングにより容易にその一部を除去することができる。

50

## 【 0 0 9 2 】

また、半導体装置 A 1 0 の製造過程にかかる封止樹脂 8 5 から柱状体 8 3 を露出させる工程において、封止樹脂 8 5 の一部を機械研削で除去することにより柱状体 8 3 を露出させる。このような工程をとることによって、半導体装置 A 1 0 において柱状体 2 9 の高さ（基板 1 の厚さ方向 Z の長さ）を自在に調整することができる。

## 【 0 0 9 3 】

パッド層 5 は、Ni から構成される内部層 5 1 と、Au から構成される外部層 5 2 を含み、内部層 5 1 が柱状体 2 9 の第 2 導通面 2 9 2 に接し、外部層 5 2 が半導体装置 A 1 0 の外部に露出している。このような構成をとることによって、内部層 5 1 により半導体装置 A 1 0 の実装時の熱衝撃から Cu から構成される導電部 2 0 を保護することができる。

10

## 【 0 0 9 4 】

パッド層 5 は、内部層 5 1 と外部層 5 2 との間に介在し、かつ Pd から構成される中間層 5 3 を含む構成とすることによって、半導体装置 A 1 0 の実装時の熱衝撃から導電部 2 0 を保護する効果をさらに向上させることができる。

## 【 0 0 9 5 】

パッド層 5 の内部層 5 1 は、封止樹脂 4 の実装面 4 1 と柱状体 2 9 の第 2 導通面 2 9 2 との間に形成された空洞部 4 4 を埋める埋設部 5 1 1 と、実装面 4 1 から外部に向けて突出する突出部 5 1 2 を有する。このような構成をとることによって、万一、第 2 導通面 2 9 2 に金属バリが残存した場合であっても、当該金属バリは埋設部 5 1 1 の内部に取り込まれるとともに、埋設部 5 1 1 は突出部 5 1 2 により蓋がされた状態となる。したがって、内部層 5 1 により当該金属バリが外部に露出すること確実に防止できる。また、パッド層 5 の外部層 5 2 は、埋設部 5 1 1 を覆う構成となるため、半導体装置 A 1 0 の外部に露出するパッド層 5 の表面積がより大きく確保され、クリームはんだとの接合状態が良好なものとなる。

20

## 【 0 0 9 6 】

導電部 2 0 は、互いに積層された下地層 2 1 およびめっき層 2 2 から構成され、下地層 2 1 が基板 1 に接している。また、下地層 2 1 は、Ti から構成され、かつ基板 1 に接する第 1 下地層 2 1 1 と、Cu から構成され、かつ第 1 下地層 2 1 1 とめっき層 2 2 との間に介在する第 2 下地層 2 1 2 とを含む。このような構成をとることによって、第 2 下地層 2 1 2 およびめっき層 2 2 が基板 1 の内部に拡散することと、基板 1 に対して第 2 下地層 2 1 2 が剥離することとの双方を防止することができる。したがって、半導体装置 A 1 0 の製造過程にかかる導電層 8 2 を形成する工程において、電解めっきによりめっき層 8 2 を効率良く形成することができる。

30

## 【 0 0 9 7 】

半導体装置 A 1 0 の製造過程にかかる半導体素子 8 4 1 を搭載する工程において、溝部 8 1 の底面 8 1 1 に形成された導電層 8 2 に接する接合層 8 4 2 によって、半導体素子 8 4 1 を FCB により溝部 8 1 に形成された導電層 8 2 に精度良く搭載することができる。あわせて、FCB により半導体素子 8 4 1 と導電層 8 2 との導通を確保することができる。

40

## 【 0 0 9 8 】

本発明は、先述した実施形態に限定されるものではない。本発明の各部の具体的な構成は、種々に設計変更自在である。

## 【 符号の説明 】

## 【 0 0 9 9 】

A 1 0 , A 1 1 : 半導体装置

1 : 基板

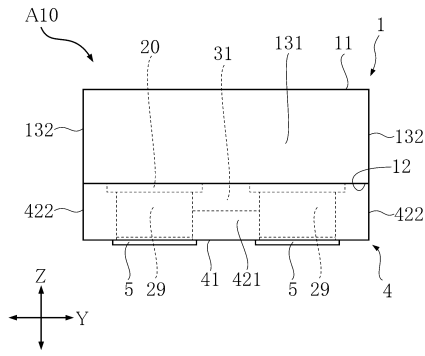
50

1 1	: 主面	
1 2	: 裏面	
1 3 1	: 第 1 基板側面	
1 3 2	: 第 2 基板側面	
1 4	: 凹部	
1 4 1	: 底面	
1 4 2	: 中間面	
1 4 3	: 開口部	
2 0	: 導電部	
2 0 1	: 底面導電部	10
2 0 2	: 中間面導電部	
2 0 3	: 裏面導電部	
2 1	: 下地層	
2 2	: めっき層	
2 9	: 柱状体	
2 9 1	: 第 1 導通面	
2 9 2	: 第 2 導通面	
2 9 3	: 側面	
3 1	: 半導体素子	
3 1 1	: 電極バンプ	20
3 2	: 接合層	
4	: 封止樹脂	
4 1	: 実装面	
4 2 1	: 樹脂第 1 側面	
4 2 2	: 樹脂第 2 側面	
4 3	: 内周面	
4 4	: 空洞部	
5	: パッド層	
5 1	: 内部層	
5 1 1	: 埋設部	30
5 1 2	: 突出部	
5 2	: 外部層	
5 3	: 中間層	
8 0	: 基材	
8 0 1	: 主面	
8 0 2	: 裏面	
8 0 3	: 絶縁膜	
8 0 4	: 開口部	
8 1	: 溝部	
8 1 1	: 底面	40
8 1 2	: 中間面	
8 2	: 導電層	
8 2 1	: 下地層	
8 2 2	: めっき層	
8 3	: 柱状体	
8 3 1	: 露出面	
8 3 2	: 導通面	
8 4 1	: 半導体素子	
8 4 1 a	: 電極バンプ	
8 4 2	: 接合層	50

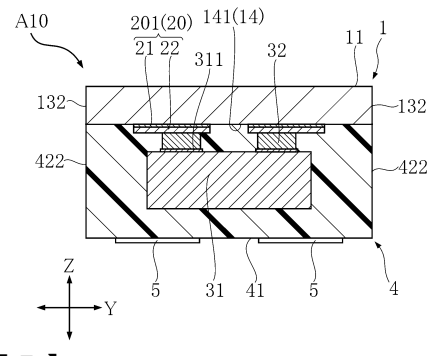




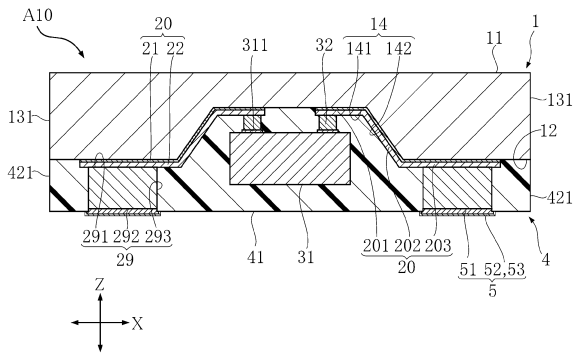
【図4】



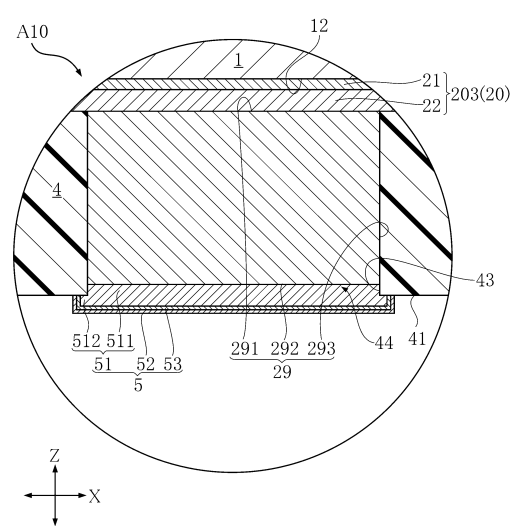
【図6】



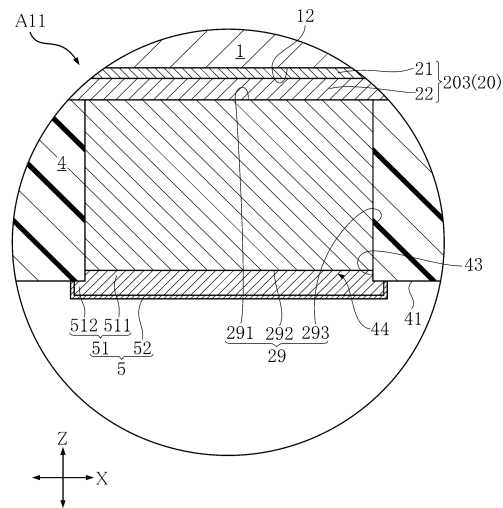
【図5】



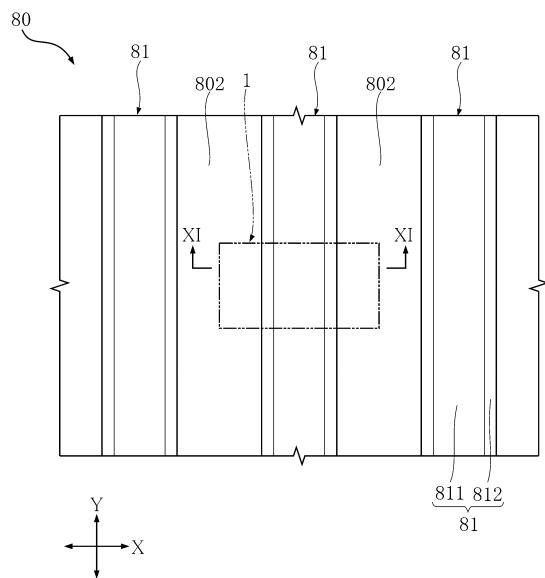
【図7】



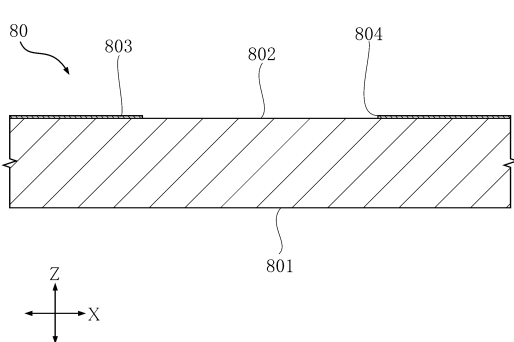
【図8】



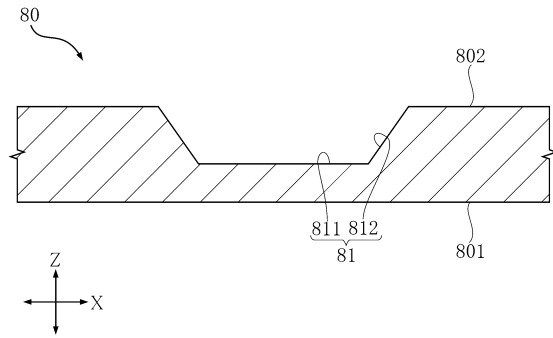
【図10】



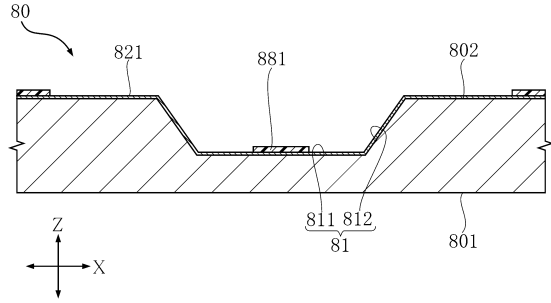
【図9】



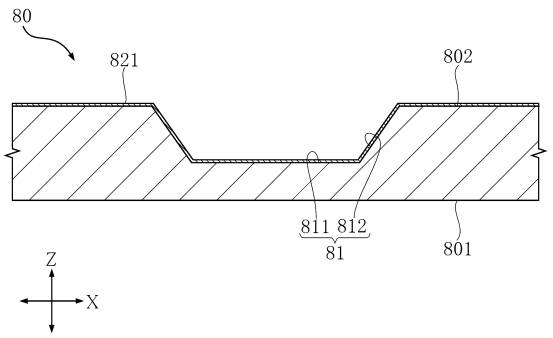
【図 1 1】



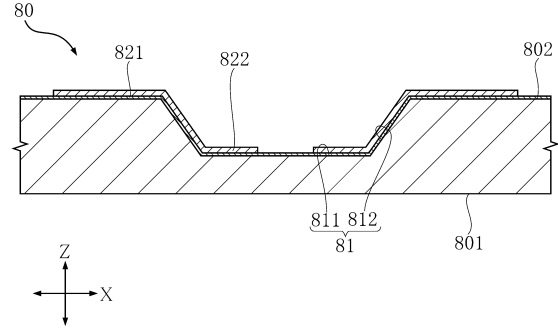
【図 1 3】



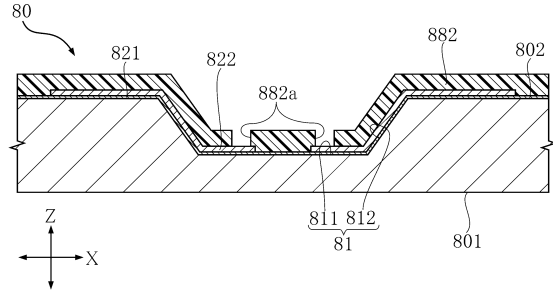
【図 1 2】



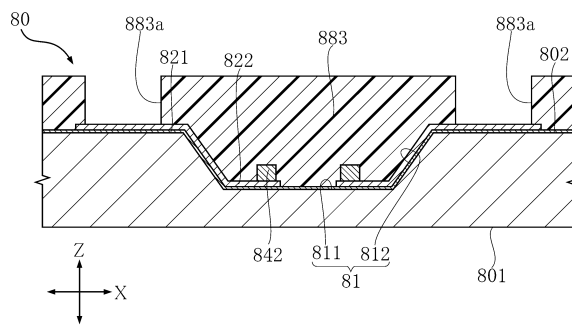
【図 1 4】



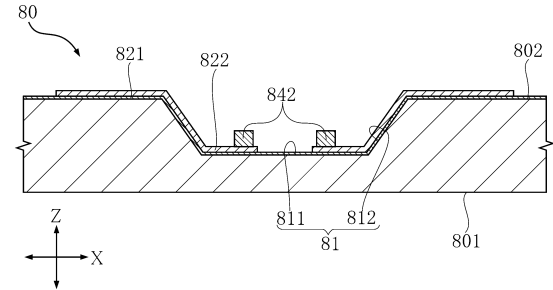
【図 1 5】



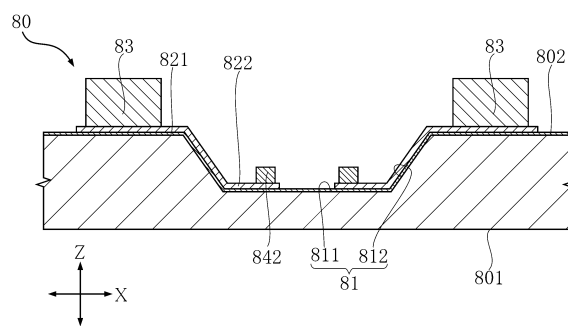
【図 1 7】



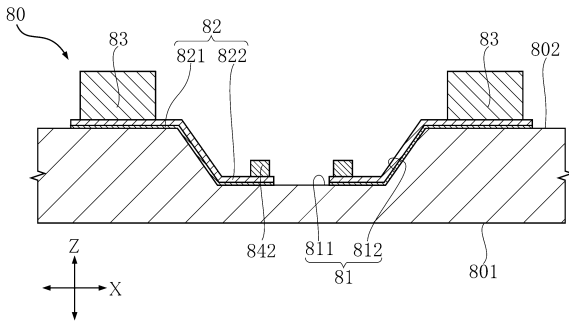
【図 1 6】



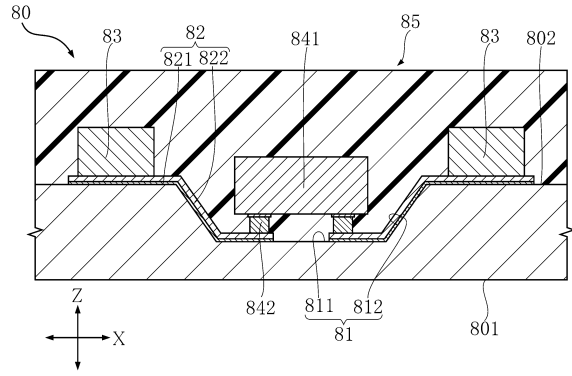
【図 1 8】



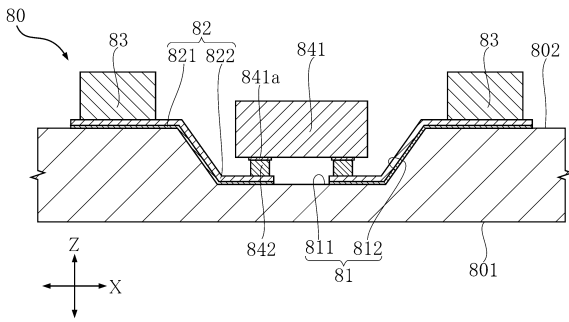
【図19】



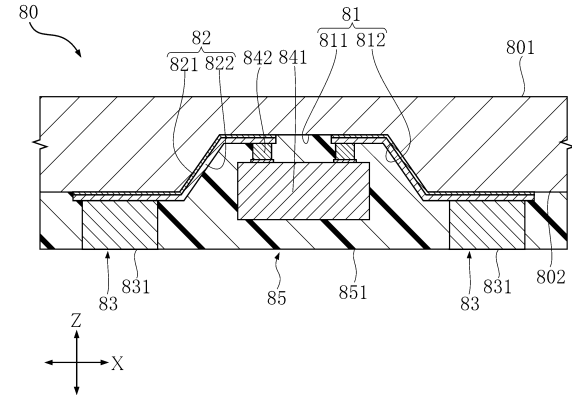
【図21】



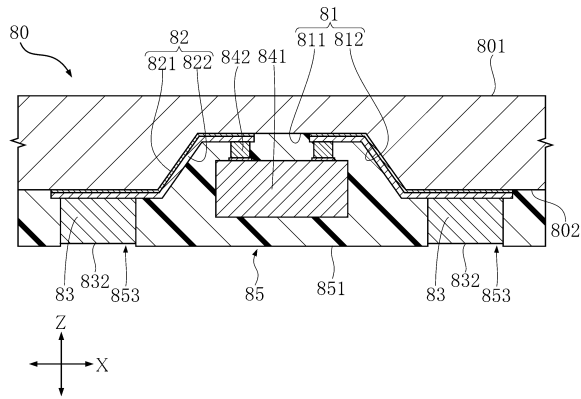
【図20】



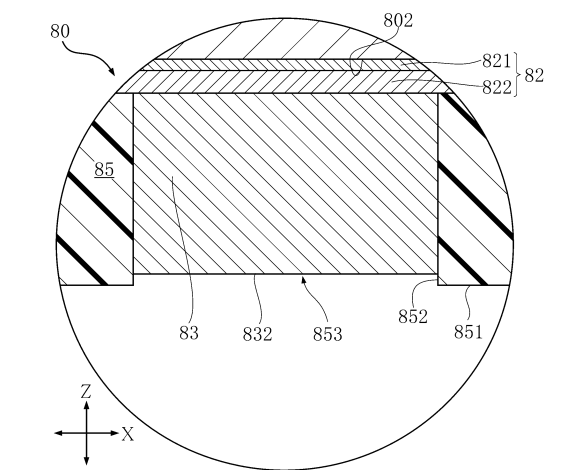
【図22】



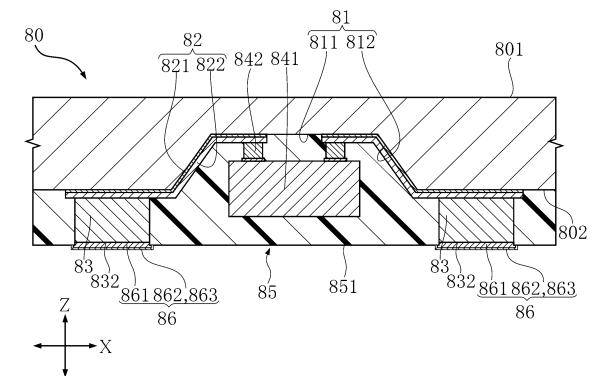
【図23】



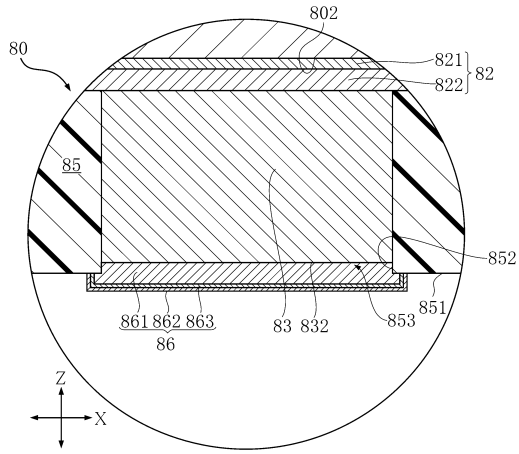
【図24】



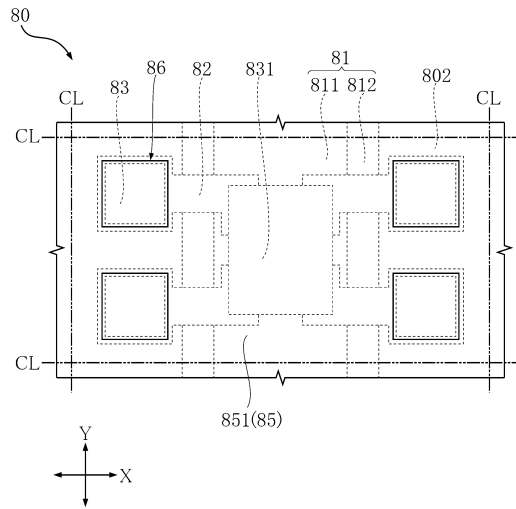
【図25】



【図 26】



【図 27】



---

フロントページの続き

- (56)参考文献 特開2014-179476(JP,A)  
米国特許出願公開第2012/0104623(US,A1)  
特開2005-158929(JP,A)  
特開2015-181155(JP,A)  
特開2007-129207(JP,A)  
特開2014-146658(JP,A)  
特開2016-152342(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12  
H01L 23/02  
H01L 23/14  
H01L 23/48