

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4212164号
(P4212164)

(45) 発行日 平成21年1月21日(2009.1.21)

(24) 登録日 平成20年11月7日(2008.11.7)

(51) Int.Cl.	F I	
HO2M 3/28 (2006.01)	HO2M 3/28	F
GO5F 1/10 (2006.01)	HO2M 3/28	H
HO2J 1/12 (2006.01)	HO2M 3/28	W
HO5B 41/24 (2006.01)	GO5F 1/10	3O1B
	HO2J 1/12	

請求項の数 7 (全 16 頁) 最終頁に続く

(21) 出願番号	特願平10-308784	(73) 特許権者	000002037
(22) 出願日	平成10年10月29日(1998.10.29)		新電元工業株式会社
(65) 公開番号	特開2000-139074(P2000-139074A)		東京都千代田区大手町2丁目2番1号
(43) 公開日	平成12年5月16日(2000.5.16)	(74) 代理人	100102875
審査請求日	平成17年1月27日(2005.1.27)		弁理士 石島 茂男
		(74) 代理人	100106666
			弁理士 阿部 英樹
		(72) 発明者	渡辺 晴夫
			埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内
		(72) 発明者	島山 治彦
			埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内
		審査官	西村 泰英

最終頁に続く

(54) 【発明の名称】 並列型電源装置

(57) 【特許請求の範囲】

【請求項1】

電源装置が複数台並列接続され、負荷に電力を供給する並列型電源装置であって、
前記電源装置は、
 互いに磁気結合された一次巻線と二次巻線が設けられたトランスと、
 前記一次巻線に直列接続された主スイッチ素子と、
M O S トランジスタで構成された第一、第二の整流素子と、
 前記一次巻線と前記主スイッチ素子に電流を供給する一次側電圧供給回路と、
 前記二次巻線に直列接続されたインダクタンス素子とを有し、
 前記主スイッチ素子の導通と遮断を制御する制御回路と、
 前記主スイッチ素子が導通し、前記一次側電圧供給回路から、前記一次巻線に電流が供給される導通期間と、
 前記主スイッチ素子が遮断する遮断期間とが交互に繰り返され、
 少なくとも、前記導通期間中には、前記二次巻線に誘起された電圧により、前記第一の整流素子が導通し、前記第二の整流素子が遮断して前記二次巻線と前記インダクタンス素子とに電流が流され、
前記遮断期間中には、前記二次巻線に誘起された電圧により、前記第一の整流素子が遮断し、前記第二の整流素子が導通し、前記インダクタンス素子に蓄積されたエネルギーによって前記負荷に電流を供給するように構成され、
 前記主スイッチ素子に流れる電流を検出する電流検出回路と、

10

20

前記電流検出回路の出力から、前記導通期間中に前記主スイッチ素子に流れる電流の向きが、前記一次側電圧供給回路から供給される電流とは逆向の逆電流であることを検出すると前記導通期間を長くさせる逆電流抑制回路が設けられたことを特徴とする電源装置。

【請求項 2】

前記電流検出回路は、一次側検出巻線と、前記一次側検出巻線と磁気結合された二次側検出巻線とを有し、

前記主スイッチ素子に電流が流れたときに、前記一次側検出巻線にも電流が流れるように構成され、

前記逆電流抑制回路は、前記二次側検出巻線に誘起された電圧を検出するように構成されたことを特徴とする請求項 1 記載の電源装置。

10

【請求項 3】

前記一次側検出巻線は、前記主スイッチ素子に直列接続されたことを特徴とする請求項 2 記載の電源装置。

【請求項 4】

前記一次側検出巻線は、前記二次巻線に直列接続されたことを特徴とする請求項 2 記載の電源装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項記載の電源装置であって、

前記制御回路には、前記出力電圧をサンプリングした電圧と基準電圧との差電圧を増幅する増幅器と、

20

所定周波数で発振する発振器と、

前記増幅器が出力する電圧と、前記発振器が出力する電圧とを比較する比較器とが設けられ、

前記比較器の比較結果を示す電圧が前記主スイッチ素子に出力されるように構成され、

前記出力電圧の変動量に応じて、前記主スイッチ素子の前記導通期間と前記遮断期間のいずれか一方又は両方を変化させ、前記出力電圧を一定に維持するように構成されたことを特徴とする電源装置。

【請求項 6】

請求項 5 記載の電源装置であって、

前記逆電流抑制回路は、前記増幅器の非反転入力端子に入力される電圧と、反転入力端子に入力される電圧の、いずれか一方又は両方の電圧を操作することで、前記比較器が出力する電圧を制御するように構成されたことを特徴とする電源装置。

30

【請求項 7】

請求項 5 記載の電源装置であって、

前記逆電流抑制回路は、前記比較器に入力される電圧を操作し、該比較器が出力する電圧を制御するように構成されたことを特徴とする電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電源装置にかかり、特に、複数台を並列接続して運転させるのに適した同期整流型の電源装置に関する。

40

【0002】

【従来の技術】

スイッチング電源の技術分野では、近年では、高効率の同期整流型の電源装置が主流になっている。

【0003】

図 7 (a)、(b) の符号 202 は、従来技術の電源装置であり、一側電圧供給回路 211 と、主スイッチ素子 210 と、トランス 220 と、第 1、第 2 の整流素子 206、207 と、インダクタンス素子 208 と、出力コンデンサ 209 とを有している。トランス 220 は、一次巻線 221 と二次巻線 222 とで構成されており、主スイッチ素子 210 と、第

50

1、第2の整流素子206、207は、それぞれnチャネルMOSFETで構成されている。

【0004】

一次巻線221の一端は、一次側電圧供給回路211の高電圧側の端子に接続されており、他端は、主スイッチ素子210のドレイン端子に接続されている。

【0005】

主スイッチ素子210のソース端子は、一次側のグラウンド電位に接続されており、ドレイン端子は一次巻線221の一端に接続されている。主スイッチ素子210のゲート端子は制御回路203に接続されており、制御回路203の出力信号によって、導通と遮断を繰り返すように構成されている。一次側電圧供給回路211は、商用の交流電圧を変換し、直流電圧を生成しており、一次側整流回路221が出力する直流電圧は、一次巻線221と主スイッチ素子210の直列接続回路に印加されるように構成されている。

10

【0006】

二次巻線222の一端には、インダクタンス素子208の一端が接続されており、該インダクタンス素子208の他端は二次側の出力端子223にされている。他方、二次巻線222の他端には、第1の二次側整流素子206のドレイン端子が接続されており、該第1の二次側整流素子206のソース端子は、グラウンド端子224にされている。

【0007】

従って、二次巻線222の一端は、インダクタンス素子208を介して出力端子223に接続されており、他端は、第1の二次側整流素子206を介してグラウンド端子224に接続されている。

20

【0008】

第1の二次側整流素子206のソース端子には、第2の二次側整流素子207のソース端子が接続されている。該第2の二次側整流素子207のドレイン端子は、二次巻線222とインダクタンス素子208が接続された部分に接続されている。

【0009】

第1の二次側整流素子206のゲート端子は、二次巻線222とインダクタンス素子208が接続された部分に接続されており、他方、第2の二次側整流素子207のゲート端子は、二次巻線222と第1の二次側整流素子206とが接続された部分に接続されている。

30

【0010】

一次巻線221と二次巻線222とは、一次巻線221の一次側電圧供給回路211側の一端と、二次巻線222の出力端子223側の一端とが同極性になるように磁気結合されており、主スイッチ素子210が導通し、トランス220内の一次巻線221に、一次側電圧供給回路211から供給される電流 I_1 が流れると、二次巻線222の出力端子223側に正電圧、グラウンド端子224側に負電圧が誘起される。

【0011】

二次巻線222に誘起された電圧により、第1の二次側整流素子206のドレイン端子の電位がソース端子の電位よりも低くなる。このとき、第1の二次側整流素子206内の寄生ダイオードが順バイアスされるが、ゲート端子には、二次巻線222に誘起された電圧により、正電圧が印加されているので、第1の二次側整流素子206は、通常動作とは逆方向に導通し、ソース端子側からドレイン端子側に向け、図7(a)の電流 I_2 を流す。

40

【0012】

電流 I_2 による電圧降下は、第1の二次側整流素子206の寄生ダイオードを導通させない程度に小さくなっており、この電流 I_2 が流れると、出力端子223とグラウンド端子224の間に接続された出力コンデンサ209及び負荷212に、低損失で電力が供給される。

【0013】

この間(第1の二次側整流素子206が逆方向に導通している間)、二次巻線222に誘起された電圧により、第2の二次側整流素子207のドレイン端子には、ソース端子よりも

50

高い電圧が印加されており、また、ゲート端子には負電圧が印加されているから、第2の二次側整流素子207には電流は流れない。

【0014】

次に、主スイッチ素子210が導通から遮断に転じると、二次巻線222の出力端子223側の一端に負電圧、グラウンド端子224側の一端に正電圧が誘起される。その電圧により、電流 I_2 を流していた第1の二次側整流素子206のドレイン端子の電位がソース端子の電位よりも高くなり、また、ゲート端子には負電圧が印加されるので、第1の二次側整流素子206は遮断する。

【0015】

このとき、第2の二次側整流素子207では、二次巻線222に誘起された電圧により、ゲート端子に正電圧が印加されるから、導通可能な状態になる。また、第2の二次側整流素子207は、インダクタンス素子208に生じた起電力により、ドレイン端子の電位がソース端子の電位よりも低くなるから、逆方向に導通し、インダクタンス素子208に蓄積された磁気エネルギーにより、同図(b)に示すように、負荷212に電力を供給する方向の電流 I_3 を流す。

10

【0016】

上記制御装置203内には発振器と基準電圧発生回路が設けられており、PWM方式で主スイッチ素子210を駆動しており、スイッチングの周期が一定になっている。

【0017】

また、上記の電源装置202は、フォワード型であるため、出力端子223の出力電圧は、主スイッチ素子210の導通時間と、一次側電圧供給回路211が出力する電圧、一次巻線221と二次巻線222の巻線比によって決まる。

20

【0018】

制御装置203は、出力端子223とグラウンド端子224間の出力電圧を検出しており、主スイッチ素子210の導通時間を制御しているので、一次側電圧供給回路211の電圧変動等により、一次側電圧供給回路211の電圧が変動しても、出力電圧は一定に維持されている。

【0019】

上記電源装置202は、複数台を並列接続し、出力電流を増やすことができる。しかしながら、複数台の電源装置202を並列接続する場合には、出力電圧が完全に一致せず、そのため、各電源202のうち、出力電圧が高く設定されているものから、負荷212が消費するよりも大きな出力電流が出力され、余分な電流は、出力電圧が低く設定されている電源装置に流入してしまう。

30

【0020】

図8は、2台の電源装置202₁、202₂を並列接続して運転する場合を示しており、一方の電源装置202₁側から、他方の電源装置202₂に向けて、電流 I_5 が流入している。

【0021】

この電流 I_5 が二次巻線222₂に流れると、一次巻線221₂に電圧が誘起され、その電圧によって、主スイッチ素子210₂のドレイン端子に負電圧が印加される。そのとき、主スイッチ素子210のゲート端子に正電圧が印加されていると、主スイッチ素子210₂のソース端子からドレイン端子に向けて逆電流 I_6 が流れてしまい、その結果、並列接続された電源装置全体の効率を悪化させ、また、各電源装置202₁、202₂の劣化を早めてしまうという問題がある。

40

【0022】

【発明が解決しようとする課題】

本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、逆電流が流れない同期整流型の電源装置を提供することにある。

【0023】

【課題を解決するための手段】

50

上記課題を解決するために、請求項1記載の発明は、電源装置が複数台並列接続され、負荷に電力を供給する並列型電源装置であって、前記電源装置は、互いに磁気結合された一次巻線と二次巻線が設けられたトランスと、前記一次巻線に直列接続された主スイッチ素子と、MOSトランジスタで構成された第一、第二の整流素子と、前記一次巻線と前記主スイッチ素子に電流を供給する一次側電圧供給回路と、前記二次巻線に直列接続されたインダクタンス素子とを有し、前記主スイッチ素子の導通と遮断を制御する制御回路と、前記主スイッチ素子が導通し、前記一次側電圧供給回路から、前記一次巻線に電流が供給される導通期間と、前記主スイッチ素子が遮断する遮断期間とが交互に繰り返され、少なくとも、前記導通期間中には、前記二次巻線に誘起された電圧により、前記第一の整流素子が導通し、前記第二の整流素子が遮断して前記二次巻線と前記インダクタンス素子とに電流が流され、前記遮断期間中には、前記二次巻線に誘起された電圧により、前記第一の整流素子が遮断し、前記第二の整流素子が導通し、前記インダクタンス素子に蓄積されたエネルギーによって前記負荷に電流を供給するように構成され、前記主スイッチ素子に流れる電流を検出する電流検出回路と、前記電流検出回路の出力から、前記導通期間中に前記主スイッチ素子に流れる電流の向きが、前記一次側電圧供給回路から供給される電流とは逆向の逆電流であることを検出すると前記導通期間を長くさせる逆電流抑制回路が設けられたことを特徴とする。

10

【0024】

請求項2記載の発明は、請求項1記載の電源装置であって、前記電流検出回路は、一次側検出巻線と、前記一次側検出巻線と磁気結合された二次側検出巻線とを有し、前記主スイッチ素子に電流が流れたときに、前記一次側検出巻線にも電流が流れるように構成され、前記逆電流抑制回路は、前記二次側検出巻線に誘起された電圧を検出するように構成されたことを特徴とする電源装置。

20

【0025】

請求項3記載の発明は、請求項2記載の電源装置であって、前記一次側検出巻線は、前記主スイッチ素子に直列接続されたことを特徴とする。

【0026】

請求項4記載の発明は、請求項2記載の電源装置であって、前記一次側検出巻線は、前記二次巻線に直列接続されたことを特徴とする。

【0029】

30

請求項5記載の発明は、請求項1乃至請求項4のいずれか1項記載の電源装置であって、前記制御回路には、前記出力電圧をサンプリングした電圧と基準電圧との差電圧を増幅する増幅器と、所定周波数で発振する発振器と、前記増幅器が出力する電圧と、前記発振器が出力する電圧とを比較する比較器とが設けられ、前記比較器の比較結果を示す電圧が前記主スイッチ素子に出力されるように構成され、前記出力電圧の変動量に応じて、前記主スイッチ素子の前記導通期間と前記遮断期間のいずれか一方又は両方を変化させ、前記出力電圧を一定に維持するように構成されたことを特徴とする。

【0030】

請求項6記載の発明は、請求項5記載の電源装置であって、前記逆電流抑制回路は、前記増幅器の非反転入力端子に入力される電圧と、反転入力端子に入力される電圧の、いずれか一方又は両方の電圧を操作することで、前記比較器が出力する電圧を制御するように構成されたことを特徴とする。

40

【0031】

請求項7記載の発明は、請求項5記載の電源装置であって、前記逆電流抑制回路は、前記比較器に入力される電圧を操作し、該比較器が出力する電圧を制御するように構成されたことを特徴とする。

【0034】

本発明は上記のように構成されており、トランスと、主スイッチ素子と、インダクタンス素子とを有している。トランス内には一次巻線と、該一次巻線と磁気結合された二次巻線とが設けられており、主スイッチ素子が導通する導通期間では、一次側電圧供給回路から

50

一次巻線に電流が流されるようになっている。

【0035】

そのとき、二次巻線に誘起された電圧により、二次巻線にインダクタンス素子に電流が流れるようになっており、例えば、主スイッチ素子が遮断する遮断期間中には、インダクタンスに蓄積されたエネルギーによって負荷側に電流を供給するように接続すると、二次巻線に流れる電流が平滑され、直流の出力電圧が得られる。

【0036】

本発明の電源装置は、主スイッチ素子に流れる電流とその向きを検出する電流検出回路と逆電流抑制回路を有している。

【0037】

一次側電圧供給回路が主スイッチ素子に供給する電流を順方向とし、その逆向きの電流を逆電流とすると、導通期間中の電流検出回路の検出結果が、逆電流を示していた場合には、逆電流抑制回路は、主スイッチ素子の導通期間を長くし、順方向の電流を増やすようになっている。

【0038】

従って、電源装置を複数台並列接続させた場合でも、出力電流が均等化し、出力電流負担が平均化され、電源装置の寿命が長くなる。また、逆電流に起因する損失も小さくすることができる。

【0039】

電流検出回路は、一次側検出巻線と、該一次側検出巻線に磁気結合された二次側巻線とで構成させ、一次側検出巻線を主スイッチ素子に直列接続し、逆電流抑制回路が二次巻線に誘起された電圧の極性を検出し、主スイッチ素子に流れた電流の向きを判別することができる。主スイッチ素子に抵抗素子を直列接続して電流の向きを検出するよりも損失が小さい。

【0040】

また、一次側検出巻線を二次巻線に直列接続し、二次側検出巻線に誘起された電圧の極性で主スイッチ素子に流れる電流の向きを検出するようにしてもよい。

【0041】

主スイッチ素子の導通期間を長くする際に、逆電流制御回路が直接主スイッチ素子を制御してもよいが、制御回路が主スイッチ素子の導通/遮断動作を制御している場合には、逆電流抑制回路が制御回路を制御することで、間接的に主スイッチング素子の導通期間を長くしてもよい。

【0042】

出力電圧を定電圧化する際に、制御回路内で出力電圧がサンプリングされ、その電圧と基準電圧との誤差が増幅器で検出されている場合、増幅器の入力端子(非反転入力端子又は反転入力端子のいずれか一方又は両方の端子)の電圧を操作することで、導通期間を長くすることができる。

【0043】

PWM型の制御方法で主スイッチ素子が駆動されている場合、比較器により、発振器が出力する鋸歯状波と、誤差増幅を行った増幅器の出力電圧とが比較され、比較結果によって主スイッチ素子の導通期間が決定されるから、比較器に入力される増幅器の出力電圧、又は発振器の出力電圧を操作することで、導通期間を長くすることができる。

【0044】

主スイッチ素子の遮断期間中に逆電流が流れる場合があるが、そのときに逆電流抑制回路が動作すると、主スイッチ素子が導通してしまうので、遮断期間中の逆電流は無視するようになるとよい。

【0045】

【発明の実施の形態】

図1を参照し、符号2は、本発明の一例の並列型電源装置であり、同じ構成の電源装置3が複数個並列に接続されている(図1では、2台の電源装置3₁、3₂が示されている)。

10

20

30

40

50

【 0 0 4 6 】

各電源装置 3 は、一次側電圧供給回路 1 1 と、トランス 2 0 と、主スイッチ素子 1 0 と、制御回路 5 0 A と、第 1、第 2 の二次側整流素子 6、7 と、インダクタンス素子 8 と、出力コンデンサ 9 を有している。

【 0 0 4 7 】

トランス 2 0 は、一次巻線 2 1 と二次巻線 2 2 とで構成されており、主スイッチ素子 1 0 と、第 1、第 2 の整流素子 6、7 とは、それぞれ n チャネル M O S F E T で構成されている。

【 0 0 4 8 】

一次側電圧供給回路 1 1 は、商用交流電源を整流平滑し、直流電源を出力するように構成されており、一次巻線 2 1 の一端は、一次側電圧供給回路 1 1 の高電圧側の端子 2 5 に接続され、他端は、主スイッチ素子 1 0 のドレイン端子に接続されている。

10

【 0 0 4 9 】

また、この電源装置 3 は、電流検出回路 3 0 と逆電流抑制回路 4 0 とを有しており、主スイッチ素子 1 0 のソース端子は、電流検出回路 3 0 を介して、一側電圧供給回路 1 1 の低電位側の端子 2 6 に接続されている。

【 0 0 5 0 】

従って、一次巻線 2 1 と、主スイッチ素子 1 0 と、電流検出回路 3 0 とは直列接続されており、一次側電圧供給回路 1 1 は、その直列接続回路に直流電圧を印加するようになっている。

20

【 0 0 5 1 】

二次巻線 2 2 の一端には、インダクタンス素子 8 の一端が接続されており、該インダクタンス素子 8 の他端は二次側の出力端子 2 3 にされている。他方、二次巻線 2 2 の他端には、第 1 の二次側整流素子 6 のドレイン端子が接続されており、該第 1 の二次側整流素子 6 のソース端子は、二次側のグラウンド端子 2 4 にされている。

【 0 0 5 2 】

従って、二次巻線 2 2 の一端は、インダクタンス素子 8 を介して出力端子 2 3 に接続されており、他端は、第 1 の二次側整流素子 6 を介してグラウンド端子 2 4 に接続されている。

【 0 0 5 3 】

第 1 の二次側整流素子 6 のソース端子には、第 2 の二次側整流素子 7 のソース端子が接続されている。該第 2 の二次側整流素子 7 のドレイン端子は、二次巻線 2 2 とインダクタンス素子 8 が接続された部分に接続されている。

30

【 0 0 5 4 】

第 1 の二次側整流素子 6 のゲート端子は、二次巻線 2 2 とインダクタンス素子 8 が接続された部分に接続されており、他方、第 2 の二次側整流素子 7 のゲート端子は、二次巻線 2 2 と第 1 の二次側整流素子 6 とが接続された部分に接続されている。

【 0 0 5 5 】

一次巻線 2 1 と二次巻線 2 2 とは、一次巻線 2 1 の高電位側と、二次巻線 2 2 の出力端子 2 3 側とが同極性になるように磁気結合されている。

40

【 0 0 5 6 】

主スイッチ素子 1 0 のゲート端子は制御回路 5 0 A に接続されており、制御回路 5 0 A が出力する信号によって導通と遮断を繰り返すように構成されており、主スイッチ素子 1 0 が導通し、トランス 2 0 内の一次巻線 2 1 に電流が流れると、二次巻線 2 2 の出力端子 2 3 側に正電圧、グラウンド端子 2 4 側に負電圧が誘起され、第 1 の二次側整流素子 6 が逆方向に導通し、そのソース端子側からドレイン端子側に向かう方向に電流が流れ、出力コンデンサ 9 及び負荷 1 2 に電力を供給する。

【 0 0 5 7 】

次に、主スイッチ素子 1 0 が導通状態から遮断状態に転じると、二次巻線 2 2 に誘起された電圧により、第 1 の二次側整流素子 6 は遮断し、第 2 の二次側整流素子 7 が導通し、イ

50

ンダクタンス素子 8 に蓄積された磁気エネルギーにより、同じ方向に電流が流れ続け、出力コンデンサ 9 及び負荷 1 2 に電力を供給する。

【 0 0 5 8 】

主スイッチ素子 1 0 の導通状態と遮断状態の切り替えは、制御装置 5 0 A により、P W M 方式で制御されている。

【 0 0 5 9 】

この P W M 制御方法を説明すると、図 2 を参照し、制御回路 5 0 A は、抵抗 5 1、5 2 と、基準電圧発生器 5 3 と、増幅器 5 4 と、比較器 5 5 と、発振器 5 6 とを有している。出力端子 2 3 とグラウンド端子 2 4 の間の電圧は、抵抗 5 1、5 2 によって分圧され、サンプリング電圧が生成されており、そのサンプリング電圧が増幅器 5 4 の反転入力端子に入力されている。

10

【 0 0 6 0 】

増幅器 5 4 の非反転入力端子には、基準電圧発生器 5 3 が出力する基準電圧が入力されており、サンプリングされた電圧と、基準電圧とが比較され、その結果は、後段の増幅器 5 5 の非反転入力端子に出力されている。

【 0 0 6 1 】

比較器 5 5 の反転入力端子には、発振器 5 6 が生成する鋸歯状波が入力されており、比較器 5 5 によって、増幅器 5 4 が出力する電圧が鋸歯状波と比較されている。

【 0 0 6 2 】

増幅器 5 4 から入力される電圧が、鋸歯状波の電圧よりも高い場合は、比較器 5 5 は、高電圧を出力し、逆の場合には、低電圧(グラウンド電圧)を出力する。

20

【 0 0 6 3 】

比較器 5 5 が出力する電圧は、主スイッチ素子 1 0 のゲート端子に印加されている。主スイッチ素子 1 0 は、比較器 5 5 から高電圧が出力される間は導通し(導通期間)、低電圧が出力される間は遮断する(遮断期間)。この導通期間と遮断期間の周波数は、鋸歯状波の周波数になっている。

【 0 0 6 4 】

増幅器 5 4 が比較器 5 5 に出力する電圧は、出力端子 2 3 の出力電圧によって変動する。例えば、一次側電圧供給回路の出力電圧低下等により、出力端子 2 3 の出力電圧が低下した場合には、増幅器 5 4 の出力電圧は大きくなり、その結果、比較器 5 5 が高電圧を出力する時間は長くなり、主トランジスタ 1 0 の導通期間が長くなる。その結果、出力電圧は上昇する。

30

逆に、出力端子 2 3 の出力電圧が高くなった場合には、主トランジスタ 1 0 の遮断期間が長くなり、出力電圧は低下する。

【 0 0 6 5 】

このように、増幅器 5 4 と比較器 5 5 の動作により、出力端子 2 3 の出力電圧変動が打ち消されるので、出力端子 2 3 の電圧は、結局、基準電圧発生器 5 3 の出力電圧と、抵抗 5 1、5 2 の値で決まる一定電圧に維持される。

【 0 0 6 6 】

この電源装置 3 の電流検出回路 3 0 は、一次側検出巻線 3 1 と、二次側検出巻線 3 2 を有している。また、逆電流抑制回路 4 0 は、整流ダイオード 4 1 と、整流トランジスタ 4 2 と、平滑回路 4 3 と、ツェナーダイオード 4 8 と、制御トランジスタ 4 6 と抵抗 4 4、4 5 と、定電圧回路 4 7 とを有している。整流トランジスタ 4 2 は n チャネル M O S F E T で構成されており、制御トランジスタ 4 6 は p n p トランジスタで構成されている。

40

【 0 0 6 7 】

一次側検出巻線 3 1 の一端は、主スイッチ素子 1 0 のソース端子に接続されており、他端は一次側のグラウンド端子 2 6 に接続されている(一次側検出巻線 3 1 が主スイッチ素子 1 0 に直列接続されている。)

【 0 0 6 8 】

二次側検出巻線 3 2 には、抵抗 4 4 が並列接続されており、また、該二次側検出巻線 3 2

50

の一端は、逆電流抑制回路 40 内の整流ダイオード 41 のアノード端子に接続されている。その整流ダイオード 41 のカソード端子は整流トランジスタ 42 のドレイン端子に接続され、該整流トランジスタ 42 のソース端子は二次側のグラウンド端子 24 (グラウンド電圧) に接続されている。

【0069】

他方、二次側検出巻線 32 の他端は、平滑回路 43 及びツェナーダイオード 48 のアノード端子に接続されており、該ツェナーダイオード 48 のカソード端子は、制御トランジスタ 46 のベース端子に接続されている。制御トランジスタ 46 のコレクタ端子は、制御回路 50A 内の比較器 55 の非反転入力端子に接続されており、また、エミッタ端子は定電圧回路 47 に接続されている。

10

【0070】

整流トランジスタ 42 のゲート端子は、主スイッチ素子 10 のゲート端子に接続されており、主スイッチ素子 10 と一緒に、制御回路 50A によって導通又は遮断するように構成されている。

【0071】

一次側検出巻線 31 の主スイッチ素子 10 側の一端と、二次側検出巻線 32 のツェナーダイオード 48 のアノード端子側に接続された一端とは同極性にされている。主スイッチ素子 10 に、ソース端子からドレイン端子に向け、逆電流 I_{10} が流れると、一次側検出巻線 31 のグラウンド端子 26 側に正電圧、主スイッチ素子 10 のソース端子側に負電圧が誘起される。

20

それに伴い、二次側検出巻線 32 には、整流ダイオード 41 のアノード側に正電圧、ツェナーダイオード 48 のアノード端子側に負電圧が誘起される。

【0072】

定電圧回路 47 の出力電圧は、二次側検出巻線 32 に電圧が誘起されない場合は、ツェナーダイオード 48 を導通させない大きさに設定されており、二次側検出巻線 32 に誘起された電圧により、ツェナーダイオード 48 のアノード端子に負電圧が印加されると、ツェナーダイオード 48 両端の電圧が大きくなり、ツェナーダイオード 48 は導通する。

【0073】

他方、整流トランジスタ 42 のドレイン端子には、整流ダイオード 41 を介して正電圧が印加されている。このとき、制御回路 50A により、整流トランジスタ 42 のゲート端子と主スイッチ素子 10 のゲート端子には同じ極性の電圧が印加されるから、主スイッチ素子 10 が導通期間にある場合に限り、整流トランジスタ 42 は導通する。

30

【0074】

制御トランジスタ 46 の導通は、平滑回路 43 によって維持されるから、その結果、一旦逆電流によって制御トランジスタ 46 が導通すると、その導通は維持される。

【0075】

その結果、二次側検出巻線 32 に誘起された電圧により、電流 I_{11} が流れる。この電流 I_{11} は、整流ダイオード 41 から、整流トランジスタ 42 の、定電圧回路 47 のグラウンド電位側に流れ込み、また、定電圧回路 47 の正電圧側から、制御トランジスタ 46 のベース・エミッタ間に接続された抵抗 45 を通り、ツェナーダイオード 48 を介して、二次側検出巻線 32 に流れ込む。

40

【0076】

電流 I_{11} が抵抗 45 に流れることにより、制御トランジスタ 46 のベース・エミッタ間の電圧が大きくなると、制御トランジスタ 46 が導通する。制御トランジスタ 46 が導通すると、比較器 55 の非反転入力端子の電圧は、増幅器 54 が出力する電圧とは無関係に、定電圧回路 47 が出力する電圧まで上昇する。その結果、主トランジスタ 10 の導通期間が長くなり、出力電流量が増大する。

【0077】

図 1 の並列型電源 2 において、一方の電源装置 3₁ から他方の電源装置 3₂ に向けて逆電流が供給されていた場合、上記他方の電源装置 3₂ 内の電流検出回路 30 と逆電流抑制回路

50

40とが動作し、出力電流が増大する。

出力端子23の電圧が一定であれば、負荷12で消費される電力も一定であるから、増加した分は、逆電流を供給していた電源装置3₁の出力電流が減少する。

【0078】

逆電流が検出された導通期間内では、平滑回路43によって制御トランジスタ46の導通が維持されるが、平滑回路43は、遮断期間にリセットされるから、次の導通期間には、再度逆電流が流入し、電流検出回路30と逆電流抑制回路40が動作を開始する。結局、導通期間毎に逆電流抑制回路40が動作し、2台の電源装置3₁、3₂が制御される。

【0079】

このように、電流検出回路30と逆電流抑制回路40により、逆電流が抑制されると、各電源装置3₁、3₂の出力電流量は均等に配分され、両方の電源装置3₁、3₂から負荷12に電流が供給されるようになる。

【0080】

上記のように、逆電流抑制回路40が動作しても、主スイッチ素子10に逆電流が流れ続けた場合には、主スイッチ素子10は、鋸歯状波の1周期中に必ず遮断するようになっており、主スイッチ素子10が導通したままにならないようになっている。

【0081】

なお、主スイッチ素子10の遮断期間中に、そのソース端子の電圧がドレイン端子の電圧よりも高くなった場合、主スイッチ素子10内の寄生ダイオードが順バイアスされ、逆電流と同じ向きの電流が流れる。

【0082】

この場合、逆電流抑制回路40内の整流トランジスタ42は、ドレイン端子の電圧がソース端子の電圧よりも高い状態でゲート端子に低電圧が印加されるから、整流トランジスタ42には電流が流れず、制御トランジスタ46が導通することはない。

【0083】

次に、本発明の第2例の電源装置を説明する。

図3を参照し、符号4は、並列接続型電源装置2に用いることができる電源装置を示している。

【0084】

この電源装置4も、上記電源装置2と同様に、一次側電圧供給回路11と、トランス20と、主スイッチ素子10と、逆電流抑制回路40と、制御回路50Bと、第1、第2の二次側整流素子6、7と、インダクタンス素子8と、出力コンデンサ9を有している。

【0085】

トランス20は、一次巻線21と二次巻線22とで構成されており、主スイッチ素子10と、第1、第2の整流素子6、7は、それぞれnチャネルMOSFETで構成されている。

【0086】

制御回路50B内の増幅器54の反転入力端子には、上記制御回路50Aと同様に、出力端子23の出力電圧が抵抗51、52で分圧された電圧が入力されている。

【0087】

逆電流抑制回路40内の定電圧回路47は、基準電圧発生器53を兼ねており、その定電圧回路47の出力電圧は、制御回路50B内に設けられた抵抗63、64の直列接続回路で分圧され、増幅器54の非反転入力端子に入力されている。

【0088】

逆電流抑制回路40内に設けられた制御トランジスタ46のコレクタ端子は、増幅器54の非反転入力端子に直結されている。従って、逆電流によって制御トランジスタ43が導通すると、増幅器54の非反転入力端子には、定電圧回路47が出力する電圧が直接印加され、増幅器54が出力する電圧が高くなる。

従って、比較器55が高電圧を出力する時間が長くなり、それに伴い、主スイッチ素子10の導通期間が長くなり、逆電流が小さくなる。

【0089】

次に、本発明の第3例の電源装置を説明する。

図4を参照し、符号5は、上記電源装置3、4と同様に、並列型電源装置2を構成できる電源装置である。

【0090】

この電源装置5は、制御回路50C内に、npnトランジスタで構成された補助トランジスタ66が設けられており、逆電流抑制回路40内の制御トランジスタ46のコレクタ端子は、電流制限抵抗65を介して、補助トランジスタ66のベース端子に接続されている。補助トランジスタ66のエミッタ端子はグラウンド電位に接続されており、これら端子は増幅器54の反転入力端子に接続されている。

10

【0091】

この制御回路50Cの他の構成は、図2に示した制御回路50Aと同じ構成である。主スイッチ素子10の導通期間内に逆電流が流れ、制御トランジスタ46が導通すると、補助トランジスタ66が導通し、増幅器54の反転入力端子の電圧がグラウンド電位にされる。その結果、出力端子23の出力電圧とは無関係に、比較器55の出力電圧が高電圧になり、主スイッチ素子10に流れる電流が増加する。

【0092】

以上説明した電源装置3~5は、電流検出回路30の一次側検出巻線31が、主スイッチ素子10に直列接続されていたが、本発明は、主スイッチ素子10に抵抗素子を直列接続し、その両端の電圧を、逆電流抑制回路40に入力させてもよい。

20

【0093】

また、図5の符号6で示す本発明の第4例の電源装置のように、一次側検出巻線31を二次巻線22に直列接続し、二次側に流入する電流を検出することで、主スイッチ素子10に流れる逆電流を検出し、主スイッチ素子を制御してもよい。

【0094】

同図の符号 I_{12} は、他の電源装置から二次側に流入した電流を示しており、この電流 I_{12} によって、一次側に逆電流 I_{10} が誘起されている。

【0095】

上記電源3~5では、逆電流 I_{10} を直接検出していたが、この電源装置6では、二次側に流入する電流 I_{12} を検出し、主スイッチ素子10が導通期間にある場合、制御トランジスタ46によって、比較器55の非反転入力端子を制御しており、その結果、導通期間中に逆電流 I_{10} が流れると、主スイッチ素子10の導通期間が長くなるように構成されている。

30

【0096】

次に、図6の符号7は、本発明の第5例の電源装置であり、複数台を並列接続して運転させることができる。

【0097】

この電源装置7は、一次側電源回路70と、主スイッチ素子85と、副スイッチ素子86と、トランス80と、制御回路50Dと、2個のコンデンサ87、88とを有している。

【0098】

主スイッチ素子85と副スイッチ素子86は、nチャネルMOSトランジスタで構成されており、主スイッチ素子85のドレイン端子は、副スイッチ素子86のソース端子に接続されている。また、各コンデンサ87、88の一端は互いに接続され、一次側電圧供給回路71が構成されている。各コンデンサ87、88の他端は、副スイッチ素子86のドレイン端子と、一次側のグラウンド電位にそれぞれ接続されている。

40

【0099】

主スイッチ素子85のソース端子は、電流検出回路30内の一次側検出巻線31の一端に接続されており、該一次側検出巻線31の他端は、一次側のグラウンド電位に接続されている。

【0100】

50

トランス 80 内には、一次巻線 81 と、該一次巻線 81 と磁気結合された 2 個の二次巻線 82A、82B が設けられている。

【0101】

一次巻線 81 の一端は、主及び副スイッチ素子 85、86 が接続された部分に接続されており、他端は、2 個のコンデンサ 87、88 が互いに接続された部分に接続されている。

【0102】

この制御回路 50D 内には、インバータ 61 とレベルシフト回路 62 とが設けられており、制御回路 50D 内の比較器 55 の出力は、主スイッチ素子 85 のゲート端子に出力されると共に、インバータ 61 とレベルシフト回路 62 とを介して副スイッチ素子 86 のゲート端子に出力されている。従って、主スイッチ素子 85 と副スイッチ素子 86 とは、一方が導通状態にあるときは、他方は遮断状態になるように構成されている。

【0103】

一次側電圧供給回路 71 内の、グラウンド電位側のコンデンサ 87 には、正電圧が充電されており、制御回路 50D が主スイッチ素子 85 を導通させると、そのコンデンサ 87 から一次巻線 81 に電流が供給される。

【0104】

一次側電源回路 70 内にはインダクタンス素子 72 が設けられており、主スイッチ素子 85 が導通すると、そのインダクタンス素子 72 に電流が流れ、主スイッチ素子 85 が導通から遮断に転じると、インダクタンス素子 72 に蓄積されたエネルギーにより、一次巻線 81 に逆向きに電流を流す。

【0105】

制御回路 50D は、主スイッチ素子 85 の遮断期間中に副スイッチ素子 86 を導通させ、コンデンサ 88 を放電、及び充電させ、主スイッチ素子 85 のスイッチング動作の損失を減らす。

【0106】

このように、制御回路 50D が、主スイッチ素子 85 と副スイッチ素子 86 を交互に導通させるとトランス 80 内の一次巻線 81 に交流電流が流れる。

【0107】

この電源装置 7 の二次側には、インダクタンス素子 78 と、出力コンデンサ 79 と、2 個の整流素子 76、77 とが設けられている。2 個の二次巻線 82A、82B は、直列接続されており、互いに接続された部分はインダクタンス素子 78 の一端に接続されている。インダクタンス素子 78 の他端から、出力端子 23 が取り出されている。

2 個の二次巻線 82A、82B の他端は、整流素子 76、77 を介して、それぞれ二次側のグラウンド端子 24 に接続されている。

【0108】

各整流素子 76、77 は、それぞれ n チャネル MOS トランジスタで構成されており、ドレイン端子側を二次巻線 82A、82B の一端に接続されており、ゲート端子を、ドレイン端子が接続されていない方の二次巻線 82B、82A の一端に接続されている。

【0109】

各整流素子 76、77 は、二次巻線 82B、82A に誘起された電圧によって、逆方向に交互に導通し、一次巻線 81 から二次巻線 82A、82B に伝達されたエネルギーにより、ソース端子側からドレイン端子側に交互に電流を流す。

【0110】

出力端子 23 とグラウンド端子 24 の間には出力コンデンサ 79 が設けられており、整流素子 76、77 を流れる電流は、インダクタンス素子 78 と出力コンデンサで平滑され、負荷 89 に供給される。

【0111】

この電源装置 7 でも、電流検出回路 30 内の二次側検出巻線 32 に、逆電流抑制回路 40 が接続されており、逆電流抑制回路 40 内の制御トランジスタ 46 のコレクタ端子は、図 2 に示した制御回路 50A と同様に、制御回路 50D 内の比較器 55 の非反転入力端子に接

10

20

30

40

50

続されている。

【 0 1 1 2 】

比較器 5 5 の出力は、主スイッチ素子 8 5 のゲート端子と、逆電流抑制回路 4 0 内の整流トランジスタ 4 2 のゲート端子に入力されており、主スイッチ素子 8 5 の導通期間中に、主スイッチ素子 8 5 に逆電流が流れると、比較器 5 5 から高電圧が出力され、主スイッチ素子 8 5 の導通期間が長くなるようにされている。

【 0 1 1 3 】

【 発明の効果 】

逆電流が流れた場合、主スイッチ素子に流れる順方向の電流量が大きくなるので、並列接続された各電源の負担が均等化する。

10

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 例の電源装置のブロック図

【 図 2 】 その電源装置の内部回路図

【 図 3 】 本発明の電源装置の第 2 例の内部回路図

【 図 4 】 本発明の電源装置の第 3 例の内部回路図

【 図 5 】 本発明の電源装置の第 4 例の内部回路図

【 図 6 】 本発明の電源装置の第 5 例の内部回路図

【 図 7 】 (a)、(b) : 従来技術の電源装置を説明するための図

【 図 8 】 従来技術の電源装置を並列接続した状態を説明するための図

20

【 符号の説明 】

- 2 並列型電源装置
- 3 ~ 7 電源装置
- 8 インダクタンス素子
- 1 0 主スイッチ素子
- 1 1、7 1 一次側電圧供給回路
- 2 0、8 0 トランス
- 2 1、8 1 一次巻線
- 2 2、8 2 A、8 2 B..... 二次巻線
- 3 0 電流検出回路
- 3 1 一次側検出巻線
- 3 2 二次側検出巻線
- 4 0 逆電流抑制回路
- 5 0、5 0 A、5 0 B、5 0 C、5 0 D..... 制御回路
- 5 4 増幅器
- 5 5 比較器

30

フロントページの続き

(51)Int.Cl.

F I

H 0 5 B 41/24

(56)参考文献 特開平7 - 7 5 3 3 6 (J P , A)
特開平6 - 3 4 3 2 6 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H02M 3/28