



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년04월04일
 (11) 등록번호 10-1025761
 (24) 등록일자 2011년03월23일

(51) Int. Cl.

H01L 27/092 (2006.01) H01L 21/8238 (2006.01)

(21) 출원번호 10-2004-0021569

(22) 출원일자 2004년03월30일

심사청구일자 2008년12월10일

(65) 공개번호 10-2005-0096386

(43) 공개일자 2005년10월06일

(56) 선행기술조사문헌

KR1020030082934 A*

JP2000183182 A

JP2004087640 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

마에다시게노부

서울특별시강남구개포동주공아파트707동1409호

양정환

경기도수원시팔달구영통동살구골7

단지성지아파트712동204호

(74) 대리인

리엔특허법인, 이해영

전체 청구항 수 : 총 88 항

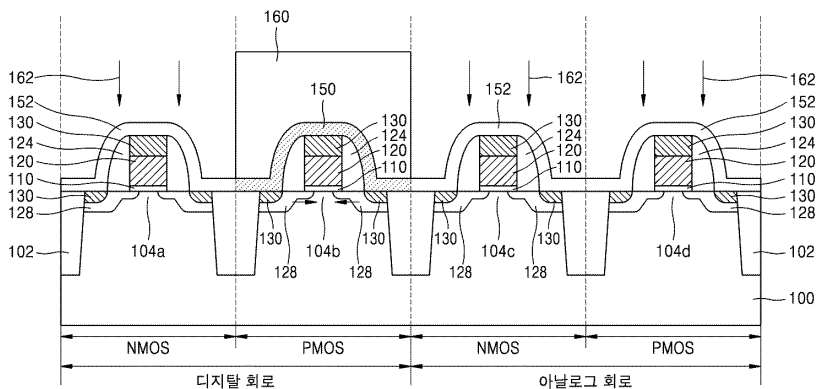
심사관 : 이승주

(54) 디지털 회로 및 아날로그 회로를 가지는 반도체 집적회로 및 그 제조 방법

(57) 요약

디지털 회로와, 아날로그 회로와 같이 노이즈에 민감한 회로가 동일 기판상에 혼재되어 있는 반도체 집적회로 및 그 제조 방법에 관하여 개시한다. 디지털 회로에서는 NMOS 트랜지스터 및 PMOS 트랜지스터에서 우수한 퍼포먼스를 확보하고 아날로그 회로에서는 노이즈를 최소화할 수 있도록, 본 발명에 따른 반도체 집적회로는 디지털 회로를 구성하는 소정의 채널 타입의 제1 트랜지스터와, 아날로그 회로를 구성하는 소정의 채널 타입의 제2 트랜지스터를 포함한다. 제1 트랜지스터의 채널에 국부적 응력(local stress)를 부여하도록 제1 트랜지스터 근방에 스트레스 콘트롤막이 형성되어 있다. 또한, 제2 트랜지스터의 채널에서의 국부적 응력을 완화하도록 제2 트랜지스터를 덮는 스트레스 릴렉스막을 포함한다.

대표도



특허청구의 범위

청구항 1

반도체 기판상의 제1 영역에 형성된 제1 도전형의 제1 MOS 트랜지스터와,
 상기 반도체 기판상의 제2 영역에 형성된 상기 제1 도전형의 제2 MOS 트랜지스터와,
 국부적 응력(local stress)이 부여된 상기 제1 MOS 트랜지스터의 제1 채널 영역과,
 국부적 응력이 부여되지 않은 상기 제2 MOS 트랜지스터의 제2 채널 영역을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 2

제1항에 있어서,
 상기 제1 채널 영역에 국부적 응력을 부여하기 위하여 상기 제1 MOS 트랜지스터 위에 형성된 제1 스트레스 콘트롤막을 더 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 3

제2항에 있어서,
 상기 제1 채널 영역에는 국부적인 압축 응력 (compressive stress)이 부여되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 4

제3항에 있어서,
 상기 제1 스트레스 콘트롤막은 PECVD (plasma enhanced chemical vapor deposition)에 의해 형성된 실리콘 질화막, 200 ~ 400℃의 저온 공정에 의하여 형성된 실리콘 질화막, 또는 실리콘 산화막으로 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 5

제3항에 있어서,
 상기 제1 MOS 트랜지스터는 PMOS 트랜지스터인 것을 특징으로 하는 반도체 집적회로.

청구항 6

제5항에 있어서,
 상기 제1 영역에 형성된 제2 도전형의 제3 MOS 트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 7

제6항에 있어서,
 상기 제3 MOS 트랜지스터는 국부적 인장 응력 (tensile stress)이 부여된 제3 채널 영역을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 8

제7항에 있어서,
 상기 제3 채널 영역에 국부적 인장 응력을 부여하기 위하여 상기 제3 MOS 트랜지스터 위에 형성된 제2 스트레스 콘트롤막을 더 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 9

제6항에 있어서,

상기 제3 MOS 트랜지스터는 응력이 부여되지 않은 채널 영역을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 10

제6항에 있어서,

상기 제2 영역에 형성된 제2 도전형의 제4 MOS 트랜지스터와,

국부적 응력이 부여되지 않은 상기 제4 MOS 트랜지스터의 제4 채널 영역을 더 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 11

제2항에 있어서,

상기 제1 채널 영역에는 국부적인 인장 응력이 부여되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 12

제11항에 있어서,

상기 제1 스트레스 콘트롤막은 LPCVD에 의해 형성된 실리콘 질화막, 400 ~ 800℃의 고온 공정에 의하여 형성된 실리콘 질화막, PECVD에 의해 형성된 실리콘 산화질화막, 또는 실리콘 산화막으로 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 13

제11항에 있어서,

상기 제1 MOS 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 반도체 집적회로.

청구항 14

제13항에 있어서,

상기 제1 영역에 형성된 제2 도전형의 제3 MOS 트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 15

제14항에 있어서,

상기 제3 MOS 트랜지스터는 국부적 압축 응력이 부여된 제3 채널 영역을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 16

제14항에 있어서,

상기 제3 MOS 트랜지스터는 응력이 부여되지 않은 채널 영역을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 17

제1항에 있어서,

상기 제1 채널 영역에 국부적 응력을 부여하기 위하여 상기 제1 MOS 트랜지스터 위에 형성된 제1 스트레스 콘트롤막과,

상기 제2 채널 영역에서의 응력을 완화시키기 위하여 상기 제2 MOS 트랜지스터 위에 형성된 제1 스트레스 릴렉스막을 더 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 18

제17항에 있어서,

상기 제1 채널 영역에는 국부적인 압축 응력이 부여되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 19

제18항에 있어서,

상기 제1 스트레스 콘트롤막은 PECVD에 의해 형성된 실리콘 질화막, 200 ~ 400℃의 저온 공정에 의하여 형성된 실리콘 질화막, 또는 실리콘 산화막으로 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 20

제17항에 있어서,

상기 제1 스트레스 릴렉스막은 이온 주입된 실리콘 질화막, 이온 주입된 실리콘 산화막, 또는 이온 주입된 실리콘 산화질화막으로 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 21

제20항에 있어서,

상기 주입된 이온은 Ge 이온, Si 이온, As 이온, In 이온, 또는 Sb 이온인 것을 특징으로 하는 반도체 집적회로.

청구항 22

제18항에 있어서,

상기 제1 MOS 트랜지스터는 PMOS 트랜지스터인 것을 특징으로 하는 반도체 집적회로.

청구항 23

제22항에 있어서,

상기 제1 영역에 형성된 제2 도전형의 제3 MOS 트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 24

제23항에 있어서,

상기 제3 MOS 트랜지스터는 국부적 인장 응력이 부여된 제3 채널 영역을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 25

제24항에 있어서,

상기 제3 채널 영역에 국부적 인장 응력을 부여하기 위하여 상기 제3 MOS 트랜지스터 위에 형성된 제2 스트레스 콘트롤막을 더 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 26

제23항에 있어서,

상기 제3 MOS 트랜지스터는 응력이 부여되지 않은 채널 영역을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 27

제23항에 있어서,

상기 제2 영역에 형성된 제2 도전형의 제4 MOS 트랜지스터와,

상기 제4 MOS 트랜지스터 위에 형성된 제2 스트레스 릴렉스막을 더 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 28

제17항에 있어서,

상기 제1 채널 영역에는 국부적인 인장 응력이 부여되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 29

제28항에 있어서,

상기 제1 스트레스 콘트롤막은 LPCVD에 의해 형성된 실리콘 질화막, 400 ~ 800℃의 고온 공정에 의하여 형성된 실리콘 질화막, PECVD에 의해 형성된 실리콘 산화질화막, 또는 실리콘 산화막으로 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 30

제29항에 있어서,

상기 제1 MOS 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 반도체 집적회로.

청구항 31

제30항에 있어서,

상기 제1 영역에 형성된 제2 도전형의 제3 MOS 트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 32

제31항에 있어서,

상기 제3 MOS 트랜지스터는 국부적 압축 응력이 부여된 제3 채널 영역을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 33

제31항에 있어서,

상기 제3 MOS 트랜지스터는 응력이 부여되지 않은 채널 영역을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 34

제1항에 있어서,

상기 제1 영역은 디지털 회로 영역이고, 상기 제2 영역은 아날로그 회로 영역인 것을 특징으로 하는 반도체 집적회로.

청구항 35

제1항에 있어서,

상기 제1 영역 및 제2 영역은 모두 디지털 회로 영역인 것을 특징으로 하는 반도체 집적회로.

청구항 36

제1항에 있어서,

상기 제1 영역은 고전압 회로 영역이고, 상기 제2 영역은 저전압 회로 영역인 것을 특징으로 하는 반도체 집적회로.

청구항 37

디지털 회로 및 아날로그 회로가 동일 기판상에 혼재되어 있는 반도체 집적 회로에 있어서,

상기 디지털 회로를 구성하는 제1 트랜지스터와,

상기 아날로그 회로를 구성하는 제2 트랜지스터와,

상기 제1 트랜지스터의 채널에 국부적 응력(local stress)를 부여하도록 상기 제1 트랜지스터 위에 형성되어 있는 스트레스 콘트롤막과,

상기 제2 트랜지스터의 채널에서의 국부적 응력을 완화하도록 상기 제2 트랜지스터를 덮는 스트레스 릴렉스막을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 38

제37항에 있어서,

상기 스트레스 콘트롤막 및 스트레스 릴렉스막은 상기 기판상에서 동일 레벨상에 형성되어 있는 것을 특징으로 하는 반도체 집적 회로.

청구항 39

제37항에 있어서,

상기 스트레스 콘트롤막은 상기 제1 트랜지스터의 소스/드레인 영역에만 형성되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 40

제39항에 있어서,

상기 제1 트랜지스터는 PMOS 트랜지스터이고,

상기 스트레스 콘트롤막은 상기 제1 트랜지스터의 채널에 국부적으로 압축 응력을 부여하기 위하여 상기 소스/드레인 영역에 국부적으로 에피택셜 성장된 SiGe층으로 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 41

제40항에 있어서,

상기 디지털 회로를 구성하는 n 채널 타입의 제3 트랜지스터와,

상기 제3 트랜지스터 위에 형성된 인장 응력 박막을 더 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 42

제41항에 있어서,

상기 인장 응력 박막 및 상기 스트레스 릴렉스막은 상기 기판상에서 동일 레벨상에 형성되어 있는 것을 특징으로 하는 반도체 집적 회로.

청구항 43

제41항에 있어서,

상기 제1 트랜지스터 위에 형성되고, 상기 기판상에서 제3 트랜지스터를 덮는 상기 인장 응력 박막과 동일 레벨에 형성되어 있는 스트레스 릴렉스된 박막(stress-relaxed thin film)을 더 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 44

제43항에 있어서,

상기 제2 트랜지스터를 덮는 상기 스트레스 릴렉스막과 상기 제1 트랜지스터를 덮는 스트레스 릴렉스된 박막은 동일 물질로 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 45

제39항에 있어서,

상기 제1 트랜지스터는 NMOS 트랜지스터이고,

상기 스트레스 콘트롤막은 상기 제1 트랜지스터의 채널에 국부적으로 인장 응력을 부여하기 위하여 상기 소스/드레인 영역 위에 형성되어 있는 금속 실리사이드층으로 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 46

제45항에 있어서,

상기 금속 실리사이드층은 코발트 실리사이드층으로 이루어지는 것을 특징으로 하는 반도체 집적 회로.

청구항 47

반도체 기판상의 제1 영역에 위치하는 제1 도전형의 제1 MOS 트랜지스터와, 상기 반도체 기판상의 제2 영역에 위치하는 제1 도전형의 제2 MOS 트랜지스터를 형성하는 단계와,

상기 제1 MOS 트랜지스터의 제1 채널 영역과 상기 제2 MOS 트랜지스터의 제2 채널 영역에 국부적 응력을 부여하는 단계와,

상기 제2 채널 영역에서의 국부적 응력을 완화하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 48

제47항에 있어서,

상기 제1 채널 영역 및 제2 채널 영역에 국부적 응력을 부여하기 위하여 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 위에 스트레스 콘트롤막을 형성하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 49

제48항에 있어서,

상기 제1 MOS 트랜지스터의 채널 영역에 국부적 응력을 부여하기 위하여 다음의 단계들, 즉

(a) 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 중 적어도 하나의 트랜지스터의 게이트 및 소스/드레인 영역을 덮는 제1 물질막을 형성하는 단계, 및

(b) 상기 제1 물질막을 어닐링하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 50

제49항에 있어서,

상기 제1 물질막은 실리콘 산화질화막으로 이루어지는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 51

제49항에 있어서,

상기 제1 물질막을 어닐링하기 전에 상기 제1 물질막 중 상기 제2 MOS 트랜지스터를 덮는 부분을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 52

제48항에 있어서,

상기 국부적 응력을 부여하는 단계에서는 상기 제1 MOS 트랜지스터의 채널 영역에만 선택적으로 국부적 응력을 부여하기 위하여 상기 제1 MOS 트랜지스터의 소스/드레인 영역에만 국부적으로 반도체층을 에피택셜 성장시키는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 53

제52항에 있어서,

상기 제1 MOS 트랜지스터는 PMOS 트랜지스터이고,

상기 반도체층은 SiGe층으로 이루어지는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 54

제48항에 있어서,

상기 국부적 응력을 부여하는 단계에서는 상기 제1 MOS 트랜지스터의 채널 영역에만 선택적으로 국부적 응력을 부여하기 위하여 다음의 단계들, 즉

- (a) 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터의 각 소스/드레인 영역에 모노실리사이드(mono-silicide)로 이루어지는 제1 상(相)의 금속 실리사이드층을 형성하는 단계,
- (b) 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 각각의 게이트 및 소스/드레인 영역을 모두 덮는 응력 완화용 박막을 형성하는 단계,
- (c) 상기 응력 완화용 박막 중 일부분을 제거하여 상기 제1 MOS 트랜지스터의 게이트 및 소스/드레인 영역을 노출시키는 단계, 및
- (d) 상기 제2 MOS 트랜지스터가 상기 응력 완화용 박막으로 덮여있는 상태에서 상기 제1 MOS 트랜지스터의 소스/드레인 영역에 형성되어 있는 상기 제1 상의 금속 실리사이드층이 디실리사이드(di-silicide)로 이루어지는 제2 상의 금속 실리사이드층으로 상전이(相轉移)될 수 있도록 상기 제1 MOS 트랜지스터를 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 55

제54항에 있어서,

상기 제1 MOS 트랜지스터는 NMOS 트랜지스터이고,

상기 금속 실리사이드층은 코발트 실리사이드층인 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 56

제54항에 있어서,

상기 응력 완화용 박막은 TiN막으로 이루어지는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 57

제54항에 있어서,

(e) 상기 제2 상의 금속 실리사이드층이 형성된 후 상기 응력 완화용 박막을 완전히 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 58

제48항에 있어서,

상기 스트레스 콘트롤막은 압축 응력을 가지는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 59

제58항에 있어서,

상기 스트레스 콘트롤막은 PECVD에 의해 형성된 실리콘 질화막, 200 ~ 400℃의 저온 공정에 의하여 형성된 실리콘 질화막, 또는 실리콘 산화막으로 이루어지는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 60

제48항에 있어서,

상기 스트레스 콘트롤막은 인장 응력을 가지는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 61

제60항에 있어서,

상기 스트레스 콘트롤막은 LPCVD에 의해 형성된 실리콘 질화막, 400 ~ 800℃의 고온 공정에 의하여 형성된 실리콘 질화막, PECVD에 의해 형성된 실리콘 산화질화막, 또는 실리콘 산화막으로 이루어지는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 62

제48항에 있어서,

상기 제2 채널 영역에서의 국부적 응력을 완화하기 위하여 상기 스트레스 콘트롤막의 일부 영역에 이온을 주입하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 63

제62항에 있어서,

상기 이온은 Ge 이온, Si 이온, As 이온, In 이온, 또는 Sb 이온인 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 64

제48항에 있어서,

상기 제2 채널 영역에서의 국부적 응력을 완화하기 위하여 상기 스트레스 콘트롤막의 일부 영역을 제거하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 65

제47항에 있어서,

상기 제1 영역에 위치하는 제2 도전형의 제3 MOS 트랜지스터를 형성하는 단계와,

상기 제1 MOS 트랜지스터의 제1 채널 영역 및 상기 제3 MOS 트랜지스터의 제3 채널 영역에 각각 인장 응력 및 압축 응력 중에서 선택되는 서로 다른 응력을 국부적으로 부여하는 단계를 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 66

제47항에 있어서,

상기 제1 영역에 위치하는 제2 도전형의 제3 MOS 트랜지스터와, 상기 제2 영역에 위치하는 제2 도전형의 제4 MOS 트랜지스터를 형성하는 단계와,

상기 제3 MOS 트랜지스터의 제3 채널 영역 및 상기 제4 MOS 트랜지스터의 제4 채널 영역에 국부적 응력을 부여하는 단계와,

상기 제4 채널 영역에서의 응력을 완화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 67

제47항에 있어서,

상기 제1 영역은 디지털 회로 영역이고, 상기 제2 영역은 아날로그 회로 영역인 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 68

반도체 기판상의 제1 영역에 위치하는 제1 도전형의 제1 MOS 트랜지스터 및 제2 도전형의 제2 MOS 트랜지스터와, 상기 반도체 기판상의 제2 영역에 위치하는 제1 도전형의 제3 MOS 트랜지스터를 형성하는

단계와,

상기 제1 MOS 트랜지스터의 제1 채널 영역 및 상기 제2 MOS 트랜지스터의 제2 채널 영역에 각각 인장 응력 및 압축 응력 중에서 선택되는 서로 다른 응력을 국부적으로 부여하는 단계와,

상기 제1 채널 영역 또는 제2 채널영역에 응력이 부여되는 것과 동시에 상기 제3 MOS 트랜지스터의 제3 채널 영역에 국부적으로 응력을 부여하는 단계와,

상기 제3 채널 영역에서의 국부적 응력을 완화하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 69

제68항에 있어서,

상기 제1 채널 영역 또는 제2 채널 영역에 국부적 응력을 부여하기 위하여 스트레스 콘트롤막을 형성하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 70

제68항에 있어서,

상기 제1 채널 영역 또는 제2 채널 영역에 국부적 응력을 부여하기 위하여 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 중에서 선택되는 하나의 트랜지스터의 소스/드레인 영역에 국부적으로 반도체층을 에피택셜 성장시키는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 71

제70항에 있어서,

상기 선택된 트랜지스터는 PMOS 트랜지스터이고,

상기 반도체층은 SiGe층으로 이루어지는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 72

제69항에 있어서,

상기 제3 채널 영역에서의 국부적 응력을 완화하기 위하여 상기 스트레스 콘트롤막의 일부 영역에 이온을 주입하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 73

제72항에 있어서,

상기 이온은 Ge 이온, Si 이온, As 이온, In 이온, 또는 Sb 이온인 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 74

제69항에 있어서,

상기 제3 채널 영역에서의 국부적 응력을 완화하기 위하여 상기 스트레스 콘트롤막의 일부 영역을 제거하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 75

반도체 기판상의 제1 영역에 위치하는 제1 도전형의 제1 MOS 트랜지스터와, 상기 반도체 기판상의 제2 영역에 위치하는 제1 도전형의 제2 MOS 트랜지스터를 형성하는 단계와,

상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터의 각 소스/드레인 영역에 제1 상의 금속 실리사이드층을 형성하는 단계와,

상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 위에 응력 완화용 박막을 형성하는 단계와,

상기 응력 완화용 박막 중 상기 제1 MOS 트랜지스터 위에 형성된 일부분 만을 선택적으로 제거하는 단계와,
 상기 제1 MOS 트랜지스터의 채널 영역에만 선택적으로 국부적 응력을 부여하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 76

제75항에 있어서,
 상기 응력 완화용 박막은 TiN막으로 이루어지는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 77

제75항에 있어서,
 상기 제1 상의 금속 실리사이드층은 모노실리사이드로 이루어지는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 78

제77항에 있어서,
 상기 제1 MOS 트랜지스터의 채널 영역에만 선택적으로 국부적 응력을 부여하는 단계는 상기 제1 상의 금속 실리사이드층이 디실리사이드로 이루어지는 제2 상의 금속 실리사이드층으로 상전이될 수 있도록 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 79

제77항에 있어서,
 상기 제1 MOS 트랜지스터는 NMOS 트랜지스터이고,
 상기 금속 실리사이드층은 코발트 실리사이드층인 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 80

제1 채널 타입의 제1 트랜지스터 및 제1 채널 타입과 다른 제2 채널 타입의 제2 트랜지스터로 구성되는 디지털 회로용 CMOS 트랜지스터와, 아날로그 회로용 제3 트랜지스터를 하나의 기판상에 형성하는 단계와,
 상기 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터 중 상기 제3 트랜지스터를 반드시 포함하는 적어도 2개의 트랜지스터의 채널 영역에 국부적 제1 응력을 부여하는 단계와,
 상기 제3 트랜지스터의 채널 영역에서의 국부적 제1 응력을 완화하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 81

제80항에 있어서,
 상기 국부적 제1 응력을 부여하는 단계에서는 상기 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터의 각 채널 영역에 모두 국부적 제1 응력을 부여하고,
 상기 국부적 제1 응력을 완화하는 단계에서는 상기 제3 트랜지스터의 채널 영역에서의 국부적 제1 응력과, 상기 제1 트랜지스터 및 제2 트랜지스터 중에서 선택되는 하나의 트랜지스터의 채널 영역에서의 국부적 제1 응력을 완화하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 82

제81항에 있어서,
 상기 국부적 제1 응력을 부여하기 위하여 상기 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터를 덮는 스트레스 콘트롤막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 83

제82항에 있어서,

상기 국부적 제1 응력을 완화하는 단계에서는 상기 스트레스 콘트롤막 중 일부분에만 선택적으로 이온을 주입하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 84

제80항에 있어서,

상기 국부적 제1 응력을 부여하는 단계는

상기 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터 중 일부 또는 전부를 덮는 제1 물질막을 형성하는 단계와,

상기 제1 물질막 중 적어도 일부를 어닐링하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 85

제84항에 있어서,

상기 제1 물질막은 실리콘 산화질화막으로 이루어지는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 86

제84항에 있어서,

상기 제1 물질막을 어닐링하기 전에 상기 제1 물질막 중 상기 제3 트랜지스터를 덮는 부분을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 87

제80항에 있어서,

상기 제1 트랜지스터 및 제2 트랜지스터 중 선택된 하나의 트랜지스터에만 선택적으로 국부적 제2 응력을 부여하기 위하여 상기 선택된 트랜지스터의 소스/드레인 영역에만 국부적으로 SiGe층을 에피택셜 성장시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 88

제87항에 있어서,

상기 제1 응력은 인장 응력이고, 상기 제2 응력은 압축 응력인 것을 특징으로 하는 반도체 집적회로의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0019] 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 디지털 회로 및 아날로그 회로가 동일 기판상에 혼재되어 있는 반도체 집적 회로 및 그 제조 방법에 관한 것이다.

[0020] 최근, 화상 및 음성 처리와 통신 기능을 집적한 휴대용 정보 장치의 시장이 확대됨에 따라, 전자 기기 및 정보 단말기의 경량화, 소형화, 및 저비용화가 요구되고 있으며, 동작 속도를 저하시키지 않고 소비 전력을 줄일 수 있는 전자 소자가 요구되고 있다. 이에 따라, 종래에는 별개의 칩으로 구성되었던 디지털 회로 및 아날로그 회로를 단일 칩상에 탑재한 부품이 개발되고 있다. 시스템 LSI (large-scale integrated circuits)는 CPU (중앙

연산처리장치), 메모리, 화상 음성 데이터처리용 IC (integrated circuits), 통신용 IC 등 서로 다른 기능을 가진 복수의 회로 시스템이 1개의 반도체 칩에 조합되어 구성된 것으로, 멀티미디어용 전자 기기에 많은 이점을 제공하고 있다.

- [0021] 그러나, 디지털 회로와 아날로그 회로는 기능적으로 고려되어야 할 사항이 상호 다르다. 디지털 회로 및 아날로그 회로를 동일 칩상에 형성하는 데 있어서, 이들 디지털 회로 및 아날로그 회로에서 요구되는 각각의 기능적 특성 및 퍼포먼스(performance)를 최적화하는 것이 필요하다.
- [0022] 디지털 CMOS (complementary metal-oxide-semiconductor) 기술이 딥 서브미크론 수준으로 개발됨에 따라, 짧아진 채널 길이를 가지는 트랜지스터의 퍼포먼스를 향상시키기 위한 다양한 노력이 시도되고 있다. 그 중 하나의 방법으로서, 반도체 재료 내에서의 캐리어(전자 또는 정공)의 이동도(μ)를 제어하여 전류 구동 능력을 향상시킬 수 있는 기계적 스트레스 엔지니어링 (mechanical stress engineering)이 제안되었다. (예를 들면, 미합중국 특허 제6,573,172호 참조)
- [0023] 도 1은 종래 기술에 따라 기계적 스트레스 엔지니어링을 적용하여 디지털 MOS 트랜지스터를 제조하는 방법을 설명하기 위한 단면도이다.
- [0024] 도 1을 참조하면, 실리콘 기판(10)에 STI (shallow trench isolation) 방법에 의하여 소자분리 영역(12)을 형성하고, 상기 실리콘 기판(10)에 채널 이온 주입을 행한 후, 게이트 절연막(14) 및 게이트 전극(20)을 형성한다. 그 후, 소스/드레인 익스텐션(extension)(22) 형성을 위한 이온 주입 공정을 행하고, 상기 게이트 전극(20)의 측벽에 절연 스페이서(24)를 형성한 후, 딥 소스/드레인(26) 형성을 위한 이온 주입을 하여 소스/드레인 영역을 형성한다. 그 후, 샬리사이드 공정을 통하여 상기 게이트 전극(20) 및 소스/드레인 영역(26)의 위에 금속 실리사이드층(30)을 형성한다. 그 후, 채널 영역(18)에서의 기계적인 스트레스를 콘트롤하기 위하여 스트레스 콘트롤막(40)을 형성한다. 형성하고자 하는 트랜지스터가 NMOS 트랜지스터인 경우 상기 스트레스 콘트롤막(40)으로서 인장 응력을 가지는 막을 형성하면 상기 채널 영역(18)에는 도 1에 표시한 화살표와 같은 방향으로의 국부적 응력 (local stress), 즉 인장 응력 (tensile stress)이 발생된다. 만약, 형성하고자 하는 트랜지스터가 PMOS 트랜지스터인 경우 상기 스트레스 콘트롤막(40)으로서 압축 응력을 가지는 막을 형성하면 상기 채널 영역(18)에는 도 1에 표시한 화살표와 반대 방향으로의 국부적 응력, 즉 압축 응력 (compressive stress)이 발생된다.
- [0025] 상기한 바와 같이 디지털 CMOS 트랜지스터에서 퍼포먼스를 향상시키기 위하여 기계적 스트레스 엔지니어링을 적용하여 반도체 집적회로를 형성하는 경우, 트랜지스터에서의 플리커 노이즈 (flicker noise) 특성이 열화된다. 플리커 노이즈는 게이트 절연막에서 캐리어의 트랩핑(trapping) 및 디트랩핑(de-trapping)에 의하여 발생될 뿐만 아니라 트랩 전하 (trapped charges)에 의해 야기되는 캐리어 스캐터링에 의한 이동도 변화에 의하여 발생하는 것으로 여겨지고 있다.
- [0026] 디지털 회로는 플리커 노이즈에 의한 간섭에 대하여 비교적 저항력이 있으나, 다양한 전압 레벨 및 다양한 주파수에서 작동하는 아날로그 회로는 노이즈에 민감하여 플리커 노이즈에 의하여 열화되기 쉽다. 특히, 저주파 아날로그 회로에 있어서 플리커 노이즈는 매우 중요하다.
- [0027] 도 2a 및 도 2b는 각각 도 1을 참조하여 설명한 바와 같은 방법으로 기계적 스트레스 엔지니어링을 적용하여 제조된 NMOS 트랜지스터 및 PMOS 트랜지스터 샘플들에서 드레인 전압(V_{dd})이 0.85V일 때 Ion (on current) 및 Ioff (off current)의 상관 관계를 나타낸 그래프이다. 상기 NMOS 트랜지스터 및 PMOS 트랜지스터에는 인장 응력을 가지는 스트레스 콘트롤막을 형성하여 이들의 채널 영역에 각각 국부적 인장 응력을 부여하였다. 도 2a 및 도 2b에는 각각 채널 영역에 국부적 인장 응력을 부여하지 않은 것을 제외하고 테스트용 샘플들과 동일한 조건 하에서 제조된 경우에 해당하는 대조예에 대한 결과가 함께 나타나 있다.
- [0028] 도 2a 및 도 2b로부터, NMOS 트랜지스터에서는 채널 영역에 인장 응력이 부여되어 특성이 향상된 반면, PMOS 트랜지스터에서는 특성이 열화된 것을 알 수 있다.
- [0029] 도 3은 NMOS 트랜지스터 및 PMOS 트랜지스터에서 기계적인 스트레스 엔지니어링에 의해 유도된 노이즈 파워 S_{Vg} 분포 변화를 나타낸 그래프이다. 도 3의 결과를 얻기 위하여, NMOS 트랜지스터의 경우에는 드레인 전압 V_d = 0.05V, 게이트 전압 V_g = 0.85V에서 측정하였고, PMOS 트랜지스터의 경우에는 드레인 전압 V_d = 0.05V, 게이트 전압 V_g = -0.85V에서 측정하였다.
- [0030] 도 3의 결과에서, NMOS 트랜지스터 및 PMOS 트랜지스터에서 기계적인 스트레스 엔지니어링에 의하여 채널 영역

에 국부적 응력이 부여되면 노이즈 특성이 열화되는 것을 알 수 있다.

[0031] 도 4는 PMOS 트랜지스터에서 기계적인 스트레스 엔지니어링에 의해 채널 영역에 각각 국부적으로 인장 응력 또는 압축 응력이 부여되었을 때의 이동도 (G_{max}) 개선 정도 및 노이즈 파워 S_{ng} 의 상대치 변화를 나타낸 그래프이다. 도 4에 나타난 바와 같이, 트랜지스터의 채널 영역에 인장 응력이 부여된 경우와 압축 응력이 부여된 경우 각각 트랜지스터의 노이즈 퍼포먼스가 열화된다.

[0032] 상기 결과들로부터, 따라서, 아날로그 회로, 노이즈에 민감한 회로, 또는 시스템 LSI와 같이 노이즈 고결성(高潔性)이 요구되는 소자의 제조시에는 기계적인 스트레스 엔지니어링을 적용하는 것이 적합하지 않다는 것을 알 수 있다.

[0033] 따라서, 디지털 회로 및 아날로그 회로가 동일 기판상에 혼재되어 있는 반도체 집적회로를 제조하는 데 있어서, 디지털 회로에서는 우수한 퍼포먼스를 제공하고, 아날로그 회로 또는 노이즈에 민감한 회로에서 노이즈를 최소화하여 이들 각각의 특성을 최적화하기 위한 새로운 공정의 개발이 시급하다.

발명이 이루고자 하는 기술적 과제

[0034] 본 발명의 목적은 상기한 종래 기술에서의 문제점을 해결하고자 하는 것으로, 디지털 회로 및 아날로그 회로가 동일 기판상에 혼재되어 있는 반도체 집적회로에 있어서, 디지털 회로에서는 우수한 퍼포먼스를 제공하고, 아날로그 회로에서는 노이즈를 최소화하여 각각 최적화된 특성을 제공할 수 있는 반도체 집적회로를 제공하는 것이다.

[0035] 본 발명의 다른 목적은 동일 기판상에 디지털 회로용 트랜지스터 및 아날로그 회로용 트랜지스터를 동시에 형성하는 데 있어서, 디지털 회로용 트랜지스터에서는 우수한 퍼포먼스를 제공하고 아날로그 회로용 트랜지스터에서는 노이즈를 최소화할 수 있는 반도체 집적회로의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

[0036] 상기 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 집적회로는 반도체 기판상의 제1 영역에 형성된 제1 도전형의 제1 MOS 트랜지스터와, 상기 반도체 기판상의 제2 영역에 형성된 상기 제1 도전형의 제2 MOS 트랜지스터를 포함한다. 상기 제1 MOS 트랜지스터의 제1 채널 영역에는 국부적 응력(local stress)이 부여되어 있고, 상기 제2 MOS 트랜지스터의 제2 채널 영역에는 국부적 응력이 부여되어 있지 않다.

[0037] 본 발명의 제1 양태에 따른 반도체 집적회로는 상기 제1 채널 영역에 국부적 응력을 부여하기 위하여 상기 제1 MOS 트랜지스터 위에 형성된 제1 스트레스 콘트롤막을 더 포함할 수 있다. 상기 제1 스트레스 콘트롤막은 압축 응력 또는 인장 응력을 가질 수 있다.

[0038] 또한, 본 발명의 제1 양태에 따른 반도체 집적회로는 상기 제1 채널 영역에 국부적 응력을 부여하기 위하여 상기 제1 MOS 트랜지스터 위에 형성된 제1 스트레스 콘트롤막과, 상기 제2 채널 영역에서의 응력을 완화시키기 위하여 상기 제2 MOS 트랜지스터 위에 형성된 제1 스트레스 릴렉스막을 더 포함할 수 있다.

[0039] 상기 제1 영역에는 제2 도전형의 제3 MOS 트랜지스터를 더 포함되어 있을 수 있으며, 상기 제3 MOS 트랜지스터는 국부적 인장 응력이 부여된 제3 채널 영역을 가질 수 있다. 이 때, 상기 제3 채널 영역에 국부적 인장 응력을 부여하기 위하여 상기 제3 MOS 트랜지스터 위에 형성된 제2 스트레스 콘트롤막을 더 포함할 수 있다. 상기 제2 스트레스 콘트롤막은 압축 응력 또는 인장 응력을 가질 수 있다.

[0040] 또한, 상기 제2 영역에는 제2 도전형의 제4 MOS 트랜지스터와, 국부적 응력이 부여되지 않은 상기 제4 MOS 트랜지스터의 제4 채널 영역이 더 포함될 수 있다. 상기 제4 채널 영역에서의 응력을 완화시키기 위하여 상기 제4 MOS 트랜지스터 위에 형성된 제2 스트레스 릴렉스막을 더 포함할 수 있다.

[0041] 상기 제1 영역은 디지털 회로 영역, 상기 제2 영역은 아날로그 회로 영역을 구성할 수도 있고, 상기 제1 영역 및 제2 영역이 모두 디지털 회로 영역일 수도 있다. 또는, 상기 제1 영역은 고전압 회로 영역, 상기 제2 영역은 저전압 회로 영역을 구성할 수 있다.

[0042] 또한, 상기 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 반도체 집적회로는 디지털 회로 및 아날로그 회로가 동일 기판상에 혼재되어 있다. 본 발명에 따른 집적회로는 상기 디지털 회로를 구성하는 소정의 채널 타입의 제1 트랜지스터와, 상기 아날로그 회로를 구성하는 소정의 채널 타입의 제2 트랜지스터를 포함한다. 상기 제1 트랜지스터의 채널에 국부적 응력을 부여하도록 상기 제1 트랜지스터 근방에 스트레스 콘트롤막이 형성되어

있다. 또한, 상기 제2 트랜지스터의 채널에서의 국부적 응력을 완화하도록 상기 제2 트랜지스터를 덮는 스트레스 릴렉스막을 포함한다.

- [0043] 상기 스트레스 콘트롤막은 상기 제1 트랜지스터의 게이트 및 소스/드레인 영역을 덮도록 형성되어 있다. 그리고, 상기 스트레스 콘트롤막 및 스트레스 릴렉스막은 상기 기판상에서 동일 레벨상에 형성되어 있을 수 있다.
- [0044] 상기 제1 트랜지스터가 PMOS 트랜지스터인 경우, 상기 스트레스 콘트롤막은 압축 응력을 가지고, 상기 제1 트랜지스터가 NMOS 트랜지스터인 경우, 상기 스트레스 콘트롤막은 인장 응력을 가진다.
- [0045] 상기 스트레스 콘트롤막은 상기 제1 트랜지스터의 소스/드레인 영역에만 형성되어 있는 구성을 가질 수도 있다. 이 경우, 상기 제1 트랜지스터가 PMOS 트랜지스터이면 상기 스트레스 콘트롤막은 상기 제1 트랜지스터의 채널에 국부적으로 압축 응력을 부여하기 위하여 상기 소스/드레인 영역에 국부적으로 에피택셜 성장된 SiGe층으로 이루어질 수 있다. 상기 제1 트랜지스터가 NMOS 트랜지스터이면 상기 스트레스 콘트롤막은 상기 제1 트랜지스터의 채널에 국부적으로 인장 응력을 부여하기 위하여 상기 소스/드레인 영역 위에 형성되어 있는 금속 실리사이드층으로 이루어질 수 있다.
- [0046] 상기 다른 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 집적회로의 제조 방법에서는 반도체 기판상의 제1 영역에 위치하는 제1 도전형의 제1 MOS 트랜지스터와, 상기 반도체 기판상의 제2 영역에 위치하는 제1 도전형의 제2 MOS 트랜지스터를 형성한다. 상기 제1 MOS 트랜지스터의 제1 채널 영역과 상기 제2 MOS 트랜지스터의 제2 채널 영역에 국부적 응력을 부여한다. 상기 제2 채널 영역에서의 국부적 응력을 완화한다.
- [0047] 상기 제1 채널 영역 및 제2 채널 영역에 국부적 응력을 부여하기 위하여 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 위에 압축 응력 또는 인장 응력을 가지는 스트레스 콘트롤막을 형성할 수 있다.
- [0048] 상기 제2 채널 영역에서의 국부적 응력을 완화하기 위하여 상기 스트레스 콘트롤막의 일부 영역에 이온을 주입하는 방법을 이용할 수 있다. 또는, 상기 제2 채널 영역에서의 국부적 응력을 완화하기 위한 다른 방법으로서 상기 스트레스 콘트롤막의 일부 영역을 제거할 수도 있다.
- [0049] 또한, 상기 다른 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 반도체 집적회로의 제조 방법에서는 반도체 기판상의 제1 영역에 위치하는 제1 도전형의 제1 MOS 트랜지스터 및 제2 도전형의 제2 MOS 트랜지스터와, 상기 반도체 기판상의 제2 영역에 위치하는 제1 도전형의 제3 MOS 트랜지스터를 형성한다. 상기 제1 MOS 트랜지스터의 제1 채널 영역 및 상기 제2 MOS 트랜지스터의 제2 채널 영역에 각각 인장 응력 및 압축 응력 중에서 선택되는 서로 다른 응력을 국부적으로 부여한다. 상기 제1 채널 영역 또는 제2 채널영역에 응력이 부여되는 것과 동시에 상기 제3 MOS 트랜지스터의 제3 채널 영역에 국부적으로 응력을 부여한다. 상기 제3 채널 영역에서의 국부적 응력을 완화한다.
- [0050] 또한, 상기 다른 목적을 달성하기 위하여, 본 발명의 제3 양태에 따른 반도체 집적회로의 제조 방법에서는 반도체 기판상의 제1 영역에 위치하는 제1 도전형의 제1 MOS 트랜지스터와, 상기 반도체 기판상의 제2 영역에 위치하는 제1 도전형의 제2 MOS 트랜지스터를 형성한다. 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 위에 응력 완화용 박막을 형성한다. 상기 응력 완화용 박막 중 상기 제1 MOS 트랜지스터 위에 형성된 일부분만을 선택적으로 제거한다. 상기 제2 MOS 트랜지스터 위에 상기 응력 완화용 박막이 있는 상태에서 상기 제1 MOS 트랜지스터의 채널 영역에만 선택적으로 국부적 응력을 부여한다.
- [0051] 또한, 상기 다른 목적을 달성하기 위하여, 본 발명의 제4 양태에 따른 반도체 집적회로의 제조 방법에서는 하나의 기판상에 디지털 회로용 제1 MOS 트랜지스터 및 아날로그 회로용 제2 MOS 트랜지스터를 형성한다. 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 중 상기 제1 MOS 트랜지스터를 반드시 포함하는 적어도 하나의 트랜지스터의 채널 영역에 국부적 응력을 부여한다. 상기 제2 MOS 트랜지스터의 채널 영역에서의 국부적 응력을 완화한다.
- [0052] 상기 제1 MOS 트랜지스터의 채널 영역 및 제2 MOS 트랜지스터 중 적어도 하나의 채널 영역에 국부적 응력을 부여하기 위하여 다음의 단계들을 행할 수 있다. 즉, 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 중 적어도 하나의 트랜지스터의 게이트 및 소스/드레인 영역을 덮는 제1 물질막을 형성한다. 그 후, 상기 제1 물질막을 어닐링한다. 이 경우, 상기 제1 물질막은 실리콘 산화질화막으로 이루어지는 것이 바람직하다.
- [0053] 또한, 상기 국부적 응력을 부여하는 단계에서는 상기 제1 MOS 트랜지스터의 채널 영역에만 선택적으로 국부적 응력을 부여하기 위하여 다음의 단계들을 행할 수 있다. 즉, 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터의

각 소스/드레인 영역에 모노실리사이드(mono-silicide)로 이루어지는 제1 상(相)의 금속 실리사이드층을 형성한다. 그 후, 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 각각의 게이트 및 소스/드레인 영역을 모두 덮는 응력 완화용 박막을 형성한다. 이어서, 상기 응력 완화용 박막 중 일부분을 제거하여 상기 제1 MOS 트랜지스터의 게이트 및 소스/드레인 영역을 노출시킨다. 상기 제2 MOS 트랜지스터가 상기 응력 완화용 박막으로 덮여있는 상태에서 상기 제1 MOS 트랜지스터의 소스/드레인 영역에 형성되어 있는 상기 제1 상의 금속 실리사이드층이 디실리사이드(di-silicide)로 이루어지는 제2 상의 금속 실리사이드층으로 상전이(相轉移)될 수 있도록 상기 제1 MOS 트랜지스터를 열처리한다. 여기서, 상기 제1 MOS 트랜지스터가 NMOS 트랜지스터이면, 상기 금속 실리사이드층으로서 코발트 실리사이드층을 형성하는 것이 바람직하다.

[0054] 또한, 상기 다른 목적을 달성하기 위하여, 본 발명의 제5 양태에 따른 반도체 집적회로의 제조 방법에서는 하나의 기관상에 디지털 회로용 제1 MOS 트랜지스터 및 아날로그 회로용 제2 MOS 트랜지스터를 형성한다. 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 위에 응력 완화용 박막을 형성한다. 상기 응력 완화용 박막 중 상기 제1 MOS 트랜지스터 위에 형성된 일부분 만을 선택적으로 제거한다. 상기 제2 MOS 트랜지스터 위에 상기 응력 완화용 박막이 있는 상태에서 상기 제1 MOS 트랜지스터의 채널 영역에만 선택적으로 국부적 응력을 부여한다.

[0055] 또한, 상기 다른 목적을 달성하기 위하여, 본 발명의 제6 양태에 따른 반도체 집적회로의 제조 방법에서는 제1 채널 타입의 제1 트랜지스터 및 제1 채널 타입과 다른 제2 채널 타입의 제2 트랜지스터로 구성되는 디지털 회로용 CMOS 트랜지스터와, 아날로그 회로용 제3 트랜지스터를 하나의 기관상에 형성한다. 상기 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터 중 상기 제3 트랜지스터를 반드시 포함하는 적어도 2개의 트랜지스터의 채널 영역에 국부적 제1 응력을 부여한다. 상기 제3 트랜지스터의 채널 영역에서의 국부적 제1 응력을 완화한다.

[0056] 또한, 상기 다른 목적을 달성하기 위하여, 본 발명의 제4 양태에 따른 반도체 집적회로의 제조 방법에서는 제1 채널 타입의 제1 트랜지스터 및 제1 채널 타입과 다른 제2 채널 타입의 제2 트랜지스터로 구성되는 디지털 회로용 CMOS 트랜지스터와, 아날로그 회로용 제3 트랜지스터를 하나의 기관상에 형성한다. 상기 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터 위에 각각 응력 완화용 박막을 형성한다. 상기 응력 완화용 박막 중 상기 제1 트랜지스터 및 제2 트랜지스터로부터 선택된 하나의 트랜지스터 위에 형성된 일부분 만을 선택적으로 제거한다. 상기 선택된 하나의 트랜지스터의 채널 영역에만 선택적으로 국부적 응력을 부여한다.

[0057] 본 발명에 의하면, 디지털 회로와, 아날로그 회로와 같이 노이즈에 민감한 회로가 동일 기관상에 혼재되어 있는 반도체 집적회로에 있어서 디지털 회로에서는 NMOS 트랜지스터 및 PMOS 트랜지스터에서 우수한 퍼포먼스를 확보하고 아날로그 회로에서는 노이즈를 최소화함으로써, 디지털 회로 및 아날로그 회로 각각의 특성을 최적화할 수 있다.

[0058] 다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다.

[0059] 도 5 내지 도 8은 각각 본 발명의 다양한 양태에 따른 반도체 집적회로의 제조 방법을 설명하기 위한 플로차트이다. 도 5 내지 도 8의 방법들에 있어서, 각 단계들은 예시되어 있는 순서에만 제한되는 것은 아니다. 또한, 본 발명에 따른 방법을 실시하는 데 있어서 예시되어 있는 단계들이 반드시 모두 필요한 것은 아니며, 경우에 따라 일부 단계가 생략될 수도 있다.

[0060] 도 5 내지 도 8을 참조하여 설명하는 방법에 있어서, 용어 "제1 영역"은 반도체 기관상에서 노이즈에 대하여 그다지 민감하지 않은 회로 소자가 형성되는 영역을 대표하는 것으로서, 예를 들면 디지털 회로 영역, 고전압 회로 영역 등이 될 수 있다. 또한, 용어 "제2 영역"은 상기 제1 영역을 포함하는 반도체 기관과 동일한 기관상에서 노이즈에 대하여 민감한 회로 소자가 형성되는 영역을 대표하는 것으로서, 예를 들면 아날로그 회로 영역, 저전압 회로 영역, 또는 디지털 회로 영역 중에서도 노이즈 고결성이 요구되는 소자가 형성되는 영역을 구성할 수 있다.

[0061] 먼저, 도 5를 참조하여 본 발명의 제1 양태에 따른 반도체 집적회로의 제조 방법을 설명한다. 도 5의 예에서는 반도체 기관상의 제1 영역에 위치하는 제1 MOS 트랜지스터와, 상기 반도체 기관상의 제2 영역에 위치하는 제2 MOS 트랜지스터를 형성하는 데 있어서, 상기 제1 영역에 형성되는 제1 MOS 트랜지스터에서는 국부적으로 응력을 부여하여 퍼포먼스를 향상시키는 동시에, 상기 제2 영역에 형성되는 제2 MOS 트랜지스터에서는 응력에 의해 야기될 수 있는 플리커 노이즈를 최소화할 수 있는 방법에 대하여 설명한다.

[0062] 단계 52에서, 반도체 기관상의 제1 영역에 위치하는 제1 MOS 트랜지스터와, 상기 반도체 기관상의 제2 영역에 위치하는 제2 MOS 트랜지스터를 형성한다.

[0063] 단계 54에서, 제1 MOS 트랜지스터의 채널 영역 및 제2 MOS 트랜지스터의 채널 영역에 국부적 응력을 부여한다.

여기서, 상기 제1 MOS 트랜지스터가 NMOS 트랜지스터이면 상기 국부적 응력으로서 인장 응력을 부여하고, 상기 제1 MOS 트랜지스터가 PMOS 트랜지스터이면 상기 국부적 응력으로서 압축 응력을 부여한다.

- [0064] 상기 제1 MOS 트랜지스터의 채널 영역과, 제2 MOS 트랜지스터의 채널 영역에 모두 국부적 응력을 부여하기 위하여, 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터의 각 게이트 및 소스/드레인 영역을 모두 덮는 스트레스 콘트롤막을 형성할 수 있다. 상기 채널 영역에 압축 응력을 부여하고자 하는 경우에는 상기 스트레스 콘트롤막으로서 예를 들면 PECVD에 의해 형성된 실리콘 질화막, 또는 200 ~ 400℃의 저온 공정에 의하여 형성된 실리콘 질화막을 사용할 수 있다. 상기 채널 영역에 인장 응력을 부여하고자 하는 경우에는 상기 스트레스 콘트롤막으로서 예를 들면 LPCVD에 의해 형성된 실리콘 질화막, 400 ~ 800℃의 고온 공정에 의하여 형성된 실리콘 질화막, PECVD에 의해 형성된 실리콘 산화질화막, 또는 실리콘 산화막을 사용할 수 있다.
- [0065] 단계 56에서, 상기 제2 MOS 트랜지스터의 채널 영역에 부여된 국부적 응력을 완화한다.
- [0066] 이를 위하여, 단계 54에서 국부적 응력을 부여하기 위하여 형성한 스트레스 콘트롤막 중 상기 제2 MOS 트랜지스터를 덮는 부분에만 선택적으로 이온을 주입할 수 있다. 상기 이온으로서 예를 들면 Ge 이온, Si 이온, As 이온, In 이온 또는 Sb 이온을 사용할 수 있으며, 이들 중 Ge 이온이 특히 바람직하다.
- [0067] 상기 제2 MOS 트랜지스터의 채널 영역에 부여된 국부적 응력을 완화하기 위한 다른 방법으로서 상기 스트레스 콘트롤막 중 상기 제2 MOS 트랜지스터를 덮는 부분만 선택적으로 제거할 수도 있다.
- [0068] 도 6은 본 발명의 제2 양태에 따른 반도체 집적회로의 제조 방법을 설명하는 플로차트이다. 본 예에서는 반도체 기판상의 제1 영역에 NMOS 트랜지스터 및 PMOS 트랜지스터로 구성되는 CMOS 트랜지스터를 형성하고, 상기 반도체 기판상의 제2 영역에 MOS 트랜지스터를 형성하는 데 있어서, 제1 영역의 CMOS 트랜지스터에서는 국부적 응력을 부여하여 퍼포먼스를 향상시키는 동시에, 제2 영역의 MOS 트랜지스터에서는 응력에 의해 야기될 수 있는 플리커 노이즈를 최소화할 수 있는 방법에 대하여 설명한다. 여기서, 제2 영역의 MOS 트랜지스터는 NMOS 트랜지스터, PMOS 트랜지스터, 또는 CMOS 트랜지스터로 구성될 수 있다.
- [0069] 단계 62에서, 반도체 기판상의 제1 영역에 위치하는 NMOS 트랜지스터 및 PMOS 트랜지스터로 구성되는 CMOS 트랜지스터와, 상기 반도체 기판상의 제2 영역에 위치하는 MOS 트랜지스터를 형성한다.
- [0070] 단계 64에서, 제1 영역의 CMOS 트랜지스터의 NMOS 트랜지스터 및 PMOS 트랜지스터 중 선택되는 적어도 하나의 트랜지스터의 채널 영역과, 제2 영역의 MOS 트랜지스터의 채널 영역에 국부적으로 응력을 부여한다. 상기 선택된 트랜지스터가 NMOS 트랜지스터이면 채널 영역에 인장 응력을 부여하고, 상기 선택된 트랜지스터가 PMOS 트랜지스터이면 채널 영역에 압축 응력을 부여한다. 또는, NMOS 트랜지스터의 채널 영역에는 인장 응력을, PMOS 트랜지스터의 채널 영역에는 압축 응력을 각각 부여할 수도 있다.
- [0071] 이 때, 제1 영역의 CMOS 트랜지스터 중 선택된 하나의 트랜지스터에만 응력을 부여하기 위하여 다른 영역, 즉 제1 영역의 CMOS 트랜지스터 중 선택되지 않은 트랜지스터와 제2 영역의 MOS 트랜지스터에는 응력 발생을 방지하기 위한 적절한 마스크층 또는 응력 완화용 박막을 형성할 수 있다.
- [0072] 단계 66에서, 제1 영역의 선택되지 않은 트랜지스터의 채널 영역에 부여된 응력과, 제2 영역의 MOS 트랜지스터의 채널 영역에 부여된 국부적 응력을 완화시킨다. 이를 위하여 도 5의 단계 56에서 설명한 바와 같은 방법을 적용할 수 있다. 그 결과, 제2 영역의 트랜지스터에서는 응력이 부여되어 있지 않게 되어 응력에 의한 플리커 노이즈 발생을 방지할 수 있다. 또한, 제1 영역에서는 NMOS 트랜지스터 및 PMOS 트랜지스터 중 선택되는 적어도 하나의 트랜지스터의 채널 영역에 그 채널 타입에 따라 적절한 응력을 부여함으로써 디지털 회로용 CMOS 트랜지스터의 퍼포먼스를 향상시킬 수 있다.
- [0073] 도 7은 본 발명의 제3 양태에 따른 반도체 집적회로의 제조 방법을 설명하는 플로차트이다. 본 예에서는 제1 영역의 MOS 트랜지스터와, 제2 영역의 MOS 트랜지스터를 하나의 기판에 형성하는 데 있어서, 제2 영역의 MOS 트랜지스터에서 국부적 응력에 의하여 플리커 노이즈가 야기되는 것을 방지하기 위하여, 제1 영역의 MOS 트랜지스터에 국부적 응력을 부여하기 전에 제2 영역의 MOS 트랜지스터에 응력 완화용 박막을 형성하는 방법에 대하여 설명한다.
- [0074] 단계 72에서, 반도체 기판상의 제1 영역에 위치하는 제1 MOS 트랜지스터와, 상기 반도체 기판상의 제2 영역에 위치하는 제2 MOS 트랜지스터를 형성한다.
- [0075] 단계 74에서, 제1 영역의 제1 MOS 트랜지스터 및 제2 영역의 제2 MOS 트랜지스터 위에 응력 완화용 박막을 형성

한다. 상기 응력 완화용 박막으로서 TiN막을 사용하는 것이 바람직하다.

- [0076] 단계 76에서, 상기 응력 완화용 박막 중 제1 MOS 트랜지스터 위에 형성된 일부분을 선택적으로 제거한다.
- [0077] 단계 78에서, 제2 MOS 트랜지스터 위에 상기 응력 완화용 박막이 있는 상태에서 제1 MOS 트랜지스터의 채널 영역에만 선택적으로 국부적 응력을 부여한다. 이를 위하여, 제1 MOS 트랜지스터가 PMOS 트랜지스터이면 그 채널 영역에 압축 응력을 부여하고, 제1 MOS 트랜지스터가 NMOS 트랜지스터이면 그 채널 영역에 인장 응력을 부여한다. 이 때, 제2 영역이 제2 MOS 트랜지스터 위에는 응력 완화용 박막이 형성되어 있으므로 그 채널 영역에는 국부적 응력이 부여되지 않는다.
- [0078] 도 8은 본 발명의 제4 양태에 따른 반도체 집적회로의 제조 방법을 설명하는 플로차트이다. 본 예에서는 반도체 기판상의 제1 영역에 NMOS 트랜지스터 및 PMOS 트랜지스터로 구성되는 CMOS 트랜지스터를 형성하고, 상기 반도체 기판상의 제2 영역에 MOS 트랜지스터를 형성하는 데 있어서, 제1 영역의 CMOS 트랜지스터에서는 국부적 응력을 부여하여 퍼포먼스를 향상시키는 동시에, 제2 영역의 MOS 트랜지스터에서는 응력에 의해 야기될 수 있는 플리커 노이즈를 최소화하기 위하여, 제1 영역의 CMOS 트랜지스터의 특정 영역에 국부적 스트레스를 부여하기 전에 제2 영역의 트랜지스터에 응력 완화용 박막을 형성하는 방법에 대하여 설명한다. 여기서, 제2 영역의 MOS 트랜지스터는 NMOS 트랜지스터, PMOS 트랜지스터, 또는 CMOS 트랜지스터로 구성될 수 있다.
- [0079] 단계 82에서, 반도체 기판상의 제1 영역에 위치하는 NMOS 트랜지스터 및 PMOS 트랜지스터로 구성되는 CMOS 트랜지스터와, 상기 반도체 기판상의 제2 영역에 위치하는 MOS 트랜지스터를 하나의 기판상에 형성한다.
- [0080] 단계 84에서, 제1 영역의 NMOS 트랜지스터 및 PMOS 트랜지스터와, 제2 영역의 MOS 트랜지스터 위에 응력 완화용 박막을 형성한다. 바람직하게는, 상기 응력 완화용 박막으로서 TiN막을 사용한다.
- [0081] 단계 86에서, 제1 영역의 NMOS 트랜지스터 및 PMOS 트랜지스터 중에서 선택되는 하나의 트랜지스터 위에 형성된 상기 응력 완화용 박막을 선택적으로 제거한다.
- [0082] 단계 88에서, 상기 선택된 트랜지스터의 채널 영역에만 선택적으로 국부적 응력을 부여한다. 이를 위하여, 상기 선택된 트랜지스터가 PMOS 트랜지스터이면 그 채널 영역에 압축 응력을 부여하고, NMOS 트랜지스터이면 그 채널 영역에 인장 응력을 부여한다. 이 때, 제2 영역의 트랜지스터 위에는 응력 완화용 박막이 형성되어 있으므로 그 채널 영역에는 국부적 응력이 부여되지 않는다.
- [0083] 다음에, 본 발명에 따른 반도체 집적회로의 제조 방법에 대하여 보다 구체적인 실시예를 들어 상세히 설명한다.
- [0084] 다음에 예시하는 실시예들은 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다.
- [0085] 또한, 다음에 예시하는 실시예들에서 참조하는 각 도면에서는 디지털 회로 및 아날로그 회로가 함께 존재하는 하나의 기판상에서 디지털 회로를 구성하는 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역과, 아날로그 회로를 구성하는 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역이 함께 도시되어 있다. 상기 아날로그 회로는 노이즈에 민감한 회로 소자의 대표적인 예로서 제시된 것이며, 이에 한정되는 것은 아니다. 즉, 상기 아날로그 회로 영역에 대하여 설명하는 모든 사항은 예를 들면 센스 증폭기(sense amplifier), 필터, 다이내믹 플립플롭 회로 등을 포함하는 일반적인 아날로그 회로, 디지털 회로 중 노이즈에 민감한 회로 영역, 시스템 LSI 등 노이즈 고결성이 요구되는 모든 소자에 적용될 수 있는 것으로 이해되어야 한다.
- [0086] 도 9a 내지 도 9c는 본 발명의 제1 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0087] 제1 실시예에 따른 반도체 집적회로의 제조 방법에서는 디지털 회로를 구성하는 PMOS 트랜지스터에서만 선택적으로 채널 영역에 국부적인 압축 응력을 부여하고, 아날로그 회로를 구성하는 트랜지스터를 포함하는 기타 다른 영역에서는 채널 영역에서의 국부적인 스트레스를 완화시키는 방법을 설명한다.
- [0088] 도 9a를 참조하면, 반도체 기판(100), 예를 들면 실리콘 기판의 디지털 회로 영역 및 아날로그 회로 영역에 각각 소자분리를 위한 STI 영역(102)을 형성한다. 그 후, 형성하고자 하는 트랜지스터의 채널 타입에 따라 상기 반도체 기판(100)의 각 영역에 적절한 이온을 사용하여 채널 이온 주입을 행한다. 상기 반도체 기판(100)상에 게이트 절연막(110) 및 게이트(120)를 차례로 형성한다. 바람직하게는, 아날로그 회로 영역에서는 상기 STI 영

역(102)의 에지에서 상기 게이트(120)까지의 거리(d_1 , d_2 , d_3 , d_4)가 적어도 1.5 μm 이상 되도록 상기 게이트(120)를 형성한다.

[0089] 그 후, 소스/드레인 익스텐션(122) 형성을 위한 이온 주입 공정을 행하고, 상기 게이트(120)의 측벽에 절연 스페이서(124)를 형성한 후, 딥 소스/드레인(126) 형성을 위한 이온 주입을 하여 소스/드레인 영역(128)을 형성한다. 이로써, 상기 반도체 기판(100)상에는 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터가 형성된다.

[0090] 그 후, 상기 게이트(120) 및 소스/드레인 영역(128)의 위에 금속 실리사이드층(130)을 형성한다. 상기 금속 실리사이드층(130)은 통상의 셀리사이드(salicide) 공정을 이용하여 형성될 수 있다. 상기 금속 실리사이드층(130)을 형성함으로써 각 콘택에서의 면 저항 및 콘택 저항을 감소시킬 수 있다. 예를 들면, 상기 금속 실리사이드층(130)을 형성하기 위하여 상기 게이트(120) 및 소스/드레인 영역(128) 위에 스퍼터링 방식으로 금속층을 증착한 후 1차 열처리를 실시하여 모노실리사이드(mono-silicide)로 이루어지는 제1 상(相)의 금속 실리사이드층을 형성한다. 이어서, 미반응된 금속층을 습식 식각에 의해 선택적으로 제거한 후, 2차 열처리를 실시하여 저항 측면이나 상 안정도 측면에서 상기 제1 상의 금속 실리사이드층보다 더욱 안정적인 디실리사이드(di-silicide)로 이루어지는 제2 상(相)의 금속 실리사이드층(130)을 형성한다. 상기 금속 실리사이드층(130)은 예를 들면 코발트 실리사이드, 니켈 실리사이드, 티타늄 실리사이드, 하프늄 실리사이드, 백금 실리사이드, 또는 텅스텐 실리사이드로 이루어질 수 있다. 바람직하게는, 상기 금속 실리사이드층(130)은 니켈 실리사이드로 이루어진다.

[0091] 도 9b를 참조하면, 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 위에 이들 각각의 게이트(120) 및 소스/드레인 영역(128)을 모두 덮는 스트레스 콘트롤막(150)을 형성한다. 상기 스트레스 콘트롤막(150)은 예를 들면 약 20 ~ 150nm의 두께로 형성될 수 있다.

[0092] 상기 스트레스 콘트롤막(150)은 압축 응력을 가지는 막으로서, 예를 들면 PECVD (plasma enhanced chemical vapor deposition)에 의해 형성된 실리콘 질화막, 또는 비교적 저온, 바람직하게는 약 200 ~ 400 $^{\circ}\text{C}$ 의 공정 온도하에서 형성된 실리콘 질화막, 또는 압축 응력을 가지는 실리콘 산화막으로 이루어진다.

[0093] 상기 스트레스 콘트롤막(150)의 형성에 의하여 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 각각의 채널 영역(104a, 104b, 104c, 104d)에는 모두 화살표로 표시한 바와 같이 국부적으로 압축 응력이 부여된다.

[0094] 도 9c를 참조하면, 포토리소그래피 공정에 의하여 디지털 회로를 구성하는 PMOS 트랜지스터 영역만 포토레지스트 패턴(160)으로 덮는다. 그 후, 상기 포토레지스트 패턴(160)을 이온 주입 마스크로 사용하여, 디지털 회로를 구성하는 NMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터를 덮고 있는 상기 스트레스 콘트롤막(150)에 이온(162)을 주입하여 압축 응력이 완화된 스트레스 릴랙스막(152)을 형성한다. 상기 이온(162)은 예를 들면 Ge 이온, Si 이온, As 이온, In 이온, Sb 이온 등으로 이루어진다. 바람직하게는, 상기 이온(162)으로서 Ge 이온을 사용한다. 이 때, 상기 스트레스 콘트롤막(150)의 두께에 따라 이온주입 에너지를 적절히 조절하여 상기 이온(162)이 상기 게이트(120) 및 그 위에 형성된 금속 실리사이드층(130)에는 주입되지 않도록 한다. 예를 들면, 상기 스트레스 콘트롤막(150)의 두께에 따라 약 20 ~ 100KeV의 범위 내에서 선택되는 적절한 이온주입 에너지로 상기 이온(162)을 주입할 수 있다.

[0095] 상기 이온(162)의 주입에 의하여 디지털 회로를 구성하는 NMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 위에 스트레스 릴랙스막(152)이 형성됨으로써, 이들 각 트랜지스터의 채널 영역(104a, 104c, 104d)에서의 국부적인 압축 응력이 상쇄되고, 디지털 회로를 구성하는 PMOS 트랜지스터에서만 채널 영역(104b)에 국부적인 압축 응력이 남아있게 된다. 따라서, 디지털 회로에서는 CMOS 트랜지스터에서 퍼포먼스를 향상시킬 수 있고, 아날로그 회로에서는 NMOS 및 PMOS 트랜지스터에서 노이즈 레벨을 낮출 수 있다.

[0096] 도 10a 및 도 10b는 본 발명의 제2 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

[0097] 제2 실시예에 따른 반도체 집적회로의 제조 방법은 도 9a 내지 도 9c를 참조하여 설명한 제1 실시예와 대체로 동일하나, 제1 실시예와 다른 점은 디지털 회로를 구성하는 NMOS 트랜지스터에서만 선택적으로 채널 영역에 국부적인 인장 응력을 부여하고, 아날로그 회로를 구성하는 트랜지스터를 포함하는 기타 다른 영역에서는 채널 영역에서의 국부적인 스트레스를 완화시킨다는 것이다. 도 10a 및 도 10b에 있어서, 제1 실시예에서와 동일한 참

조 부호는 동일 부재를 나타내며, 이들에 대한 상세한 설명은 생략한다.

- [0098] 도 10a를 참조하면, 도 9a를 참조하여 설명한 바와 같은 방법으로 반도체 기판(100)상에 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터를 형성한다.
- [0099] 그 후, 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 위에 이들 각각의 게이트(120) 및 소스/드레인 영역(128)을 모두 덮는 스트레스 콘트롤막(250)을 형성한다. 상기 스트레스 콘트롤막(250)은 예를 들면 약 20 ~ 150nm의 두께로 형성될 수 있다.
- [0100] 상기 스트레스 콘트롤막(250)은 인장 응력을 가지는 막으로서, 예를 들면 LPCVD (low pressure CVD)에 의해 형성된 실리콘 질화막, 400 ~ 800℃의 고온 공정에 의하여 형성된 실리콘 질화막, PECVD에 의해 형성된 실리콘 산화질화막, 또는 실리콘 산화막으로 이루어질 수 있다. 상기 스트레스 콘트롤막(250)을 실리콘 산화질화막으로 형성하는 경우에는 상기 실리콘 산화질화막에 인장 응력을 부여하기 위하여 상기 실리콘 산화질화막을 어닐링한다.
- [0101] 상기 스트레스 콘트롤막(250)의 형성에 의하여 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 각각의 채널 영역(204a, 204b, 204c, 204d)에는 모두 화살표로 표시한 바와 같이 국부적으로 인장 응력이 부여된다.
- [0102] 도 10b를 참조하면, 포토리소그래피 공정에 의하여 디지털 회로를 구성하는 NMOS 트랜지스터 영역만 포토레지스트 패턴(260)으로 덮는다. 그 후, 상기 포토레지스트 패턴(260)을 이온 주입 마스크로 사용하여, 디지털 회로를 구성하는 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터를 덮고 있는 상기 스트레스 콘트롤막(250)에 이온(262)을 주입하여 인장 응력이 완화된 스트레스 릴렉스막(252)을 형성한다. 바람직하게는, 상기 이온(262)으로서 Ge 이온을 사용한다. 이 때, 상기 스트레스 콘트롤막(250)의 두께에 따라 이온 주입 에너지를 적절히 조절하여 상기 이온(262)이 상기 게이트(120) 및 그 위에 형성된 금속 실리사이드층(130)에는 주입되지 않도록 한다. 예를 들면, 상기 스트레스 콘트롤막(250)의 두께에 따라 약 20 ~ 100KeV의 범위 내에서 선택되는 적절한 이온주입 에너지로 상기 이온(262)을 주입할 수 있다.
- [0103] 상기 이온(262)의 주입에 의하여 디지털 회로를 구성하는 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 위에 스트레스 릴렉스막(252)이 형성됨으로써, 이들 각 트랜지스터의 채널 영역(204b, 204c, 204d)에서의 국부적인 인장 응력이 상쇄되고, 디지털 회로를 구성하는 NMOS 트랜지스터에서만 채널 영역(204a)에 국부적인 인장 응력이 남아있게 된다. 따라서, 디지털 회로에서는 CMOS 트랜지스터에서 퍼포먼스를 향상시킬 수 있고, 아날로그 회로에서는 NMOS 및 PMOS 트랜지스터에서 노이즈 레벨을 낮출 수 있다.
- [0104] 도 11a 내지 도 11c는 본 발명의 제3 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0105] 제3 실시예에 따른 반도체 집적회로의 제조 방법은 도 9a 내지 도 9c를 참조하여 설명한 제1 실시예와 대체로 동일하나, 제1 실시예와 다른 점은 디지털 회로를 구성하는 NMOS 트랜지스터에서만 선택적으로 채널 영역에 국부적인 인장 응력을 부여하고, 아날로그 회로를 구성하는 트랜지스터를 포함하는 기타 다른 영역에서는 채널 영역에서의 국부적인 스트레스를 부여하지 않는다는 것이다. 도 11a 내지 도 11c에 있어서, 제1 실시예에서와 동일한 참조 부호는 동일 부재를 나타내며, 이들에 대한 상세한 설명은 생략한다.
- [0106] 도 11a를 참조하면, 도 9a를 참조하여 설명한 바와 같은 방법으로 반도체 기판(100)상에 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터를 형성한다.
- [0107] 그 후, 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 위에 이들 각각의 게이트(120) 및 소스/드레인 영역(128)을 모두 덮도록 실리콘 산화질화막(350)을 형성한다. 상기 실리콘 산화질화막(350)은 PECVD 방법을 이용하여 약 20 ~ 150nm의 두께로 형성된다. 상기 실리콘 산화질화막(350)은 어닐링 처리되지 않은 상태에서는 그 막 자체의 스트레스가 거의 없다. 상기 실리콘 산화질화막(350)을 형성한 이유는 후속 공정에서 어닐링 공정을 통하여 디지털 회로를 구성하는 NMOS 트랜지스터의 채널 영역에 인장 응력을 부여하기 위함이다.
- [0108] 도 11b를 참조하면, 포토리소그래피 공정에 의하여 디지털 회로를 구성하는 NMOS 트랜지스터 영역만 포토레지스트 패턴(360)으로 덮는다. 그 후, 상기 포토레지스트 패턴(360)을 식각 마스크로 사용하여, 디지털 회로를 구성

하는 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터를 덮고 있는 상기 실리콘 산화질화막(350)을 식각하여 제거한다. 그 결과, 상기 실리콘 산화질화막(350)은 디지털 회로를 구성하는 NMOS 트랜지스터 영역에만 남아있게 된다.

- [0109] 도 11c를 참조하면, 상기 포토레지스트 패턴(360)을 제거하고, 상기 실리콘 산화질화막(350)을 어닐링하여 인장 응력이 부여된 스트레스 콘트롤막(352)을 형성한다. 그 결과, 상기 디지털 회로를 구성하는 NMOS 트랜지스터 영역에서는 상기 스트레스 콘트롤막(352)에 의하여 그 채널 영역(304a)에 화살표로 표시한 바와 같이 국부적으로 인장 응력이 부여된다.
- [0110] 본 실시예에 따르면, 디지털 회로에서는 NMOS 트랜지스터의 채널 영역에만 국부적인 인장 응력이 부여되어, 디지털 회로에서는 CMOS 트랜지스터에서 퍼포먼스를 향상시킬 수 있고, 아날로그 회로에서는 NMOS 및 PMOS 트랜지스터에서 각각 응력이 부여되지 않으므로 노이즈 레벨을 낮출 수 있다.
- [0111] 상기 설명한 제3 실시예에서는 디지털 회로를 구성하는 NMOS 트랜지스터에서만 선택적으로 채널 영역에 국부적인 인장 응력을 부여하기 위하여 상기 실리콘 산화질화막(350)을 디지털 회로를 구성하는 NMOS 트랜지스터에만 남도록 한 후 어닐링하는 방법을 설명하였으나, 본 발명은 이에 한정되지 않는다.
- [0112] 즉, 제3 실시예의 제1 변형 실시예로서, 상기 반도체 기판(100)상에 전면적으로 상기 실리콘 산화질화막을 형성하고 어닐링한 후, 인장 응력이 필요한 트랜지스터 영역을 제외한 나머지 영역에서 어닐링된 실리콘 산화질화막을 제거하는 방법을 적용할 수도 있다. 예를 들면, 디지털 회로를 구성하는 NMOS 트랜지스터에서만 선택적으로 채널 영역에 국부적인 인장 응력을 부여하기 위하여, 다음과 같은 방법을 이용할 수도 있다. 먼저, 도 11a에서와 같이 실리콘 산화질화막(350)을 형성한 후, 상기 실리콘 산화질화막(350)을 어닐링하여 각 채널 영역(304a, 304b, 304c, 304d)에 국부적인 인장 응력을 발생시킨다. 그 후, 디지털 회로를 구성하는 NMOS 트랜지스터 영역만 제외하고 나머지 영역에서 어닐링된 실리콘 산화질화막을 제거하여, 디지털 회로를 구성하는 NMOS 트랜지스터의 채널 영역(304a)에만 국부적으로 인장 응력이 남아 있도록 하고, 나머지 영역의 채널 영역(304b, 304c, 304d)에서는 인가되었던 국부적인 인장 응력을 완화시킨다.
- [0113] 또한, 제3 실시예에서는 실리콘 산화질화막(350)을 사용하여 디지털 회로를 구성하는 NMOS 트랜지스터에서만 선택적으로 채널 영역에 국부적인 인장 응력을 부여하는 방법을 설명하였으나, 본 발명은 이에 한정되지 않는다.
- [0114] 즉, 제3 실시예의 제2 변형 실시예로서, 어닐링 전에는 응력을 거의 가지지 않지막 어닐링 후에는 압축 응력을 가지는 소정의 물질막을 상기 실리콘 산화질화막(350) 대신 사용하여 디지털 회로를 구성하는 PMOS 트랜지스터에서만 선택적으로 채널 영역에 국부적인 압축 응력을 부여할 수도 있다. 이를 위하여, 먼저 상기 반도체 기판(100)상에 전면적으로 상기 물질막을 형성한 후, 디지털 회로를 구성하는 PMOS 트랜지스터 영역을 제외한 나머지 영역에서 상기 물질막을 제거하고, 이어서 상기 물질막을 어닐링하는 방법을 이용할 수 있다. 다른 방법으로서, 상기 반도체 기판(100)상에 전면적으로 형성된 상기 물질막을 먼저 어닐링한 후, 국부적인 압축 응력이 필요한 PMOS 트랜지스터 영역을 제외한 나머지 영역에서 상기 어닐링된 물질막을 제거하는 방법을 적용할 수도 있다.
- [0115] 도 12a 내지 도 12c는 본 발명의 제4 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0116] 제4 실시예에 따른 반도체 집적회로의 제조 방법에서는 디지털 회로를 구성하는 NMOS 트랜지스터에서만 선택적으로 채널 영역에 국부적인 압축 응력을 부여하고, 디지털 회로를 구성하는 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터에는 응력을 부여하지 않는 방법을 설명한다. 도 12a 내지 도 12c에 있어서, 제1 실시예에서와 동일한 참조 부호는 동일 부재를 나타내며, 이들에 대한 상세한 설명은 생략한다.
- [0117] 도 12a를 참조하면, 도 9a를 참조하여 설명한 바와 같은 방법으로 반도체 기판(100)상의 디지털 회로를 구성하는 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역과, 아날로그 회로를 구성하는 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역에 각각 게이트(120) 및 소스/드레인 영역(128)을 형성한다.
- [0118] 그 후, 상기 반도체 기판(100)상의 디지털 회로를 구성하는 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역과, 아날로그 회로를 구성하는 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역에 각각 게이트(120) 및 소스/드레인 영역(128)을 덮도록 실리콘 산화막(450)을 형성한다. 상기 실리콘 산화막(450)은 예를 들면 약 600℃의 공정 온도 하에서 CVD 방법으로 형성될 수 있다. 상기 실리콘 산화막(450)은 약 20 ~ 100nm의 두께로 형성될 수 있다.

- [0119] 도 12b를 참조하면, 상기 반도체 기판(100)상에서 아날로그 회로를 구성하는 NMOS 트랜지스터 영역을 제외한 다른 영역을 모두 덮는 포토레지스트 패턴(도시 생략)을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 실리콘 산화막(450)을 식각하여, 아날로그 회로를 구성하는 NMOS 트랜지스터 영역에서만 상기 실리콘 산화막(450)을 제거한다.
- [0120] 그 후, 상기 포토레지스트 패턴을 제거하고, 얻어진 결과물을 약 900 ~ 1150℃의 범위 내에서 선택되는 적절한 온도로 어닐링하여 상기 소스/드레인 영역(128)에 주입되어 있는 이온들을 활성화시킨다. 상기 어닐링의 결과로서, 도 12b에 화살표로 나타낸 바와 같이, 디지털 회로를 구성하는 NMOS 트랜지스터의 게이트(120)에만 압축 응력이 부여되고, 상기 게이트(120)에서의 압축 응력으로 인하여 디지털 회로를 구성하는 NMOS 트랜지스터의 채널 영역(404a)에는 국부적으로 인장 응력이 부여된다. 반면, 디지털 회로를 구성하는 PMOS 트랜지스터와 아날로그 회로를 구성하는 PMOS 트랜지스터에서는 상기 어닐링후에도 상기 게이트(120) 및 채널 영역(404b, 404d)에 아무런 영향을 미치지 않는다. 그리고, 아날로그 회로를 구성하는 NMOS 트랜지스터도 그 위에 상기 실리콘 산화막(450)이 없으므로 그 채널 영역(404c)에 응력이 부여되지 않는다. 따라서, 디지털 회로에서는 CMOS 트랜지스터에서 퍼포먼스를 향상시킬 수 있고, 아날로그 회로에서는 NMOS 및 PMOS 트랜지스터에서 노이즈 레벨을 낮출 수 있다.
- [0121] 도 12c를 참조하면, 상기 실리콘 산화막(450)을 제거한다. 도시하지는 않았으나, 경우에 따라 상기 게이트(120)의 양측에서 상기 실리콘 산화막(450)이 완전히 제거되지 않고 상기 절연 스페이서(124) 위에 스페이서의 형태로 남아 있을 수도 있다. 그 후, 통상의 후속 공정을 진행한다.
- [0122] 도 13a 내지 도 13g는 본 발명의 제5 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0123] 제5 실시예에 따른 반도체 집적회로의 제조 방법에서는 디지털 회로를 구성하는 PMOS 트랜지스터에서만 선택적으로 채널 영역에 국부적인 압축 응력을 부여하고, 디지털 회로 및 아날로그 회로를 포함하는 모든 영역에 인장 응력을 부여한 후, 디지털 회로를 구성하는 NMOS 트랜지스터 만 제외한 다른 영역에서 인장 응력을 완화시킴으로써, 디지털 회로를 구성하는 PMOS 트랜지스터에서는 채널 영역에 국부적인 압축 응력을 부여하고, 디지털 회로를 구성하는 NMOS 트랜지스터에서는 채널 영역에 국부적인 인장 응력을 부여하는 방법을 설명한다. 도 13a 내지 도 13g에 있어서, 제1 실시예에서와 동일한 참조 부호는 동일 부재를 나타내며, 이들에 대한 상세한 설명은 생략한다.
- [0124] 도 13a를 참조하면, 도 9a를 참조하여 설명한 바와 같은 방법으로 반도체 기판(100)상의 디지털 회로를 구성하는 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역과, 아날로그 회로를 구성하는 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역에 각각 게이트(120) 및 소스/드레인 영역(128)을 형성한다.
- [0125] 도 13b를 참조하면, 상기 반도체 기판(100)상의 디지털 회로를 구성하는 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역과, 아날로그 회로를 구성하는 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역에 각각 게이트(120) 및 소스/드레인 영역(128)을 덮는 마스크층(510)을 형성한다. 상기 마스크층(510)은 산화막 또는 질화막으로 형성될 수 있으며, 그 중 산화막으로 형성하는 것이 특히 바람직하다.
- [0126] 도 13c를 참조하면, 디지털 회로를 구성하는 PMOS 트랜지스터 영역에서만 상기 마스크층(510)을 에치백한 후, 상기 게이트(120), 절연 스페이서(124), 상기 절연 스페이서(124)의 측벽에 남아 있는 상기 마스크층(510), 및 상기 STI 영역(102)을 식각 마스크로 하여 상기 소스/드레인 영역(128)을 일부 식각하여 상기 소스/드레인 영역(128)에 그루브(groove)(520)를 형성한다. 바람직하게는, 상기 그루브(520)는 약 10 ~ 100nm의 깊이를 가지도록 형성된다.
- [0127] 도 13d를 참조하면, 선택적 에피택셜 성장 방법에 의하여 상기 그루브(520)에 국부적으로 반도체층(522)을 성장시킨다. 이 때, 상기 게이트(120)의 상부에도 상기 반도체층(522)이 성장된다. 상기 반도체층(522)은 SiGe층으로 이루어지는 것이 바람직하다. 이와 같이, 디지털 회로를 구성하는 PMOS 트랜지스터의 소스/드레인 영역(128)에 상기 반도체층(522)을 형성함으로써 상기 디지털 회로를 구성하는 PMOS 트랜지스터의 채널 영역(504b)에는 국부적으로 압축 응력이 부여된다. 그리고, 디지털 회로를 구성하는 NMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터에서는 각 채널 영역(504a, 504c, 504d)에 응력이 부여되지 않는다.
- [0128] 도 13e를 참조하면, 상기 마스크층(510)을 제거하고, 샬리사이드 공정을 이용하여 상기 게이트(120) 및 소스/드레인 영역(128)의 위에 금속 실리사이드층(530)을 형성한다. 디지털 회로를 구성하는 PMOS 트랜지스터에서는 상기 게이트(120) 및 소스/드레인 영역(128) 위에 형성되어 있는 상기 반도체층(522) 위에 상기 금속 실리사이드

층(530)이 형성된다.

- [0129] 도 13f를 참조하면, 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 위에 이들 각각의 게이트(120) 및 소스/드레인 영역(128)을 모두 덮도록 인장 응력을 가지는 스트레스 콘트롤막(550)을 형성한다. 상기 스트레스 콘트롤막(550)은 예를 들면 LPCVD에 의해 형성된 실리콘 질화막, 400 ~ 800℃의 고온 공정에 의하여 형성된 실리콘 질화막, PECVD에 의해 형성된 실리콘 산화질화막, 또는 실리콘 산화막으로 이루어질 수 있다. 상기 스트레스 콘트롤막(550)을 실리콘 산화질화막으로 형성하는 경우에는 상기 실리콘 산화질화막에 인장 응력을 부여하기 위하여 상기 실리콘 산화질화막을 어닐링한다. 상기 스트레스 콘트롤막(550)은 예를 들면 약 30 ~ 100nm의 두께로 형성될 수 있다.
- [0130] 상기 스트레스 콘트롤막(550)의 형성에 의하여 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 각각의 채널 영역(504a, 504b, 504c, 504d)에는 모두 화살표로 표시한 바와 같이 국부적으로 인장 응력이 부여된다.
- [0131] 도 13g를 참조하면, 포토리소그래피 공정에 의하여 디지털 회로를 구성하는 NMOS 트랜지스터 영역만 포토레지스트 패턴(560)으로 덮는다. 그 후, 상기 포토레지스트 패턴(560)을 이온 주입 마스크로 사용하여, 디지털 회로를 구성하는 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터를 덮고 있는 상기 스트레스 콘트롤막(550)에 이온(562)을 주입하여 인장 응력이 완화된 막, 즉 스트레스 릴렉스된 박막(552)을 형성한다. 바람직하게는, 상기 이온(562)으로서 Ge 이온을 사용한다. 이 때, 상기 스트레스 콘트롤막(550)의 두께에 따라 이온주입 에너지를 적절히 조절하여 상기 이온(562)이 상기 게이트(120)와 그 위에 형성된 금속 실리사이드층(530) 및 반도체층(522)에는 주입되지 않도록 한다. 예를 들면, 상기 스트레스 콘트롤막(550)의 두께에 따라 약 20 ~ 100KeV의 범위 내에서 선택되는 적절한 이온주입 에너지로 상기 이온(562)을 주입할 수 있다.
- [0132] 상기 이온(562)의 주입에 의하여 디지털 회로를 구성하는 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 위에 스트레스 릴렉스된 박막(552)이 형성됨으로써, 이들 각 트랜지스터의 채널 영역(504b, 504c, 504d)에서의 국부적인 인장 응력이 상쇄되고, 디지털 회로를 구성하는 NMOS 트랜지스터에서만 채널 영역(504a)에 국부적인 인장 응력이 남아있게 된다. 따라서, 디지털 회로에서는 NMOS 및 PMOS 트랜지스터에서 퍼포먼스를 향상시킬 수 있고, 아날로그 회로에서는 NMOS 및 PMOS 트랜지스터에서 노이즈 레벨을 낮출 수 있다.
- [0133] 도 14a 내지 도 14d는 본 발명의 제6 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0134] 제6 실시예에 따른 반도체 집적회로의 제조 방법에서는 디지털 회로를 구성하는 NMOS 트랜지스터에는 선택적으로 채널 영역에 국부적인 인장 응력을, 그리고 디지털 회로를 구성하는 PMOS 트랜지스터에는 선택적으로 채널 영역에 국부적인 압축 응력을 부여하고, 아날로그 회로를 구성하는 트랜지스터에서는 응력을 완화시키는 방법을 설명한다.
- [0135] 도 14a 내지 도 14d에 있어서, 제1 실시예에서와 동일한 참조 부호는 동일 부재를 나타내며, 이들에 대한 상세한 설명은 생략한다.
- [0136] 도 14a를 참조하면, 도 9a를 참조하여 설명한 바와 같은 방법으로 반도체 기판(100)상의 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터를 형성한다.
- [0137] 그 후, 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 위에 각각의 게이트(120) 및 소스/드레인 영역(128)을 모두 덮는 제1 스트레스 콘트롤막(650)을 형성한다. 상기 제1 스트레스 콘트롤막(650)은 예를 들면 약 20 ~ 150nm의 두께로 형성될 수 있다. 상기 제1 스트레스 콘트롤막(650)은 인장 응력을 가지는 막으로서, 예를 들면 LPCVD에 의해 형성된 실리콘 질화막, 400 ~ 800℃의 고온 공정에 의하여 형성된 실리콘 질화막, PECVD에 의해 형성된 실리콘 산화질화막, 또는 실리콘 산화막으로 이루어질 수 있다. 상기 제1 스트레스 콘트롤막(250)을 실리콘 산화질화막으로 형성하는 경우에는 상기 실리콘 산화질화막에 인장 응력을 부여하기 위하여 상기 실리콘 산화질화막을 어닐링한다.
- [0138] 상기 제1 스트레스 콘트롤막(250)의 형성에 의하여 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 각각의 채널 영역(604a, 604b, 604c, 604d)에는 모두 화살표로 표시한 바와 같이 국부적으로 인장 응력이 부여된다.

- [0139] 도 14b를 참조하면, 디지털 회로를 구성하는 NMOS 트랜지스터 영역만 덮도록 형성된 포토레지스트 패턴(654)을 식각 마스크로 이용하여, 디지털 회로를 구성하는 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터를 덮고 있는 상기 제1 스트레스 콘트롤막(250)을 식각하여 제거한다.
- [0140] 상기 제1 스트레스 콘트롤막(250)을 실리콘 산화질화막으로 형성한 경우에는 도 14a의 과정에서 상기 실리콘 산화질화막을 어닐링하지 않고 도 14b에서와 같이 디지털 회로를 구성하는 NMOS 영역에만 상기 실리콘 산화질화막이 남도록 식각 공정을 행한 후 남아 있는 실리콘 산화질화막을 어닐링하는 방법을 적용할 수도 있다.
- [0141] 그 결과, 디지털 회로를 구성하는 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터에서는 각 채널 영역(604b, 604c, 604d)에서의 국부적인 인장 응력이 상쇄되고, 디지털 회로를 구성하는 NMOS 트랜지스터에서만 채널 영역(604a)에 국부적인 인장 응력이 남아있게 된다.
- [0142] 도 14c를 참조하면, 상기 포토레지스트 패턴(654)을 제거한 후, 상기 반도체 기판(100)상의 전면에서 제2 스트레스 콘트롤막(660)을 형성한다. 상기 제2 스트레스 콘트롤막(660)은 예를 들면 약 20 ~ 150nm의 두께로 형성될 수 있다. 상기 제2 스트레스 콘트롤막(660)은 압축 응력을 가지는 막으로서, 예를 들면 PECVD에 의해 형성된 실리콘 질화막, 또는 비교적 저온, 바람직하게는 약 200 ~ 400℃의 공정 온도하에서 형성된 실리콘 질화막, 또는 압축 응력을 가지는 실리콘 산화막으로 이루어질 수 있다. 바람직하게는 상기 제2 스트레스 콘트롤막(660)은 상기 제1 스트레스 콘트롤막(650)과의 사이에 큰 식각 선택비 차이를 가지는 물질로 형성한다.
- [0143] 상기 제2 스트레스 콘트롤막(660)을 형성함으로써, 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 각각의 채널 영역(604a, 604b, 604c, 604d)에는 모두 화살표로 표시한 바와 같이 국부적으로 압축 응력이 부여된다.
- [0144] 도 14d를 참조하면, 포토리소그래피 공정에 의하여 디지털 회로를 구성하는 PMOS 트랜지스터 영역만 포토레지스트 패턴(670)으로 덮는다. 그 후, 상기 포토레지스트 패턴(670)을 이온 주입 마스크로 사용하여, 디지털 회로를 구성하는 NMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터를 덮고 있는 상기 제2 스트레스 콘트롤막(660)에 이온(672)을 주입하여 압축 응력이 완화된 스트레스 릴랙스막(662)을 형성한다. 상기 이온(672)은 예를 들면 Ge 이온, Si 이온, As 이온, In 이온, Sb 이온 등으로 이루어진다. 바람직하게는, 상기 이온(672)으로서 Ge 이온을 사용한다. 이 때, 상기 제2 스트레스 콘트롤막(662)의 두께에 따라 이온주입 에너지를 적절히 조절하여 상기 이온(672)이 상기 게이트(120) 및 그 위에 형성된 금속 실리사이드층(130)과, 상기 제1 스트레스 콘트롤막(650)에는 주입되지 않도록 한다. 예를 들면, 상기 제2 스트레스 콘트롤막(660)의 두께에 따라 약 20 ~ 100KeV의 범위 내에서 선택되는 적절한 이온주입 에너지로 상기 이온(672)을 주입할 수 있다. 그 후, 상기 포토레지스트 패턴(670)을 제거한다.
- [0145] 상기 이온(672)의 주입에 의하여 디지털 회로를 구성하는 NMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 위에 스트레스 릴랙스막(662)이 형성됨으로써, 이들 각 트랜지스터의 채널 영역(604a, 604c, 604d)에서의 국부적인 압축 응력이 상쇄되고, 디지털 회로를 구성하는 PMOS 트랜지스터의 채널 영역(604b)에는 국부적인 압축 응력이 남아 있게 된다. 그리고, 디지털 회로를 구성하는 NMOS 트랜지스터의 채널 영역(604a)에는 국부적인 인장 응력이 남아 있게 된다. 따라서, 디지털 회로에서는 CMOS 트랜지스터에서 퍼포먼스를 향상시킬 수 있고, 아날로그 회로에서는 NMOS 및 PMOS 트랜지스터에서 노이즈 레벨을 낮출 수 있다.
- [0146] 도 15는 본 발명의 제7 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0147] 제7 실시예에 따른 반도체 집적회로의 제조 방법은 도 14a 내지 도 14d를 참조하여 설명한 제6 실시예와 대체로 동일하나, 제6 실시예와 다른 점은 상기 제2 스트레스 콘트롤막(660)에 의한 압축 응력을 완화시키기 위하여 이온을 주입하는 방법 대신 압축 응력을 완화시켜야 할 영역에서 상기 제2 스트레스 콘트롤막(660)을 제거하는 방법을 이용한다는 것이다. 도 15에 있어서, 제6 실시예에서와 동일한 참조 부호는 동일 부재를 나타내며, 이들에 대한 상세한 설명은 생략한다.
- [0148] 도 15를 참조하면, 도 14a 내지 도 14c를 참조하여 설명한 바와 같은 방법으로 반도체 기판(100)상에 제2 스트레스 콘트롤막(660)까지 형성한다. 그 후, 적절한 식각 마스크 패턴(도시 생략)을 사용하여 상기 제2 스트레스 콘트롤막(660) 중 디지털 회로를 구성하는 PMOS 트랜지스터 영역을 덮는 부분만 남도록 다른 영역에 있는 제2 스트레스 콘트롤막(660)을 부분적으로 제거한다. 이 때, 상기 제2 스트레스 콘트롤막(660)과 상기 제1 스트레스 콘트롤막(650)과의 식각 선택비 차이를 이용하는 선택적 식각 공정을 이용할 수 있다.

- [0149] 그 결과, 제6 실시예의 경우와 마찬가지로, 디지털 회로를 구성하는 NMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터의 채널 영역(704a, 704c, 704d)에서의 국부적인 압축 응력이 상쇄되고, 디지털 회로를 구성하는 PMOS 트랜지스터의 채널 영역(704b)에는 국부적인 압축 응력이 남아 있게 된다. 그리고, 디지털 회로를 구성하는 NMOS 트랜지스터의 채널 영역(704a)에는 국부적인 인장 응력이 남아 있게 된다. 따라서, 디지털 회로에서는 CMOS 트랜지스터에서 퍼포먼스를 향상시킬 수 있고, 아날로그 회로에서는 NMOS 및 PMOS 트랜지스터에서 노이즈 레벨을 낮출 수 있다.
- [0150] 도 16a 내지 도 16d는 본 발명의 제8 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0151] 제8 실시예에 따른 반도체 집적회로의 제조 방법은 도 9a 내지 도 9c를 참조하여 설명한 제1 실시예와 대체로 동일하나, 제1 실시예와 다른 점은 디지털 회로를 구성하는 NMOS 트랜지스터에서만 선택적으로 채널 영역에 국부적인 인장 응력을 부여하고, 아날로그 회로를 구성하는 트랜지스터를 포함하는 기타 다른 영역에서는 채널 영역에 국부적인 스트레스를 부여하지 않는다는 것이다. 제8 실시예에서는 디지털 회로를 구성하는 NMOS 트랜지스터의 채널 영역에 국부적인 인장 응력을 부여하기 위하여 금속 실리사이드층을 이용한다. 도 16a 내지 도 16d에 있어서, 제1 실시예에서와 동일한 참조 부호는 동일 부재를 나타내며, 이들에 대한 상세한 설명은 생략한다.
- [0152] 도 16a를 참조하면, 도 9a를 참조하여 설명한 바와 같은 방법으로 반도체 기판(100)상에 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터를 형성한다. 단, 상기 게이트(120) 및 소스/드레인 영역(128) 위에는 모노실리사이드로 이루어지는 제1 상의 금속 실리사이드층(830)을 형성한다. 이를 위하여, 도 9a를 참조하여 설명한 바와 같은 금속 실리사이드층(130) 형성을 위한 샬리사이드 공정에서 상기 게이트(120) 및 소스/드레인 영역(128) 위에 스퍼터링 방식으로 금속층을 증착한 후 1차 열처리까지만 실시한다. 바람직하게는, 상기 제1 상의 금속 실리사이드층(830)은 코발트를 이용하여 형성한다.
- [0153] 도 16b를 참조하면, 디지털 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터 위에 이들 각각의 게이트(120) 및 소스/드레인 영역(128)을 모두 덮는 응력 완화용 박막(840)을 약 5 ~ 20nm의 두께로 형성한다. 바람직하게는, 상기 응력 완화용 박막(840)으로서 TiN 막을 사용한다. 상기 응력 완화용 박막(840)을 형성한 이유는 상기 제1 상의 금속 실리사이드층(830)이 후속 열처리에 의하여 디실리사이드로 이루어지는 제2 상으로 상전이(相轉移)되었을 때 트랜지스터의 채널 영역에 국부적인 인장 응력을 부여하게 되는 것을 완화하기 위한 것이다.
- [0154] 도 16c를 참조하면, 디지털 회로를 구성하는 NMOS 트랜지스터를 제외하고 다른 영역을 포토레지스트 패턴(860)으로 덮고, 이를 식각 마스크로 하여 디지털 회로를 구성하는 NMOS 트랜지스터에서 상기 응력 완화용 박막(840)을 제거한다. 그 후, 상기 제1 상의 금속 실리사이드층(830)의 상전이를 위한 2차 열처리를 실시하여 디실리사이드로 이루어지는 제2 상의 금속 실리사이드층(830a)을 형성한다. 상기 2차 열처리는 약 700 ~ 1000℃의 온도하에서 행하는 것이 바람직하다. 상기 제1 상의 금속 실리사이드층(830)을 코발트를 이용하여 형성한 경우, 상기 제2 상의 금속 실리사이드층(830a)은 코발트 실리사이드층이 된다. 상기 2차 열처리의 결과로서 형성된 제2 상의 금속 실리사이드층(830a)에 의하여 디지털 회로를 구성하는 NMOS 트랜지스터의 채널 영역(804a)에는 국부적인 인장 응력이 부여된다. 그리고, 디지털 회로를 구성하는 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터는 각각 상기 응력 완화용 박막(840)으로 덮여 있으므로, 상기 제2 상의 금속 실리사이드층(830a)이 형성되어도 그로 인하여 발생하는 국부적 응력이 상기 응력 완화용 박막(840)에 의하여 완화되어 각 채널 영역(804b, 804c, 804d)에서는 인장 응력이 부여되지 않는다.
- [0155] 도 16d를 참조하면, 상기 포토레지스트 패턴(860) 및 응력 완화용 박막(840)을 제거한다. 그 결과, 디지털 회로를 구성하는 NMOS 트랜지스터의 채널 영역(804a)에만 국부적인 인장 응력이 부여되고, 디지털 회로를 구성하는 PMOS 트랜지스터와, 아날로그 회로를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터의 각 채널 영역(804b, 804c, 804d)에는 응력이 부여되지 않은 결과물이 얻어진다. 따라서, 디지털 회로에서는 CMOS 트랜지스터에서 퍼포먼스를 향상시킬 수 있고, 아날로그 회로에서는 NMOS 및 PMOS 트랜지스터에서 노이즈 레벨을 낮출 수 있다.

발명의 효과

- [0156] 본 발명에 따르면, 디지털 회로와, 아날로그 회로와 같이 노이즈에 민감한 회로가 동일 기판상에 혼재되어 있는 반도체 집적회로를 제조하는 데 있어서, 디지털 회로에서는 트랜지스터의 채널 타입에 따라 채널 영역에 국부적으로 압축 응력 또는 인장 응력을 부여하여 캐리어의 이동도를 향상시킨다. 또한, 아날로그 회로와 같이 노이즈

에 민감한 회로 영역에서는 디지털 회로용 트랜지스터에 국부적인 응력을 부여할 때 그와 동시에 채널 영역에 부여된 응력을 완화하거나, 디지털 회로용 트랜지스터에 국부적인 응력을 부여하기 전에 아날로그 영역에 미리 응력 완화용 박막을 형성함으로써 아날로그 회로용 트랜지스터의 채널 영역에 국부적인 응력이 부여되는 것을 방지한다. 따라서, 본 발명에 의하면 디지털 회로에서는 NMOS 트랜지스터 및 PMOS 트랜지스터에서 우수한 퍼포먼스를 확보하고 아날로그 회로에서는 노이즈를 최소화함으로써, 디지털 회로 및 아날로그 회로 각각의 특성을 최적화할 수 있다.

[0157] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

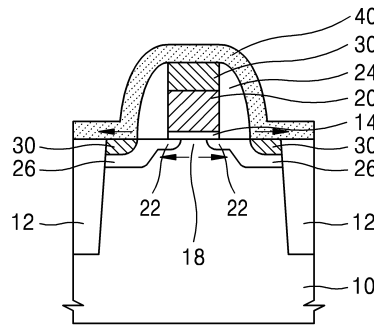
도면의 간단한 설명

- [0001] 도 1은 종래 기술에 따른 반도체 집적회로의 제조 방법을 설명하기 위한 단면도이다.
- [0002] 도 2a 및 도 2b는 각각 종래 기술에 따른 방법에 의하여 제조된 반도체 집적회로의 NMOS 트랜지스터 및 PMOS 트랜지스터에서의 Ion 및 Ioff의 상관 관계를 나타낸 그래프이다.
- [0003] 도 3은 종래 기술에 따른 방법에 의하여 제조된 반도체 집적회로의 NMOS 트랜지스터 및 PMOS 트랜지스터에서 기계적인 스트레스 엔지니어링에 의해 유도된 노이즈 파워 분포 변화를 나타낸 그래프이다.
- [0004] 도 4는 종래 기술에 따른 방법에 의하여 제조된 반도체 집적회로의 PMOS 트랜지스터에서 기계적인 스트레스 엔지니어링에 의해 채널 영역에 각각 국부적으로 인장 응력 또는 압축 응력이 부여되었을 때의 이동도 개선 정도 및 노이즈 파워의 상대치 변화를 나타낸 그래프이다.
- [0005] 도 5는 본 발명의 제1 양태에 따른 반도체 집적회로의 제조 방법을 설명하기 위한 플로차트이다.
- [0006] 도 6은 본 발명의 제2 양태에 따른 반도체 집적회로의 제조 방법을 설명하기 위한 플로차트이다.
- [0007] 도 7은 본 발명의 제3 양태에 따른 반도체 집적회로의 제조 방법을 설명하기 위한 플로차트이다.
- [0008] 도 8은 본 발명의 제4 양태에 따른 반도체 집적회로의 제조 방법을 설명하기 위한 플로차트이다.
- [0009] 도 9a 내지 도 9c는 본 발명의 제1 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0010] 도 10a 및 도 10b는 본 발명의 제2 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0011] 도 11a 내지 도 11c는 본 발명의 제3 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0012] 도 12a 내지 도 12c는 본 발명의 제4 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0013] 도 13a 내지 도 13g는 본 발명의 제5 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0014] 도 14a 내지 도 14d는 본 발명의 제6 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0015] 도 15는 본 발명의 제7 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위한 단면도이다.
- [0016] 도 16a 내지 도 16d는 본 발명의 제8 실시예에 따른 반도체 집적회로의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0017] <도면의 주요 부분에 대한 부호의 설명>
- [0018] 100: 반도체 기판, 102: STI 영역, 104a, 104b, 104c, 104d: 채널 영역, 110: 게이트 절연막, 120: 게이트, 122: 소스/드레인 익스텐션, 124: 절연 스페이서, 126: 딥 소스/드레인, 128: 소스/드레인 영역, 130: 금속 실리콘사이드층, 150: 스트레스 콘트롤막, 152: 스트레스 릴렉스막, 160: 포토레지스트 패턴, 162: 이온, 204a, 204b, 204c, 204d: 채널 영역, 250: 스트레스 콘트롤막, 252: 스트레스 릴렉스막, 260: 포토레지스트 패턴,

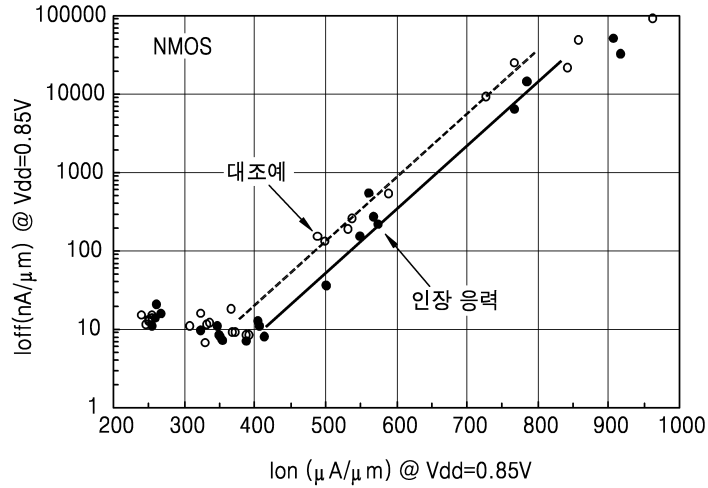
262; 이온, 304a, 304b, 304c, 304d: 채널 영역, 350: 실리콘 산화질화막, 352: 스트레스 콘트롤막, 360: 포토 레지스트 패턴, 404a, 404b, 404c, 404d: 채널 영역, 450: 실리콘 산화막, 504a, 504b, 504c, 504d: 채널 영역, 510: 마스크층, 520: 그루브, 522: 반도체층, 530: 금속 실리사이드층, 550: 스트레스 콘트롤막, 552: 스트레스 릴렉스된 박막, 560: 포토레지스트 패턴, 562: 이온, 604a, 604b, 604c, 604d: 채널 영역, 650: 제1 스트레스 콘트롤막, 654: 포토레지스트 패턴, 660: 제2 스트레스 콘트롤막, 670: 포토레지스트 패턴, 672: 이온, 704a, 704b, 704c, 704d: 채널 영역, 804a, 804b, 804c, 804d: 채널 영역, 830: 제1 상의 금속 실리사이드층, 830a: 제2 상의 금속 실리사이드층, 840: 응력 완화용 박막, 860: 포토레지스트 패턴.

도면

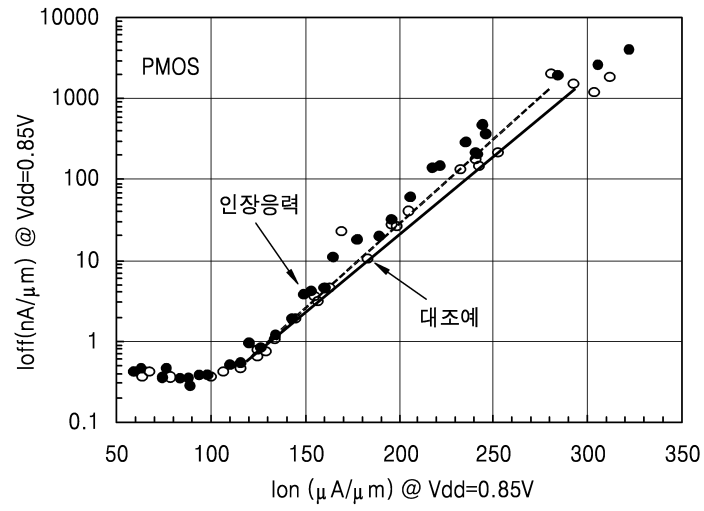
도면1



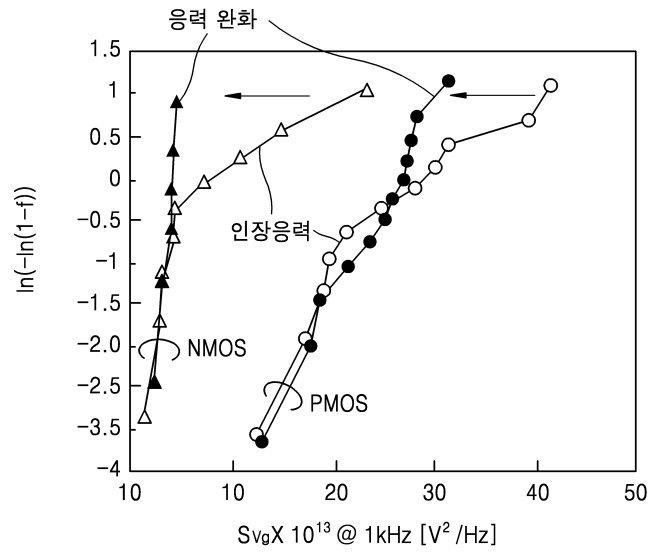
도면2a



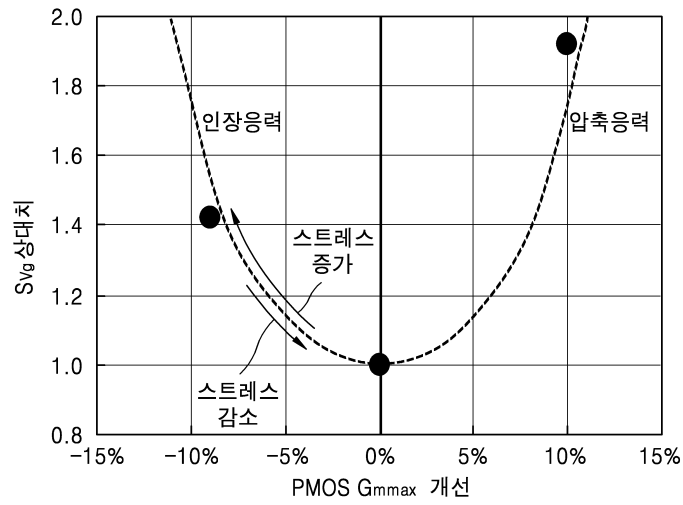
도면2b



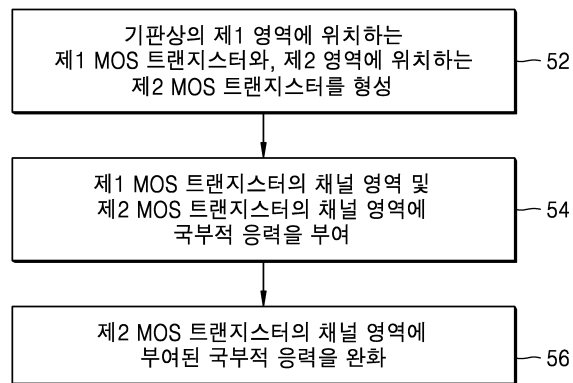
도면3



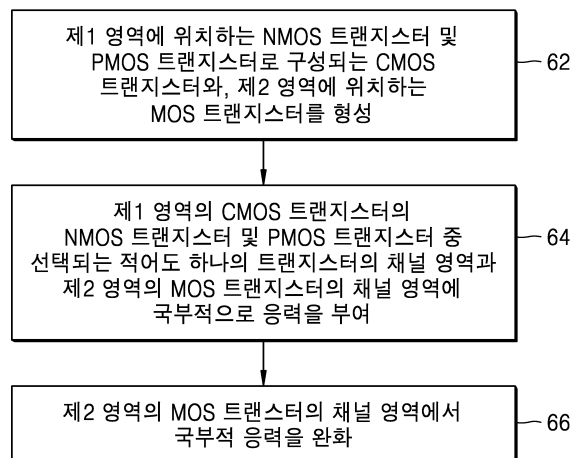
도면4



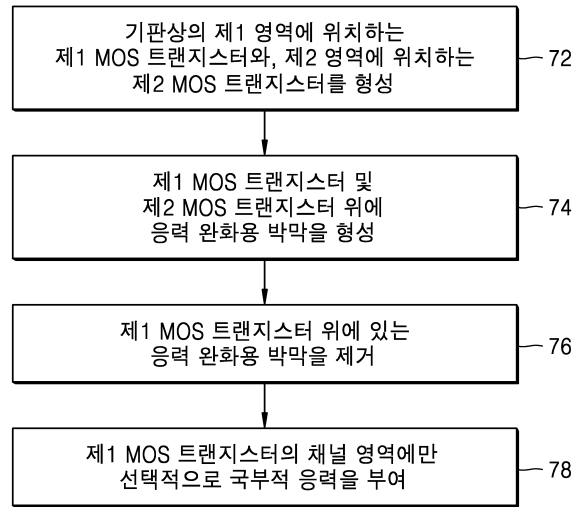
도면5



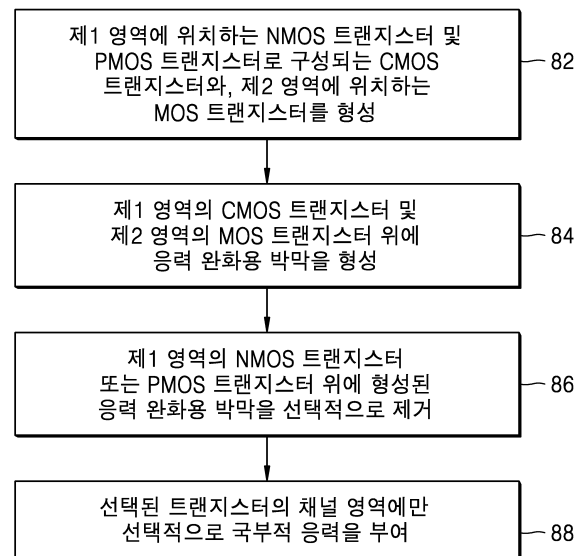
도면6



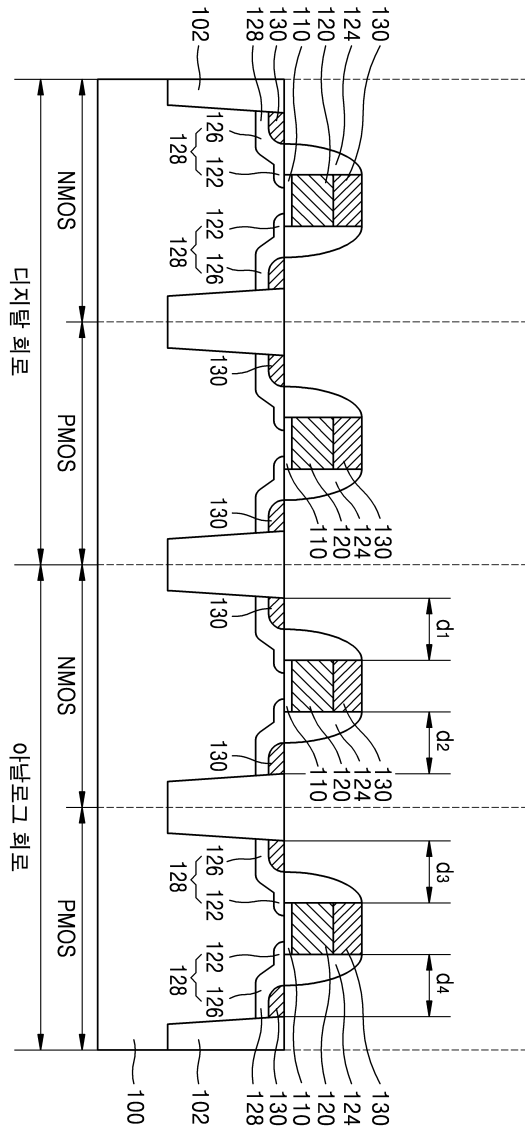
도면7



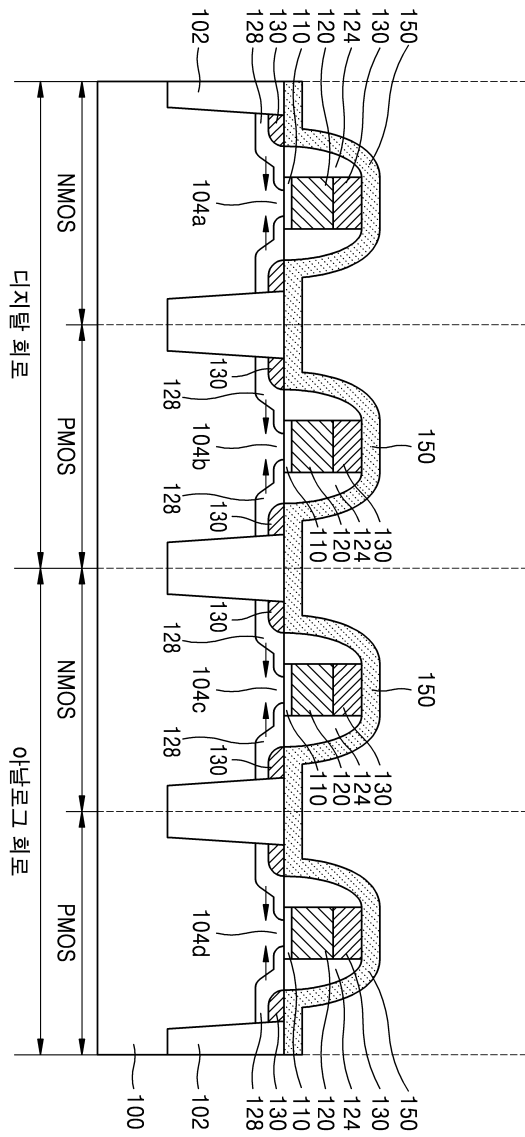
도면8



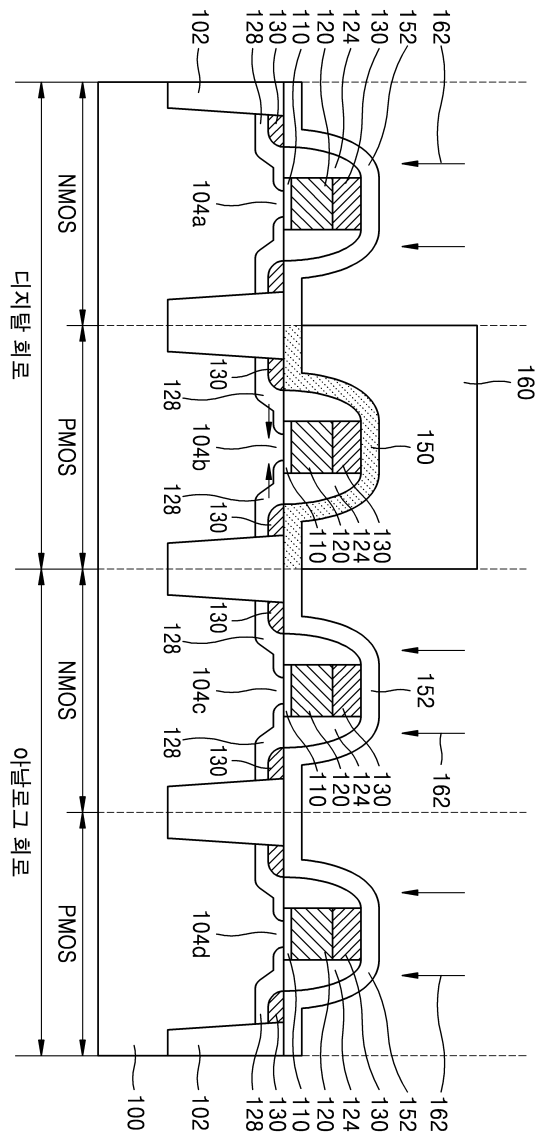
도면9a



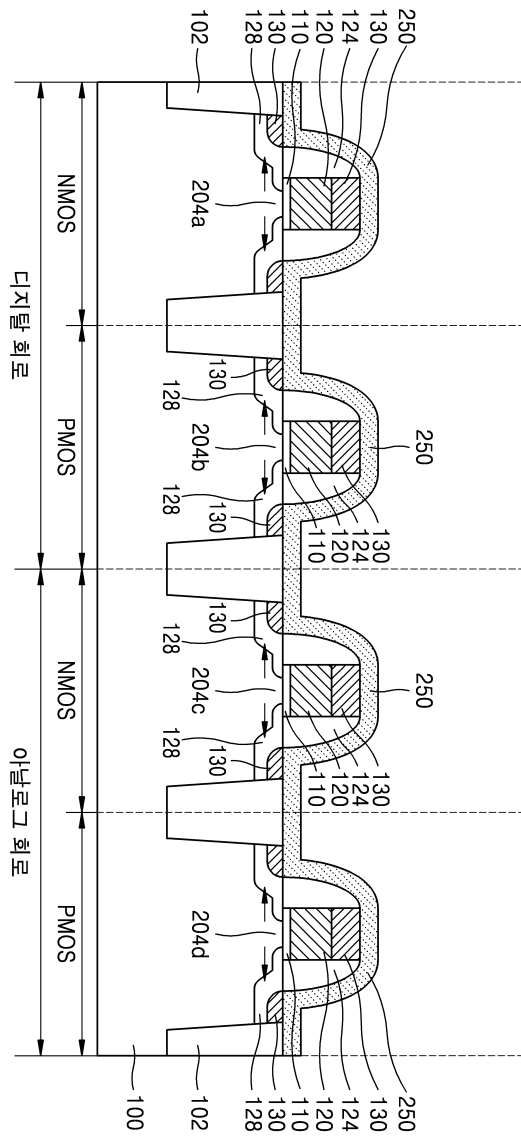
도면9b



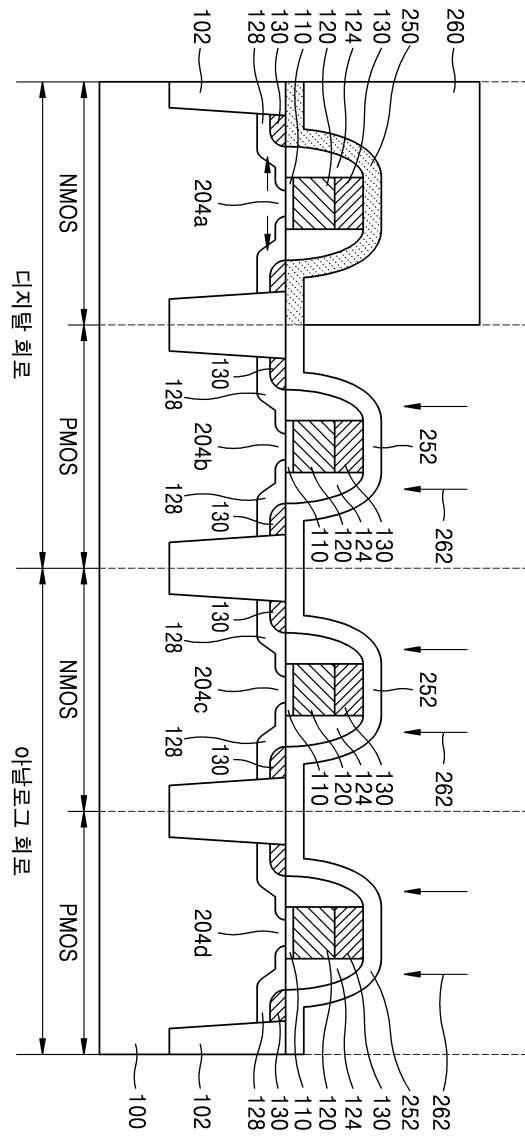
도면9c



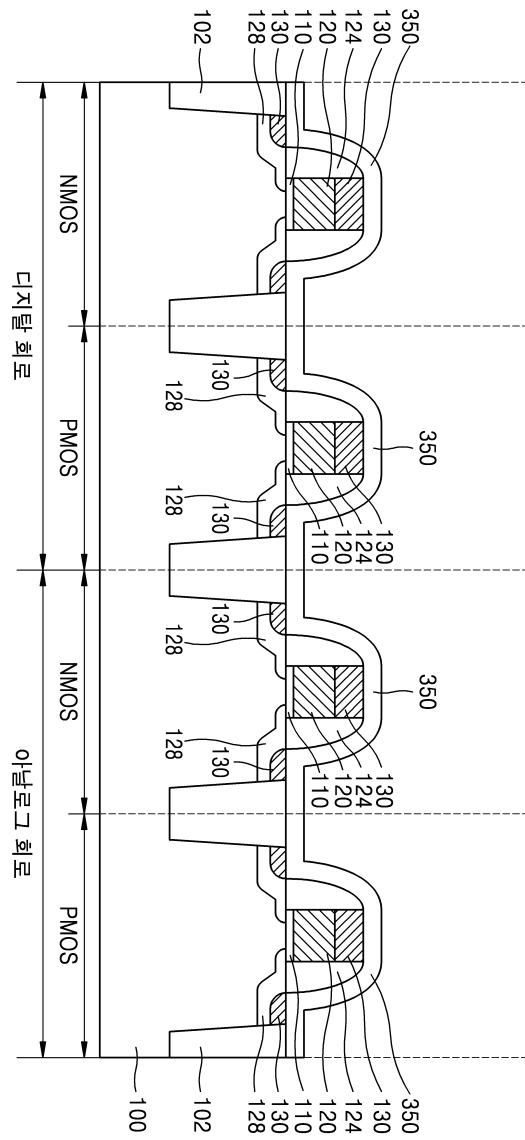
도면10a



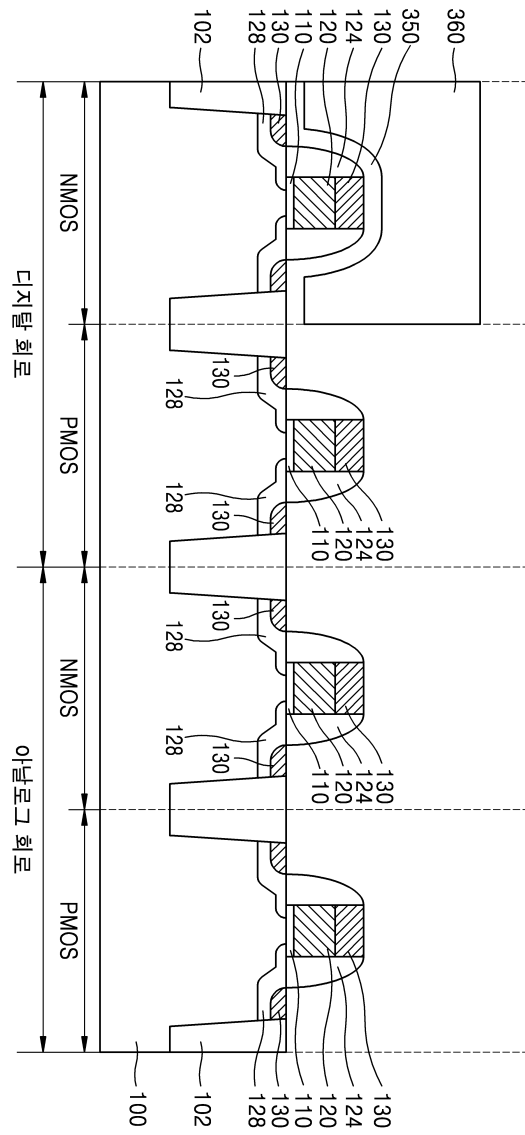
도면10b



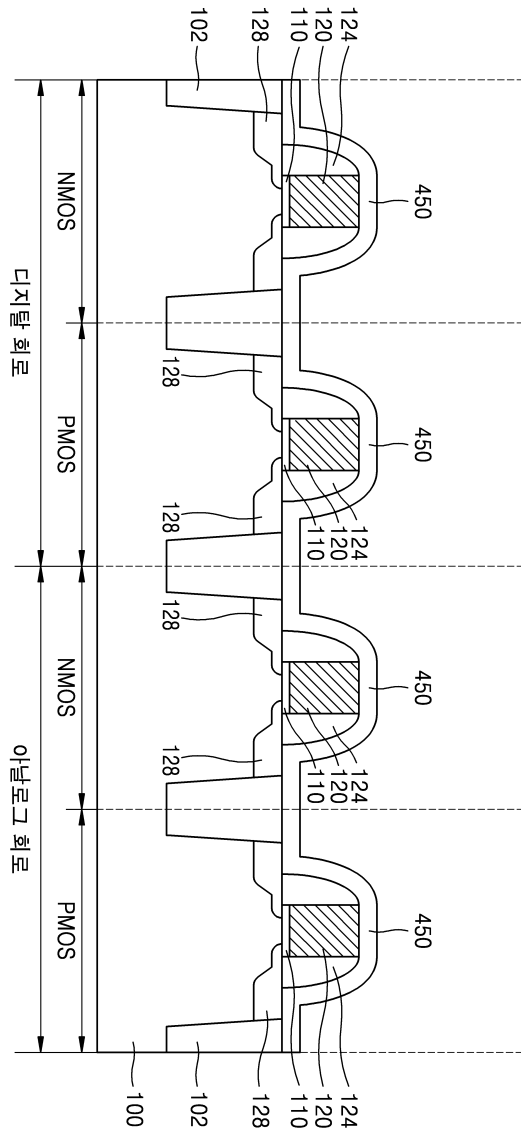
도면11a



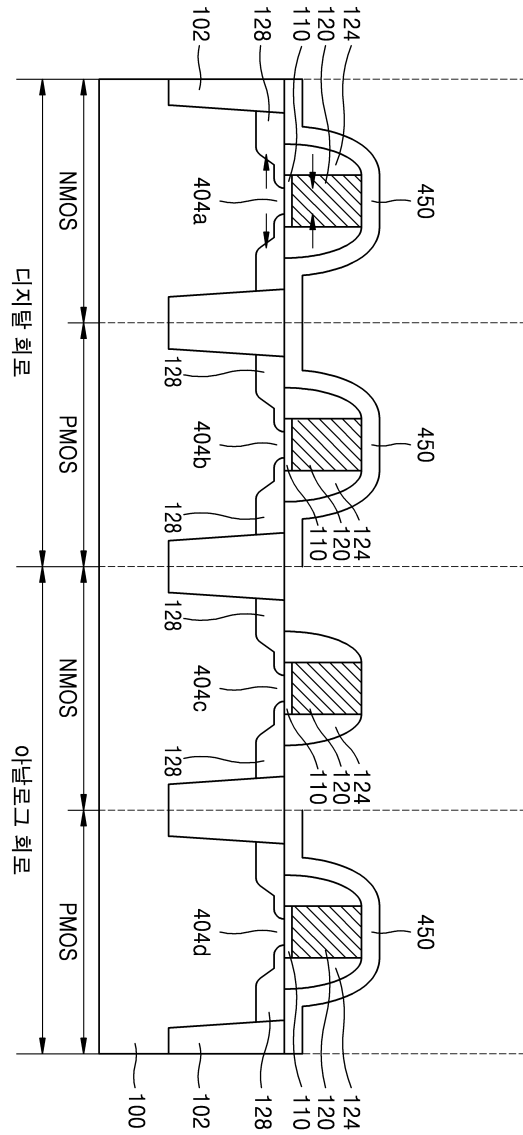
도면11b



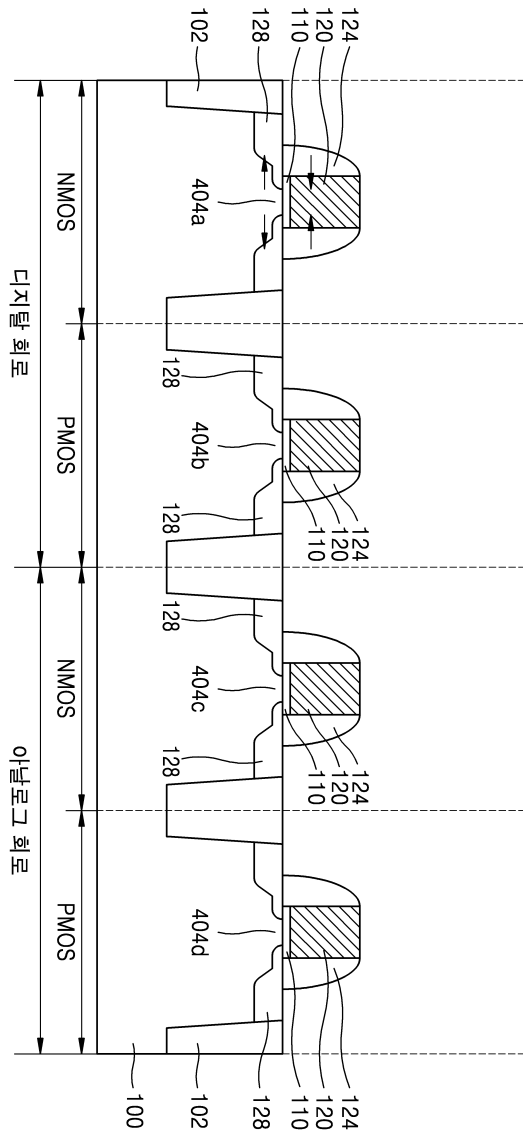
도면12a



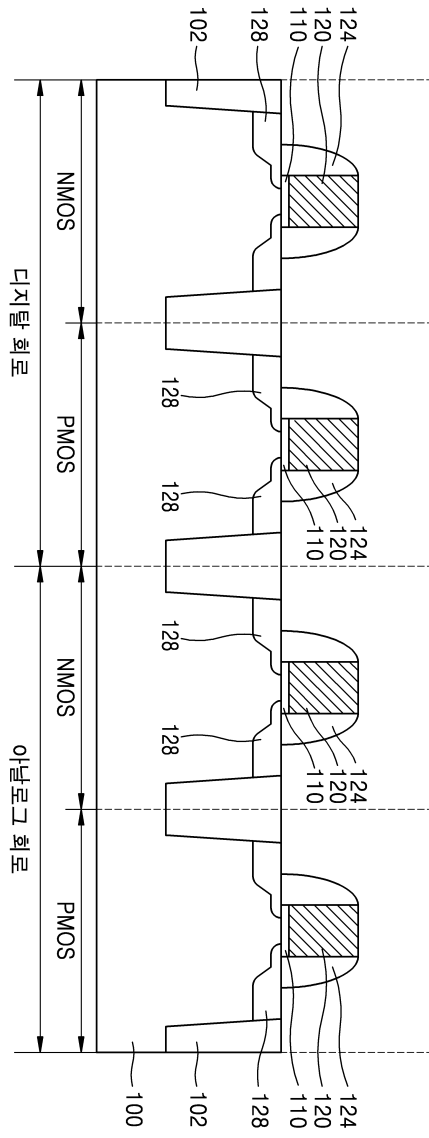
도면12b



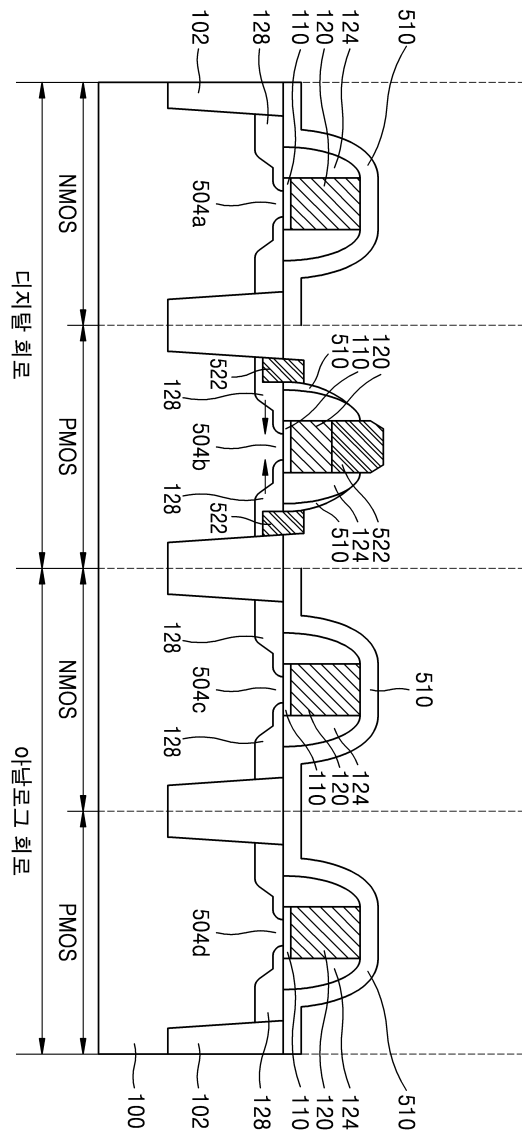
도면12c



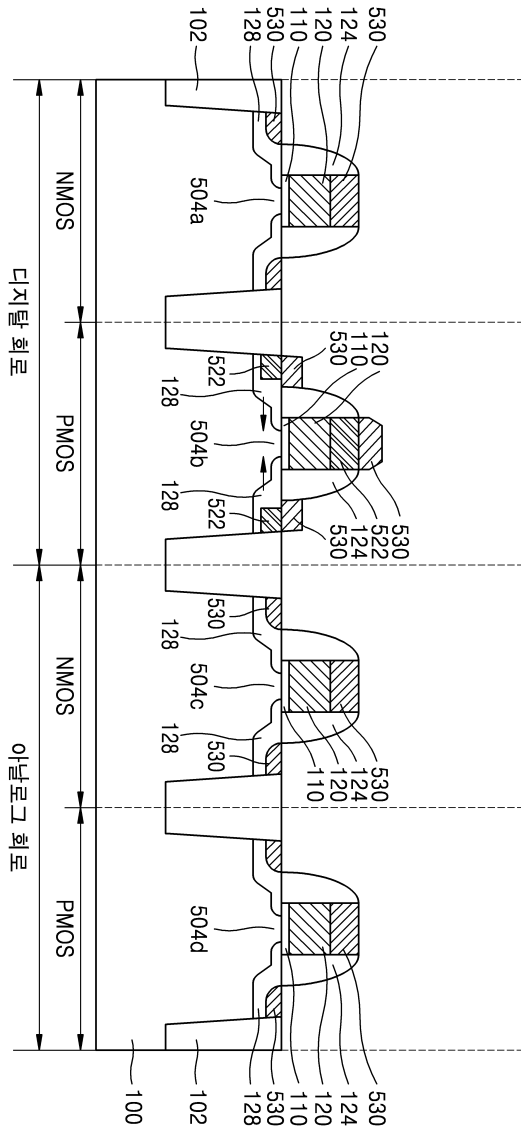
도면13a



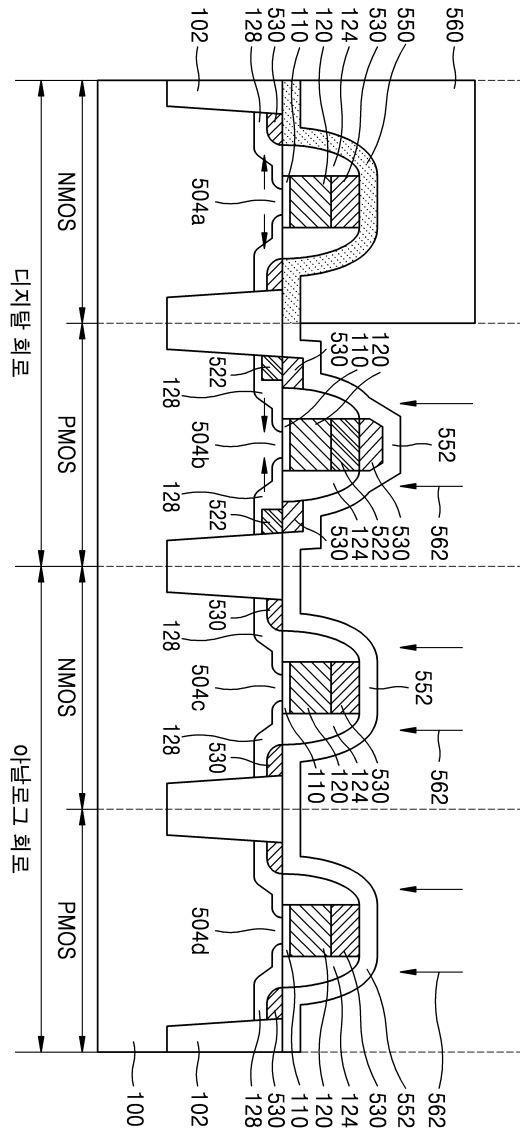
도면13d



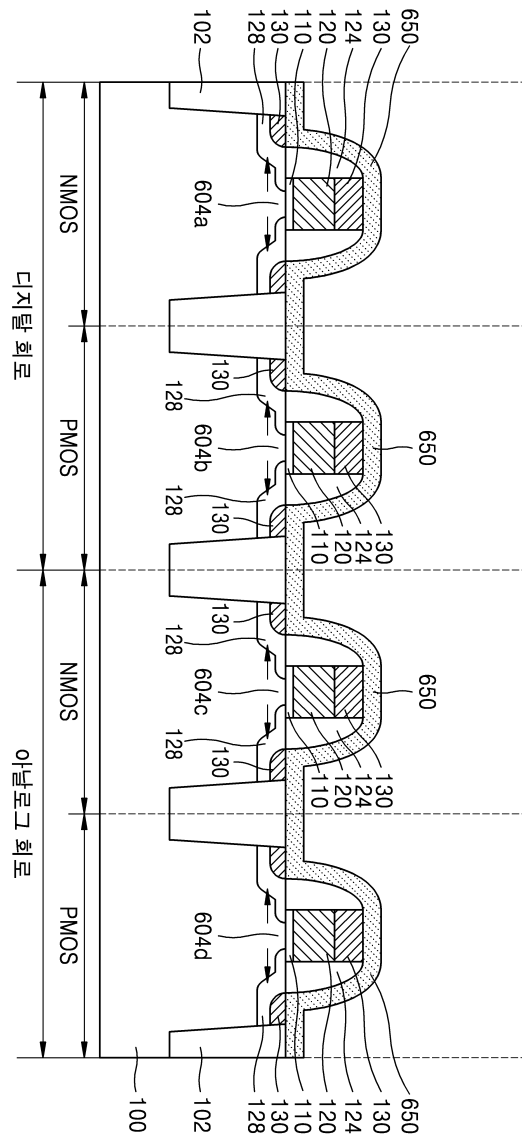
도면13e



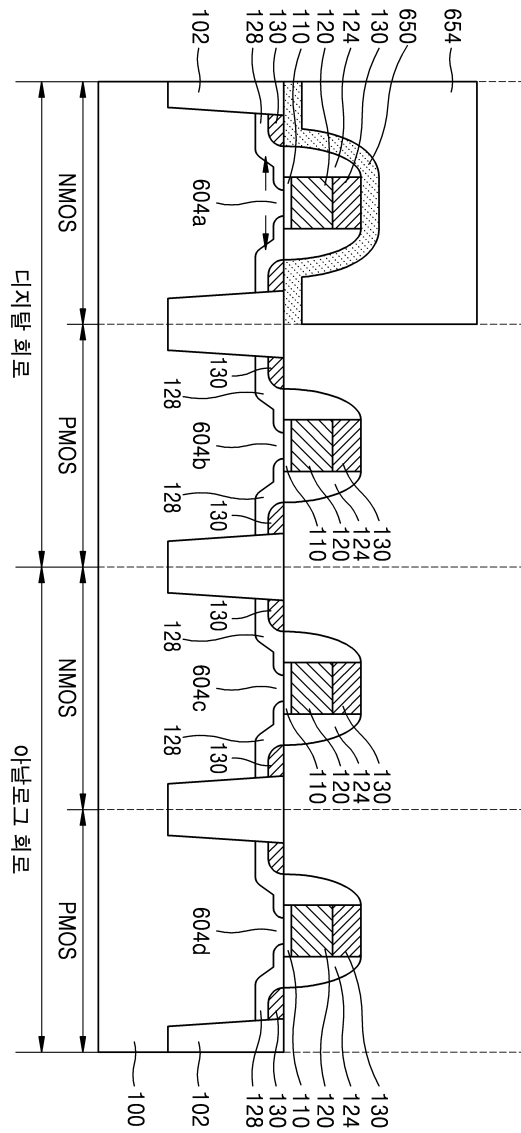
도면13g



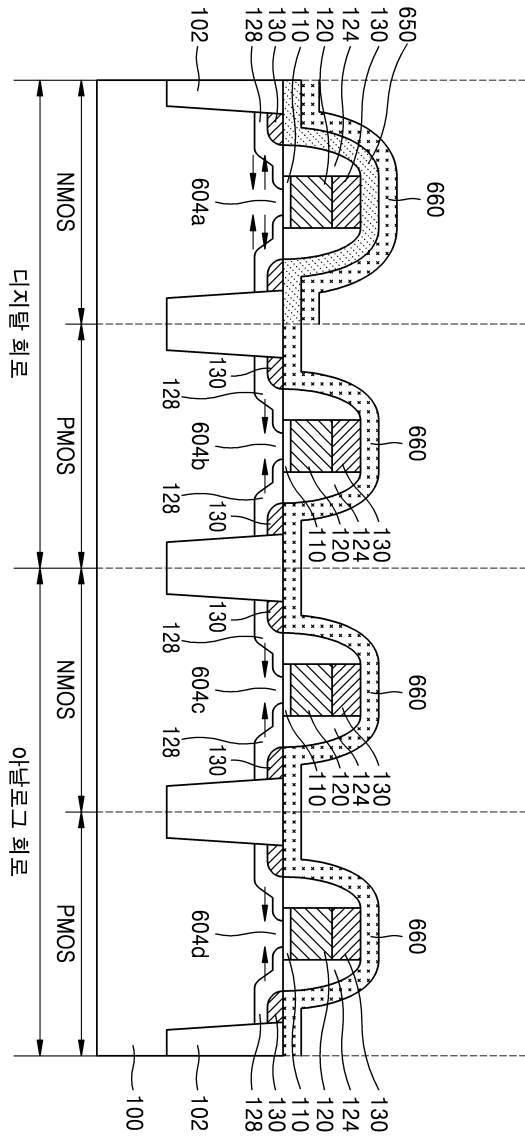
도면14a



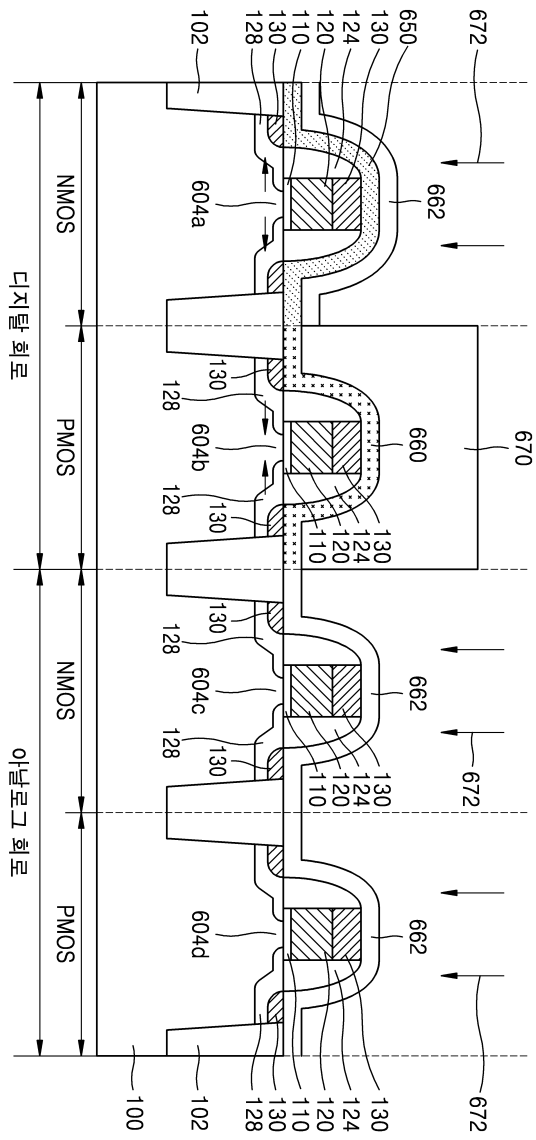
도면14b



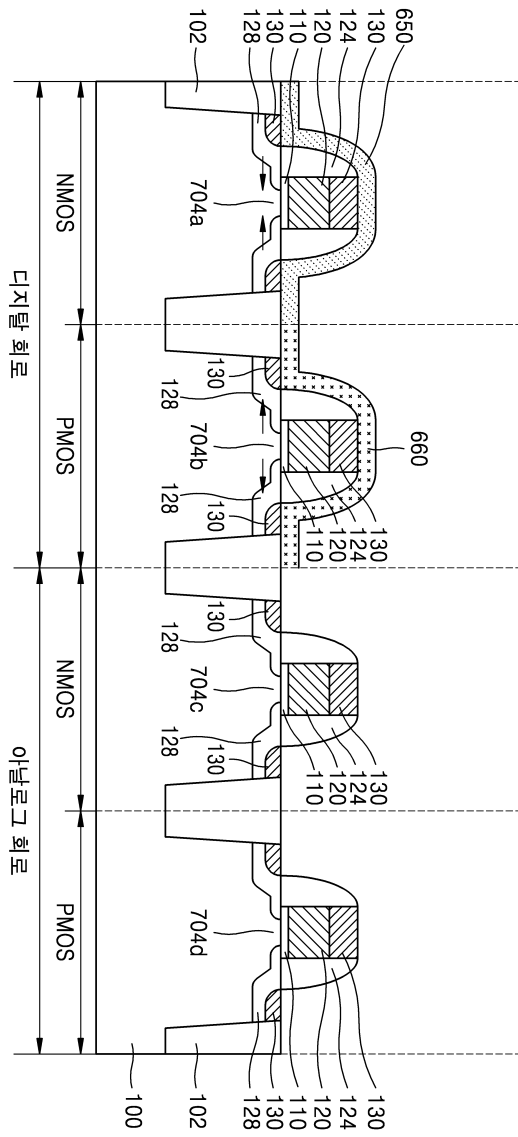
도면14c



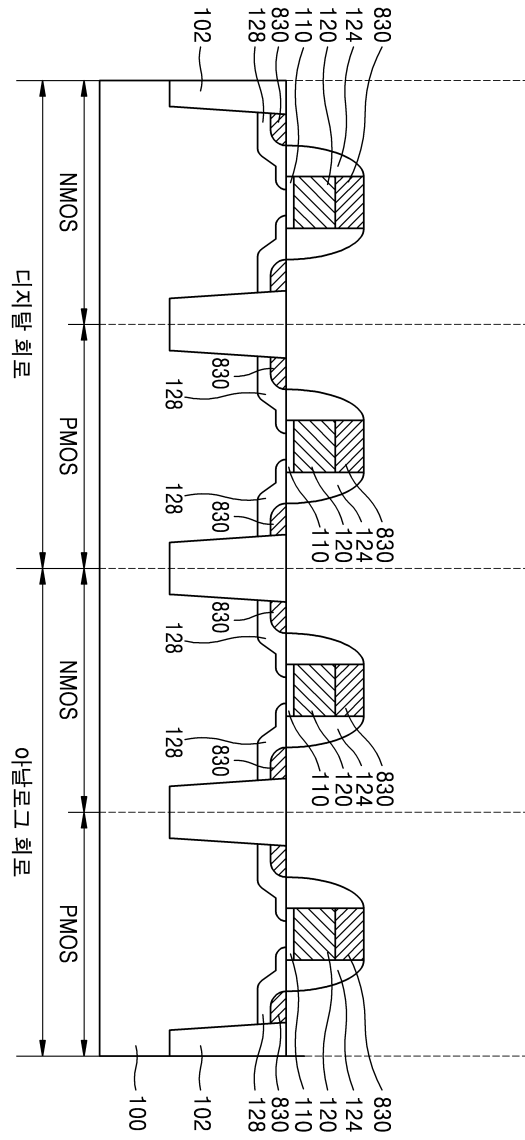
도면14d



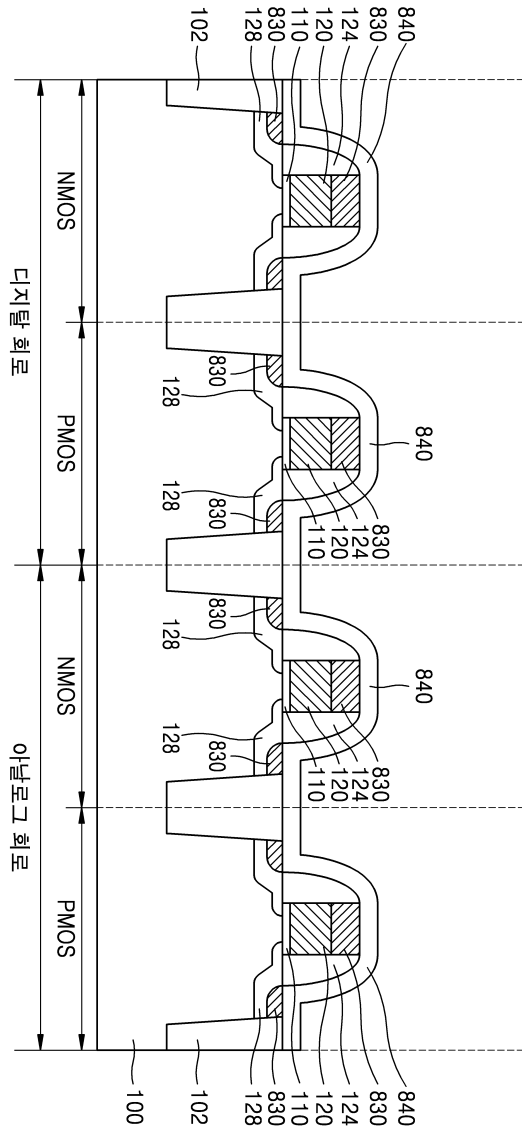
도면15



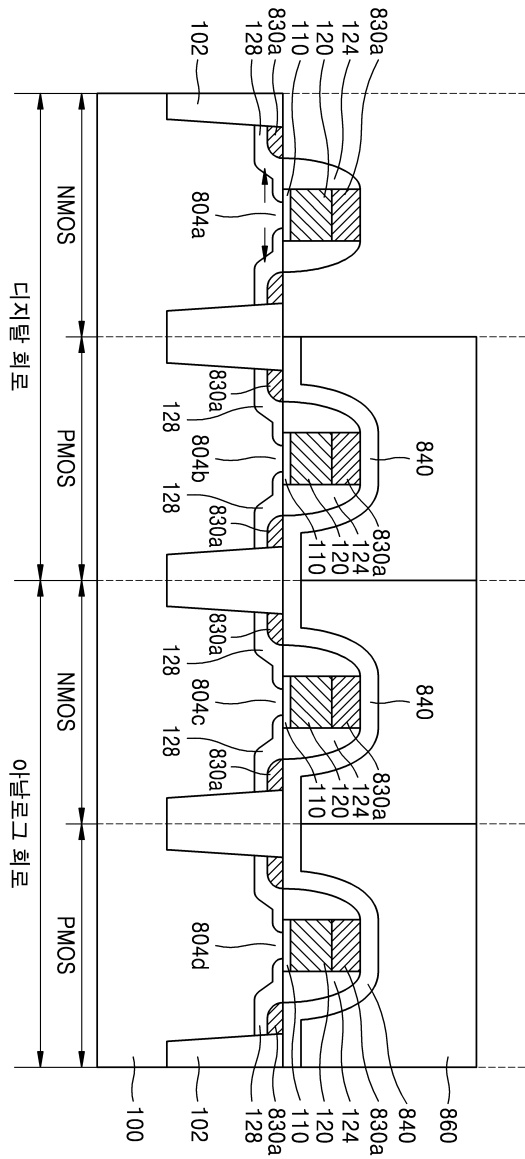
도면16a



도면16b



도면16c



도면16d

